

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94126396

※申請日期 94.8.3

※IPC分類：H01L21/26, 28/792

## 一、發明名稱：(中文/英文)

非揮發性記憶體及其製造方法

Non-volatile memory device and fabricating method thereof

## 二、申請人：(共 1 人)

姓名或名稱 (中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人 (中文/英文)

林信義 / LIN, HSIN I

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段195號

No. 195, Sec. 4, Chung-Hsing Rd., Chu-Tung, Hsinchu, Taiwan, R. O. C.

國籍：(中文/英文)

中華民國 / Taiwan, R. O. C.

## 三、發明人：(共 3 人)

姓名：(中文/英文)

林哲歆 / LIN, CHA HSIN

李隆盛 / LEE, LURNG SHEHNG

曾培哲 / TZENG, PEI JER

國籍：(中文/英文)

中華民國 / Taiwan, R. O. C.

中華民國 / Taiwan, R. O. C.

中華民國 / Taiwan, R. O. C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

產成本會相對提升，實不符合經濟效益。

再參閱第 2 圖所示，係為電荷捕捉元件方式之非揮發性記憶體，具有一電荷捕捉元件 210，係為位於閘極 220 下方堆疊兩層或三層，且其中會有一電荷陷入層 212，其具有高深電子陷阱密度 (high deep-level trap density)，而且此高深電子陷阱密度係為一較能抓住電子的絕緣材料，例如：氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或氧化鋁 ( $\text{Al}_2\text{O}_3$ )，因而能有效地抓住電子而達到儲存電荷的目的。然而，由於此電荷捕捉元件 210 之底層係為一氧化物層 214，於寫入時亦會有正電荷捕阱其中，使得氧化物層 214 的位障下降，因而讓捕捉於電荷陷入層 212 中之電子能輕易地穿隧氧化物層 214，而造成電子流失，進而使得保存時間下降。並且，傳統用以儲存電荷之電荷陷入層是為單層結構，因此其可儲存電荷的調變量不高，近年來為了增加儲存電荷數而降低氧化物層的厚度，進而導致漏電增加。

所以，對於電荷捕捉元件方式之非揮發性記憶體仍有其可改善之空間。

#### 【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種非揮發性記憶體及其製造方法，藉以解決先前技術所揭露的問題。

因此，為達上述目的，本發明所揭露之非揮發性記憶體的製造方法，包括有下列步驟：提供一基板；於基板上形成一穿隧介電層；以漸減後再漸增之能帶結構，形成一複合式電荷陷入層於

穿隧介電層上，藉以產生一組成梯度式能帶；形成一阻擋介電層於複合式電荷陷入層上；以及形成一導體層於阻擋介電層上。

於此，基板可為一矽基板，或係其材料可為多晶矽 (poly Si)、鎳 (Ni)、鉑 (Pt)、氮化鈦 (TiN)、鋁 (Al)、鉭基氮化物、矽化物 (silicide) 或其化合物等。穿隧介電層和阻擋介電層之材料為一氧化物，例如：二氧化矽 ( $\text{SiO}_2$ ) 或氧化鋁 ( $\text{Al}_2\text{O}_3$ ) 等；亦或係為較高能隙的高介電常數材料，據以簡化製程的複雜度。

其中，此複合式電荷陷入層具有多種材料，此些材料可為二氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{Si}_3\text{N}_4$ )、氧化鋁 ( $\text{Al}_2\text{O}_3$ )、氧化鈦 ( $\text{HfO}_2$ )、氧化鈦 ( $\text{TiO}_2$ )、氧化鉭 ( $\text{Ta}_2\text{O}_5$ )、鈦酸鋇鉬 ( $\text{BaSrTiO}_3$ )、鈦酸鋇鉛 ( $\text{PbLaZrTiO}_3$ )、氧化釷 ( $\text{Y}_2\text{O}_3$ )、氧化釷 ( $\text{La}_2\text{O}_3$ )、非晶矽 (a-Si)、非晶碳化矽 (a-SiC)、非晶鍺化矽 (a-SiGe)、非晶鍺 (a-Ge) 或其任意比例之組合物等。事實上，此複合式電荷陷入層可利用沉積製程而形成。舉例來說，於利用化學氣相沉積技術執行穿隧介電層、複合式電荷陷入層和阻擋介電層的沉積過程中，適度地調變沉積材料的成分和種類，可成長出階梯化能階結構，以使載子可順著緩和的能階變化輕易地被捕捉住，而被捕捉住的載子亦可順著緩和的能階變化較輕易地被移除。因此，除了能更有效儲存電荷外，也可大幅降低漏電發生的機率。此外，於形成複合式電荷陷入層之後，可進行一退火製程，此複合式電荷陷入層在經由適當的熱處理之後，會於其中產生多個結晶顆粒，據以更進一步地增強元件的電荷儲存能力。

最後，於導體層兩側之基板中形成源極/汲極區，即可得到一非揮發性記憶體。

為達上述目的，本發明另揭露一種非揮發性記憶體，包括有：一基板；一穿隧介電層；一複合式電荷陷入層；一阻擋介電層；及一導體層。其中，穿隧介電層、複合式電荷陷入層、阻擋介電層和導體層係於基板上依序形成。並且，此複合式電荷陷入層具有一組成梯度式能帶結構。也就是說，此複合式電荷陷入層之能帶結構係先漸減後再漸增，以形成一類量子井結構，據以更有效地儲存電荷，以避免電荷流失，同時利用能階起伏結構及變化可自由調變欲儲存的電荷量，進而調變元件臨界電壓（threshold voltage）的位移（shift）量。

於此，基板可為一矽基板，或係其材料可為多晶矽（poly Si）、鎳（Ni）、鉑（Pt）、氮化鈦（TiN）、鋁（Al）、鉍基氮化物、矽化物（silicide）或其化合物等。穿隧介電層和阻擋介電層之材料為一氧化物，例如：二氧化矽（ $\text{SiO}_2$ ）或氧化鋁（ $\text{Al}_2\text{O}_3$ ）等；亦或係為較高能隙的高介電常數材料，據以簡化製程的複雜度。

其中，此複合式電荷陷入層具有多種材料，此些材料可為二氧化矽（ $\text{SiO}_2$ ）、氮化矽（ $\text{Si}_3\text{N}_4$ ）、氧化鋁（ $\text{Al}_2\text{O}_3$ ）、氧化鈦（ $\text{HfO}_2$ ）、氧化鈦（ $\text{TiO}_2$ ）、氧化鉭（ $\text{Ta}_2\text{O}_5$ ）、鈦酸鋇（ $\text{BaSrTiO}_3$ ）、鈦酸鋯（ $\text{PbLaZrTiO}_3$ ）、氧化釷（ $\text{Y}_2\text{O}_3$ ）、氧化釷（ $\text{La}_2\text{O}_3$ ）、非晶矽（a-Si）、非晶碳化矽（a-SiC）、非晶鍺化矽（a-SiGe）、非晶鍺（a-Ge）或其任意比例之組合物等。

再者，於複合式電荷陷入層中包括有複數個結晶顆粒，藉以更進一步地增強元件的電荷儲存能力。而此複合式電荷陷入層除結晶顆粒區域之外的材料係為一非晶質材料。

此外，更包括有：一源極/汲極區，位於導體層兩側之基板中。

有關本發明的特徵與實作，茲配合圖示作最佳實施例詳細說明如下。

### 【實施方式】

首先說明本發明之主要構想，主要係將電荷捕捉元件以具階梯化能階結構之高介電或非晶質材料取代，以形成類量子井結構之電荷捕捉元件。利用電荷捕捉元件中之材料的能階變化可更有效儲存電荷，以避免電荷流失，同時利用能階起伏結構及變化可自由調變欲儲存的電荷量，進而調變元件臨界電壓（threshold voltage）的位移（shift）量。

以下舉出具體實施例以詳細說明本發明之內容，並以圖示作為輔助說明。說明中提及之符號係參照圖式符號。

參照第 3A~3F 圖，係為根據本發明一實施例之非揮發性記憶體的製造流程截面圖。

如第 3A 圖所示，先提供一基板 310，例如：使用一矽基板。此外，此基板之材料可為多晶矽（poly Si）、鎳（Ni）、鉑（Pt）、氮化鈦（TiN）、鋁（Al）、鈮基氮化物、矽化物（silicide）及其化合物、混合物等。

接著，於基板 310 上形成一穿隧介電層 320，如第 3B 圖所示。

此穿隧介電層之材料係為氧化物，例如：二氧化矽 ( $\text{SiO}_2$ ) 或氧化鋁 ( $\text{Al}_2\text{O}_3$ ) 等。

然後，以漸減後再漸增之能帶結構，形成一複合式電荷陷入層 330 於穿隧介電層 320 上，藉以產生一組成梯度式能帶，如第 3C 圖所示。因此，此複合式電荷陷入層 330 具有多種材料，此些材料可為二氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{Si}_3\text{N}_4$ )、氧化鋁 ( $\text{Al}_2\text{O}_3$ )、氧化鈦 ( $\text{HfO}_2$ )、氧化鈦 ( $\text{TiO}_2$ )、氧化鉭 ( $\text{Ta}_2\text{O}_5$ )、鈦酸鋇銀 ( $\text{BaSrTiO}_3$ )、鈦酸鋯酸鉛 ( $\text{PbLaZrTiO}_3$ )、氧化釷 ( $\text{Y}_2\text{O}_3$ )、氧化釷 ( $\text{La}_2\text{O}_3$ )、非晶矽 (a-Si)、非晶碳化矽 (a-SiC)、非晶鍺化矽 (a-SiGe)、非晶鍺 (a-Ge) 或其任意比例之組合物等。

再形成一阻擋介電層 340 於複合式電荷陷入層 330 上，如第 3D 圖所示。其中此阻擋介電層之材料亦為一氧化物，例如：二氧化矽 ( $\text{SiO}_2$ ) 或氧化鋁 ( $\text{Al}_2\text{O}_3$ ) 等。

接著，於阻擋介電層 340 上形成一導體層 350，以作為此非揮發性記憶體之閘極，如第 3E 圖所示。最後，於閘極（即導體層 350）兩側之基板 310 中形成源極/汲極區 312，即可得到一非揮發性記憶體，如第 3F 圖所示。

藉此，穿隧介電層 320、複合式電荷陷入層 330 和阻擋介電層 340 因其所含之材料的能階變化，而形成如第 4A 圖所示之類量子井結構，此種組成梯度式能帶致使載子 360 穿透過穿隧介電層 320 後，即可順著緩和的能階變化輕易地被捕捉住，而被捕捉住的載子 360 亦可順著緩和的能階變化較輕易地被移除。

換句話說，係以具類量子井能階結構之高介電常數材料或非晶質材料形成複合式電荷陷入層，可使載子除了被捕捉於不導電層外，同時也能感受到適當的能障（energy barrier），因此除了能更有效儲存電荷外，也可大幅降低漏電發生的機率。

舉例來說，以高介電常數材料來說，可於利用化學氣相沉積技術執行穿隧介電層 320、複合式電荷陷入層 330 和阻擋介電層 340 的沉積過程中，藉由依序變化沉積材料，例如：依據  $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{氧化鋁鈣}(\text{Hf}_x\text{Al}_y\text{O})/\text{TiO}_2/\text{Hf}_x\text{Al}_y\text{O}/\text{Al}_2\text{O}_3/\text{SiO}_2$  此次序，逐漸改變沉積材料，可得到如第 4B 圖所示之類量子井結構的組成梯度式能帶，其中  $x$ 、 $y$  係分別為鈣、鋁的摻雜量，且  $x$ 、 $y$  為小於 1 之正數。於此， $\text{SiO}_2$  之能帶為四種材料中最高，接著  $\text{Al}_2\text{O}_3$  和  $\text{Hf}_x\text{Al}_y\text{O}_2$  之能帶依序減少，而  $\text{TiO}_2$  之能帶則為四種材料中最低，因而形成類量子井能階結構的組成梯度式能帶。

另外，以非晶質材料來說，可於利用化學氣相沉積製程技術執行穿隧介電層 320、複合式電荷陷入層 330 和阻擋介電層 340 的沉積過程中，藉由依序變化沉積材料中某些成分的摻雜比例，例如：於沉積複合式電荷陷入層 330 時，依據  $\text{a-Si}/\text{a-Si}_n\text{Ge}_m/\text{a-Ge}/\text{a-Si}_n\text{Ge}_m/\text{a-Si}$  的摻雜比例，逐漸改變材料中  $\text{a-Si}$  和  $\text{a-Ge}$  的量，可得到如第 4C 圖所示之類量子井結構的組成梯度式能帶，其中  $n$ 、 $m$  係分別為非晶矽、非晶鍺的摻雜量，且  $n$ 、 $m$  為小於 1 之正數。於此， $\text{SiO}_2$  之能帶為四種材料中最高，接著  $\text{a-Si}$  和  $\text{a-Si}_n\text{Ge}_m$  之能帶依序減少，而  $\text{a-Ge}$  之能帶則為四種材料中最低，因而形成類量



子井能階結構的組成梯度式能帶。

於此，雖僅以此四種材料進行說明，然實際上可根據所需之電荷儲存量或漏電規格的要求，而依據材料能階選擇適當種類和適當的種類數量，來設計出上述之類量子井結構。也就是說，於沉積過程中，藉由將能帶漸減後再漸增的方式適度地調變成分和材料，可成長出階梯化能階結構，以使載子可順著緩和的能階變化輕易地被捕捉住，而被捕捉住的載子亦可順著緩和的能階變化較輕易地被移除。

再者，經由適當的熱處理可使高介電常數材料產生部份結晶的現象，藉以更進一步地增強電荷儲存能力。也就是說，如第 5A~5F 圖所示，其為根據本發明另一實施例之非揮發性記憶體的製造流程截面圖，形成複合式電荷陷入層 330 之後，可進行一退火製程，而複合式電荷陷入層 330 在經由適當的熱處理之後，會於其中產生多個結晶顆粒 332，以儲存電荷，如第 5D 圖所示。此退火製程亦可在元件製程過程中其他階段來實施。然後，形成一阻擋介電層 340 於複合式電荷陷入層 330 上，如第 5E 圖所示。接著，於阻擋介電層 340 上形成一導體層 350，以作為此非揮發性記憶體之閘極，如第 5F 圖所示。最後，於閘極（即導體層 350）兩側之基板 310 中形成源極/汲極區 312，即可得到一非揮發性記憶體，如第 5G 圖所示。

此外，穿隧介電層和阻擋介電層可以較高能隙的高介電常數材料來取代，以簡化製程的複雜度。

雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1 圖係為習知非揮發性記憶體的截面圖；

第 2 圖係為另一習知非揮發性記憶體的截面圖；；

第 3A~3F 圖係為根據本發明一實施例之非揮發性記憶體的製造流程截面圖；

第 4A 圖係為根據本發明之類量子井結構之一實施例的示意圖；

第 4B 圖係為根據本發明之類量子井結構之另一實施例的示意圖；

第 4C 圖係為根據本發明之類量子井結構之再另一實施例的示意圖；以及

第 5A~5G 圖係為根據本發明另一實施例之非揮發性記憶體的製造流程截面圖。

**【主要元件符號說明】**

110 .....浮動閘極元件

112 .....浮動閘極

120 .....閘極

210 .....電荷捕捉元件

212	.....	電荷陷入層
214	.....	氧化物層
220	.....	閘極
310	.....	基板
312	.....	源極/汲極區
320	.....	穿隧介電層
330	.....	複合式電荷陷入層
332	.....	結晶顆粒
340	.....	阻擋介電層
350	.....	導體層
360	.....	載子

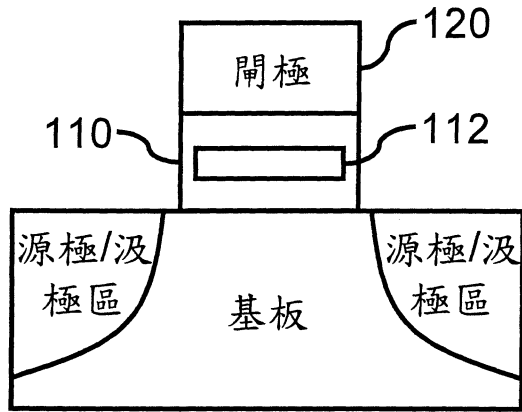
### 五、中文發明摘要：

一種非揮發性記憶體及其製造方法，主要是於穿隧介電層、複合式電荷陷入層和阻擋介電層的沉積過程中，藉由適度地調變沉積材料的成分或種類，以成長出階梯化能階結構，致使載子可順著緩和的能階變化輕易地被捕捉住，而被捕捉住的載子亦可順著緩和的能階變化較輕易地被移除。因此，除了能更有效儲存電荷外，也可大幅降低漏電發生的機率。

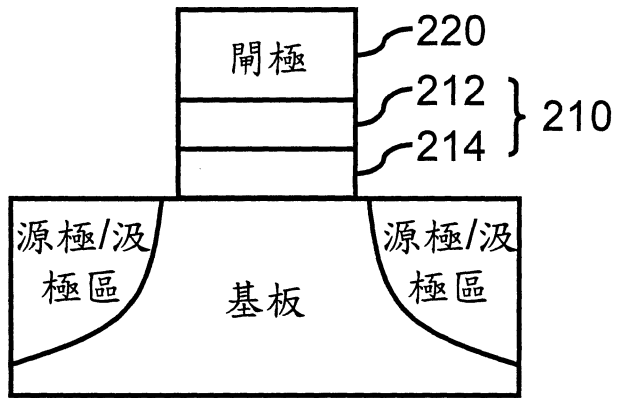
### 六、英文發明摘要：

Non-volatile memory device and fabricating method thereof are provided. In the deposition to form a tunneling dielectric layer, a composite charge trapping layer and a stop dielectric layer, a ingredient of a depositing material or the depositing material is adjusted to form a grading energy level structure, such as electrons are trapped or erased more easily in accordance with a variation in grading energy level. Therefore, the electrons are stored more effectively and the probability that the electric leakage occurs is reduced substantially.

圖式

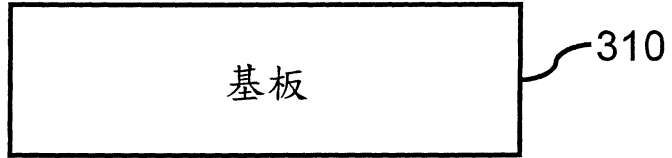


第1圖 (習知技術)

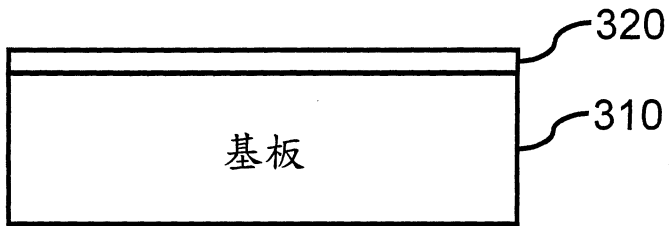


第2圖 (習知技術)

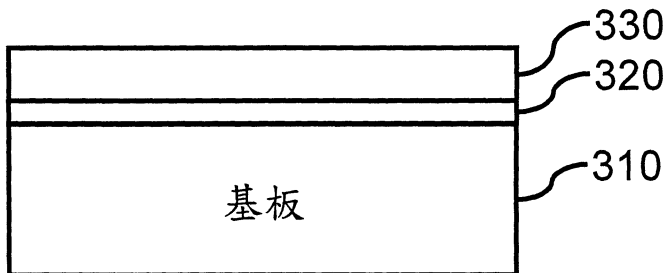
圖式



第3A圖

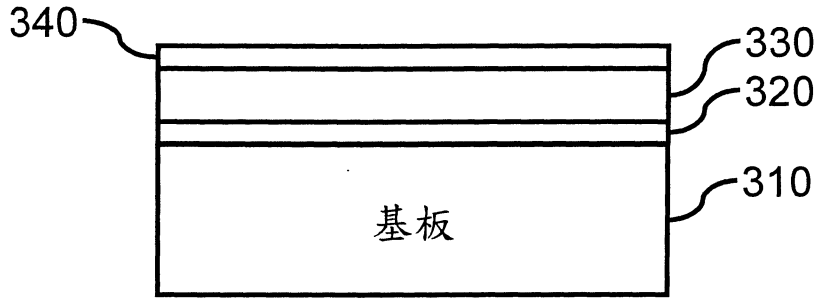


第3B圖

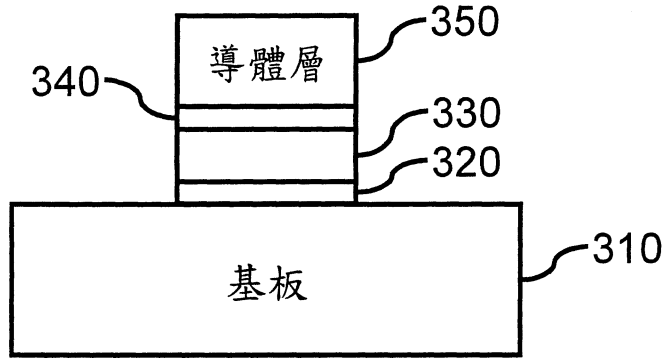


第3C圖

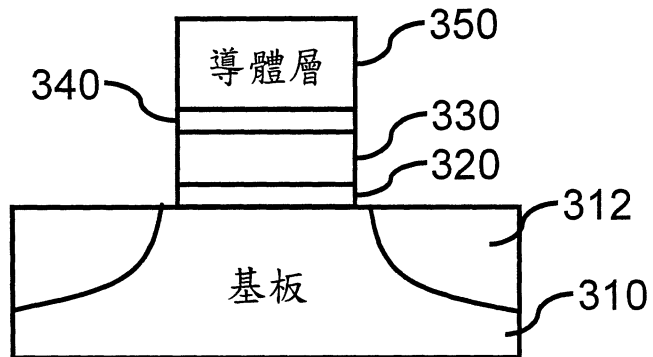
圖式



第3D圖

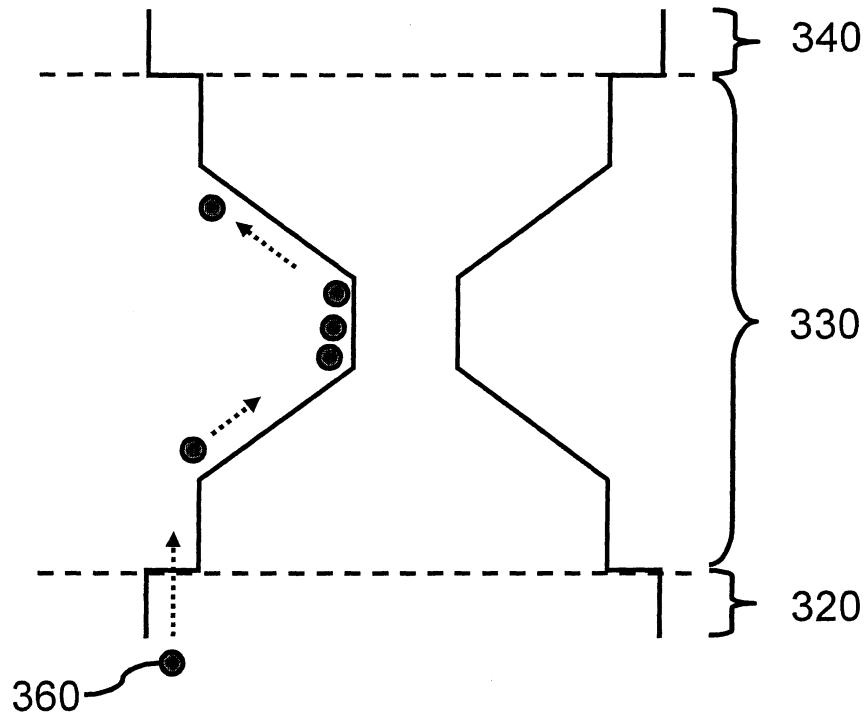


第3E圖

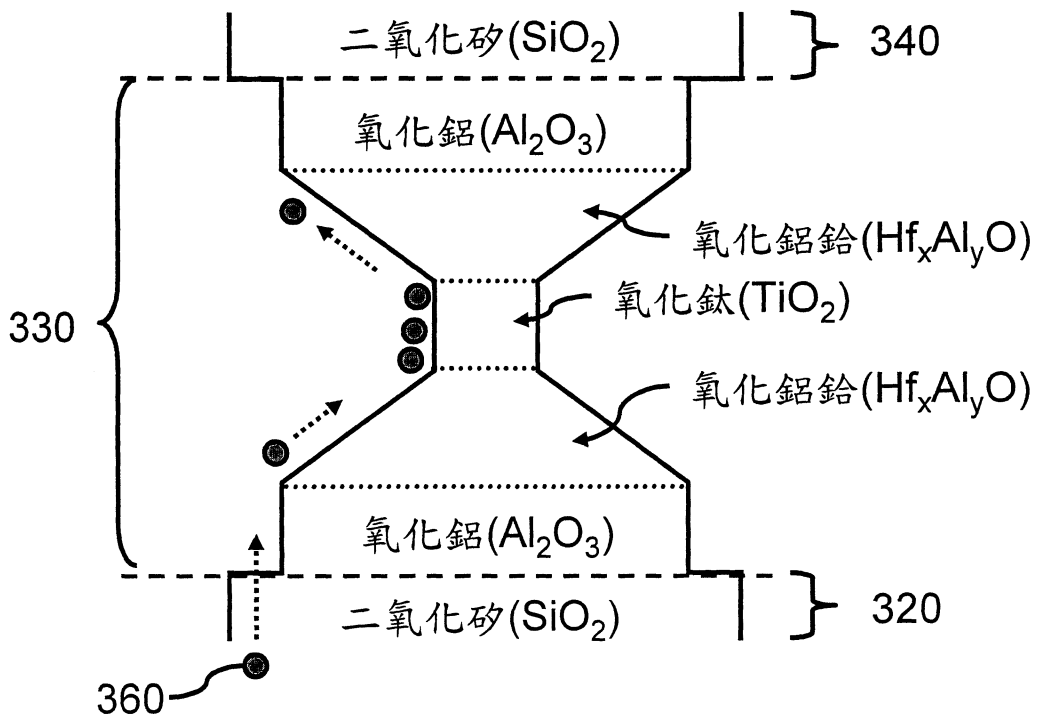


第3F圖

圖式



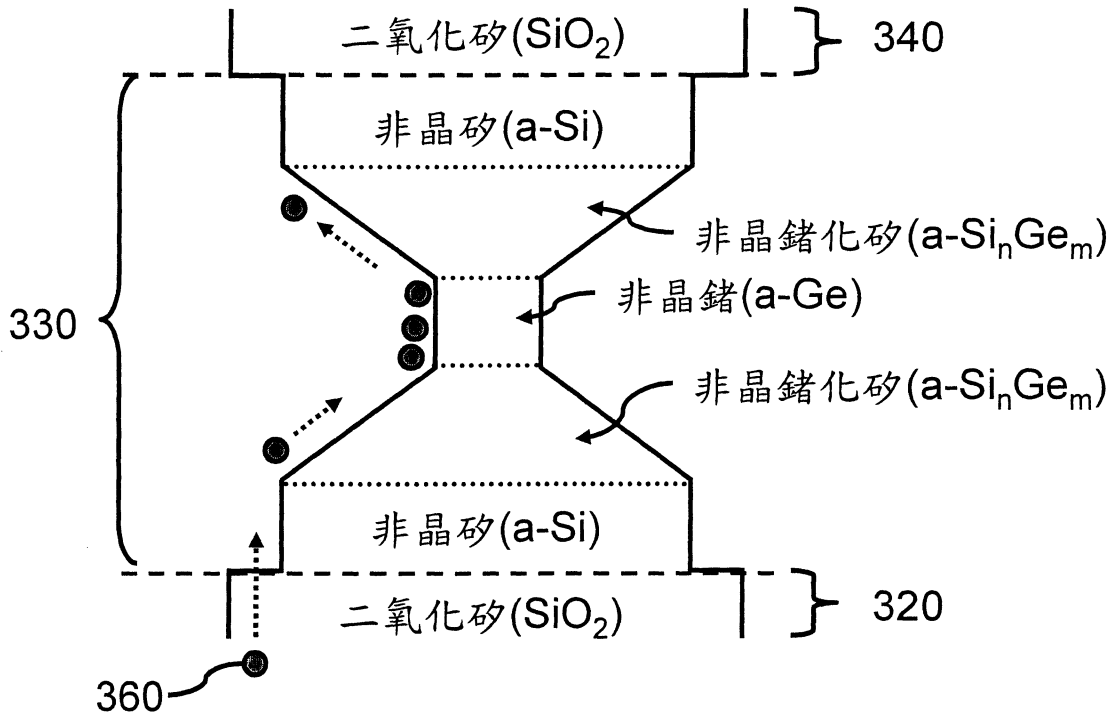
第4A圖



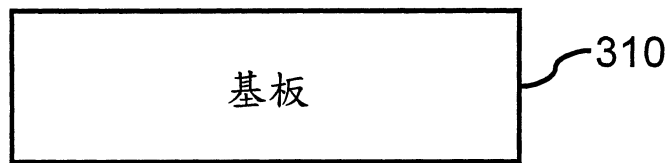
第4B圖



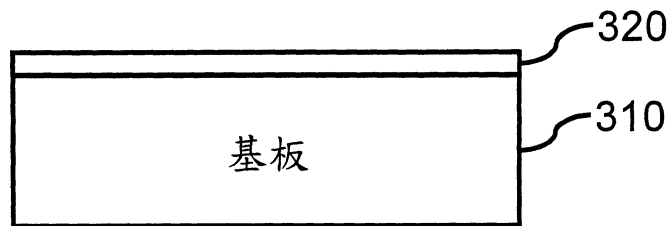
圖式



第4C圖

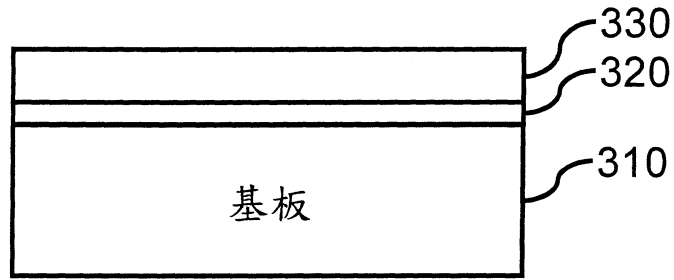


第5A圖

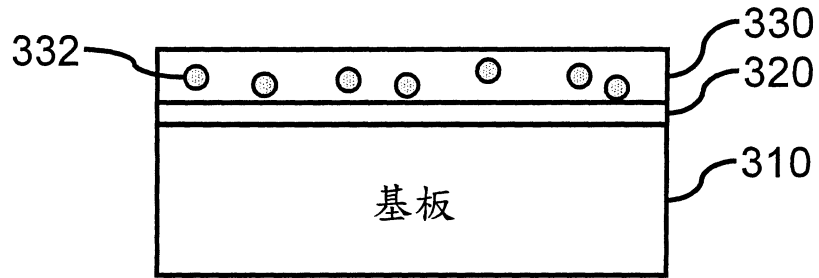


第5B圖

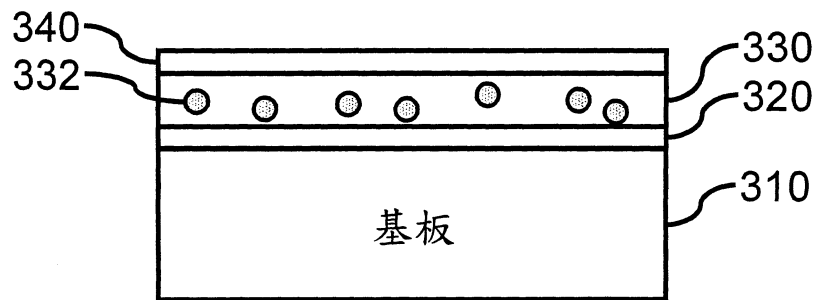
圖式



第5C圖

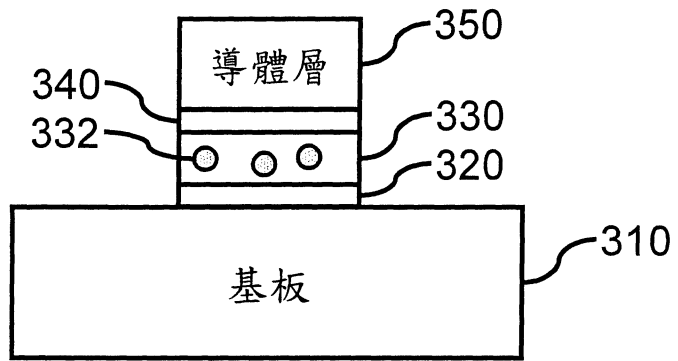


第5D圖

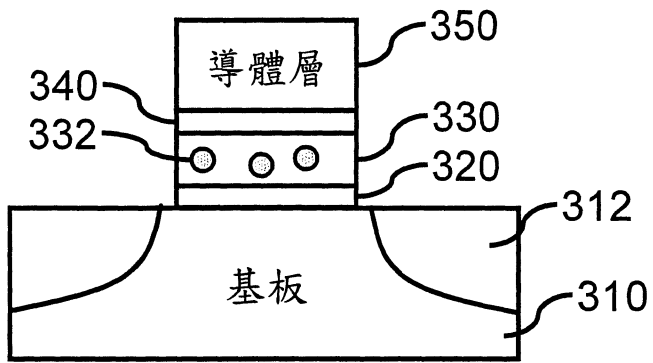


第5E圖

圖式



第5F圖



第5G圖

七、指定代表圖：

(一)本案指定代表圖為：第 ( 4A ) 圖。

(二)本代表圖之元件符號簡單說明：

320 ..... 穿隧介電層

330 ..... 複合式電荷陷入層

340 ..... 阻擋介電層

360 ..... 載子

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體記憶體及其製造方法，特別是一種非揮發性記憶體及其製造方法。

### 【先前技術】

一般來說，半導體記憶體可分為揮發性記憶體及非揮發性記憶體。當供應電源中斷時，揮發性記憶體中儲存之資料會隨之消失，然而於非揮發性記憶體中的資料仍會保持儲存著。也就是說，揮發性記憶體具有其記憶內容有隨電源拔除而消失的特性，因此於電源無法一直供應或是經常中斷，或者係其元件僅能需求低電壓的電子元件，例如數位像機的記憶卡、隨身碟、手機等，當中，多是使用非揮發性記憶體來進行資料儲存。是故，非揮發性記憶體在講求方便性的現代社會中已佔有其重要地位。

以非揮發性記憶體來說，主要係透過兩種方式來達成資料的儲存；一為浮動閘極元件（floating gate device）方式，另一則為電荷捕捉元件（charge trapping device）方式。

如第 1 圖所示，係為浮動閘極元件方式之非揮發性記憶體，主要係具有一浮動閘極元件 110 位於閘極 120 下方，其記憶的方式係將電子儲存浮動閘極 112 上，且此浮動閘極 112 係為一良好導電物質，使得電子捕捉在浮動閘極 112 上後即會均勻的分布於其上，致使臨界電壓（threshold voltage）產生位移（shift），並以此來判定記憶與否。然而此浮動閘極元件僅能儲存一位元，使其

## 十、申請專利範圍：

1. 一種非揮發性記憶體的製造方法，包括有下列步驟：

提供一基板；

於該基板上形成一穿隧介電層；

以漸減後再漸增之能帶結構，形成一複合式電荷陷入層於該穿隧介電層上，藉以產生一組成梯度式能帶；

形成一阻擋介電層於該複合式電荷陷入層上；以及

形成一導體層於該阻擋介電層上。

2. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中該複合式電荷陷入層具有複數種材料。
3. 如申請專利範圍第 2 項所述之非揮發性記憶體的製造方法，其中該材料係選自二氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{Si}_3\text{N}_4$ )、氧化鋁 ( $\text{Al}_2\text{O}_3$ )、氧化鈣 ( $\text{HfO}_2$ )、氧化鈦 ( $\text{TiO}_2$ )、氧化鉭 ( $\text{Ta}_2\text{O}_5$ )、鈦酸鋇 ( $\text{BaSrTiO}_3$ )、鈦酸鋯酸鉛 ( $\text{PbLaZrTiO}_3$ )、氧化釷 ( $\text{Y}_2\text{O}_3$ )、氧化釷 ( $\text{La}_2\text{O}_3$ )、非晶矽 (a-Si)、非晶碳化矽 (a-SiC)、非晶鍺 (a-Ge)、非晶鍺化矽 (a-SiGe) 及其任意比例之組合物之群組組合。
4. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中該以漸減後再漸增之結構形式，形成一複合式電荷陷入層於該穿隧介電層上，藉以產生一組成梯度式能帶之步驟係利用化學氣相沉積而執行。
5. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其

中該基板係為一矽基板。

6. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中該基板之材料係選自多晶矽 (poly Si)、鎳 (Ni)、鉑 (Pt)、氮化鈦 (TiN)、鋁 (Al)、鈮基氮化物、矽化物 (silicide) 及其化合物之群組組合。
7. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中該穿隧介電層之材料係為一氧化物。
8. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中該穿隧介電層之材料係為一具高介電常數之材料。
9. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中該阻擋介電層之材料係為一氧化物。
10. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，其中該阻擋介電層之材料係為一具高介電常數之材料。
11. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，更包括有下列步驟：進行一退火製程以使該複合式電荷陷入層中形成複數個結晶顆粒。
12. 如申請專利範圍第 1 項所述之非揮發性記憶體的製造方法，該形成一導體層於該阻擋介電層上之步驟後，更包括有下列步驟：於該導體層兩側之該基板中形成一源極/汲極區。
13. 一種非揮發性記憶體，包括有：
  - 一基板；
  - 一穿隧介電層，位於該基板上；

一複合式電荷陷入層，位於該穿隧介電層上，其中該複合式電荷陷入層具有一組成梯度式能帶結構；

一阻擋介電層，位於該複合式電荷陷入層上；以及

一導體層，位於該阻擋介電層上。

14. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該複合式電荷陷入層具有複數種材料。
15. 如申請專利範圍第 14 項所述之非揮發性記憶體，其中該材料係選自二氧化矽 ( $\text{SiO}_2$ )、氮化矽 ( $\text{Si}_3\text{N}_4$ )、氧化鋁 ( $\text{Al}_2\text{O}_3$ )、氧化鈺 ( $\text{HfO}_2$ )、氧化鈦 ( $\text{TiO}_2$ )、氧化鉭 ( $\text{Ta}_2\text{O}_5$ )、鈦酸鋇銀 ( $\text{BaSrTiO}_3$ )、鈦酸鋳酸鉛 ( $\text{PbLaZrTiO}_3$ )、氧化釷 ( $\text{Y}_2\text{O}_3$ )、氧化釷 ( $\text{La}_2\text{O}_3$ )、非晶矽 (a-Si)、非晶碳化矽 (a-SiC)、非晶鍺 (a-Ge)、非晶鍺化矽 (a-SiGe) 及其任意比例之組合物之群組組合。
16. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該複合式電荷陷入層之能帶結構係先漸減後再漸增。
17. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該基板係為一矽基板。
18. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該基板之材料係選自多晶矽 (poly Si)、鎳 (Ni)、鉑 (Pt)、氮化鈦 (TiN)、鋁 (Al)、鉭基氮化物、矽化物 (silicide) 及其化合物之群組組合。
19. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該穿隧



介電層之材料係為一氧化物。

20. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該穿隧介電層之材料係為一具高介電常數之材料。
21. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該阻擋介電層之材料係為一氧化物。
22. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該阻擋介電層之材料係為一具高介電常數之材料。
23. 如申請專利範圍第 13 項所述之非揮發性記憶體，其中該複合式電荷陷入層中包括有複數個結晶顆粒。
24. 如申請專利範圍第 23 項所述之非揮發性記憶體，其中該複合式電荷陷入層除結晶顆粒區域之外的材料係為一非晶質材料。
25. 如申請專利範圍第 13 項所述之非揮發性記憶體，更包括有：  
一源極/汲極區，位於該導體層兩側之該基板中。