

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4849885号
(P4849885)

(45) 発行日 平成24年1月11日(2012.1.11)

(24) 登録日 平成23年10月28日(2011.10.28)

(51) Int. Cl. F I
 HO4N 7/173 (2011.01) HO4N 7/173 630
 HO4N 5/46 (2006.01) HO4N 5/46

請求項の数 10 (全 10 頁)

(21) 出願番号	特願2005-366212 (P2005-366212)	(73) 特許権者	310021766
(22) 出願日	平成17年12月20日(2005.12.20)		株式会社ソニー・コンピュータエンタテインメント
(65) 公開番号	特開2007-174041 (P2007-174041A)		東京都港区港南1丁目7番1号
(43) 公開日	平成19年7月5日(2007.7.5)	(74) 代理人	100105924
審査請求日	平成18年9月15日(2006.9.15)		弁理士 森下 賢樹
審判番号	不服2009-18699 (P2009-18699/J1)	(74) 代理人	100109047
審判請求日	平成21年10月2日(2009.10.2)		弁理士 村田 雄祐
		(74) 代理人	100109081
			弁理士 三木 友由
		(74) 代理人	100134256
			弁理士 青木 武司

最終頁に続く

(54) 【発明の名称】 ビデオエンコード装置、ビデオエンコード方法ならびにそれを用いた電子機器

(57) 【特許請求の範囲】

【請求項1】

デジタルビデオデータ信号と制御信号を受け、前記デジタルビデオデータ信号をアナログビデオ信号に変換して、外部に接続される映像機器に出力するビデオエンコード装置であって、

前記デジタルビデオデータ信号を前記アナログビデオ信号に変換するエンコード処理部と、

前記制御信号に含まれる解像度を示す第1データを受け、前記デジタルビデオデータ信号が有する映像の解像度が、前記第1データが示す前記解像度と一致するか否かを判定する解像度判定部と、

前記映像機器に対する前記アナログビデオ信号の出力状態を制御する出力制御部と、を備え、

前記出力制御部は、前記解像度判定部における判定結果を参照し、前記デジタルビデオデータ信号が有する映像の解像度が、前記第1データが示す前記解像度と一致したとき前記映像機器に対する前記アナログビデオ信号の出力を許可し、一致しないとき前記アナログビデオ信号の出力を制限することを特徴とするビデオエンコード装置。

【請求項2】

前記解像度判定部は、

前記デジタルビデオデータ信号が有する映像の解像度を検出する解像度検出部と、

前記解像度検出部において検出された解像度が、前記第1データが示す解像度と一致す

る否かを判定する条件判定部と、

を含み、前記条件判定部の出力信号にもとづき、前記出力制御部による前記アナログビデオ信号の出力状態を制御することを特徴とする請求項 1 に記載のビデオエンコード装置。

【請求項 3】

前記第 1 データが示す解像度は、ハイビジョン解像度より低い解像度であることを特徴とする請求項 1 または 2 に記載のビデオエンコード装置。

【請求項 4】

前記制御信号は、前記アナログビデオ信号の出力の許可、不許可を示す第 2 データをさらに含み、

前記出力制御部は、前記第 1 データに加えて前記第 2 データに応じて前記アナログビデオ信号の出力を制限することを特徴とする請求項 1 から 3 のいずれかに記載のビデオエンコード装置。

【請求項 5】

前記出力制御部における前記出力状態の制限は、前記アナログビデオ信号の出力の停止であることを特徴とする請求項 1 から 4 のいずれかに記載のビデオエンコード装置。

【請求項 6】

前記出力制御部は、前記出力を停止するとき、前記エンコード処理部によるデジタルアナログ変換処理を停止することを特徴とする請求項 5 に記載のビデオエンコード装置。

【請求項 7】

前記出力制御部における前記出力状態の制限は、前記アナログビデオ信号の解像度を低下させることであることを特徴とする請求項 1 から 4 のいずれかに記載のビデオエンコード装置。

【請求項 8】

1 つの半導体基板上に、一体集積化された機能回路として構成されたことを特徴とする請求項 1 から 7 のいずれかに記載のビデオエンコード装置。

【請求項 9】

請求項 1 から 8 のいずれかに記載のビデオエンコード装置と、
前記ビデオエンコード装置と並列に設けられ、入力される前記デジタルビデオデータ信号を、所定のデジタルフォーマットで、外部に接続される映像機器に出力するデジタルビデオ出力部と、

を備えることを特徴とする電子機器。

【請求項 10】

デジタルビデオデータ信号を受け、映像機器に出力すべきアナログビデオ信号に変換する変換ステップと、

前記デジタルビデオデータ信号が有する映像の解像度が、外部からの制御信号に含まれる制御用データが示す解像度と一致するか否かを判定する判定ステップと、

前記判定ステップにおいて、前記デジタルビデオデータ信号が有する映像の解像度が、前記制御用データが示す前記解像度と一致したとき前記映像機器に対する前記アナログビデオ信号の出力を許可し、一致しないとき前記アナログビデオ信号の出力を制限する制限ステップと、

を備えることを特徴とするビデオエンコード方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、デジタルビデオデータ信号を映像表示装置に出力すべきアナログビデオ信号に変換するビデオエンコード装置に関する。

【背景技術】

【0002】

近年の映像表示機器の技術革新はめざましく、プラズマテレビ、液晶テレビ、あるいは

10

20

30

40

50

プロジェクタなどの映像表示装置は、解像度が1920×1080のHD(High Definition)規格、あるいはそれに準じた規格に対応したものが普及しつつある。

【0003】

こうした状況に鑑みて、HD規格に対応した映像コンテンツも普及の兆しを見せている。たとえば、次世代のBlu-Ray規格や、HD-DVD規格に対応したDVD(Digital Versatile Disc)の実用化が進んでいる。かかる次世代DVDは、高解像度のHD映像をサポートするものである。次世代DVDメディアに、映画などの映像コンテンツがHD映像として記録されて普及すると、違法な複製など著作権の問題が発生するおそれがある。

10

【0004】

HD規格に併せて、HDMI(High Definition Multimedia Interface)と呼ばれる次世代デジタルインターフェイス規格が策定された。このHDMIは、HD映像をデジタルフォーマットのまま、強力なデジタル著作権保護機能とともに送信することができる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、HD解像度を有する映像表示機器であっても、HDMIを備えず、D3、D4端子、あるいはコンポーネント端子など、従来のアナログインターフェイスのみを備えるものも数多く存在する。かかる状況下においては、DVDプレイヤーやゲーム機器などの映像を出力する電子機器は、映像表示機器との間のインターフェイスとして、デジタル信号を伝送可能なHDMIと、アナログビデオ信号を伝送可能な従来のアナログインターフェイスの2つのインターフェイスを備えて構成される。

20

【0006】

ここで、映像表示機器に対してHDMIを介してデジタル信号で映像データを伝送する場合には、違法な複製など著作権保護にかかる問題は生じにくい。一方、アナログインターフェイスで高解像度なHD映像を伝送すると、保護機能が脆弱なため、高画質な映像データが違法に複製されるおそれがある。

【0007】

本発明はこうした課題に鑑みてなされたものであり、その目的は、必要に応じてアナログインターフェイスを介した高画質な映像データの出力を制限することにある。

30

【課題を解決するための手段】

【0008】

本発明のある態様は、デジタルビデオデータ信号を受け、アナログビデオ信号に変換して、外部に接続される映像機器に出力するビデオエンコード装置に関する。このビデオエンコード装置は、エンコード処理部と、解像度判定部と、出力制御部と、を備える。エンコード処理部は、デジタルビデオデータ信号をアナログビデオ信号に変換する。解像度判定部は、デジタルビデオデータ信号が有する映像の解像度が、外部から設定される解像度に応じて定まる条件を満たすかを判定する。出力制御部は、映像機器に対するアナログビデオ信号の出力状態を制御する。出力制御部は、解像度判定部における判定結果を参照し、デジタルビデオデータ信号が有する映像の解像度が、上記条件を満たさないとき、アナログビデオ信号の出力を制限する。このビデオエンコード装置は、1つの半導体基板上に、一体集積化された機能回路として構成されてもよい。

40

【0009】

この態様によると、ビデオエンコード装置が搭載される機器を使用するユーザなどが、ビデオエンコード装置を制御するためのコマンドを解析して不正に高解像度のアナログビデオ信号を出力しようとしても、ビデオエンコード装置の内部において、デジタルビデオデータ信号が有する映像の解像度が所定の条件を満たさない限り、アナログビデオ信号を高解像度で出力することはできない。その結果、高解像度のアナログビデオ信号が、何ら

50

の制限を受けることなく外部に出力されるのを防止することができる。

【0010】

本発明の別の態様は、上述のビデオエンコード装置を利用した電子機器に関する。この電子機器は、上述のビデオエンコード装置と、ビデオエンコード装置と並列に設けられたデジタルビデオ出力部を備える。デジタルビデオ出力部は、ビデオエンコード装置に入力されるデジタルビデオデータ信号を、所定のデジタルフォーマットで、外部に接続される映像機器に出力するデジタルビデオ出力部と、を備える。

【0011】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0012】

本発明によれば、必要に応じてアナログインターフェースを介したHD映像などの高画質な映像データを制限することができる。

【発明を実施するための最良の形態】

【0013】

はじめに、本発明の実施の形態に係るビデオエンコード装置およびエンコード方法の概要について説明する。ビデオエンコード装置は、パーソナルコンピュータやDVDプレイヤー、ゲーム機器などの映像データを出力する電子機器に搭載されるものであり、グラフィックプロセッサなどによりデジタルフォーマットで生成され、あるいは再生されるデジタルビデオデータ信号を、アナログビデオ信号に変換し、外部の映像機器に出力するものである。出力先の映像機器としては、プラズマテレビ、液晶テレビ、プロジェクタなどの映像表示機器や、記録用DVD装置、HD(Hard Disc)装置、VTR(Video Tape Recorder)装置などが想定される。

【0014】

本発明のある態様のビデオエンコード装置は、エンコード処理部と、解像度判定部と、出力制御部と、を備える。エンコード処理部は、デジタルビデオデータ信号をアナログビデオ信号に変換する。解像度判定部は、デジタルビデオデータ信号が有する映像の解像度が、外部から設定される解像度に応じて定まる条件を満たすかを判定する。出力制御部は、映像機器に対するアナログビデオ信号の出力状態を制御する。出力制御部は、解像度判定部における判定結果を参照し、デジタルビデオデータ信号が有する映像の解像度が、上記条件を満たさないとき、アナログビデオ信号の出力を制限する。

【0015】

「アナログビデオ信号の出力の制限」とは、出力自体を停止する場合や、解像度を低下させて出力する場合などを含み、本来再生されるべき映像データとは実質的に異なった映像として出力することを意味する。

この態様によると、外部から設定される解像度と、デジタルビデオデータ信号が有する映像の解像度が所定の条件を満たした場合のみ、アナログビデオ信号が、制限を受けることなく外部の映像機器に出力される。したがって、ビデオエンコード装置が搭載される機器を使用するユーザなどが、ビデオエンコード装置を制御するためのコマンドを解析して不正に高解像度のアナログビデオ信号を出力しようとしても、ビデオエンコード装置の内部において、比較される2つの解像度が一致しない限り、アナログビデオ信号を高解像度で出力することはできない。その結果、高解像度のアナログビデオ信号が、何らの制限を受けることなく外部に出力されるのを防止することができる。

【0016】

解像度判定部は、デジタルビデオデータ信号が有する映像の解像度を検出する解像度検出部と、解像度検出部において検出された解像度と、外部から設定される解像度が、外部から設定される解像度に応じて定まる条件を満たすかを判定する条件判定部と、を含み、条件判定部の出力信号にもとづき、出力制御部によるアナログビデオ信号の出力状態を制御してもよい。

10

20

30

40

50

【0017】

外部から設定される解像度は、ハイビジョン解像度より低い解像度であってもよい。この場合、ハイビジョン解像度のアナログビデオ信号の出力を制限することができる。

【0018】

出力制御部は、さらに、外部から入力される制御信号に応じてアナログビデオ信号の出力を制限してもよい。出力制御部は、制御信号と、解像度判定部の比較結果を示す信号との論理演算を実行する論理回路を含み、当該論理回路の出力信号に応じて、アナログビデオ信号の出力を制限してもよい。この場合、制御信号によるアナログビデオ信号の制限と、解像度比較による制限を2重にかけることができるため、堅牢性を高めることができる。

10

【0019】

出力制御部における出力状態の制限は、アナログビデオ信号の出力の停止であってもよい。出力制御部は、エンコード処理部の後段に設けられたスイッチを含み、当該スイッチのオンオフに応じて、アナログビデオ信号の出力を停止してもよい。また、出力制御部は、出力を停止するとき、エンコード処理部によるデジタルアナログ変換処理を停止してもよい。出力制御部における出力状態の制限は、アナログビデオ信号の解像度を低下させることであってもよい。

【0020】

上記ビデオエンコード装置は、1つの半導体基板上に、一体集積化された機能回路として構成されてもよい。この場合、各回路ブロック、機能ブロック間で信号を取り出すことが困難となるため、より堅牢性を高めることができる。

20

【0021】

本発明の別の態様は、電子機器である。この電子機器は、上述のいずれかの態様のビデオエンコード装置と、ビデオエンコード装置と並列に設けられ、ビデオエンコード装置に入力されるデジタルビデオデータ信号を、所定のデジタルフォーマットで、外部に接続される映像機器に出力するデジタルビデオ出力部と、を備える。

【0022】

本発明のさらに別の態様は、ビデオエンコード方法である。この方法は、デジタルのビデオデータ信号を受け、外部に接続される映像表示装置に出力すべきアナログビデオ信号に変換する変換ステップと、デジタルビデオデータ信号が有する映像の解像度が、外部から設定される解像度に関する条件を満たすか否かを判定する判定ステップと、判定ステップにおいて、条件を満たさないとき、映像機器に対するアナログビデオ信号の出力を制限する制限ステップと、を備える。

30

【0023】

なお、以上の構成要素の任意の組合せ、本発明の表現を、方法、装置、システム、などの変換したものもまた、本発明の態様として有効である。

【0024】

以下、本発明の実施の形態に係るビデオエンコード装置の詳細について、図面を参照しつつ説明する。図1は、実施の形態に係るビデオエンコード装置100を備える電子機器200の構成を示すブロック図である。電子機器200は、たとえば、パーソナルコンピュータやDVDプレイヤー、ゲーム機器などの映像データを生成、出力するものである。本実施の形態において、電子機器200はゲーム機器である。このゲーム機器200は、ゲーム機器として動作するとともに、映像を再生する機能を有する。

40

【0025】

電子機器200は、ビデオエンコード装置100、CPU110、グラフィックプロセッサ120、DVD装置130、デジタルビデオ出力部140を備える。各ブロックはバス150を介して接続される。この電子機器200は、外部に接続される映像機器(図示せず)に対して、デジタルの映像データあるいはアナログの映像データを出力可能に構成される。なお、以降の図において、様々な処理を行う機能ブロック、回路ブロックとして記載される各要素は、ハードウェア的には、CPU、メモリ、その他のLSIで構成する

50

ことができ、ソフトウェア的には、メモリにロードされた予約管理機能のあるプログラムなどによって実現される。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは当業者には理解されるところであり、いずれかに限定されるものではない。

【0026】

DVD装置130は、たとえば、HD解像度の映像信号を再生可能な次世代のDVD装置である。このDVD装置130は、挿入されたディスクから、ゲーム機器200において実行すべきゲームプログラムを読み出し、あるいは映画や音楽が記録されたディスクから映像データを再生するために使用される。ゲーム機器200は、DVD装置130に替えて、あるいはそれに加えて、データを記録、再生可能なハードディスク装置を備えてもよい。

10

【0027】

CPU110は、電子機器200全体を統合的に制御する演算処理装置である。このCPU110は、DVD装置130に挿入されたディスクに記録されたゲームプログラムを図示しないメモリに読み出し、プログラムを実行する。また、CPU110は、DVD装置130に挿入されたディスクに映画などの映像コンテンツが含まれる場合には、それを再生する。

【0028】

グラフィックプロセッサ120は、映像（本明細書において、映像という場合には静止画や動画を含む）に関する演算処理を行うブロックである。このグラフィックプロセッサ120は、ゲームプログラムを実行した結果、生成された映像データや、DVD装置130により再生された映画などの映像データに対して、所定の処理を行い、パラレルのデジタルビデオデータ信号Ddigを垂直同期信号VSYNC、水平同期信号HSYNCとともに、出力する。

20

【0029】

グラフィックプロセッサ120の出力信号は、ビデオエンコード装置100およびデジタルビデオ出力部140に出力される。ビデオエンコード装置100は、RGBコンポーネント端子や、S端子、コンポジット端子などのアナログ入力端子を備える映像機器に対してアナログの映像データを出力するための機能ブロックである。一方、デジタルビデオ出力部140は、ビデオエンコード装置100と並列に設けられ、デジタル信号のインターフェースを備える映像機器に接続される。デジタルビデオ出力部140は、デジタルビデオデータ信号Ddigを、所定のデジタルフォーマットで、外部に接続される映像機器に出力する。このデジタルビデオ出力部140は、本実施の形態において、HDMI規格に適合したインターフェースユニットである。デジタルビデオ出力部140は、HDMIの他、DVI(Digital Video Interface)規格に適合したユニットであってもよい。

30

【0030】

次に、ビデオエンコード装置100の構成について詳細に説明する。図2は、実施の形態に係るビデオエンコード装置100の構成を示すブロック図である。このビデオエンコード装置100は、グラフィックプロセッサ120によりデジタルフォーマットで生成されるデジタルビデオデータ信号Ddigを、アナログビデオ信号Dalgに変換し、映像機器に出力する。

40

【0031】

ビデオエンコード装置100には、デジタルビデオデータ信号Ddigおよび垂直同期信号VSYNC、水平同期信号HSYNCが入力される。ビデオエンコード装置100は、エンコード処理部10、解像度判定部20、出力制御部30を含み、ひとつの半導体基板上に一体集積化して、機能回路として構成することが望ましい。

【0032】

エンコード処理部10は、デジタルビデオデータ信号Ddigに対してエンコード処理を実行し、アナログデジタル変換して、アナログビデオ信号Dalgを出力する。

50

【 0 0 3 3 】

出力制御部 3 0 は、外部に接続される映像機器に対するアナログビデオ信号 D a l g の出力状態を制御する。出力制御部 3 0 については後述する。

【 0 0 3 4 】

解像度判定部 2 0 は、デジタルビデオデータ信号 D d i g が有する映像の解像度（以下、第 1 解像度 D F 1 ともいう）を、外部から設定される映像の解像度（以下、第 2 解像度 D F 2 ともいう）に応じて定まる条件を満たすか否かを判定する。本実施の形態において、解像度判定部 2 0 は、デジタルビデオデータ信号 D d i g が有する映像の解像度（以下、第 1 解像度 D F 1 ともいう）が、外部から設定される映像の解像度（以下、第 2 解像度 D F 2 ともいう）と一致するかを判定する。解像度判定部 2 0 は、図 2 に示すように、解像度検出部 2 2、外部制御部 2 4、解像度設定部 2 6、条件判定部 2 8 を含んで構成することができる。

10

【 0 0 3 5 】

解像度検出部 2 2 は、デジタルビデオデータ信号 D d i g が有する映像の解像度 D F 1 を検出するブロックである。解像度の検出方法はさまざまな方法が存在する。たとえば、解像度検出部 2 2 は第 1、第 2 カウンタを含んでもよい。この場合、第 1 カウンタにおいて、水平同期信号 H S Y N C の間隔を所定のクロック信号を用いてカウントし、第 2 カウンタにおいて、垂直同期信号 V S Y N C の間隔を水平同期信号 H S Y N C を用いてカウントすればよい。その結果、ビデオエンコード装置 1 0 0 に入力されるデジタルビデオデータ信号 D d i g の縦、横の解像度 D F 1 を判定することができる。もっとも、解像度 D F 1 の検出方法はこれに限定されるものではなく、他の手法を用いてもよい。

20

【 0 0 3 6 】

外部制御部 2 4 は、ビデオエンコード装置 1 0 0 の外部に設けられた C P U 1 1 0 から出力される制御信号 C M D にもとづいて、ビデオエンコード装置 1 0 0 を制御する。たとえば、C P U 1 1 0 と外部制御部 2 4 の間は I²C (I S q u a r e C) バスを用いて通信を行ってもよい。

【 0 0 3 7 】

C P U 1 1 0 は、電子機器 2 0 0 全体を統合的に制御しているため、ビデオエンコード装置 1 0 0 に入力されているデジタルビデオデータ信号のコンテンツや解像度を認識しており、これらの情報にもとづき、I 2 C バスを介してビデオエンコード装置 1 0 0 を制御する。

30

【 0 0 3 8 】

ビデオエンコード装置 1 0 0 の外部制御部 2 4 に入力される制御信号 C M D は、ビデオエンコード装置 1 0 0 を制御するためのさまざまな設定値や命令が含まれ、出力制御部 3 0 を制御するための信号や、第 2 解像度 D F 2 を設定する信号が含まれる。外部制御部 2 4 は、制御信号 C M D を解析し、出力制御部 3 0 を制御するための信号 S 1 を、出力制御部 3 0 へ出力する。また、外部制御部 2 4 は、制御信号 C M D から第 2 解像度 D F 2 を示すデータ S 2 を抽出し、解像度設定部 2 6 へ出力する。

【 0 0 3 9 】

解像度設定部 2 6 は、外部制御部 2 4 から出力された解像度を示すデータ S 2 にもとづき、第 2 解像度 D F 2 を設定する。制御信号 C M D によって外部から設定された第 2 解像度 D F 2 は、条件判定部 2 8 へ出力される。

40

【 0 0 4 0 】

条件判定部 2 8 は、解像度検出部 2 2 から出力される第 1 解像度 D F 1 と、解像度設定部 2 6 から出力される第 2 解像度 D F 2 を比較する。条件判定部 2 8 は、2 つの解像度の一致、不一致を示す判定信号 S 3 を出力する。この判定信号 S 3 は、出力制御部 3 0 へ出力される。

【 0 0 4 1 】

出力制御部 3 0 は、解像度判定部 2 0 における比較結果 (S 3) を参照し、外部から設定される解像度 D F 2 がデジタルビデオデータ信号 D d i g が有する映像の解像度 D F 1

50

と一致したときアナログビデオ信号 D a l g を出力する。一方、出力制御部 3 0 は、解像度が一致しないとき、アナログビデオ信号 D a l g の出力を制限する。

【 0 0 4 2 】

出力制御部 3 0 は、スイッチ S W および論理回路 3 2 を含んで構成されてもよい。エンコード処理部 1 0 から出力されるアナログビデオ信号 D a l g は、スイッチ S W がオンのとき、外部の映像機器に対して出力される。スイッチ S W がオフのとき、アナログビデオ信号 D a l g の出力は停止する。

【 0 0 4 3 】

論理回路 3 2 は、外部制御部 2 4 の出力信号 S 1 および条件判定部 2 8 の出力信号 S 3 が入力され、2 つの信号にもとづき、スイッチ S W のオンオフを制御する。論理回路 3 2 は、条件判定部 2 8 における判定の結果、2 つの解像度が一致し、かつ信号 S 1 により出力が許可された場合に、スイッチ S W をオンする。逆に、2 つの解像度が不一致の場合、または、信号 S 1 がアナログビデオ信号の出力を許可しない場合には、スイッチ S W をオフする。

【 0 0 4 4 】

本実施の形態に係るビデオエンコード装置 1 0 0 によれば、たとえば、ハイビジョン解像度のアナログビデオ信号を出力したくない場合には、第 2 解像度 D F 2 をハイビジョン解像度よりも低い解像度に設定すればよい。この場合、デジタルビデオデータ信号 D d i g が有する映像の解像度 D F 1 がハイビジョン解像度の場合、第 2 解像度 D F 2 と一致しないため、ハイビジョンのアナログビデオ信号 D a l g の出力を停止することができる。

【 0 0 4 5 】

また、外部から入力される制御信号 C M D が解析されて、信号 S 1 が書き換えられた場合でも、第 1 解像度 D F 1 と第 2 解像度 D F 2 が一致しない限り、アナログビデオ信号 D a l g の出力は許可されないため、堅牢性を高めることができる。

【 0 0 4 6 】

また、ビデオエンコード装置 1 0 0 が機能 L S I として構成されることにより、各回路ブロック、機能ブロック間から信号を取り出すことが困難となるため、より堅牢性を高めることができる。

【 0 0 4 7 】

この実施の形態において、出力制御部 3 0 は、スイッチ S W をオフし、アナログビデオ信号 D a l g の出力を停止するとともに、エンコード処理部 1 0 によるデジタルアナログ変換処理を停止するのが好ましい。この場合、アナログビデオ信号自体が生成されなくなるため、データをより安全に保護することができる。

【 0 0 4 8 】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【 0 0 4 9 】

上述の実施の形態では、出力制御部 3 0 における出力状態の制限が、アナログビデオ信号 D a l g の出力の停止である場合について説明したが、本発明はこれには限定されない。出力制御部 3 0 における出力状態の制限の変形例として、アナログビデオ信号の解像度を低下させてもよい。このために、ビデオエンコード装置 1 0 0 自体がダウンコンバータを備えていてもよいし、あるいはグラフィックプロセッサ 1 2 0 が解像度を制御する機能を有する場合には、グラフィックプロセッサ 1 2 0 に解像度の低下を指示してもよい。また、出力状態の制限としては、ビデオエンコード装置 1 0 0 に入力されるデジタルビデオデータ信号と全く無関係の映像を出力してもよい。

【 0 0 5 0 】

実施の形態において、解像度判定部 2 0 は、デジタルビデオデータ信号 D d i g が有する映像の解像度が、外部から設定される映像の解像度と一致するかを判定したが、解像度判定部 2 0 において設定される条件にはさまざま変形例が考えられる。たとえば、外部か

10

20

30

40

50

ら設定される映像の解像度は複数であってもよい。また、解像度判定部20は、デジタルビデオデータ信号Dd i gが有する映像の解像度が、外部から設定される映像の解像度に応じて定まる解像度の範囲に含まれるかを判定してもよい。

【0051】

実施の形態では、ビデオエンコード装置100がひとつのLSIとして構成される場合について説明したが、ビデオエンコード装置100は、グラフィックプロセッサ120と一体に集積化されてもよい。

【図面の簡単な説明】

【0052】

【図1】実施の形態に係るビデオエンコード装置を備える電子機器の全体構成を示すブロック図である。

10

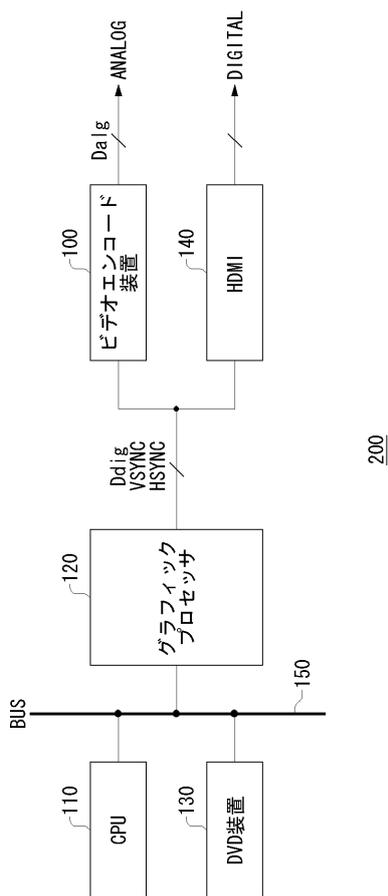
【図2】実施の形態に係るビデオエンコード装置の構成を示すブロック図である。

【符号の説明】

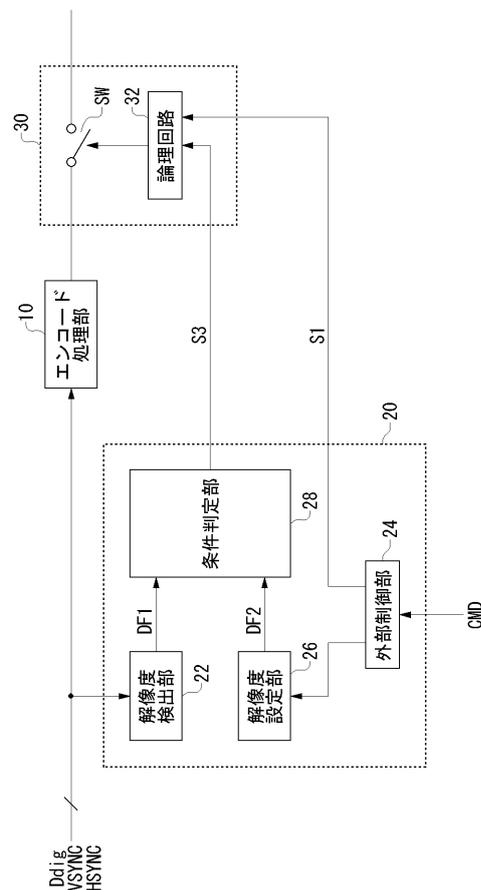
【0053】

10 エンコード処理部、 20 解像度判定部、 22 解像度検出部、 24 外部制御部、 26 解像度設定部、 28 条件判定部、 30 出力制御部、 32 論理回路、 100 ビデオエンコード装置、 110 CPU、 120 グラフィックプロセッサ、 130 DVD装置、 140 デジタルビデオ出力部、 200 電子機器。

【図1】



【図2】



フロントページの続き

(72)発明者 杉村 明浩

東京都港区南青山2丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内

合議体

審判長 乾 雅浩

審判官 小池 正彦

審判官 梅本 達雄

(56)参考文献 特開2003-224816(JP,A)

特開2002-218412(JP,A)

特開2005-25270(JP,A)

特開平10-174057(JP,A)

特開2005-79887(JP,A)