

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月28日(28.01.2016)



(10) 国際公開番号
WO 2016/013412 A1

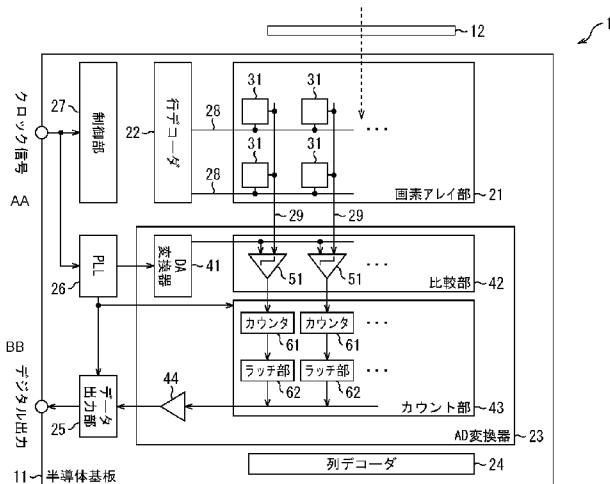
- (51) 国際特許分類:
H04N 5/351 (2011.01) H04N 5/355 (2011.01)
H01L 27/146 (2006.01) H04N 5/357 (2011.01)
H04N 5/235 (2006.01) H04N 5/374 (2011.01)
H04N 5/353 (2011.01) H04N 9/07 (2006.01)
- (21) 国際出願番号: PCT/JP2015/069829
- (22) 国際出願日: 2015年7月10日(10.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-151702 2014年7月25日(25.07.2014) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 杉崎 太郎 (SUGIZAKI Taro); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 山中 剛 (YAMANAKA Go); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 吉岡 大助 (YOSH-

- IOKA Daisuke); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 西亨 (NISHI Toru); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 堀江 陽介 (HORIE Yousuke); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP). 小佐々 武志 (KOZASA Takesi); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP). 呉 謙益 (GO Keneki); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP). 市丸 典弘 (ICHIMARU Norihiro); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP). 細井 直樹 (HOSOI Naoki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP ELEMENT, IMAGE PICKUP CONTROL METHOD, SIGNAL PROCESSING METHOD, AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像素子、撮像制御方法、信号処理方法、及び、電子機器



- 11 Semiconductor substrate
- 21 Pixel array unit
- 22 Row decoder
- 23 AD converter
- 24 Column decoder
- 25 Data output unit
- 27 Control unit
- 41 DA converter
- 42 Comparison unit
- 43 Count unit
- 61 Counter
- 62 Latch unit
- AA Clock signal
- BB Digital output

(57) Abstract: The present art relates to a solid-state image pickup element whereby image quality deterioration due to sensitivity differences among pixels can be suppressed, an image pickup control method, a signal processing method, and an electronic apparatus. This solid-state image pickup element is provided with: a pixel array unit wherein a plurality of kinds of pixels are disposed, said pixels including a first pixel having the highest sensitivity, and a second pixel having a sensitivity that is lower than that of the first pixel; and a control unit that controls, corresponding to the ratio between the first pixel sensitivity and the second pixel sensitivity, analog gain and exposure time with respect to each of the pixels. The present art is applicable to, for instance, solid-state image pickup elements, such as CMOS image sensors.

(57) 要約: 本技術は、画素間の感度の違いによる画質の劣化を抑制することができるようにする固体撮像素子、撮像制御方法、信号処理方法、及び、電子機器に関する。固体撮像素子は、最も感度が高い第1の画素及び第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、第1の画素と第2の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間を制御する制御部とを備える。本技術は、例えば、CMOSイメージセンサ等の固体撮像素子に適用できる。

WO 2016/013412 A1



BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

固体撮像素子、撮像制御方法、信号処理方法、及び、電子機器

技術分野

[0001] 本技術は、固体撮像素子、撮像制御方法、信号処理方法、及び、電子機器に関し、特に、画素間の感度の違いによる画質の劣化を抑制するようにした固体撮像素子、撮像制御方法、信号処理方法、及び、電子機器に関する。

背景技術

[0002] 従来、無色のカラーフィルタを用いた画素又はカラーフィルタを用いない画素であるホワイト画素（又は、クリア画素ともいう）を用いて、イメージセンサの感度を向上させることが提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-136225号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、ホワイト画素は、他の画素と比較して感度が高いため、他の画素より早く飽和する。その結果、パープルフリッジと呼ばれる飽和偽色が生じ、画質が劣化する。

[0005] そこで、本技術は、画素間の感度の違いによる画質の劣化を抑制するようにするものである。

課題を解決するための手段

[0006] 本技術の第1の側面の固体撮像素子は、最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、前記第1の画素と前記第2の画素との感度比に応じ

て、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御する制御部とを備える。

[0007] 前記制御部は、入射光量が所定の閾値以上である場合、前記第1の画素に対する第1のアナログゲインと前記第2の画素に対する第2のアナログゲインとの間にゲイン差を設けるとともに、前記第1の画素の露光時間と前記第2の画素の露光時間との間に時間差を設けることにより、前記第1の画素と前記第2の画素の感度差の補正を行わせることができる。

[0008] 前記制御部には、前記感度比に対応する第1のオフセット値より小さい第2のオフセット値だけ前記第2のアナログゲインの最小値を前記第1のアナログゲインの最小値より高い値に設定させ、前記ゲイン差が前記第1のオフセット値より小さくなる場合、前記ゲイン差が前記第1のオフセット値より小さくなる量に応じて、前記第1の画素の露光時間を前記第2の画素の露光時間より短くさせることができる。

[0009] 前記制御部には、光源又は色温度の変化に伴う前記感度比の変化に応じて、前記第1のオフセット値及び前記第2のオフセット値を調整させることができる。

[0010] 前記制御部には、入射光量が前記閾値未満である場合、前記第1のアナログゲインを前記第2のアナログゲインより前記第1のオフセット値だけ低い値に設定させることができる。

[0011] 前記制御部には、前記第1の画素の画素信号及び前記第2の画素の画素信号のAD変換に用いる参照信号の傾きにより前記第1のアナログゲイン及び前記第2のアナログゲインを設定させるとともに、前記参照信号を出力するDA変換部のダイナミックレンジを前記第1の画素の光電変換素子に飽和電子数の電荷が蓄積された状態の信号レベルに合わせることができる。

[0012] 前記制御部には、光源又は色温度の変化に伴う前記感度比の変化に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を変更させることができる。

[0013] 前記第1の画素を、ホワイト画素とし、前記第2の画素を、ホワイト画素

と異なる色の画素とすることができる。

- [0014] 前記第2の画素を、赤色の画素及び青色の画素とし、前記感度比を、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比とすることができる。
- [0015] 前記第1の画素を、主に輝度信号に使用する画素とし、前記第2の画素を、主に色信号に使用する画素とすることができる。
- [0016] 前記第2の画素を、2番目に感度が高い画素とすることができる。
- [0017] 本技術の第1の側面の撮像制御方法においては、最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、前記第1の画素と前記第2の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御する。
- [0018] 本技術の第1の側面の電子機器は、最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、前記第1の画素と前記第2の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御する制御部とを備える。
- [0019] 本技術の第2の側面の固体撮像素子は、最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、前記第1の画素と前記第2の画素との感度比に応じた量だけ前記第1の画素の画素信号の電位をシフトする制御部とを備える。
- [0020] 前記画素信号が入力される第1の入力端子、及び、前記画素信号と比較する参照信号が入力される第2の入力端子を備え、前記画素信号と前記参照信号の比較を行うコンパレータを含むAD変換部をさらに設け、前記制御部には、前記第1の入力端子側のカップリング比を変更することにより、前記画素信号の電位をシフトさせることができる。
- [0021] 前記第1の入力端子に接続され、前記第1の入力端子と前記第2の入力端子との間の電位差を解消するための所定の信号が入力される第1のキャパシ

たと、所定の電源と前記第1のキャパシタとの間にスイッチを介して接続されている第2のキャパシタとをさらに設け、前記制御部には、前記スイッチの状態を切り替えることにより、前記カップリング比を変更させることができる。

[0022] 複数の前記第2のキャパシタが、それぞれスイッチを介して前記電源と前記第1のキャパシタとの間に接続されており、前記制御部には、複数の前記スイッチの状態を個別に切り替えることにより、前記カップリング比を変更させることができる。

[0023] 前記制御部には、前記第1の画素の電荷電圧変換部の変換効率を変更することにより、前記画素信号の電位をシフトさせることができる。

[0024] 前記制御部には、前記電荷電圧変換部の容量を変更することにより、前記電荷電圧変換部の変換効率を変更させることができる。

[0025] 前記制御部には、光源又は色温度の変化に伴う前記感度比の変化に応じて、前記画素信号の電位のシフト量を調整させることができる。

[0026] 前記第1の画素を、ホワイト画素とし、前記第2の画素を、ホワイト画素と異なる色の画素とすることができる。

[0027] 前記第2の画素を、赤色の画素及び青色の画素とし、前記感度比を、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比とすることができる。

[0028] 前記第1の画素を、主に輝度信号に使用する画素とし、前記第2の画素を、主に色信号に使用する画素とすることができる。

[0029] 前記第2の画素を、2番目に感度が高い画素とすることができる。

[0030] 本技術の第2の側面の信号処理方法は、最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、前記第1の画素と前記第2の画素との感度比に応じた量だけ前記第1の画素の画素信号の電位をシフトする。

[0031] 本技術の第2の側面の電子機器は、最も感度が高い第1の画素及び前記第

1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、前記第1の画素と前記第2の画素との感度比に応じた量だけ前記第1の画素の画素信号の電位をシフトする制御部とを備える固体撮像素子を含む。

[0032] 本技術の第3の側面の固体撮像素子は、最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、入射光量に応じて各画素に対するアナログゲインを制御する制御部とを備え、前記制御部は、前記第1の画素と前記第2の画素との感度比に対応する第1のオフセット値だけ前記第1に対する第1のアナログゲインを前記第2の画素に対する第2のアナログゲインより低い値に設定するとともに、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する。

[0033] 前記制御部には、前記第2のアナログゲインが所定の閾値未満になる場合、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲にシフトさせることができる。

[0034] 前記画素アレイ部の画素の画素信号のA/D変換に用いる参照信号を出力するD/A変換部をさらに設け、前記制御部には、前記参照信号の傾きを制御することにより前記第1のアナログゲイン及び前記第2のアナログゲインを制御させるとともに、前記参照信号の電圧を増減させる前記D/A変換部の基準電流を前記第2の画素より前記第1の画素に対して大きく設定することにより、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定させることができる。

[0035] 前記制御部には、前記基準電流の設定値をフレーム単位で切り替えさせることができる。

[0036] 前記制御部には、前記基準電流の設定値を画素単位で切り替えさせることができる。

[0037] 前記第1の画素を、ホワイト画素とし、前記第2の画素を、ホワイト画素と異なる色の画素とすることができる。

- [0038] 前記第2の画素を、赤色の画素及び青色の画素とし、前記感度比を、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比とすることができる。
- [0039] 前記第1の画素を、主に輝度信号に使用する画素とし、前記第2の画素を、主に色信号に使用する画素とすることができる。
- [0040] 前記第2の画素を、2番目に感度が高い画素とすることができる。
- [0041] 本技術の第3の側面の撮像制御方法においては、最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、入射光量に応じて各画素に対するアナログゲインを制御し、
前記第1の画素と前記第2の画素との感度比に対応する第1のオフセット値だけ前記第1に対する第1のアナログゲインを前記第2の画素に対する第2のアナログゲインより低い値に設定するとともに、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する。
- [0042] 本技術の第3の側面の電子機器は、最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、入射光量に応じて各画素に対するアナログゲインを制御する制御部とを備え、前記制御部は、前記第1の画素と前記第2の画素との感度比に対応する第1のオフセット値だけ前記第1に対する第1のアナログゲインを前記第2の画素に対する第2のアナログゲインより低い値に設定するとともに、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する固体撮像素子を含む。
- [0043] 本技術の第1の側面においては、前記第1の画素と前記第2の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御される。
- [0044] 本技術の第2の側面においては、前記第1の画素と前記第2の画素との感

度比に応じた量だけ前記第1の画素の画素信号の電位がシフトする。

[0045] 本技術の第3の側面においては、前記第1の画素と前記第2の画素との感度比に対応する第1のオフセット値だけ前記第1に対する第1のアナログゲインが前記第2の画素に対する第2のアナログゲインより低い値に設定されるとともに、前記第1のアナログゲインのダイナミックレンジが前記第2のアナログゲインのダイナミックレンジより低い範囲に設定される。

発明の効果

[0046] 本技術の第1乃至第3の側面によれば、画素間の感度の違いによる画質の劣化を抑制することができる。

図面の簡単な説明

[0047] [図1]本技術を適用した固体撮像素子の構成の概略を示すシステム構成図である。

[図2]単位画素の回路構成の例を示す図である。

[図3]色フィルタアレイのカラーコーディングの例を示す色配列図である。

[図4]基本的なAD変換動作について簡単に説明するための図である。

[図5]DA変換器の具体的な構成例を示す回路図である。

[図6]制御部の機能の構成例を示すブロック図である。

[図7]同じ入射光量に対するW画素の画素信号及びG画素の画素信号のAD変換を行う場合の各信号の推移の例を模式的に示す図である。

[図8]W画素とG画素の入射光量と固体撮像素子の出力信号との関係を比較したグラフである。

[図9]感度差の補正後のW画素とG画素の入射光量と固体撮像素子の出力信号との関係を比較したグラフである。

[図10]アナログゲインの設定可能範囲を説明するための図である。

[図11]参照信号の変化の例を示す図である。

[図12]アナログゲインのダイナミックレンジのシフトを説明するための図である。

[図13]DAC基準電流モードの切り替えタイミングの第1の例を示す図であ

る。

[図14] D A C 基準電流モードの切り替えタイミングの第 2 の例を示す図である。

[図15] アナログゲインのシフトによる Q_s 不足を説明するための図である。

[図16] 第 3 の感度差補正方法の概要を説明するための図である。

[図17] 第 3 の感度差補正方法における感度差補正処理を説明するためのフローチャートである。

[図18] 第 3 の感度差補正方法における G 画素の A D 変換処理の例を説明するための図である。

[図19] 第 3 の感度差補正方法における W 画素の A D 変換処理の例を説明するための図である。

[図20] 光源の色温度及び W / G 感度比の例を示す表である。

[図21] A D 変換器のコンパレータ付近の詳細な回路図である。

[図22] W 画素の信号レベルのシフトの例を示す図である。

[図23] 単位画素の増幅トランジスタの断面の模式図である。

[図24] 増幅トランジスタの酸化膜容量と基板容量の接続状態を説明するための図である。

[図25] 増幅トランジスタの酸化膜容量と基板容量の接続状態を説明するための図である。

[図26] F D 部の断面を拡大した模式図である。

[図27] F D 部の断面を拡大した模式図である。

[図28] A D 変換器の第 1 の変形例を示す図である。

[図29] A D 変換器の第 2 の変形例を示す図である。

[図30] 色フィルタアレイのカラーコーディングの第 1 の変形例を示す色配列図である。

[図31] 色フィルタアレイのカラーコーディングの第 2 の変形例を示す色配列図である。

[図32] 色フィルタアレイのカラーコーディングの第 3 の変形例を示す色配列

図である。

[図33]色フィルタアレイのカラーコーディングの第4の変形例を示す色配列図である。

[図34]色フィルタアレイのカラーコーディングの第5の変形例を示す色配列図である。

[図35]色フィルタアレイのカラーコーディングの第6の変形例を示す色配列図である。

[図36]色フィルタアレイのカラーコーディングの第7の変形例を示す色配列図である。

[図37]色フィルタアレイのカラーコーディングの第8の変形例を示す色配列図である。

[図38]色フィルタアレイのカラーコーディングの第9の変形例を示す色配列図である。

[図39]色フィルタアレイのカラーコーディングの第10の変形例を示す色配列図である。

[図40]色フィルタアレイのカラーコーディングの第11の変形例を示す色配列図である。

[図41]電子機器の構成例を示すブロック図である。

発明を実施するための形態

[0048] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 実施の形態
2. 変形例
3. 電子機器

[0049] <1. 実施の形態>

{固体撮像素子1の構成例}

図1は、本技術の一実施の形態に係る固体撮像素子1の構成の概略を示すシステム構成図である。なお、ここでは、固体撮像素子1がX-Yアドレス

型固体撮像素子の一種であるCMOSイメージセンサの場合を例に挙げて説明するが、本技術はCMOSイメージセンサへの適用に限られるものではない。

[0050] 固体撮像素子1は、半導体基板11上に形成された画素アレイ部21と、当該画素アレイ部21と同じ半導体基板11上に集積された周辺回路部とを有する構成となっている。周辺回路部には、例えば、行デコーダ22、AD変換器23（以下、ADC23と称する）、列デコーダ24、データ出力部25、PLL回路26、及び、制御部27が含まれる。

[0051] なお、例えば、固体撮像素子1の構造を、画素アレイ部21と周辺回路部を異なる基板に形成し、複数の基板を積層する積層構造とすることも可能である。また、固体撮像素子1として、表面照射型又は裏面照射型のいずれの方式のCMOSイメージセンサを採用することも可能である。

[0052] 画素アレイ部21には、入射光をその光量に応じた電荷量に光電変換する光電変換素子を含む単位画素31（以下、単に画素31とも称する）が行列状に2次元配置されている。

[0053] 画素アレイ部21にはさらに、行列状の画素配列に対して行ごとに画素駆動線28が図の左右方向（画素行の画素配列方向／水平方向）に沿って配線され、列ごとに垂直信号線29が図の上下方向（画素列の画素配列方向／垂直方向）に沿って形成されている。画素駆動線28の一端は、行デコーダ22の各行に対応した出力端に接続されている。なお、図1では、画素駆動線28を1行につき1本ずつ示しているが、図2を参照して後述するように、画素駆動線28は、1行につき複数のラインを含む。

[0054] ここで、図2を参照して、単位画素31の回路構成の例について説明する。

[0055] 単位画素31は、光電変換素子として、例えばフォトダイオード101を有している。また、単位画素31は、フォトダイオード101に加えて、例えば、転送トランジスタ（転送ゲート）102、リセットトランジスタ103、増幅トランジスタ104、及び、選択トランジスタ105の4つのトラ

ンジスタを有している。

[0056] ここでは、4つのトランジスタ102乃至105として、例えばNチャンネルのトランジスタが用いられている。ただし、ここで例示した転送トランジスタ102、リセットトランジスタ103、増幅トランジスタ104、及び、選択トランジスタ105の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。すなわち、必要に応じて、Pチャンネルのトランジスタを用いる組み合わせとすることができる。

[0057] この単位画素31に対して、画素駆動線28として、例えば、転送線121、リセット線122及び選択線123の3本の駆動配線が同一画素行の各画素について共通に設けられている。これら転送線121、リセット線122及び選択線123の各一端は、行デコーダ22の各画素行に対応した出力端に、画素行単位で接続されている。

[0058] そして、単位画素31に対して、当該単位画素31を駆動する駆動信号である転送信号TRF、リセット信号RST、及び、選択信号SELが行デコーダ22から適宜与えられる。すなわち、転送信号TRFが転送トランジスタ102のゲート電極に、リセット信号RSTがリセットトランジスタ103のゲート電極に、選択信号SELが選択トランジスタ105のゲート電極にそれぞれ印加される。

[0059] フォトダイオード101は、アノード電極が低電位側電源（例えば、グラウンド）に接続されており、受光した光（入射光）をその光量に応じた電荷量の光電荷（ここでは、光電子）に光電変換してその光電荷を蓄積する。フォトダイオード101のカソード電極は、転送トランジスタ102を介して増幅トランジスタ104のゲート電極と電氣的に接続されている。増幅トランジスタ104のゲート電極と電氣的に繋がったノード106をFD（フローティングディフュージョン／浮遊拡散領域）部と呼ぶ。

[0060] 転送トランジスタ102は、フォトダイオード101のカソード電極とFD部106との間に接続されている。転送トランジスタ102のゲート電極には、高レベル（例えば、Vddレベル）がアクティブ（以下、Highアク

タイプと称する)の転送信号TRFが行デコーダ22から与えられる。この転送信号TRFに応答して、転送トランジスタ102が導通状態となり、フォトダイオード101で光電変換された光電荷をFD部106に転送する。

[0061] リセットトランジスタ103は、ドレイン電極が画素電源Vddに、ソース電極がFD部106にそれぞれ接続されている。リセットトランジスタ103のゲート電極には、Highアクティブのリセット信号RSTが行デコーダ22から与えられる。このリセット信号RSTに応答して、リセットトランジスタ103が導通状態となり、FD部106の電荷を画素電源Vddに捨てることによって当該FD部106をリセットする。

[0062] 増幅トランジスタ104は、ゲート電極がFD部106に、ドレイン電極が画素電源Vddにそれぞれ接続されている。そして、増幅トランジスタ104は、リセットトランジスタ103によってリセットされた後のFD部106の電位を示すリセットレベルVrstの画素信号を出力する。また、増幅トランジスタ104は、転送トランジスタ102によって信号電荷が転送された後のFD部106の電位を示す信号レベルVsigの画素信号を出力する。

[0063] 選択トランジスタ105は、例えば、ドレイン電極が増幅トランジスタ104のソース電極に、ソース電極が垂直信号線29にそれぞれ接続されている。選択トランジスタ105のゲート電極には、Highアクティブの選択信号SELが行デコーダ22から与えられる。この選択信号SELに応答して、選択トランジスタ105が導通状態となり、単位画素31を選択状態として増幅トランジスタ104から出力される信号を垂直信号線29に読み出す。

[0064] そして、単位画素31からは、リセット後のFD部106の電位がリセットレベルVrstとして、次いで、信号電荷の転送後のFD部106の電位が信号レベルVsigとして順に垂直信号線29に読み出されることになる。因みに、信号レベルVsigには、リセットレベルVrstの成分も含まれる。

[0065] なお、ここでは、選択トランジスタ105について、増幅トランジスタ104のソース電極と垂直信号線29との間に接続する回路構成としたが、画

素電源V_{dd}と増幅トランジスタ104のドレイン電極との間に接続する回路構成を採ることも可能である。

[0066] また、単位画素31としては、上記の4つのトランジスタから成る画素構成のものに限られるものではない。例えば、増幅トランジスタ104に選択トランジスタ105の機能を持たせた3つのトランジスタから成る画素構成や、複数の光電変換素子間（画素間）で、FD部106以降のトランジスタを共用する画素構成などであっても良く、その画素回路の構成は問わない。

[0067] 図1に戻り、画素アレイ部21の受光面（光入射面）側には、色フィルタアレイ12が設けられている。色フィルタアレイ12は、例えば、輝度信号の主成分となる色が市松状に配置され、残りの部分に色情報成分となる複数色が配列された色配列のカラーコーディングとなっている。ここで、輝度信号の主成分となる色としては、白色（W）、緑色（G）、輝度分光等が挙げられる。

[0068] 例えば、Wフィルタを輝度信号の主成分となる色として市松状に配置する場合は、残りの部分に配列される色情報成分となる複数色のフィルタは、例えば、赤（R）／緑（G）／青（B）の各フィルタとなる。一方、Gフィルタを輝度信号の主成分となる色として市松状に配置する場合は、残りの部分に配列される色情報成分となる複数色のフィルタは、例えばR／Bの各フィルタとなる。

[0069] なお、Wフィルタの感度は、Gフィルタの感度の約2倍であるため、Wフィルタに対応する単位画素31（W画素）の感度も、Gフィルタに対応する単位画素31（G画素）の感度の約2倍となる。すなわち、同じ入射光量に対して、W画素のフォトダイオード101の出力電流は、G画素のフォトダイオード101の出力電流の約2倍となり、W画素の信号レベルV_{sig}もG画素の信号レベルV_{sig}の約2倍となる。そして、W画素を設けることにより、高S/N比が実現される。

[0070] 図3は、色フィルタアレイ12のカラーコーディングの例を示す色配列図である。この例では、縦4画素×横4画素からなるパターンを1単位とする

カラーコーティングの例が示されている。この例では、上述した図3の例と同様に、Wフィルタ：Rフィルタ：Gフィルタ：Bフィルタ＝8：2：4：2の割合で配置されている。具体的には、Wフィルタは、市松状に配置されている。Rフィルタは、1行目の4列目と3行目の2列目に配置されている。Bフィルタは、1行目の2列目と3行目の4列目に配置されている。Gフィルタは、残りの画素位置に配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0071] なお、以下、W画素以外のR画素、G画素及びB画素をまとめてRGB画素とも称する。また、色フィルタアレイ12のカラーコーティングの他の例は、後述する。

[0072] 図1に戻り、行デコーダ22は、シフトレジスタやアドレスデコーダ等により構成されている。ここでは、具体的な構成については図示を省略するが、行デコーダ22は、読出し走査系と掃出し走査系とを有する構成となっている。読出し走査系は、信号を読み出す単位画素31について行単位で順に選択走査を行う。

[0073] 一方、掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対し、その読出し走査よりもシャッタスピードの時間分だけ先行して当該読出し行の単位画素31の光電変換素子から不要な電荷を掃き出す（リセットする）掃出し走査を行う。この掃出し走査系による不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

[0074] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作又は電子シャッタ動作以降に入射した光量に対応するものである。そして、直前の読出し動作による読出しタイミング又は電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積時間（露光時間）となる。

- [0075] 行デコーダ22によって選択走査された画素行の各单位画素から出力される信号は、垂直信号線29の各々を通してADC23に供給される。ADC23は、画素アレイ部21の画素列ごとに、選択行の各画素から出力されるアナログの画素信号に対してあらかじめ定められた信号処理を行う。
- [0076] 具体的には、ADC23は、アナログの画素信号をデジタル化するAD変換処理を実行する。ADC23は、DA変換器41（以下、DAC41と称する）、比較部42、カウント部43、及び、センスアンプ44を含むように構成される。比較部42には、画素アレイ部21の画素列毎にコンパレータ51が設けられている。カウント部43には、画素アレイ部21の画素列毎にカウンタ61及びラッチ部62が設けられている。
- [0077] DAC41は、AD変換に用いる参照信号Vrefを生成し、各コンパレータ51に供給する。この参照信号Vrefは、例えば、時間が経過するにつれて電圧値が所定の幅で階段状に変化する、所謂、ランプ（RAMP）波形（傾斜状の波形）の信号とされる。なお、後で参照する図4等においては、図を分かりやすくするために、参照信号Vrefを階段状の波形でなく、傾斜状の波形により表している。
- [0078] コンパレータ51は、単位画素31から垂直信号線29を通して読み出されるアナログの画素信号V_{vs1}を比較入力とし、DAC41から供給されるランプ波の参照信号Vrefを基準入力とし、両入力を比較する。
- [0079] カウンタ61には、例えば、アップ／ダウンカウンタが用いられる。カウンタ61は、コンパレータ51に対する参照信号Vrefの供給開始タイミングと同じタイミングで、PLL回路26からクロック信号が与えられる。カウンタ61は、クロック信号に同期してダウン（DOWN）カウント、又は、アップ（UP）カウントを行うことで、コンパレータ51の出力パルスのパルス幅の期間を計測する。
- [0080] 各ラッチ部62は、各カウンタ61から供給されるカウント値を保持し、所定のタイミングで保持しているカウント値を示す信号を、例えばkビット幅の水平転送線を介してセンスアンプ44に供給する。

- [0081] セン스アンプ44は、ラッチ部62から供給されるカウント値を示す信号の電圧を増幅し、データ出力部25に供給する。
- [0082] ここで、図4を参照して、ADC23による基本的なAD変換動作について簡単に説明する。なお、この図に示されるAD変換動作は、複数の単位画素31の画素信号を順次に読み出す間に繰り返し実行される。
- [0083] 時刻 t_0 から t_1 まではリセット期間であり、対象となる単位画素31のリセット動作が行われる。これにより、対象となる単位画素31からコンパレータ51に入力される画素信号 V_{vsl} がリセットレベル V_{rst} に設定される。
- [0084] 時刻 t_1 から t_2 まではオートゼロ期間であり、オートゼロ動作が行われる。具体的には、コンパレータ51の両方の入力端子に所定の基準電位のオートゼロ信号が入力され、コンパレータ51の入力端子間の電位差が解消される。
- [0085] 時刻 t_2 から t_4 まではP相（Pre-Charge相）に対する処理期間である。そのうち、時刻 t_2 から t_3 までがP相準備期間であり、時刻 t_3 から t_4 までがP相読み出し期間である。
- [0086] P相準備期間においては、参照信号 V_{ref} を初期値に戻す等のAD変換動作の準備が行われる。
- [0087] そして、時刻 t_3 において、DAC41からコンパレータ51への参照信号 V_{ref} への入力開始され、P相読み出し期間が開始する。参照信号 V_{ref} は、所定の基準値を初期値として、時刻 t_3 から時刻 t_4 までの期間において、時間の経過とともに初期値から所定の幅で階段状に減少する。
- [0088] コンパレータ51は、参照信号 V_{ref} と画素信号 V_{vsl} との大小関係に応じた比較信号 V_{co} を出力し、カウンタ61に供給する。例えば、比較信号 V_{co} は、参照信号 V_{ref} が画素信号 V_{vsl} 以上である場合、ハイレベルになり、参照信号 V_{ref} が画素信号 V_{vsl} 未満である場合、ローレベルになる。
- [0089] カウンタ61は、比較信号 V_{co} がハイレベルである期間、すなわち、参照信号 V_{ref} が画素信号 V_{vsl} のリセットレベル V_{rst} 以上である期間において、

例えば、ダウンカウントを行う。そして、カウンタ61は、比較信号 V_{co} がローレベルである期間、すなわち、参照信号 V_{ref} が画素信号 V_{vsl} のリセットレベル V_{rst} 未満である期間において、ダウンカウントを停止する。

[0090] 従って、カウンタ61は、時刻 t_3 においてP相読み出し期間が開始されてから、時刻 t_p において、参照信号 V_{ref} がリセットレベル V_{rst} を下回るまでの時間をカウントする。このカウント値 C_{Op} は、リセット状態の単位画素31に蓄積された電荷に相当するデジタル値となる。

[0091] 時刻 t_4 から t_6 まではD相(Data相)に対する処理期間である。そのうち、時刻 t_4 から t_5 までがD相準備期間であり、時刻 t_5 から t_6 までがD相読み出し期間である。

[0092] D相準備期間においては、参照信号 V_{ref} を初期値に戻す等のAD変換動作の準備が行われる。また、D相準備期間において、対象となる単位画素31から、FD部106に蓄積された電荷量に応じた信号レベル V_{sig} の画素信号 V_{vsl} の出力が開始される。

[0093] そして、時刻 t_5 において、DAC41からコンパレータ51への参照信号 V_{ref} への入力開始され、D相読み出し期間が開始する。参照信号 V_{ref} は、P相読み出し期間の場合と同様に、所定の基準値を初期値として、時刻 t_5 から時刻 t_6 までの期間において、時間の経過とともに初期値から所定の幅で階段状に減少する。

[0094] カウンタ61は、コンパレータ51から出力される比較信号 V_{co} がハイレベルである期間、すなわち、参照信号 V_{ref} が画素信号 V_{vsl} の信号レベル V_{sig} 以上である期間において、例えば、アップカウントを行う。そして、カウンタ61は、比較信号 V_{co} がローレベルである期間、すなわち、参照信号 V_{ref} が画素信号 V_{vsl} の信号レベル V_{sig} 未満である期間において、アップカウントを停止する。

[0095] これにより、カウンタ61は、時刻 t_5 においてD相読み出し期間が開始されてから、時刻 t_d において、参照信号 V_{ref} が信号レベル V_{sig} を下回るまでの時間をカウントする。このカウント値 C_{Od} は、対象となる単位画素3

1のFD部106に蓄積された電荷に相当するデジタル値となる。

[0096] また、カウンタ61は、D相読み出し期間において、P相読み出し期間のカウンタ結果を初期値としてカウントを行う。これにより、D相読み出し期間の終了時にカウンタ61が保持するカウント値は、カウント値C_{Od}からカウント値C_{Op}を引いた値となる。すなわち、カウンタ61が保持するカウント値は、対象となる単位画素31のフォトダイオード101が受光量に応じて生成した電荷に応じた信号レベルV_{sig}から、リセットレベルV_{rst}を引いた電圧に相当するデジタル値となる。従って、カウンタ61の保持するカウント値は、いわゆる相関2重サンプリング (Correlated Double Sampling) によって、単位画素31のリセットノイズや増幅トランジスタ104の閾値ばらつき等の画素固有の固定ノイズ成分を除去された値になる。

[0097] そして、カウンタ61に保持されたカウント値は、列デコーダ24の制御により、ラッチ部62に転送され、例えば、次のAD変換動作の実行中に、センスアンプ44を介して、データ出力部25に出力される。

[0098] ここで、画素信号V_{vs1}に対するアナログゲインは、DAC41からコンパレータ51に供給される参照信号V_{ref}の傾きにより制御される。具体的には、例えば、同じ信号レベルV_{sig}に対して、参照信号V_{ref}の傾きが緩やかになるほど、カウント値C_{Od}が大きくなり、参照信号V_{ref}の傾きが急峻になるほど、カウント値C_{Od}が小さくなる。従って、画素信号V_{vs1}に対するアナログゲインは、参照信号V_{ref}の傾きが緩やかになるほど高くなり、参照信号V_{ref}の傾きが急峻になるほど低くなる。

[0099] また、DAC41のダイナミックレンジは、D相読み出し期間における参照信号V_{ref}の変化幅DRにより規定される。従って、アナログゲインが大きくなり、参照信号V_{ref}の傾きが緩やかになるほど、DAC41のダイナミックレンジは小さくなる。一方、アナログゲインが小さくなり、参照信号V_{ref}の傾きが急峻になるほど、DAC41のダイナミックレンジは大きくなる。

[0100] なお、以下、DAC41のダイナミックレンジを、参照信号V_{ref}のダイナミックレンジとも称する。

- [0101] 図1に戻り、列デコーダ24は、シフトレジスタやアドレスデコーダなどによって構成され、ADC23の画素列に対応した回路部分を順番に選択走査する。この列デコーダ24による選択走査により、ADC23で画素列ごとに信号処理された画素信号が順番に出力される。
- [0102] なお、各画素列のコンパレータ51、カウンタ61及びラッチ部62は、列デコーダ24の制御の下に、並列に動作することも可能であるし、個別に動作することも可能である。そのため、任意の画素列の組み合わせでAD変換動作を並列に行うことができる。
- [0103] データ出力部25は、例えば、LVDS (Low Voltage Differential Signaling) のインタフェース回路等により構成される。データ出力部25は、各単位画素31の画素信号をデジタル化したカウンタ値を示す出力信号を、ISP (Image Signal Processor) やDSP (Digital Signal Processor) 等により構成される信号処理部 (不図示) に供給する。
- [0104] 信号処理部は、例えば、画素アレイ部21の各画素から出力される、先述した色フィルタアレイ (色フィルタ部) 12の色配列に対応した信号を、演算処理にてベイヤ配列に対応した信号に変換する処理を行う。このとき、輝度信号の主成分となる色が市松状に配置されていることで、当該主成分となる色の信号を用いてその上下左右の他の色の信号を復元できるために、信号処理部での色変換の変換効率を高くできる。また、信号処理部からベイヤ配列に対応した信号が出力されることで、後段の信号処理を既存のベイヤ配列用のDSP等を用いて行うことができる。
- [0105] なお、この信号処理部の一部又は全部を半導体基板11上に設けるようにしてもよい。
- [0106] PLL回路26は、外部から与えられるクロック信号を所定の周波数のクロック信号に変換して、DAC41、カウント部43、及び、データ出力部25に供給する。
- [0107] 制御部27は、外部から与えられるクロック信号や、動作モードを指令するデータなどを受け取り、また、本固体撮像素子1の内部情報などのデータ

を出力する。制御部27はさらには、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号に基づいて、行デコーダ22、ADC23、列デコーダ24、及び、データ出力部25等の駆動制御を行う。

[0108] {DAC41の構成例}

図5は、DAC41の具体的な構成例を示す回路図である。

[0109] DAC41は、アナログ信号出力部151、ゲイン制御信号生成部152、カウンタデコーダ153、及び、ゲインデコーダ154を含むように構成される。

[0110] アナログ信号出力部151は、カウンタデコーダ153でデコードされるデジタル入力信号D11の値に応じたアナログ信号を生成する。アナログ信号出力部151は、ゲイン制御信号生成部152から供給されるゲイン制御信号であるバイアス電圧Vbiasに応じて生成するアナログ信号のゲインを調整する。

[0111] アナログ信号出力部151は、差動トランジスタと、この差動トランジスタの電流源としてトランジスタとを含み、電流源としてトランジスタのゲートに共通のバイアス電圧が供給される複数の基本電流源セル161-1乃至161-nを含む。基本電流源セル161-1乃至161-nは、例えば、pチャネルMOS (PMOS) トランジスタにより形成される。

[0112] アナログ信号出力部151は、選択出力線LO1、非選択出力線NLO1、及び電流電圧変換回路 (I/V変換回路) としての出力抵抗R1を有している。

[0113] 複数の基本電流源セル161-1乃至161-nは、差動トランジスタの一方のトランジスタのドレインが選択出力線LO1に共通に接続され、他方のトランジスタのドレインが非選択出力線NLO1に共通に接続されている。

[0114] 選択出力線LO1は出力抵抗R1を介してグラウンドGNDに接続され、非選択出力線NLO1はグラウンドGNDに直接的に接続されている。

- [0115] 複数の基本電流源セル161-1乃至161-nは、カウンタデコーダ153のデコード情報に応じて差動トランジスタの一方のトランジスタが選択される。これにより、選択された基本電流源セルの電流出力が加算されて出力電流I_{ramp}が選択出力線LO1に流れ、この電流I_{ramp}が出力抵抗R1で電圧信号に変換されて出力される。
- [0116] 複数の基本電流源セル161-1乃至161-nは、カウンタデコーダ153のデコード情報に応じて他方のトランジスタが選択されると、選択された基本電流源セルの電流出力が加算されて非出力電流I_{ramp_minus}が非選択出力線NLO1を介してグラウンドGNDに流される。
- [0117] ゲイン制御信号生成部152は、ゲインデコーダ154でデコードされるデジタルゲイン制御信号DG1の値に応じたゲイン制御信号であるバイアス電圧V_{bias}を生成する。
- [0118] ゲイン制御信号生成部152は、差動トランジスタと、この差動トランジスタの電流源としてトランジスタとを含み、電流源としてトランジスタのゲートに共通の基準電流I_{ref}に応じたバイアス電圧が供給される複数の基本電流源セル171-1乃至171-nを含む。基本電流源セル171-1乃至171-nは、例えば、nチャネルMOS（NMOS）トランジスタにより形成される。
- [0119] ゲイン制御信号生成部152は、選択線L1、非選択線NL1、及びIV変換回路としてのダイオード接続されたPMOSトランジスタP1を有している。
- [0120] 複数の基本電流源セル171-1乃至171-nは、差動トランジスタの一方のトランジスタのドレインが選択線L1に共通に接続され、他方のトランジスタのドレインが非選択線NL1に共通に接続されている。
- [0121] 選択線L1はPMOSトランジスタP1のドレイン及びゲートに接続され、その接続ノードがアナログ信号出力部151の基本電流源セル161-1乃至161-nの電流源としてのトランジスタのゲートに接続されている。すなわち、PMOSトランジスタP1と基本電流源セル161-1乃至16

1 - n の電流源としてのトランジスタによりカレントミラー回路が形成されている。

[0122] 非選択線NL1は電源V_{dd}に直接接続されている。

[0123] 複数の基本電流源セル171-1乃至171-nは、ゲインデコーダ154のデコード情報に応じて差動トランジスタの一方のトランジスタが選択される。これにより、選択された基本電流源セルの電流出力が加算されてゲイン電流I_{gain}が選択線L1に流れ、このゲイン電流I_{gain}がPMOSトランジスタP1で電圧信号に変換されてアナログ信号出力部151に出力される。

[0124] 複数の基本電流源セル171-1乃至171-nは、ゲインデコーダ154のデコード情報に応じて他方のトランジスタが選択されると、選択された基本電流源セルの電流出力が加算されて非選択側電流I_{gain_minus}が非選択線NL1を介して電源V_{dd}に流される。

[0125] ここで、DAC41の出力電圧は、ゲイン制御信号生成部152の基準電流I_{ref}に比例して増減する。すなわち、基準電流I_{ref}を2倍にすると、DAC41の出力電圧も2倍になり、基準電流I_{ref}を1/2にすると、DAC41の出力電圧も1/2になる。従って、基準電流I_{ref}を2倍にすると、参照信号V_{ref}の傾きが-2倍になり、アナログゲインが2倍になる。一方、基準電流I_{ref}を1/2にすると、参照信号V_{ref}の傾きが-1/2になり、アナログゲインが1/2になる。

[0126] なお、基準電流I_{ref}の調整は、例えば、図示せぬ可変抵抗等を用いて行われる。

[0127] (制御部27の機能の構成例)

図6は、固体撮像素子1の制御部27の機能の構成例の一部を示している。具体的には、図6は、制御部27の機能のうち、W画素とRGB画素との感度差の補正を行う感度差補正部201の機能の構成例を示している。感度差補正部201は、ゲイン制御部211、露光制御部212、及び、信号レベル制御部213を含むように構成される。

[0128] ゲイン制御部 211 は、詳細は後述するが、入射光量、及び、W画素とG画素の感度比（以下、W/G感度比と称する）に基づいて、各画素のアナログゲインの制御を行う。

[0129] 露光制御部 212 は、詳細は後述するが、入射光量、及び、W/G感度比に基づいて、各画素の露光時間の制御を行う。

[0130] 信号レベル制御部 213 は、詳細は後述するが、W/G感度比に基づいて、W画素の画素信号の電位（信号レベル V_{sig} ）の制御を行う。

[0131] {W画素とRGB画素との感度差の補正方法}

次に、固体撮像素子 1 におけるW画素とRGB画素との感度差の補正方法について説明する。

[0132] なお、以下、最も感度の高いW画素の感度が2番目に感度の高いG画素の感度の2倍である場合、すなわち、W/G感度比が2倍（6 dB）である場合について説明する。また、以下、各画素に対するアナログゲインのダイナミックレンジが0～18 dBであり、アナログゲインを最小値（0 dB）に設定した場合のDAC 41（参照信号 V_{ref} ）のダイナミックレンジが330 mVである場合について説明する。

[0133] さらに、以下、説明を分かりやすくするために、P相のカウント値の差は小さいものとして無視し、D相のカウント値のみに注目して説明する。すなわち、同じ入射光量に対するW画素とRGB画素のD相のカウント値を合わせるように感度差の補正を行う場合を例に挙げて説明する。なお、実際には、同じ入射光量に対するW画素とRGB画素の、D相のカウント値からP相のカウント値を引いた値を合わせるように感度差の補正が行われる。

[0134] また、以下、主にW画素とG画素の感度差の補正を行う場合について説明するが、W画素とR画素の感度差、及び、W画素とB画素の感度差の補正も、W/G感度比に基づいて同様にして行われる。

[0135] 図7は、同じ入射光量に対するW画素の画素信号 V_{vsIW1} 及びG画素の画素信号 V_{vsIG1} のAD変換を行う場合の各信号の推移の例を模式的に示している。なお、図7には、アナログゲインが最小の0 dBに設定されている場合の

例が示されている。すなわち、参照信号 V_{ref1} の傾きが最も急峻になり、DAC 4 1 のダイナミックレンジ $DR 1$ が最大の 330 mV に設定されている例が示されている。

[0136] なお、時刻 t_{s1} は、D相の読み出しが開始された時刻である。時刻 t_{g1} は、参照信号 V_{ref1} が画素信号 V_{vsLG1} の信号レベル V_{sigG1} 未満となり、G画素のD相のカウントが終了した時刻である。時刻 t_{w1} は、参照信号 V_{ref1} が画素信号 V_{vsLW1} の信号レベル V_{sigW1} 未満となり、W画素のD相のカウントが終了した時刻である。従って、時刻 t_{s1} から時刻 t_{g1} までの時間に対するカウント値 C_{OdG1} が、G画素の信号レベル V_{sigG1} に対するカウント値になる。また、時刻 t_{s1} から時刻 t_{w1} までの時間に対するカウント値 C_{OdW1} が、W画素の信号レベル V_{sigW1} に対するカウント値になる。

[0137] ここで、W/G感度比が2倍なので、参照信号 V_{ref1} の初期値を基準にして、画素信号 V_{vsLW1} の信号レベル V_{sigW1} は、画素信号 V_{vsLG1} の信号レベル V_{sigG1} の-2倍になる。従って、カウント値 C_{OdW1} は、カウント値 C_{OdG1} の2倍となり、W画素の出力信号 V_{out} は、G画素の2倍になる。

[0138] 図8は、W画素とG画素の入射光量と固体撮像素子1の出力信号 V_{out} との関係と比較したグラフである。W画素の方がG画素より感度が高いため、同じ入射光量に対して、W画素の出力信号 V_{out} は、G画素より大きくなる。従って、W画素の信号レベル V_{sig} が、G画素より先にDAC 4 1 のダイナミックレンジを超えてしまい、W画素の出力信号 V_{out} が、G画素より先に飽和する。その結果、上述したパープルフリッジが発生し、画質が劣化する。

[0139] 従って、図9に示されるように、入射光量に対する出力信号 V_{out} の特性をW画素とG画素で合わせるように、感度差の補正を行う必要がある。すなわち、W画素とG画素とで、同じ入射光量に対するD相のカウント値をほぼ同じにし、同じ入射光量に対する出力信号 V_{out} をほぼ同じにし、ほぼ同じ入射光量で飽和させるようにする必要がある。

[0140] (第1の感度差補正方法)

例えば、W画素とG画素の感度差の補正方法として、W/G感度比に応じ

て、W画素の露光時間をG画素より短くする方法が考えられる。例えば、W/G感度比が6 dBである場合、W画素の露光時間が、G画素より6 dB分の感度差に相当する時間だけ短く設定される。より具体的には、例えば、W画素の露光時間がG画素の1/2に設定される。これにより、W画素とG画素の感度差を補正し、図9を参照して上述したように、W画素とG画素の入射光量に対する出力信号V_{out}の特性を合わせることができる。

[0141] しかし、W画素の露光時間を単純に短くするだけでは、W画素への入射光量が制限され、フォトダイオード101に蓄積される電荷量が減少する。その結果、SN比が悪化し、W画素を用いるメリットが減少する。

[0142] (第2の感度差補正方法)

また、W画素とG画素の感度差の補正方法として、W/G感度比に応じて、W画素のアナログゲインとG画素のアナログゲインの間にオフセットを設ける方法が考えられる。例えば、W/G感度比が6 dBである場合、オフセット値(以下、オフセットゲインと称する)が6 dBに設定され、W画素のアナログゲインが、G画素より6 dB低く設定される。これにより、W画素とG画素の感度差を補正し、図9を参照して上述したように、W画素とG画素の入射光量に対する出力信号V_{out}の特性を合わせることができる。

[0143] しかし、オフセットゲインを設定することにより、図10に示されるように、アナログゲインの設定可能範囲(事実上のダイナミックレンジ)が実際のダイナミックレンジより狭くなる。

[0144] 具体的には、設定A及び設定Bのように、G画素のアナログゲインが6 dB~18 dBの範囲内である場合、W画素のアナログゲインは、G画素のアナログゲインからオフセットゲインである6 dBだけ低い0 dB~12 dBの範囲内で設定可能である。一方、設定CのようにG画素のアナログゲインが6 dB未満の場合、W画素のアナログゲインをG画素よりオフセットゲインである6 dBだけ低い値に設定すると、W画素のアナログゲインが0 dB未満になり、アナログゲインのダイナミックレンジを超えてしまう。

[0145] 従って、実際にG画素のアナログゲインを設定できる範囲は、6 dB~1

8 dBとなり、W画素のアナログゲインを設定できる範囲は、0 dB～12 dBとなる。すなわち、オフセットゲインの分だけアナログゲインの設定可能範囲が狭くなり、事実上のダイナミックレンジは半分になる。

[0146] そこで、以下に述べるように、G画素のアナログゲインが所定の閾値（例えば、6 dB）未満になった場合、W画素のアナログゲインのダイナミックレンジを負の方向にシフトさせることにより、アナログゲインのダイナミックレンジが狭まることが防止される。

[0147] 例えば、ゲイン制御部211は、入射光量に応じて、G画素のアナログゲインを設定する。そして、ゲイン制御部211は、G画素のアナログゲインが6 dB未満になった場合、少なくともW画素のAD変換を行う期間において、DAC41に基準電流I_{ref}を通常の2倍に設定するように指令する。そして、DAC41が指令に従って基準電流I_{ref}を2倍にすると、DAC41の出力電圧が2倍になる。

[0148] 図11は、基準電流I_{ref}を2倍にした場合の参照信号の変化の例を示している。参照信号V_{ref1}は、アナログゲインが0 dBの場合の参照信号の例を示している。これに対して、基準電流I_{ref}を2倍にすると、参照信号は、参照信号V_{ref1}から参照信号V_{ref1}の傾きが2倍の参照信号V_{ref2}に変化する。このとき、DAC41のダイナミックレンジは、DR1から2倍の2×DR1に変化する。また、参照信号V_{ref2}により設定されるアナログゲインは-6 dBとなる。

[0149] そして、図12に示されるように、基準電流I_{ref}を2倍に設定したときのW画素のアナログゲインのダイナミックレンジDR_bは、通常ダイナミックレンジDR_aより-6 dBだけシフトし、-6 dB～12 dBとなる。すなわち、W画素のアナログゲインのダイナミックレンジが、G画素のアナログゲインのダイナミックレンジより6 dBだけ低い範囲にシフトする。これにより、G画素のアナログゲインが6 dB未満の場合も、W画素のアナログゲインをG画素よりオフセットゲインである6 dBだけ低い値に設定することが可能になる。

- [0150] このように、入射光量に応じて、DAC 4 1の基準電流 I_{ref} を通常の値（以下、標準値と称する）に設定するDAC基準電流1倍モードと、DAC 4 1の基準電流 I_{ref} を通常の2倍に設定するDAC基準電流2倍モードを切り替えることにより、アナログゲインのダイナミックレンジを狭めることなく、オフセットゲインを設定することができる。
- [0151] ここで、図13及び図14を参照して、DAC基準電流モードの切り替えタイミングの例について説明する。
- [0152] 図13は、DAC基準電流モードの切り替えタイミングの第1の例を示している。図13のいちばん上の段は、XHS（水平同期信号）に対する各画素のAD変換のタイミングを示している。この例では、1水平期間において、W画素、及び、RGB画素のうちの1種類の画素のAD変換が行われている。
- [0153] 2段目は、アナログゲインの設定タイミングを示している。白抜きのマスが、W画素のアナログゲインの設定期間を示し、斜線のマスが、RGB画素のアナログゲインの設定期間を示している。
- [0154] 3段目は、DAC基準電流切り替え信号の推移を示している。ここで、DAC基準電流切り替え信号とは、例えば、ゲイン制御部211からDAC 4 1に供給される信号である。そして、基準電流切り替え信号がLレベルに設定された場合、DAC基準電流1倍モードに設定され、DAC 4 1の基準電流 I_{ref} が標準値に設定される。一方、基準電流切り替え信号がHレベルに設定された場合、DAC基準電流2倍モードに設定され、DAC 4 1の基準電流 I_{ref} が標準値の2倍に設定される。
- [0155] この図13の例では、AD変換を行い、出力信号 V_{out} を読み出す画素単位で、DAC基準電流モードの切り替えが動的に行われる。具体的には、W画素のAD変換時にDAC基準電流2倍モードに設定され、RGB画素のAD変換時にDAC基準電流1倍モードに設定されている。
- [0156] なお、この図に示されるように、W画素のAD変換時のDAC基準電流モードをDAC基準電流2倍モードに固定するようにしてもよいし、或いは、

R G B画素のアナログゲインが所定の閾値（例えば、6 d B）以上の場合、換言すれば、入射光量が所定の閾値以上の場合、W画素のA D変換時においてもD A C基準電流1倍モードに設定するようにしてもよい。

[0157] また、図13に示したA D変換を行う画素の単位及びタイミングは、その一例であり、必要に応じて変更することが可能である。

[0158] 図14は、D A C基準電流モードの切り替えタイミングの第2の例を示している。図14のいちばん上の段は、X V S（垂直同期信号）及びX H S（水平同期信号）の推移を示している。

[0159] 2段目は、アナログゲインの設定タイミングを示している。白抜きのマスが、W画素のアナログゲインの設定期間を示し、斜線のマスが、R G B画素のアナログゲインの設定期間を示している。

[0160] 3段目は、D A C基準電流切り替え信号の推移を示している。

[0161] この図14の例では、フレーム単位でD A C基準電流モードの切り替えが行われる。例えば、入射光量が所定の閾値以下であり、R G B画素のアナログゲインが6 d B以上に設定されるフレームにおいては、D A C基準電流モードが1倍モードに固定される。すなわち、そのフレーム内においては、W画素及びR G B画素のいずれのA D変換時にも、D A C 4 1の基準電流 I_{ref} が標準値に設定される。

[0162] 一方、例えば、入射光量が所定の閾値より大きく、R G B画素のアナログゲインが6 d B未満に設定されるフレームにおいては、D A C基準電流モードが2倍モードに固定される。すなわち、そのフレーム内においては、W画素及びR G B画素のいずれのA D変換時にも、D A C 4 1の基準電流 I_{ref} が標準値の2倍に設定される。

[0163] このように、D A C 4 1に変更を加えることなく、アナログゲインのダイナミックレンジを狭めずに、W/G感度比に応じたオフセットゲインを設定することができる。

[0164] なお、以上の説明では、W画素のアナログゲインのダイナミックレンジをシフトする際に、D A C 4 1の基準電流 I_{ref} の増幅率を2倍にする例を示し

たが、 W/G 感度比に応じて、或いは、オフセットゲインの値に応じて、基準電流の増幅率を変更することが望ましい。

[0165] (第3の感度差補正方法)

画質面を考慮すると、DAC41のダイナミックレンジは、フォトダイオード101に飽和電子数(Q_s)の電荷が蓄積された状態の単位画素31の信号レベル V_{sig} (以下、飽和レベルと称する)に合わせることが望ましい。より正確には、DAC41のダイナミックレンジは、単位画素31の飽和レベルと参照信号 V_{ref} の初期値との間の電位差にできるだけ近い値に設定することが望ましい。

[0166] 一方、上述した第2の感度差補正方法において、W画素のアナログゲインを負の方向にシフトしたとき、図15に示されるように、W画素に対するDAC41のダイナミックレンジが、G画素に対するDAC41のダイナミックレンジの2倍の660mVに広がる。従って、単位画素31の飽和レベルが330mVに近い値である場合、W画素のフォトダイオード101の Q_s が不足してしまう。すなわち、W画素の信号レベル V_{sig} がDAC41のダイナミックレンジを超えることにより出力信号 V_{out} が飽和する前に、W画素のフォトダイオード101の蓄積電荷量が飽和電子数を超えることによりフォトダイオード101が飽和してしまう。その結果、画像のムラが生じ、画質が劣化する。

[0167] そこで、第3の感度差補正方法においては、入射光量が所定の閾値以上になった場合、W画素とG画素の間において、アナログゲインのゲイン差に加えて、露光時間の時間差を設けることにより、W画素とG画素の感度差を補正する。

[0168] 例えば、ゲイン制御部211は、W画素に対するDAC41のダイナミックレンジを単位画素31の飽和レベルぎりぎりまで拡大することにより、図7等を参照して上述した例と比べて、W画素のアナログゲインの最小値(以下、ミニマムゲインと称する)を低く設定する。例えば、単位画素31の飽和レベルが370mVである場合、ゲイン制御部211は、W画素に対する

DAC 41のダイナミックレンジを370mVに設定することにより、W画素のミニマムゲインを-1dBに設定する。これにより、W画素のアナログゲインの設定可能範囲は、-1dB~18dBになるが、オフセットゲインを考慮すると、実用上は-1dB~12dBになる。その結果、W画素のミニマムゲインがG画素より1dB低くなり、W画素とG画素の6dBの感度差のうち、1dB分の補正を行うことができる。

[0169] そして、残りの5dB分は、G画素のミニマムゲインとW画素の露光時間を調整することにより補正する。

[0170] 例えば、ゲイン制御部211は、図7等を参照して上述した例と比べて、G画素に対するDAC 41のダイナミックレンジを234mVに設定することにより、G画素のミニマムゲインを3dBに設定する。これにより、G画素のアナログゲインの設定可能範囲は、3dB~18dBとなる。その結果、G画素のミニマムゲインがW画素より4dB高くなり、W画素とG画素の6dBの感度差のうち、4dB分の補正を行うことができる。

[0171] そして、露光制御部212は、残りの2dBの感度差に相当する時間だけ、W画素の露光時間をRGB画素より短くする。

[0172] これにより、図16に示されるように、W画素とG画素の6dBの感度差が補正される。すなわち、W画素に対するDAC 41のダイナミックレンジを拡大することにより1dB分補正され、G画素のミニマムゲインを上げることにより3dB分補正され、W画素の露光時間を短縮することにより2dB分補正される。

[0173] なお、図16のグラフにおいて、感度差の補正量を強調するために、補正量に相当する部分を他の部分に比べて長くなるように図示している。

[0174] ここで、G画素のミニマムゲインは、オフセットゲイン(6dB)より小さい4dBだけW画素のミニマムゲインより高い値に設定されることになる。すなわち、W画素のミニマムゲインとG画素のミニマムゲインのオフセット値(以下、最小オフセットゲインと称する)は4dBとなる。

[0175] ステップS1において、ゲイン制御部211は、画素アレイ部21への入

射光量が所定の閾値 t_{h1} 以下であるか否かを判定する。画素アレイ部 21 への入射光量が所定の閾値 t_{h1} 以下であると判定された場合、処理はステップ S2 に進む。なお、この入射光量の範囲は、RGB 画素のアナログゲインが 5 dB ~ 18 dB に設定される範囲に相当する。

[0176] ステップ S2 において、ゲイン制御部 211 は、入射光量に応じて RGB 画素のアナログゲインを設定し、W 画素のアナログゲインを RGB 画素よりオフセットゲインだけ低く設定する。例えば、ゲイン設定部 211 は、入射光量に応じて、RGB 画素のアナログゲインを 5 dB ~ 18 dB の範囲内で設定する。また、ゲイン制御部 211 は、W 画素のアナログゲインを、RGB 画素のアナログゲインからオフセットゲインだけ低い値に設定する。これにより、W 画素と RGB 画素との感度差が、オフセットゲインにより補正される。

[0177] その後、処理はステップ S1 に戻り、ステップ S1 以降の処理が実行される。

[0178] 一方、ステップ S1 において、画素アレイ部 21 への入射光量が所定の閾値 t_{h1} を超えていると判定された場合、処理はステップ S3 に進む。

[0179] ステップ S3 において、ゲイン制御部 211 は、画素アレイ部 21 への入射光量が所定の閾値 t_{h2} 以下であるか否かを判定する。なお、閾値 t_{h2} は、閾値 t_{h1} より大きな値に設定される。画素アレイ部 21 への入射光量が所定の閾値 t_{h2} 以下であると判定された場合、すなわち、閾値 $t_{h1} \leq$ 入射光量 \leq 閾値 t_{h2} である場合、処理はステップ S4 に進む。なお、この入射光量の範囲は、RGB 画素のアナログゲインが 3 dB ~ 5 dB に設定される範囲に相当する。

[0180] ステップ S4 において、ゲイン制御部 211 は、入射光量に応じて RGB 画素のアナログゲインを設定し、W 画素のアナログゲインを最小値に設定する。例えば、ゲイン設定部 211 は、入射光量に応じて、RGB 画素のアナログゲインを 3 dB ~ 5 dB の範囲内で設定する。また、ゲイン設定部 211 は、W 画素のアナログゲインをミニマムゲインである -1 dB に設定する

。従って、W画素とRGB画素のアナログゲインの差が、W画素とRGB画素の感度差より小さくなり、アナログゲインの差だけでは、W画素とRGB画素の感度差を補正できなくなる。

[0181] そこで、ステップS5において、露光制御部212は、W/G感度比、及び、W画素とRGB画素のアナログゲインの差に基づいて、W画素の露光時間をRGB画素より短くする。

[0182] 例えば、W画素のアナログゲインが-1 dBに設定され、RGB画素のアナログゲインが4 dBに設定されている場合、両者の差は5 dBとなる。一方、W/G画素比は6 dBなので、アナログゲインだけでは、W画素とRGB画素の感度差である6 dBのうち1 dB分を補正することができない。

[0183] そこで、露光制御部212は、1 dBの感度差に相当する時間だけW画素の露光時間をRGB画素の露光時間より短く設定する。例えば、露光制御部212は、W画素の露光時間をRGB画素の露光時間の約89%に設定する。

[0184] このように、W画素とRGB画素のアナログゲインのゲイン差がオフセットゲインより小さくなる量に応じて、W画素の露光時間がRGB画素より短くされる。これにより、W画素とRGB画素との感度差が、W画素とRGB画素とのアナログゲインのゲイン差、及び、露光時間の時間差の両方により補正される。

[0185] その後、処理はステップS1に戻り、ステップS1以降の処理が実行される。

[0186] 一方、ステップS3において、例えば、被写体が非常に明るく、画素アレイ部21への入射光量が閾値 t_{h2} を超えていると判定された場合、処理はステップS6に進む。

[0187] ステップS6において、ゲイン制御部211は、RGB画素及びW画素のアナログゲインを最小値に設定する。すなわち、ゲイン制御部211は、RGB画素のアナログゲインをミニマムゲインである3 dBに設定し、W画素のアナログゲインをミニマムゲインである-1 dBに設定する。従って、W

画素とRGB画素のアナログゲインの差は4 dBとなる。

[0188] ステップS7において、露光制御部212は、W/G感度比、及び、W画素とRGB画素のアナログゲインの差に基づいて、W画素の露光時間をRGB画素より短くする。具体的には、この場合、W画素とRGB画素のアナログゲインの差は4 dBであるため、アナログゲインの差だけでは、W画素とRGB画素の感度差である6 dBのうち2 dB分を補正することができない。

[0189] そこで、露光制御部212は、2 dBの感度差に相当する時間だけW画素の露光時間をRGB画素の露光時間より短く設定する。例えば、露光制御部212は、W画素の露光時間をGB画素の露光時間の約79%に設定する。これにより、W画素とRGB画素との感度差が、W画素とRGB画素とのアナログゲインのゲイン差、及び、露光時間の時間差の両方により補正される。

[0190] ここで、図18及び図19を参照して、ステップS6及びS7の処理において、アナログゲイン及び露光時間を設定した後に行われるAD変換処理の具体例について説明する。

[0191] 図18は、G画素のAD変換を行う場合の各信号の推移を示している。図7と比較して、G画素のミニマムゲインを3 dB高く設定することにより、AD変換に用いられる参照信号Vref11のダイナミックレンジDR11が、参照信号Vref1のダイナミックレンジDR1より小さくなる。また、参照信号Vref11の傾きは、参照信号Vref1の傾きより緩やかになる。これにより、G画素の信号レベルVsigG1に対するカウント値CodG2は、図7を参照して上述した場合のカウント値CodG1より大きくなる。

[0192] 図19は、W画素のAD変換を行う場合の各信号の推移を示している。図7と比較して、W画素のミニマムゲインを1 dB低く設定することにより、AD変換に用いる参照信号Vref12のダイナミックレンジDR12は、参照信号Vref1のダイナミックレンジDR1より大きくなる。また、参照信号Vref12の傾きは、参照信号Vref1の傾きより急峻になる。また、W画素の露光時

間を短くすることにより、W画素の信号レベル V_{sigW2} の絶対値が、露光時間を短縮しない場合の信号レベル V_{sigW1} の絶対値より小さくなる。これにより、W画素の信号レベル V_{sigW2} に対するカウント値 C_{OdW2} は、図7を参照して上述した場合のカウント値 C_{OdW1} より大きくなる。

[0193] そして、G画素のカウント値 C_{OdG2} とW画素のカウント値 C_{OdW2} が等しくなり、G画素とW画素の出力信号 V_{out} の値が一致し、W画素とG画素の感度差が補正される。

[0194] その後、処理はステップS1に戻り、ステップS1以降の処理が実行される。

[0195] 以上のようにして、W画素とRGB画素の感度差が、W画素とRGB画素のアナログゲインのゲイン差及び露光時間の時間差により補正され、画質の劣化を抑制することができる。また、図15を参照して上述したように、W画素のアナログゲインを下げすぎることにより、W画素の Q_s が不足し、画像のムラが発生することが防止される。また、露光時間のみにより感度差を補正する場合と比較して、W画素の露光時間を長くすることができ、入射光量の減少によるSN比の悪化を軽減することができる。

[0196] なお、以上の説明では、W画素とG画素の感度差6dBのうちDAC41のダイナミックレンジ拡大による補正量である1dBを除く残りの5dB分を、RGB画素のミニマムゲインの引き上げにより3dB分補正し、W画素の露光時間の短縮により2dB分補正する例を示した。しかし、この両者の補正量の比率は、画質評価等の結果に基づいて、任意の値に設定することが可能である。

[0197] ただし、RGB画素のミニマムゲインを上げすぎても、W画素の露光時間を短くしすぎてもSN比が悪化するため、例えば、両者の比率を1:1又はそれに近い比率に設定することが考えられる。この場合、例えば、RGB画素のミニマムゲインの引き上げによる補正量が2.5dBに設定し、W画素の露光時間の短縮による補正量が2.5dBに設定される。

[0198] また、DAC41のダイナミックレンジを拡大できない場合、RGB画素

のミニマムゲインの引き上げと、W画素の露光時間の短縮のみにより、感度差の補正を行うようにしてもよい。例えば、RGB画素のミニマムゲインの引き上げによる補正量を3 dBに設定し、W画素の露光時間の短縮による補正量を3 dBに設定するようにしてもよい。

[0199] さらに、W/G感度比は、光源の種類や色温度により異なる。図20は、光源の種類及び色温度と、W/G感度比の対応関係の例を示している。例えば、標準光源Aの色温度は2900Kであり、W/G感度比は1.89倍（5.5 dB）である。蛍光灯の色温度は4300Kであり、W/G感度比は1.81倍（5.2 dB）である。標準光源D70の色温度は7400Kであり、W/G感度比は2.0倍（6.0 dB）である。

[0200] このように、光源の種類や色温度によりW/G感度比が異なるため、光源の種類や色温度により、オフセットゲインを調整するとともに、RGB画素のミニマムゲインの引き上げ量を調整するようにすることが望ましい。なお、RGB画素のミニマムゲインの引き上げ量を調整することにより、最小オフセットゲインが調整される。

[0201] 例えば、ゲイン制御部211は、光源の種類若しくは色温度を示す光源推定情報又はホワイトバランス情報を外部から取得する。そして、ゲイン制御部211は、光源推定情報又はホワイトバランス情報に示される光源の種類又は色温度に基づくW/G感度比に応じて、オフセットゲインを設定するとともに、RGB画素のミニマムゲインの引き上げ量を調整する。例えば、ゲイン制御部211は、光源推定情報に蛍光灯が示されている場合、オフセットゲインを5.2 dBに設定し、ミニマムゲインの引き上げ量を2.2 dBに設定する。これにより、W画素の露光時間の短縮による補正量の最大値が2 dBに設定される。また、最小オフセットゲインが、3.2 dBに設定される。

[0202] なお、光源又は色温度に関する情報を入手できない場合、例えば、使用が想定される光源のうち最もW/G感度比の大きい光源のW/G感度比に基づいて、オフセットゲイン、及び、RGB画素のミニマムゲインの引き上げ量

を設定することが望ましい。

[0203] (第4の感度差補正方法)

次に、図21及び図22を参照して、第4の感度差補正方法について説明する。

[0204] 図21は、第4の感度差補正方法を適用する場合のADC23のコンパレータ51付近の詳細な回路図を示している。

[0205] この例では、画素信号 V_{vs1} は、キャパシタ C_{in1} を介して、コンパレータ51の入力端子 T_{in1} に入力される。参照信号 V_{ref} は、キャパシタ C_{in2} を介して、コンパレータ51の入力端子 T_{in2} に入力される。オートゼロ信号は、キャパシタ C_{az1} を介して、コンパレータ51の入力端子 T_{in1} に入力される。また、オートゼロ信号は、キャパシタ C_{az2} を介して、コンパレータ51の入力端子 T_{in2} に入力される。

[0206] なお、オートゼロ信号とは、図4を参照して上述したように、所定の基準電位の信号であって、コンパレータ51の入力端子 T_{in1} 及び T_{in2} に入力することにより、コンパレータ51の入力端子 T_{in1} と入力端子 T_{in2} の間の電位差を解消するものである。

[0207] キャパシタ C_{az1} の入力端子 T_{in1} に接続されている一端と異なる一端には、キャパシタ C_1 乃至 C_n が、それぞれスイッチ SW_1 乃至 SW_n を介して接続されている。キャパシタ C_1 乃至 C_n の他の一端は、所定の電源（不図示）に接続されている。

[0208] 例えば、スイッチ SW_1 がオンすると、キャパシタ C_1 とキャパシタ C_{az1} が直列に接続される。また、例えば、 SW_2 がオンすると、キャパシタ C_2 とキャパシタ C_{az1} とが直列に接続される。

[0209] 例えば、キャパシタ C_1 乃至 C_n は、それぞれ異なる容量に設定されており、スイッチ SW_1 乃至 SW_n のオン／オフを制御することにより、コンパレータ51の入力端子 T_{in1} のオートゼロ信号の入力側のカップリング比を変更することが可能である。このカップリング比を変更することにより、A点の電位、すなわち、画素信号 V_{vs1} のレベルを調整することができる。

[0210] そこで、例えば、信号レベル制御部 213 は、W画素のAD変換時に、W画素の信号レベルVsigが1/2になるように、スイッチSW1乃至SWnのオン/オフを制御し、コンパレータ51の入力端子Tin1のオートゼロ信号の入力側のカップリング比を変更する。その結果、図22に示されるように、W画素の信号レベルVsigが、W/G感度比に応じた量だけシフトする。すなわち、W画素の信号レベルVsigが、信号レベルVsigW1から、G画素の信号レベルVsigG1と等しい信号レベルVsigW3にシフトする。これにより、W画素のD相のカウント値が、上述した図19と同じC0dW2となり、W画素とRGB画素の感度差が補正され、出力信号Voutが一致する。

[0211] なお、図20を参照して上述したように、光源の種類や色温度により、W/G感度差が異なる。そこで、信号レベル制御部213は、光源の種類や色温度に応じて、スイッチSW1乃至SWnの状態を個別に制御して、接続するキャパシタを変更し、カップリング比を調整することにより、W画素の信号レベルVsigのシフト量を適切な値に調整するようにしてもよい。

[0212] なお、光源又は色温度に関する情報を入手できない場合、例えば、使用が想定される光源のうち最もW/G感度比の大きい光源のW/G感度比に基づいて、W画素のAD変換時に接続するキャパシタの容量を設定することが望ましい。

[0213] また、キャパシタC1乃至Cnは必ずしも1つずつ接続して用いる必要はなく、2以上のキャパシタを接続し、並列に接続するキャパシタの組み合わせにより、カップリング比を調整するようにしてもよい。

[0214] (第5の感度差補正方法)

次に、図23乃至図25を参照して、第5の感度差補正方法について説明する。

[0215] 第5の感度差補正方法は、第4の感度差補正方法と異なる方法により、W/G感度比に応じて、同じ入射光量に対するW画素の信号レベルVsigがG画素の信号レベルVsigと一致するように、W画素の信号レベルVsigをシフトさせるものである。具体的には、第5の感度差補正方法では、W画素の増幅

トランジスタ104のゲインを、G画素の増幅トランジスタ104のゲインより下げることにより、W画素の信号レベル V_{sig} をシフトさせる。

[0216] 図23は、増幅トランジスタ104の断面を模式的に示している。増幅トランジスタ104のゲート電極301と半導体基板303の間には、酸化膜302が形成されている。そして、増幅トランジスタ104において、酸化膜302の酸化膜容量 C_{ox} と、半導体基板303の基板容量（空乏容量） C_d が、図24及び図25に示されるように、直列に接続された状態となる。

[0217] ここで、ゲート電極301への入力電圧を ΔV_{in} とし、増幅トランジスタ104の出力電圧（ドレイン電圧）を ΔV_{out} とすると、 ΔV_{out} は、次式（1）により求められる。

$$[0218] \Delta V_{out} = C_{ox} / (C_d + C_{ox}) \times \Delta V_{in} \quad \dots (1)$$

[0219] そして、増幅トランジスタ104の変調度 $\Delta V_{out} / \Delta V_{in}$ は、次式（2）により求められる。

$$[0220] \Delta V_{out} / \Delta V_{in} = C_{ox} / (C_d + C_{ox}) \quad \dots (2)$$

[0221] 従って、増幅トランジスタ104の変調度 $\Delta V_{out} / \Delta V_{in}$ （増幅トランジスタ104のゲイン）を変更するには、酸化膜容量 C_{ox} 又は基板容量 C_d の少なくとも一方を変化させればよい。

[0222] ここで、酸化膜容量 C_{ox} は、例えば、酸化膜302の厚さにより調整することができる。また、基板容量 C_d は、例えば、半導体基板303の不純物プロファイルを変えることにより調整することができる。なお、基板容量 C_d を調整する方が、酸化膜容量 C_{ox} を調整するより容易である。

[0223] そして、例えば、W画素の増幅トランジスタ104の変調度を調整し、例えば、W画素の増幅トランジスタ104のゲインをRGB画素の増幅トランジスタ104のゲインよりW/G感度比だけ下げる。これにより、上述した図22に示されるように、W画素の信号レベル V_{sig} が V_{sigW1} から V_{sigW3} にシフトし、W画素とRGB画素との感度差を補正することができる。

[0224] （第6の感度差補正方法）

次に、図26及び図27を参照して、第6の感度差補正方法について説明

する。

[0225] 第6の感度差補正方法は、第4及び第5の感度差補正方法と異なる方法により、W/G感度比に応じて、同じ入射光量に対するW画素の信号レベル V_{sig} がG画素の信号レベル V_{sig} と一致するように、W画素の信号レベル V_{sig} をシフトさせるものである。具体的には、第6の感度差補正方法では、FD部106の変換効率を変えることにより、W画素の信号レベル V_{sig} がシフトする。

[0226] 図26は、FD部106の断面を拡大した模式図である。FD部106は、浮遊拡散領域321a及び321bの2つの同じ容量の浮遊拡散領域を有する。浮遊拡散領域321aは、転送トランジスタ102を介してフォトダイオード101に接続されるとともに、増幅トランジスタ104のゲート電極に接続されている。浮遊拡散領域321bは、リセットトランジスタ103のソース電極に接続されている。

[0227] また、浮遊拡散領域321aと浮遊拡散領域321bの間には、ゲート電極322が形成されている。ゲート電極322に所定のゲート信号が印加され、ゲート電極322がオンすると、浮遊拡散領域321aと浮遊拡散領域321bが電氣的に接続される。

[0228] そして、フォトダイオード101からFD部106への電荷転送時に、ゲート電極がオフされている場合、図26の斜線で示されるように、浮遊拡散領域321aのみに電荷が蓄積される。

[0229] 一方、フォトダイオード101からFD部106への電荷転送時に、ゲート電極がオンされている場合、図27の斜線で示されるように、浮遊拡散領域321a及び321aの両方に電荷が蓄積される。従って、ゲート電極322がオフしている場合と比較して、FD部106の容量が2倍になる。一方、FD部106の容量が2倍になるため、FD部106の変換効率は1/2になる。

[0230] そこで、信号レベル制御部213は、W画素のフォトダイオード101の電荷転送時にゲート電極322をオンし、RGB画素のフォトダイオード1

01の電荷転送時にゲート電極322をオフする。これにより、W画素のFD部106の変換効率は、RGB画素の1/2になる。その結果、上述した図22に示されるように、W画素の信号レベルVsigがVsigW1からVsigW3にシフトし、W画素とRGB画素との感度差を補正することができる。

[0231] なお、以上の説明では、浮遊拡散領域321aと浮遊拡散領域321bの容量を同じにする例を示したが、浮遊拡散領域321aと浮遊拡散領域321bの容量の比率は、W/G感度比に応じて設定される。例えば、W/G感度比が1.8倍である場合、浮遊拡散領域321aの容量と浮遊拡散領域321bの容量の比率は、5:4に設定される。

[0232] なお、図20を参照して上述したように、光源の種類や色温度により、W/G感度差が異なる。そこで、浮遊拡散領域を3つ以上設けて、光源の種類や色温度に応じて、フォトダイオード101からFD部106への電荷転送時に使用する浮遊拡散領域の数や種類を選択するようにしてもよい。これにより、W/G感度比に応じて、W画素のFD部106の変換効率を調整することが可能になる。なお、FD部106については、必ずしも浮遊拡散領域である必要はなく、電荷を蓄積できる容量性のもの、具体的には、絶縁体を電極で挟んだ、いわゆるMOS (Metal-Oxide-Semiconductor) キャパシタ、MIM (Metal-Insulator-Metal) キャパシタ等でもよいし、これらの組み合わせでもよい。

[0233] なお、光源又は色温度に関する情報を入手できない場合、例えば、使用が想定される光源のうち最もW/G感度比の大きい光源のW/G感度比に基づいて、W画素のFD部106の変換効率を設定することが望ましい。

[0234] <2. 変形例>

以下、上述した本技術の実施の形態の変形例について説明する。

[0235] {ADCに関する変形例}

上述したように、第1乃至第3の感度差補正方法では、W画素とRGB画素とでアナログゲインを変更する必要がある。また、第4の感度差補正方法では、W画素とRGB画素とで、スイッチSW1乃至SWnを切り替えて、

カップリング比を調整する必要がある。そのため、ADC 23のセtringに時間を要し、処理が間に合わなくなるおそれがある。

[0236] そこで、例えば、図28に示されるように、W画素とRGB画素でADCを分けるようにすることが望ましい。具体的には、図28には、画素アレイ部401の単位画素の一部が示されている。W画素W1乃至W8は、垂直信号線403a-1又は403a-2を介して、AD変換器402aに接続されている。そして、W画素W1乃至W8のAD変換は、AD変換器402aで行われる。

[0237] 一方、R画素R1及びR2、G画素G1乃至G4、並びに、B画素B1及びB2は、垂直信号線403b-1又は403b-2を介して、AD変換器402bに接続されている。そして、R画素R1及びR2、G画素G1乃至G4、並びに、B画素B1及びB2のAD変換は、AD変換器402bで行われる。

[0238] このように、W画素を行うAD変換器と、RGB画素のAD変換を行うAD変換器を分けることにより、上述したセtringの問題の発生を防止することができる。

[0239] また、以上の説明では、図1を参照して上述したように、固体撮像素子に列並列AD変換方式を採用する例を示したが、画素AD並列変換方式を採用するようにしてもよい。

[0240] 図29は、画素AD変換方式を採用した場合の固体撮像素子441の構成を模式的に示している。

[0241] 固体撮像素子441は、画素アレイ部461が形成されている画素基板451、及び、信号処理回路471が形成されているロジック基板452が積層された構造を有している。

[0242] そして、画素基板451の画素アレイ部461には、所定数の2次元の画素の配列を含む領域を1単位とする画素ユニット（グループ）が行列状に2次元に配列され、画素ユニット毎にビア462が形成されている。一方、信号処理回路471には、AD変換器23等を含む回路部（図中、画素AD単

位)が、画素アレイ部461の画素ユニット毎に設けられている。また、画素AD単位毎に、画素ユニットに対応してビア472が形成されている。

[0243] このように、画素並列AD変換方式を採用することにより、画素信号の読み出し速度を高速化できるため、AD変換器23の停止期間を長くすることができ、その結果、低消費電力化を図ることができる。

[0244] {色フィルタアレイ12のカラーコーティングの変形例}

以下、図30乃至図40を参照して、色フィルタアレイ12のカラーコーティングの変形例について説明する。

[0245] 図30には、縦4画素×横4画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、上述した図3の例と同様に、Wフィルタ：Rフィルタ：Gフィルタ：Bフィルタ=8：2：4：2の割合で配置されている。具体的には、Wフィルタは市松状に配置されている。Rフィルタは、1行目の3列目と3行目の1列目に配置されている。Bフィルタは、2行目の4列目と4行目の2列目に配置されている。Gフィルタは、残りの画素位置に対角線上に配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0246] 図31には、縦4画素×横4画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、上述した図3の例と同様に、Wフィルタ：Rフィルタ：Gフィルタ：Bフィルタ=8：2：4：2の割合で配置されている。具体的には、Wフィルタは、市松状に配置されている。Rフィルタは1行目の3列目と2行目の4列目に配置されている。Bフィルタは3行目の1列目と4行目の2列目に配置されている。Gフィルタは、残りの画素位置に対角線上に配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0247] 図32には、縦4画素×横4画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、Wフィルタ：Rフィルタ：

Gフィルタ：Bフィルタ＝8：1：6：1の割合で配置されている。具体的には、Wフィルタは市松状に配置されている。Rフィルタは2行目の4列目に配置されている。Bフィルタは、4行目の2列目に配置されている。Gフィルタは、残りの画素位置に配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0248] 図33には、縦4画素×横4画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、Wフィルタ：Rフィルタ：Gフィルタ：Bフィルタ＝6：3：4：3の割合で配置されている。具体的には、Wフィルタは、1行目の1列目及び3列目、2行目の4列目、3行目の1列目、並びに、4行目の2列目及び4列目に配置されている。Rフィルタは、2行目の1列目及び3列目、並びに、4行目の3列目に配置されている。Gフィルタは、1行目の4列目、2行目の2列目、3行目の3列目、及び、4行目の1列目に配置されている。Bフィルタは、1行目の2列目、並びに、3行目の2列目及び4列目に配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0249] 図34には、縦4画素×横4画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、Wフィルタ：Rフィルタ：Gフィルタ：Bフィルタ＝4：2：8：2の割合で配置されている。具体的には、Gフィルタは市松状に配置されている。Rフィルタは、1行目の4列目、3行目の2列目に配置されている。Bフィルタは、1行目の2列目、3行目の4列目に配置されている。Wフィルタは、残りの画素位置に配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0250] 図35には、縦2画素×横2画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、Wフィルタ：Rフィルタ：Gフィルタ：Bフィルタ＝1：1：1：1の割合で配置されている。具体的

には、RフィルタとWフィルタが同じ行に配置され、GフィルタとBフィルタが同じ行に配置されている。また、RフィルタとGフィルタが同じ列に配置され、WフィルタとBフィルタが同じ列に配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0251] なお、図35の色フィルタのパターンは、その一例であり、Wフィルタ：Rフィルタ：Gフィルタ：Bフィルタ=1：1：1：1の割合であれば、各色フィルタの配置はこの例に限定されるものではない。

[0252] 図36には、縦2画素×横2画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、Wフィルタ：Gフィルタ：Rフィルタ=2：1：1の割合で配置されている。すなわち、この例では、Bフィルタが配置されていない。具体的には、Wフィルタが斜め方向に並び、GフィルタとRフィルタが斜めに並ぶように配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0253] 図37には、縦2画素×横2画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、Wフィルタ：Gフィルタ：Bフィルタ=2：1：1の割合で配置されている。すなわち、この例では、Rフィルタが配置されていない。具体的には、Wフィルタが斜め方向に並び、GフィルタとBフィルタが斜めに並ぶように配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方向に繰り返し配置される。

[0254] 図38には、縦2画素×横2画素からなるパターンを1単位とするカラーコーティングの例が示されている。この例では、Wフィルタ：Rフィルタ：Bフィルタ=2：1：1の割合で配置されている。すなわち、この例では、Gフィルタが配置されていない。具体的には、Wフィルタが斜め方向に並び、RフィルタとBフィルタが斜めに並ぶように配置されている。そして、この色フィルタのパターンが、色フィルタアレイ12上に垂直方向及び水平方

向に繰り返し配置される。

- [0255] 図38の例の場合、G画素が存在しないため、上述した実施の形態のように、W/G感度比を用いて感度差の補正を行うことができない。そこで、例えば、W/G感度比の代わりに、W画素と2番目に感度が高いR画素との感度比を用いて感度差の補正を行うようにしてもよい。また、例えば、W画素、R画素、及び、B画素からG画素の感度を計算し、W画素の感度と計算上のG画素の感度との比を用いて、感度差の補正を行うようにしてもよい。
- [0256] 図39には、縦4画素×横4画素からなるパターンを1単位とするカラーコーディングの例が示されている。この例では、Wフィルタ：M（マゼンタ）フィルタ：Y（黄色）フィルタ：C（シアン）フィルタ＝8：2：4：2の割合で配置されている。具体的には、上述した図3のカラーコーディングにおけるRフィルタがMフィルタに置き換えられ、GフィルタがYフィルタに置き換えられ、BフィルタがCフィルタに置き換えられている。
- [0257] 図39の例の場合、G画素が存在しないため、上述した実施の形態のように、W/G感度比を用いて感度差の補正を行うことができない。そこで、例えば、W/G感度比の代わりに、W画素と2番目に感度が高いY画素との感度比を用いて、感度差の補正を行うようにしてもよい。
- [0258] 図40には、縦4画素×横4画素からなるパターンを1単位とするカラーコーディングの例が示されている。この例では、Wフィルタ：Gフィルタ：Mフィルタ：Yフィルタ：Cフィルタ＝8：2：2：2：2の割合で配置されている。
- [0259] なお、上述した図30乃至図35の色フィルタのパターンの例において、RフィルタをMフィルタに置き換え、GフィルタをYフィルタに置き換え、BフィルタをCフィルタに置き換えることが可能である。
- [0260] また、図3及び図30乃至図40の色フィルタのパターンを左右反転したり、上下反転して用いることも可能である。
- [0261] さらに、以上の説明では、最も感度が高い画素がW画素の場合を例に挙げて説明したが、他の画素が最も感度が高い場合も、上述した方法と同様の方

法により感度差の補正を行うことができる。

[0262] また、必要に応じて、最も感度の高い画素と2番目に感度の高い画素の感度比だけでなく、最も感度の高い画素と3番目以降に感度の高い画素の感度比を用いて、感度差の補正を行うことも可能である。

[0263] <3. 電子機器>

本技術が適用される固体撮像素子は、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機などの電子機器全般において、その撮像部（画像取込部）として用いることができる。尚、電子機器に搭載される上記モジュール状の形態、即ち、カメラモジュールを撮像装置とする場合もある。

[0264] 図41は、本技術を適用した電子機器の一例である撮像装置（カメラ装置）601の構成例を示すブロック図である。

[0265] 図41に示すように、撮像装置601は、レンズ群611を含む光学系、撮像素子612、カメラ信号処理部であるDSP回路613、フレームメモリ614、表示装置615、記録装置616、操作系617、及び、電源系618等を有している。そして、DSP回路613、フレームメモリ614、表示装置615、記録装置616、操作系617、及び、電源系618がバスライン619を介して相互に接続された構成となっている。

[0266] レンズ群611は、被写体からの入射光（像光）を取り込んで撮像素子612の撮像面上に結像する。撮像素子612は、レンズ群611によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0267] 表示装置615は、液晶表示装置や有機EL（electro luminescence）表示装置等のパネル型表示装置から成り、撮像素子612で撮像された動画又は静止画を表示する。記録装置616は、撮像素子612で撮像された動画又は静止画を、メモリカードやビデオテープやDVD（Digital Versatile Disk）等の記録媒体に記録する。

[0268] 操作系617は、ユーザによる操作の下に、本撮像装置601が持つ様々な機能について操作指令を発する。電源系618は、DSP回路613、フレームメモリ614、表示装置615、記録装置616、及び、操作系617の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0269] このような撮像装置601は、ビデオカメラやデジタルスチルカメラ、更には、スマートフォン、携帯電話機等のモバイル機器向けカメラモジュールに適用される。そして、この撮像装置601において、撮像素子612として、上述した各実施形態に係る固体撮像素子を用いることができる。これにより、撮像装置601の画質を向上させることができる。

[0270] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0271] また、例えば、本技術は以下のような構成も取ることができる。

[0272] (1)

最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、

前記第1の画素と前記第2の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御する制御部と

を備える固体撮像素子。

(2)

前記制御部は、入射光量が所定の閾値以上である場合、前記第1の画素に対する第1のアナログゲインと前記第2の画素に対する第2のアナログゲインとの間にゲイン差を設けるとともに、前記第1の画素の露光時間と前記第2の画素の露光時間との間に時間差を設けることにより、前記第1の画素と前記第2の画素の感度差の補正を行う

上記(1)に記載の固体撮像素子。

(3)

前記制御部は、前記感度比に対応する第1のオフセット値より小さい第2のオフセット値だけ前記第2のアナログゲインの最小値を前記第1のアナロ

グゲインの最小値より高い値に設定し、前記ゲイン差が前記第1のオフセット値より小さくなる場合、前記ゲイン差が前記第1のオフセット値より小さくなる量に応じて、前記第1の画素の露光時間を前記第2の画素の露光時間より短くする

上記(2)に記載の固体撮像素子。

(4)

前記制御部は、光源又は色温度の変化に伴う前記感度比の変化に応じて、前記第1のオフセット値及び前記第2のオフセット値を調整する

上記(3)に記載の固体撮像素子。

(5)

前記制御部は、入射光量が前記閾値未満である場合、前記第1のアナログゲインを前記第2のアナログゲインより前記第1のオフセット値だけ低い値に設定する

上記(3)又は(4)に記載の固体撮像素子。

(6)

前記制御部は、前記第1の画素の画素信号及び前記第2の画素の画素信号のAD変換に用いる参照信号の傾きにより前記第1のアナログゲイン及び前記第2のアナログゲインを設定するとともに、前記参照信号を出力するDA変換部のダイナミックレンジを前記第1の画素の光電変換素子に飽和電子数の電荷が蓄積された状態の信号レベルに合わせる

上記(2)乃至(5)のいずれかに記載の固体撮像素子。

(7)

前記制御部は、光源又は色温度の変化に伴う前記感度比の変化に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を変更する

上記(1)乃至(6)のいずれかに記載の固体撮像素子。

(8)

前記第1の画素は、ホワイト画素であり、

前記第2の画素は、ホワイト画素と異なる色の画素である

上記（１）乃至（７）のいずれかに記載の固体撮像素子。

（９）

前記第２の画素は、赤色の画素及び青色の画素であり、

前記感度比は、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比である

上記（８）に記載の固体撮像素子。

（１０）

前記第１の画素は、主に輝度信号に使用する画素であり、

前記第２の画素は、主に色信号に使用する画素である

上記（１）乃至（９）のいずれかに記載の固体撮像素子。

（１１）

前記第２の画素は、２番目に感度が高い画素である

上記（１）乃至（８）のいずれかに記載の固体撮像素子。

（１２）

最も感度が高い第１の画素及び前記第１の画素より感度が低い第２の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、

前記第１の画素と前記第２の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御する

撮像制御方法。

（１３）

最も感度が高い第１の画素及び前記第１の画素より感度が低い第２の画素を含む複数の種類の画素が配列されている画素アレイ部と、

前記第１の画素と前記第２の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御する制御部と

を備える固体撮像素子を含む電子機器。

（１４）

最も感度が高い第 1 の画素及び前記第 1 の画素より感度が低い第 2 の画素を含む複数の種類の画素が配列されている画素アレイ部と、

前記第 1 の画素と前記第 2 の画素との感度比に応じた量だけ前記第 1 の画素の画素信号の電位をシフトする制御部と

を備える固体撮像素子。

(15)

前記画素信号が入力される第 1 の入力端子、及び、前記画素信号と比較する参照信号が入力される第 2 の入力端子を備え、前記画素信号と前記参照信号の比較を行うコンパレータを含む A/D 変換部を

さらに備え、

前記制御部は、前記第 1 の入力端子側のカップリング比を変更することにより、前記画素信号の電位をシフトする

上記 (14) に記載の固体撮像素子。

(16)

前記第 1 の入力端子に接続され、前記第 1 の入力端子と前記第 2 の入力端子との間の電位差を解消するための所定の信号が入力される第 1 のキャパシタと、

所定の電源と前記第 1 のキャパシタとの間にスイッチを介して接続されている第 2 のキャパシタと

をさらに備え、

前記制御部は、前記スイッチの状態を切り替えることにより、前記カップリング比を変更する

上記 (15) に記載の固体撮像素子。

(17)

複数の前記第 2 のキャパシタが、それぞれスイッチを介して前記電源と前記第 1 のキャパシタとの間に接続されており、

前記制御部は、複数の前記スイッチの状態を個別に切り替えることにより、前記カップリング比を変更する

上記（１６）に記載の固体撮像素子。

（１８）

前記制御部は、前記第１の画素の電荷電圧変換部の変換効率を変更することにより、前記画素信号の電位をシフトする

上記（１４）に記載の固体撮像素子。

（１９）

前記制御部は、前記電荷電圧変換部の容量を変更することにより、前記電荷電圧変換部の変換効率を変更する

上記（１８）に記載の固体撮像素子。

（２０）

前記制御部は、光源又は色温度の変化に伴う前記感度比の変化に応じて、前記画素信号の電位のシフト量を調整する

上記（１４）乃至（１９）のいずれかに記載の固体撮像素子。

（２１）

前記第１の画素は、ホワイト画素であり、

前記第２の画素は、ホワイト画素と異なる色の画素である

上記（１４）乃至（２０）のいずれかに記載の固体撮像素子。

（２２）

前記第２の画素は、赤色の画素及び青色の画素であり、

前記感度比は、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比である

上記（２１）に記載の固体撮像素子。

（２３）

前記第１の画素は、主に輝度信号に使用する画素であり、

前記第２の画素は、主に色信号に使用する画素である

上記（１４）乃至（２２）のいずれかに記載の固体撮像素子。

（２４）

前記第 2 の画素は、2 番目に感度が高い画素である

上記 (14) 乃至 (21) のいずれかに記載の固体撮像素子。

(25)

最も感度が高い第 1 の画素及び前記第 1 の画素より感度が低い第 2 の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、

前記第 1 の画素と前記第 2 の画素との感度比に応じた量だけ前記第 1 の画素の画素信号の電位をシフトする

信号処理方法。

(26)

最も感度が高い第 1 の画素及び前記第 1 の画素より感度が低い第 2 の画素を含む複数の種類の画素が配列されている画素アレイ部と、

前記第 1 の画素と前記第 2 の画素との感度比に応じた量だけ前記第 1 の画素の画素信号の電位をシフトする制御部と

を備える固体撮像素子を含む電子機器。

(27)

最も感度が高い第 1 の画素及び前記第 1 の画素より感度が低い第 2 の画素を含む複数の種類の画素が配列されている画素アレイ部と、

入射光量に応じて各画素に対するアナログゲインを制御する制御部とを備え、

前記制御部は、前記第 1 の画素と前記第 2 の画素との感度比に対応する第 1 のオフセット値だけ前記第 1 に対する第 1 のアナログゲインを前記第 2 の画素に対する第 2 のアナログゲインより低い値に設定するとともに、前記第 1 のアナログゲインのダイナミックレンジを前記第 2 のアナログゲインのダイナミックレンジより低い範囲に設定する

固体撮像素子。

(28)

前記制御部は、前記第 2 のアナログゲインが所定の閾値未満になる場合、

前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲にシフトする

上記(27)に記載の固体撮像素子。

(29)

前記画素アレイ部の画素の画素信号のAD変換に用いる参照信号を出力するDA変換部を

さらに備え、

前記制御部は、前記参照信号の傾きを制御することにより前記第1のアナログゲイン及び前記第2のアナログゲインを制御するとともに、前記参照信号の電圧を増減させる前記DA変換部の基準電流を前記第2の画素より前記第1の画素に対して大きく設定することにより、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する

上記(27)に記載の固体撮像素子。

(30)

前記制御部は、前記基準電流の設定値をフレーム単位で切り替える

上記(29)に記載の固体撮像素子。

(31)

前記制御部は、前記基準電流の設定値を画素単位で切り替える

上記(29)に記載の固体撮像素子。

(32)

前記第1の画素は、ホワイト画素であり、

前記第2の画素は、ホワイト画素と異なる色の画素である

上記(27)乃至(31)のいずれかに記載の固体撮像素子。

(33)

前記第2の画素は、赤色の画素及び青色の画素であり、

前記感度比は、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比であ

る

上記（３２）に記載の固体撮像素子。

（３４）

前記第１の画素は、主に輝度信号に使用する画素であり、

前記第２の画素は、主に色信号に使用する画素である

上記（２７）乃至（３３）のいずれかに記載の固体撮像素子。

（３５）

前記第２の画素は、２番目に感度が高い画素である

上記（２７）乃至（３２）のいずれかに記載の固体撮像素子。

（３６）

最も感度が高い第１の画素及び前記第１の画素より感度が低い第２の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、

入射光量に応じて各画素に対するアナログゲインを制御し、

前記第１の画素と前記第２の画素との感度比に対応する第１のオフセット値だけ前記第１に対する第１のアナログゲインを前記第２の画素に対する第２のアナログゲインより低い値に設定するとともに、前記第１のアナログゲインのダイナミックレンジを前記第２のアナログゲインのダイナミックレンジより低い範囲に設定する

撮像制御方法。

（３７）

最も感度が高い第１の画素及び前記第１の画素より感度が低い第２の画素を含む複数の種類の画素が配列されている画素アレイ部と、

入射光量に応じて各画素に対するアナログゲインを制御する制御部とを備え、

前記制御部は、前記第１の画素と前記第２の画素との感度比に対応する第１のオフセット値だけ前記第１に対する第１のアナログゲインを前記第２の画素に対する第２のアナログゲインより低い値に設定するとともに、前記第

1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する

固体撮像素子を含む電子機器。

符号の説明

[0273] 1 固体撮像素子, 11 半導体基板, 21 画素アレイ部, 22 行デコーダ, 23 AD変換器, 24 列デコーダ, 27 制御部, 31 単位画素, 41 DA変換器, 42 比較部, 43 カウント部, 51 コンパレータ, 61 カウンタ, 62 ラッチ部, 101 フォトダイオード, 102 転送トランジスタ, 103 リセットトランジスタ, 104 増幅トランジスタ, 105 選択トランジスタ, 106 FD部, 151 アナログ信号出力部, 152 ゲイン制御信号生成部, 153 カウンタデコーダ, 154 ゲインデコーダ, 161-1乃至161-n, 171-1乃至171-n 基本電流源セル, 201 感度差補正部, 211 ゲイン制御部, 212 露光制御部, 213 信号レベル制御部, 301 ゲート電極, 302 絶縁膜, 303 半導体基板, 321a, 321b 浮遊拡散領域, 322 ゲート電極, 401 画素アレイ部, 402a, 402b AD変換器, 441 固体撮像素子, 451 画素基板, 452 ロジック基板, 461 画素アレイ部, 462, 463 ビア, 471 信号処理回路, 472, 473 ビア, 601 撮像装置, 612 撮像素子, C1乃至Cn, Caz1, Caz2, Cin1, Cin2 キャパシタ, SW1乃至SWn スイッチ, Tin1, Tin2 入力端子

請求の範囲

- [請求項1] 最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、
 前記第1の画素と前記第2の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御する制御部と
 を備える固体撮像素子。
- [請求項2] 前記制御部は、入射光量が所定の閾値以上である場合、前記第1の画素に対する第1のアナログゲインと前記第2の画素に対する第2のアナログゲインとの間にゲイン差を設けるとともに、前記第1の画素の露光時間と前記第2の画素の露光時間との間に時間差を設けることにより、前記第1の画素と前記第2の画素の感度差の補正を行う
 請求項1に記載の固体撮像素子。
- [請求項3] 前記制御部は、前記感度比に対応する第1のオフセット値より小さい第2のオフセット値だけ前記第2のアナログゲインの最小値を前記第1のアナログゲインの最小値より高い値に設定し、前記ゲイン差が前記第1のオフセット値より小さくなる場合、前記ゲイン差が前記第1のオフセット値より小さくなる量に応じて、前記第1の画素の露光時間を前記第2の画素の露光時間より短くする
 請求項2に記載の固体撮像素子。
- [請求項4] 前記制御部は、光源又は色温度の変化に伴う前記感度比の変化に応じて、前記第1のオフセット値及び前記第2のオフセット値を調整する
 請求項3に記載の固体撮像素子。
- [請求項5] 前記制御部は、入射光量が前記閾値未満である場合、前記第1のアナログゲインを前記第2のアナログゲインより前記第1のオフセット値だけ低い値に設定する
 請求項3に記載の固体撮像素子。

- [請求項6] 前記制御部は、前記第1の画素の画素信号及び前記第2の画素の画素信号のAD変換に用いる参照信号の傾きにより前記第1のアナログゲイン及び前記第2のアナログゲインを設定するとともに、前記参照信号を出力するDA変換部のダイナミックレンジを前記第1の画素の光電変換素子に飽和電子数の電荷が蓄積された状態の信号レベルに合わせる
- 請求項2に記載の固体撮像素子。
- [請求項7] 前記制御部は、光源又は色温度の変化に伴う前記感度比の変化に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を変更する
- 請求項1に記載の固体撮像素子。
- [請求項8] 前記第1の画素は、ホワイト画素であり、
前記第2の画素は、ホワイト画素と異なる色の画素である
- 請求項1に記載の固体撮像素子。
- [請求項9] 前記第2の画素は、赤色の画素及び青色の画素であり、
前記感度比は、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比である
- 請求項8に記載の固体撮像素子。
- [請求項10] 前記第1の画素は、主に輝度信号に使用する画素であり、
前記第2の画素は、主に色信号に使用する画素である
- 請求項1に記載の固体撮像素子。
- [請求項11] 前記第2の画素は、2番目に感度が高い画素である
- 請求項1に記載の固体撮像素子。
- [請求項12] 最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、
前記第1の画素と前記第2の画素との感度比に応じて、各画素に対

するアナログゲイン及び露光時間の少なくとも一方を制御する
撮像制御方法。

[請求項13] 最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、
前記第1の画素と前記第2の画素との感度比に応じて、各画素に対するアナログゲイン及び露光時間の少なくとも一方を制御する制御部と
を備える固体撮像素子を含む電子機器。

[請求項14] 最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、
前記第1の画素と前記第2の画素との感度比に応じた量だけ前記第1の画素の画素信号の電位をシフトする制御部と
を備える固体撮像素子。

[請求項15] 前記画素信号が入力される第1の入力端子、及び、前記画素信号と比較する参照信号が入力される第2の入力端子を備え、前記画素信号と前記参照信号の比較を行うコンパレータを含むAD変換部を
さらに備え、
前記制御部は、前記第1の入力端子側のカップリング比を変更することにより、前記画素信号の電位をシフトする
請求項14に記載の固体撮像素子。

[請求項16] 前記第1の入力端子に接続され、前記第1の入力端子と前記第2の入力端子との間の電位差を解消するための所定の信号が入力される第1のキャパシタと、
所定の電源と前記第1のキャパシタとの間にスイッチを介して接続されている第2のキャパシタと
をさらに備え、
前記制御部は、前記スイッチの状態を切り替えることにより、前記カップリング比を変更する

請求項 15 に記載の固体撮像素子。

[請求項17] 複数の前記第2のキャパシタが、それぞれスイッチを介して前記電源と前記第1のキャパシタとの間に接続されており、

前記制御部は、複数の前記スイッチの状態を個別に切り替えることにより、前記カップリング比を変更する

請求項 16 に記載の固体撮像素子。

[請求項18] 前記制御部は、前記第1の画素の電荷電圧変換部の変換効率を変更することにより、前記画素信号の電位をシフトする

請求項 14 に記載の固体撮像素子。

[請求項19] 前記制御部は、前記電荷電圧変換部の容量を変更することにより、前記電荷電圧変換部の変換効率を変更する

請求項 18 に記載の固体撮像素子。

[請求項20] 前記制御部は、光源又は色温度の変化に伴う前記感度比の変化に応じて、前記画素信号の電位のシフト量を調整する

請求項 14 に記載の固体撮像素子。

[請求項21] 前記第1の画素は、ホワイト画素であり、

前記第2の画素は、ホワイト画素と異なる色の画素である

請求項 14 に記載の固体撮像素子。

[請求項22] 前記第2の画素は、赤色の画素及び青色の画素であり、

前記感度比は、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比である

請求項 21 に記載の固体撮像素子。

[請求項23] 前記第1の画素は、主に輝度信号に使用する画素であり、

前記第2の画素は、主に色信号に使用する画素である

請求項 14 に記載の固体撮像素子。

[請求項24] 前記第2の画素は、2番目に感度が高い画素である

請求項 14 に記載の固体撮像素子。

- [請求項25] 最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、
- 前記第1の画素と前記第2の画素との感度比に応じた量だけ前記第1の画素の画素信号の電位をシフトする
- 信号処理方法。
- [請求項26] 最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、
- 前記第1の画素と前記第2の画素との感度比に応じた量だけ前記第1の画素の画素信号の電位をシフトする制御部と
- を備える固体撮像素子を含む電子機器。
- [請求項27] 最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、
- 入射光量に応じて各画素に対するアナログゲインを制御する制御部と
- を備え、
- 前記制御部は、前記第1の画素と前記第2の画素との感度比に対応する第1のオフセット値だけ前記第1に対する第1のアナログゲインを前記第2の画素に対する第2のアナログゲインより低い値に設定するとともに、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する
- 固体撮像素子。
- [請求項28] 前記制御部は、前記第2のアナログゲインが所定の閾値未満になる場合、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲にシフトする
- 請求項27に記載の固体撮像素子。
- [請求項29] 前記画素アレイ部の画素の画素信号のAD変換に用いる参照信号を出力するDA変換部を

さらに備え、

前記制御部は、前記参照信号の傾きを制御することにより前記第1のアナログゲイン及び前記第2のアナログゲインを制御するとともに、前記参照信号の電圧を増減させる前記DA変換部の基準電流を前記第2の画素より前記第1の画素に対して大きく設定することにより、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する

請求項27に記載の固体撮像素子。

[請求項30] 前記制御部は、前記基準電流の設定値をフレーム単位で切り替える請求項29に記載の固体撮像素子。

[請求項31] 前記制御部は、前記基準電流の設定値を画素単位で切り替える請求項29に記載の固体撮像素子。

[請求項32] 前記第1の画素は、ホワイト画素であり、
前記第2の画素は、ホワイト画素と異なる色の画素である
請求項27に記載の固体撮像素子。

[請求項33] 前記第2の画素は、赤色の画素及び青色の画素であり、
前記感度比は、前記ホワイト画素の感度と、前記ホワイト画素、前記赤色の画素、及び、前記青色の画素より計算される緑色の画素の感度との比である

請求項32に記載の固体撮像素子。

[請求項34] 前記第1の画素は、主に輝度信号に使用する画素であり、
前記第2の画素は、主に色信号に使用する画素である
請求項27に記載の固体撮像素子。

[請求項35] 前記第2の画素は、2番目に感度が高い画素である
請求項27に記載の固体撮像素子。

[請求項36] 最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部を備える固体撮像素子が、

入射光量に応じて各画素に対するアナログゲインを制御し、

前記第1の画素と前記第2の画素との感度比に対応する第1のオフセット値だけ前記第1に対する第1のアナログゲインを前記第2の画素に対する第2のアナログゲインより低い値に設定するとともに、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する

撮像制御方法。

[請求項37]

最も感度が高い第1の画素及び前記第1の画素より感度が低い第2の画素を含む複数の種類の画素が配列されている画素アレイ部と、

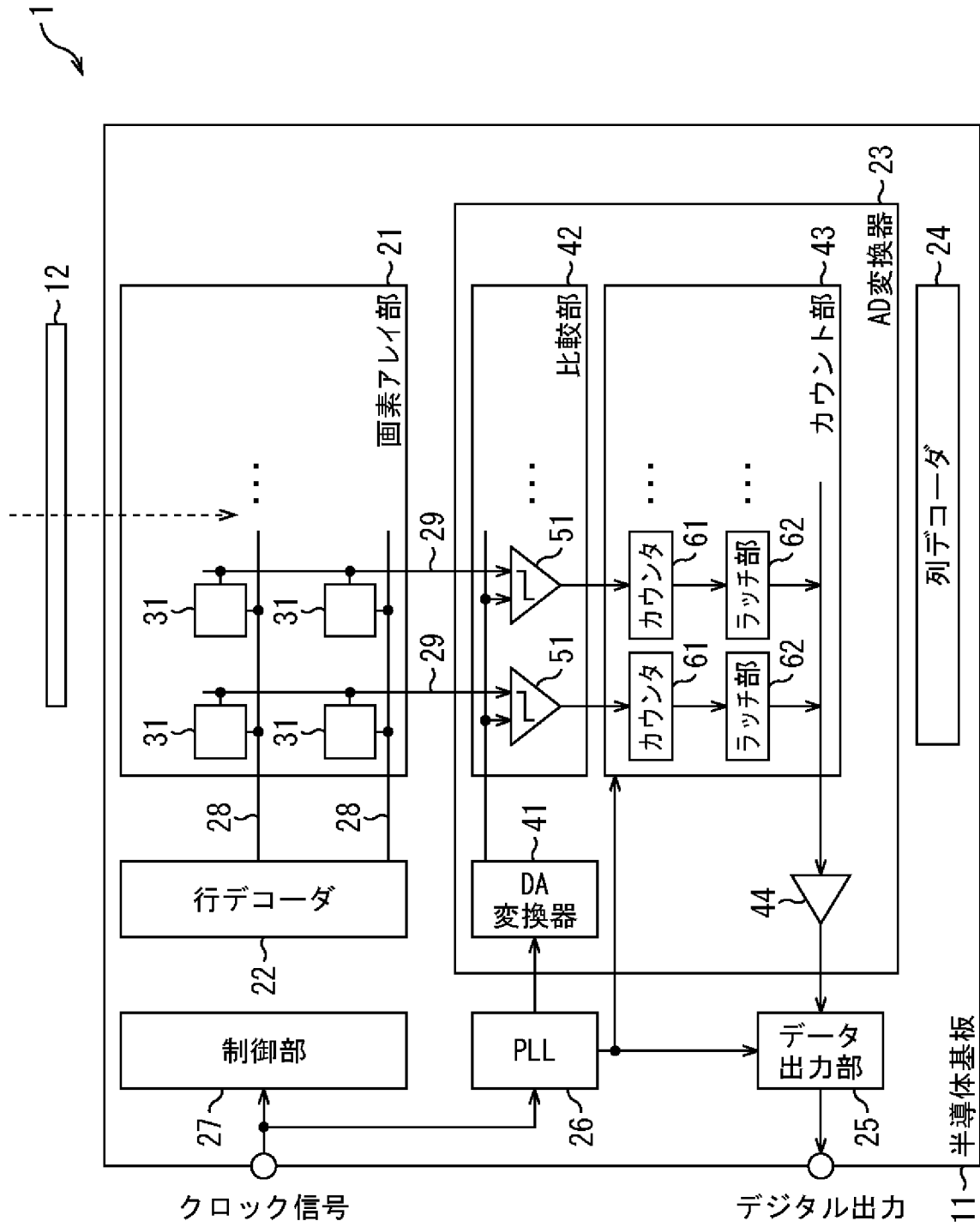
入射光量に応じて各画素に対するアナログゲインを制御する制御部と

を備え、

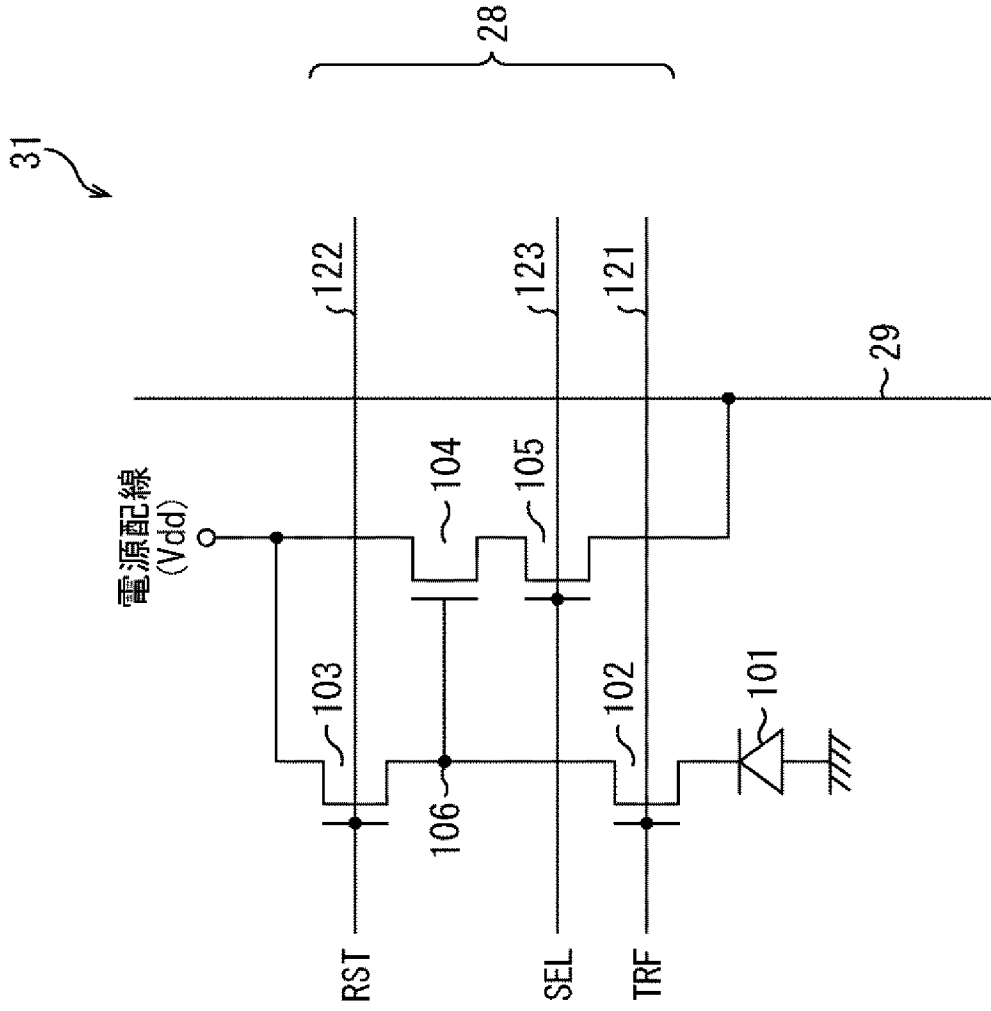
前記制御部は、前記第1の画素と前記第2の画素との感度比に対応する第1のオフセット値だけ前記第1に対する第1のアナログゲインを前記第2の画素に対する第2のアナログゲインより低い値に設定するとともに、前記第1のアナログゲインのダイナミックレンジを前記第2のアナログゲインのダイナミックレンジより低い範囲に設定する

固体撮像素子を含む電子機器。

[図1]
図1

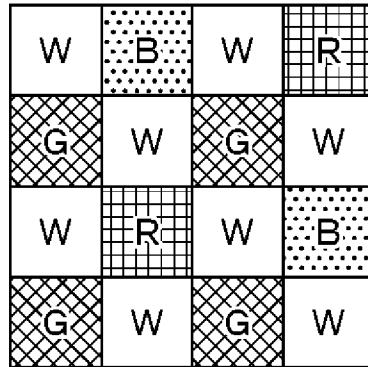


[図2]
図2



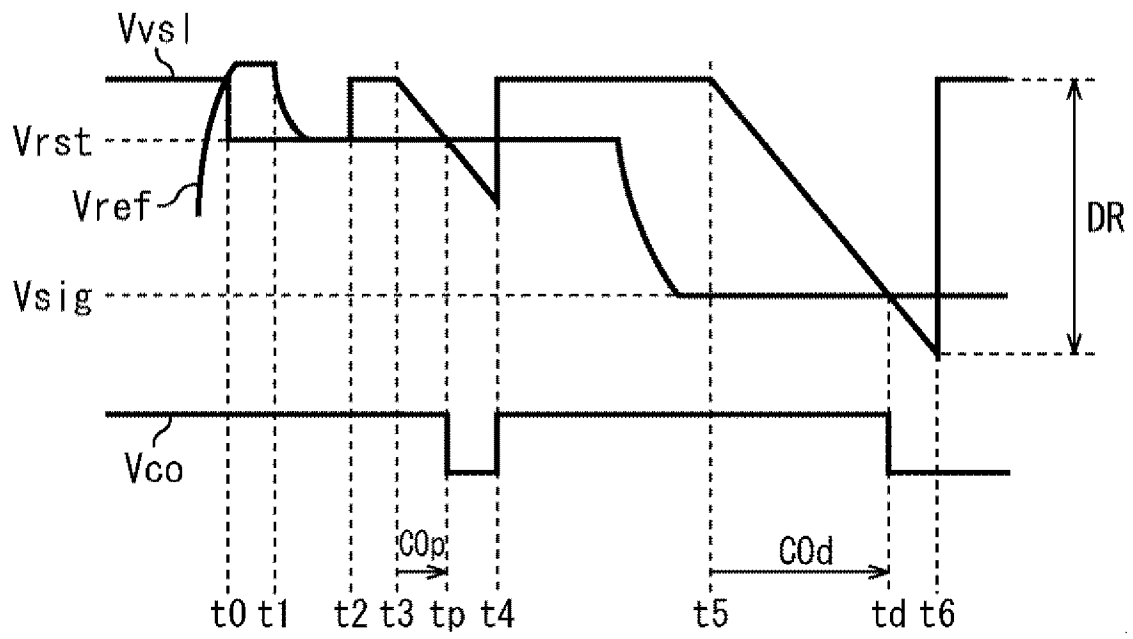
[図3]

図3



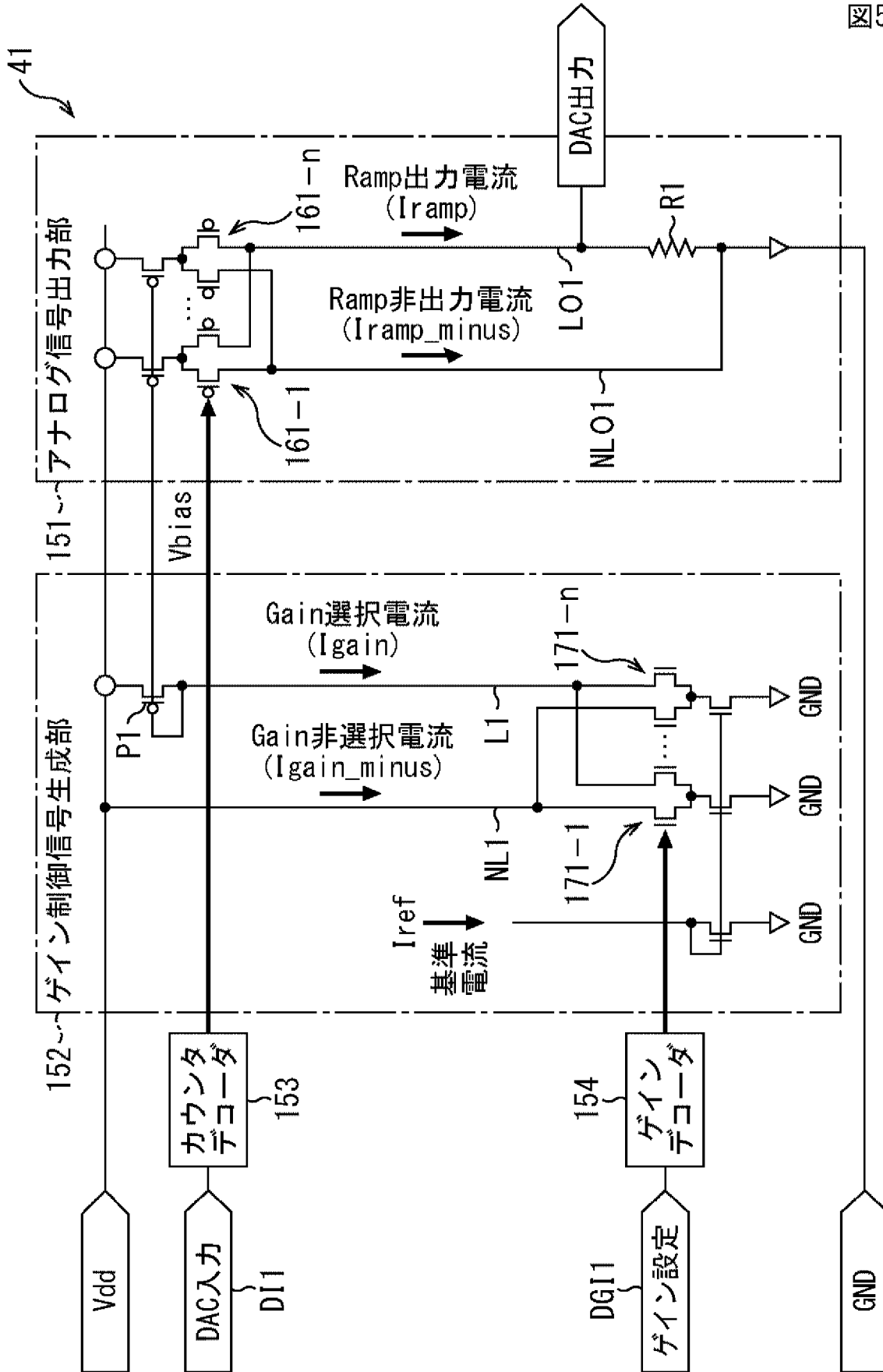
[図4]

図4



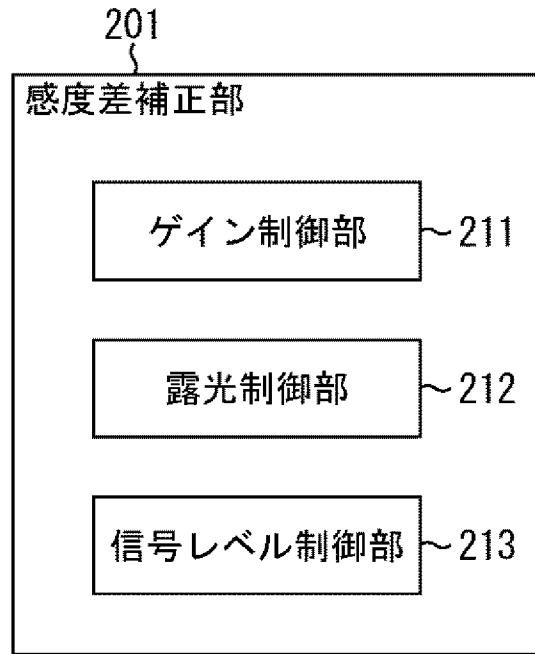
[図5]

図5



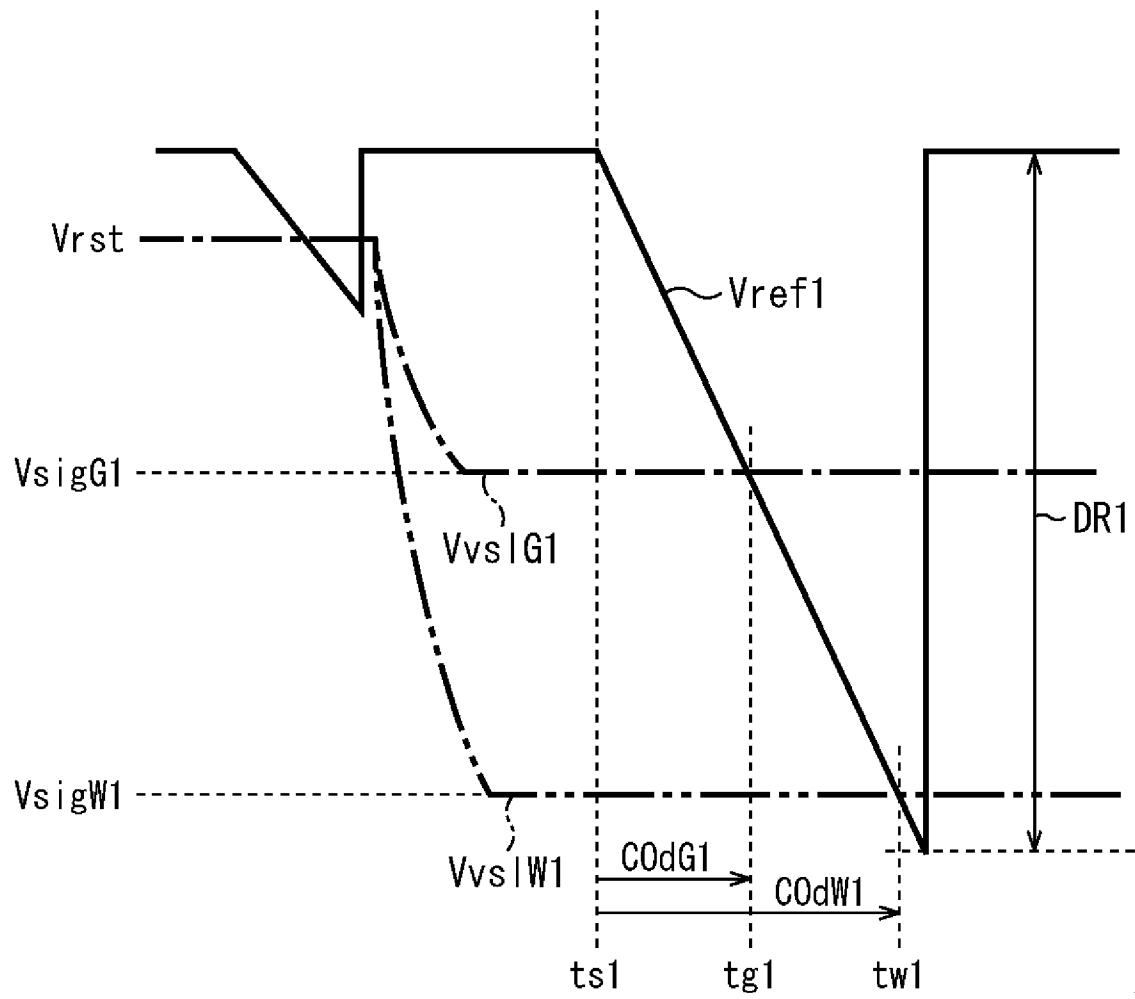
[図6]

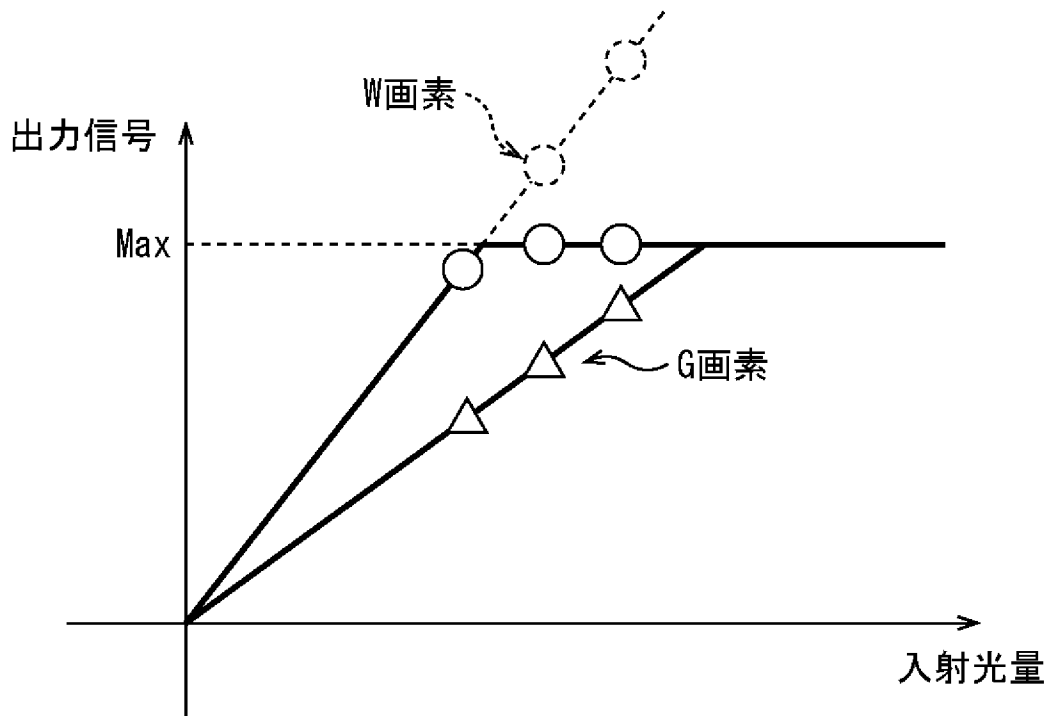
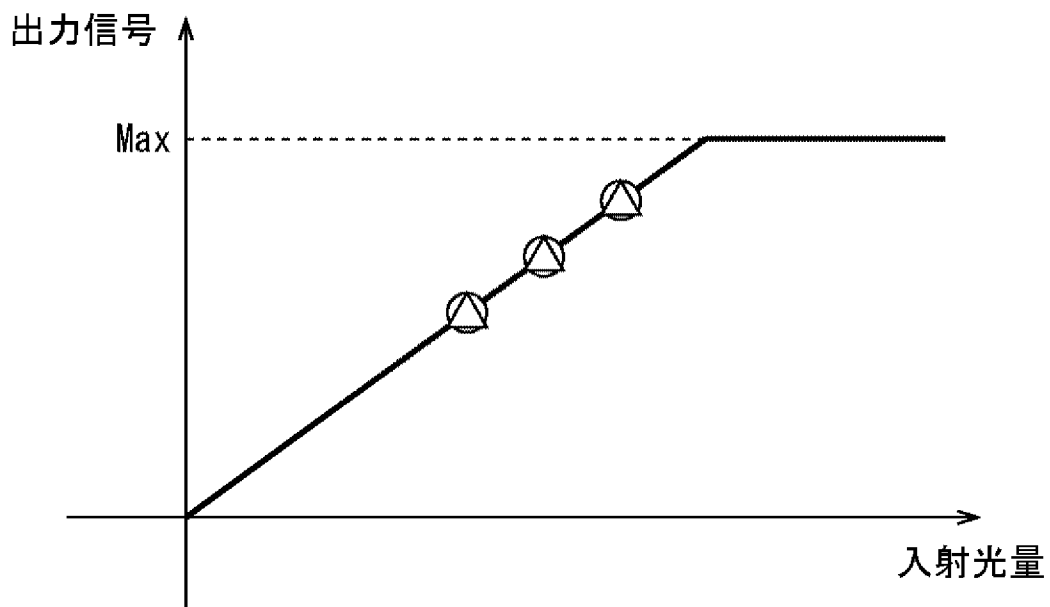
図6



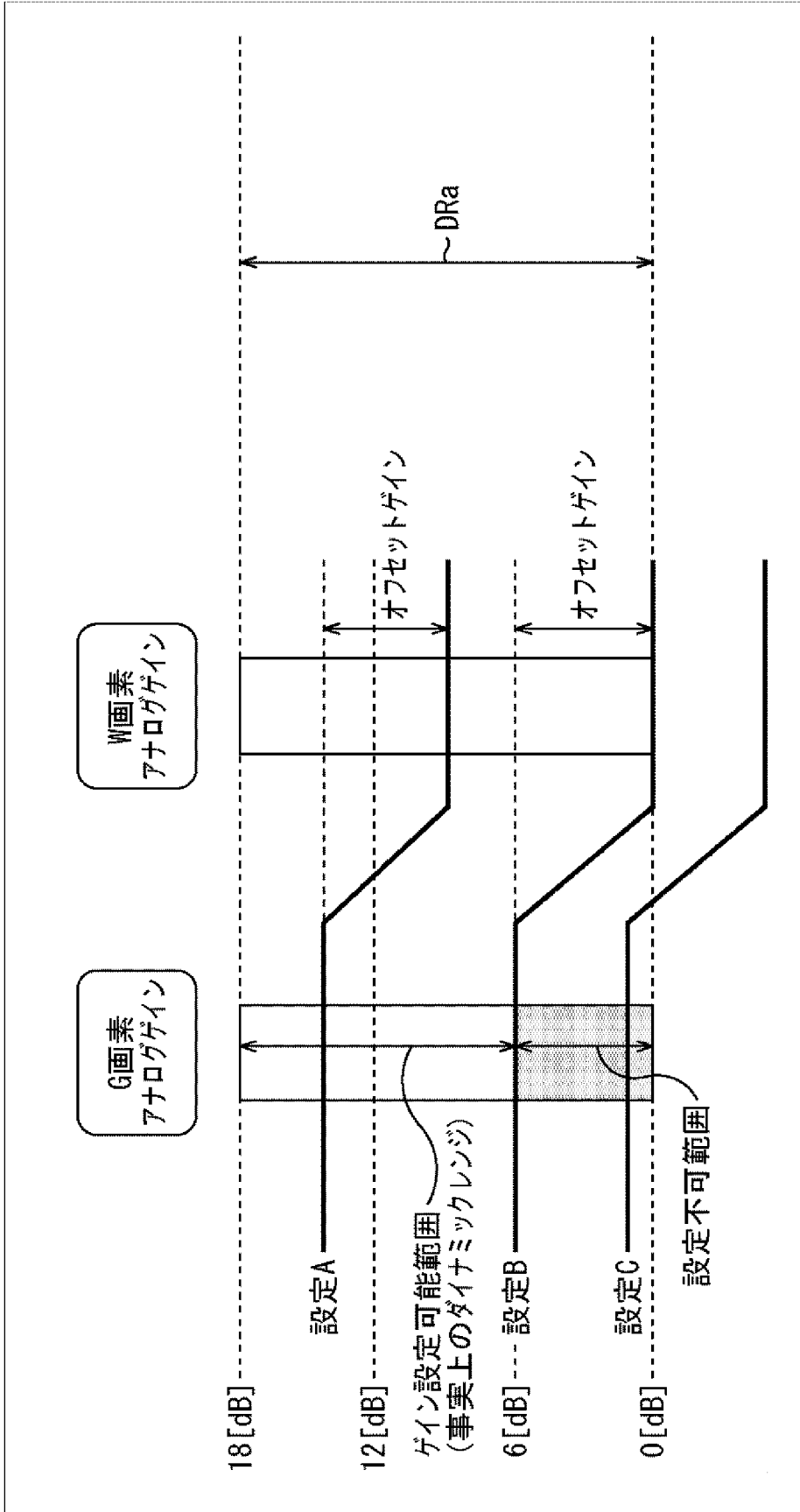
[図7]

図7



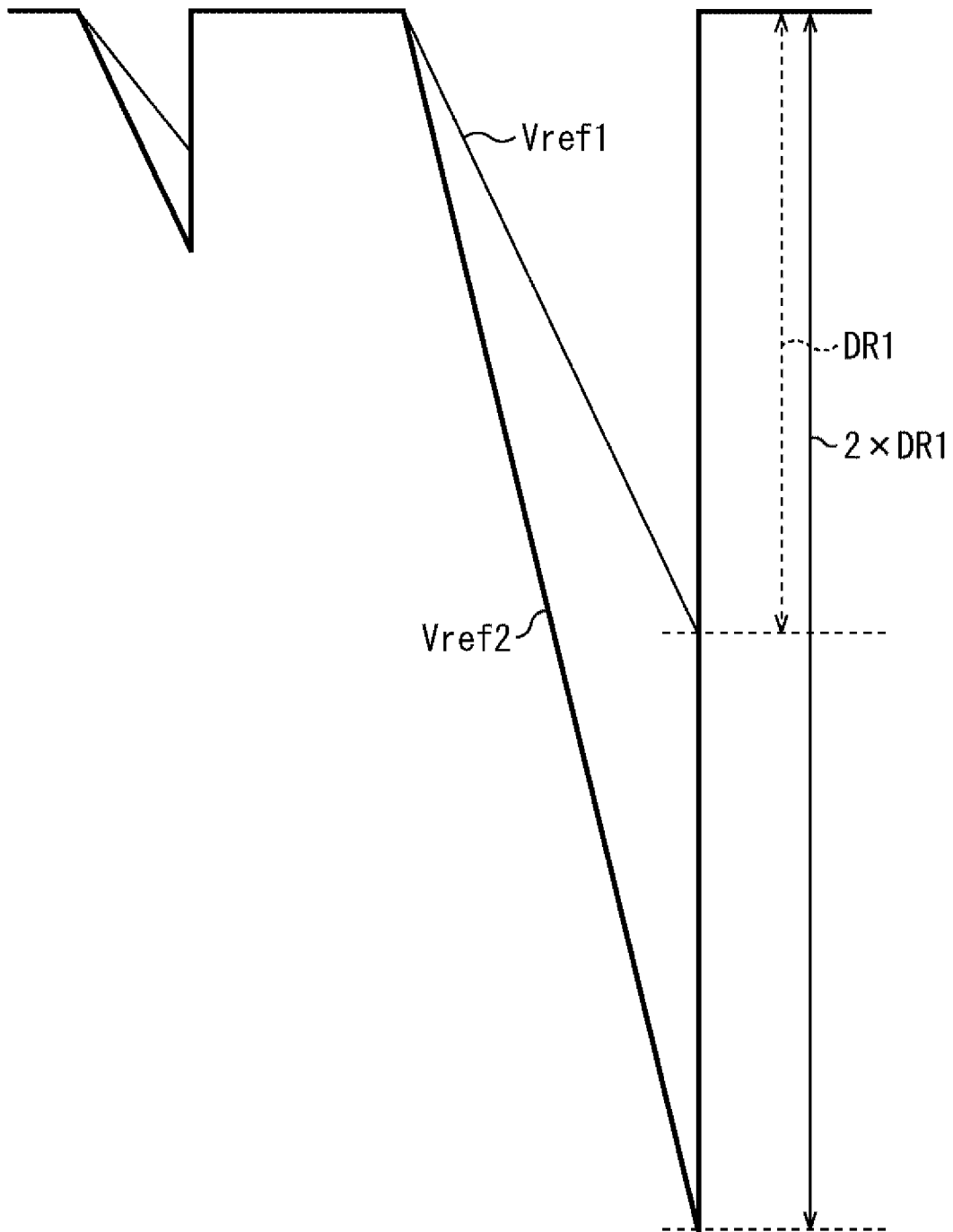
[図8]
図8[図9]
図9

[図10]
図10

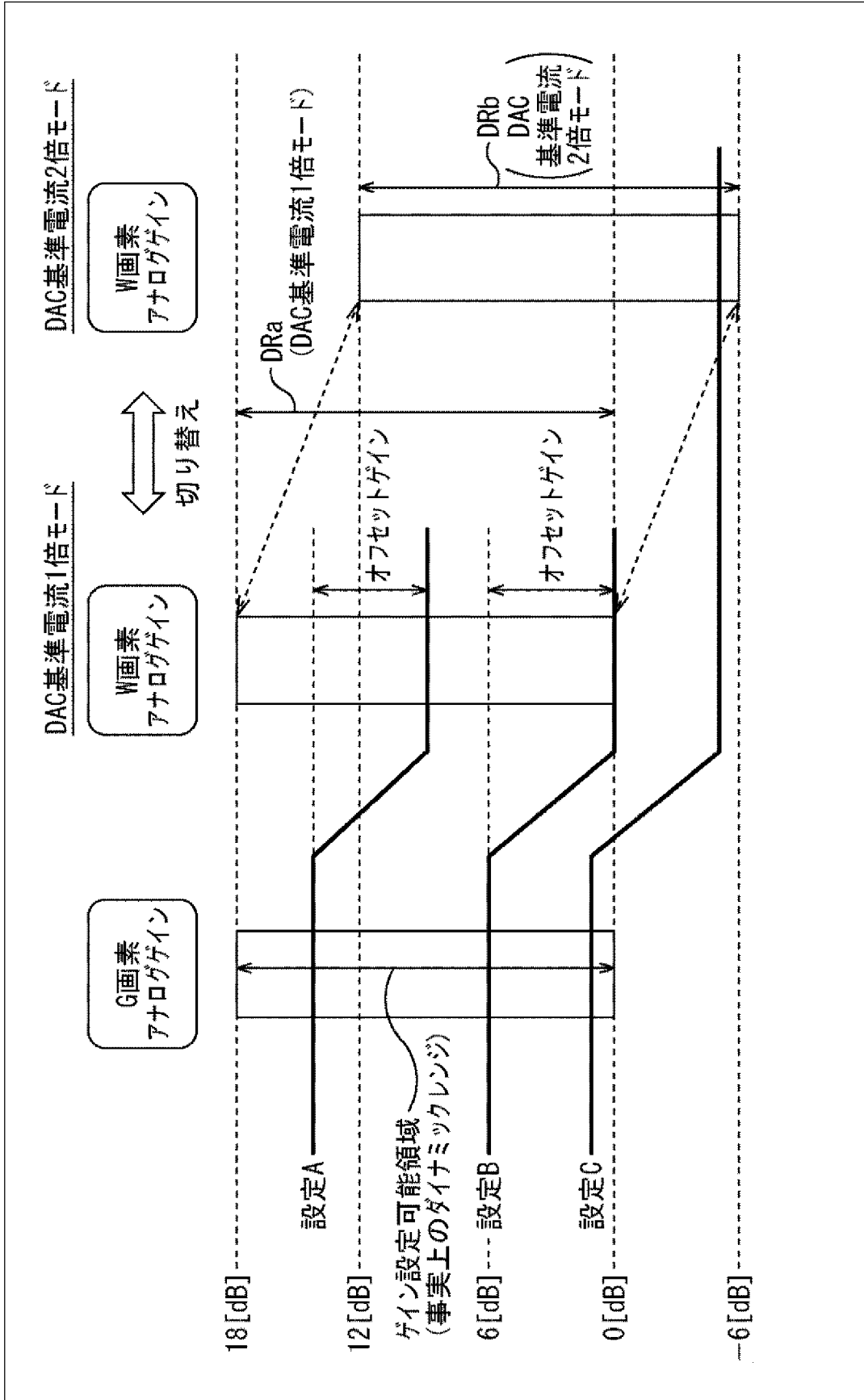


[図11]

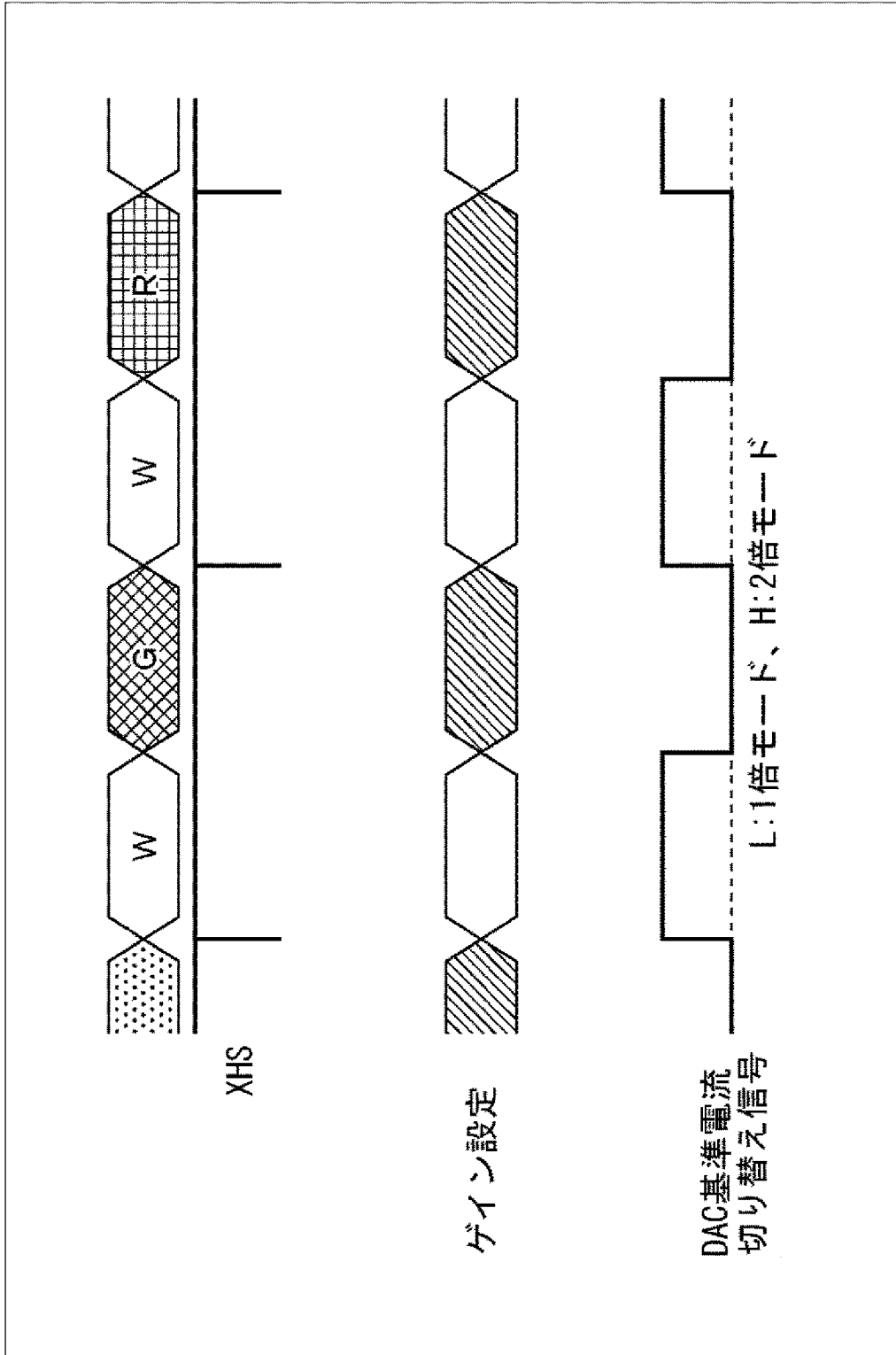
図11



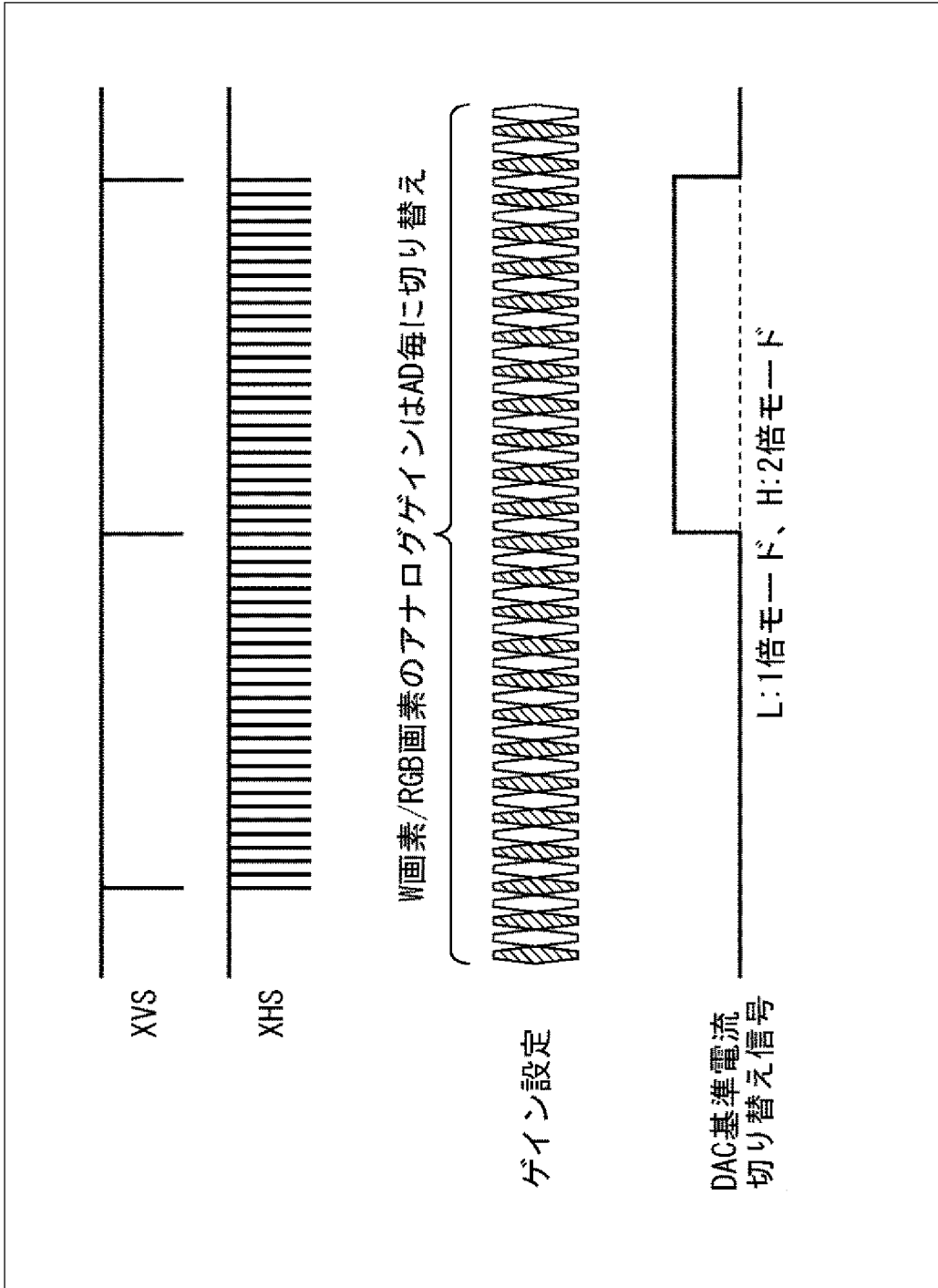
[図12]
図12



[図13]
図13

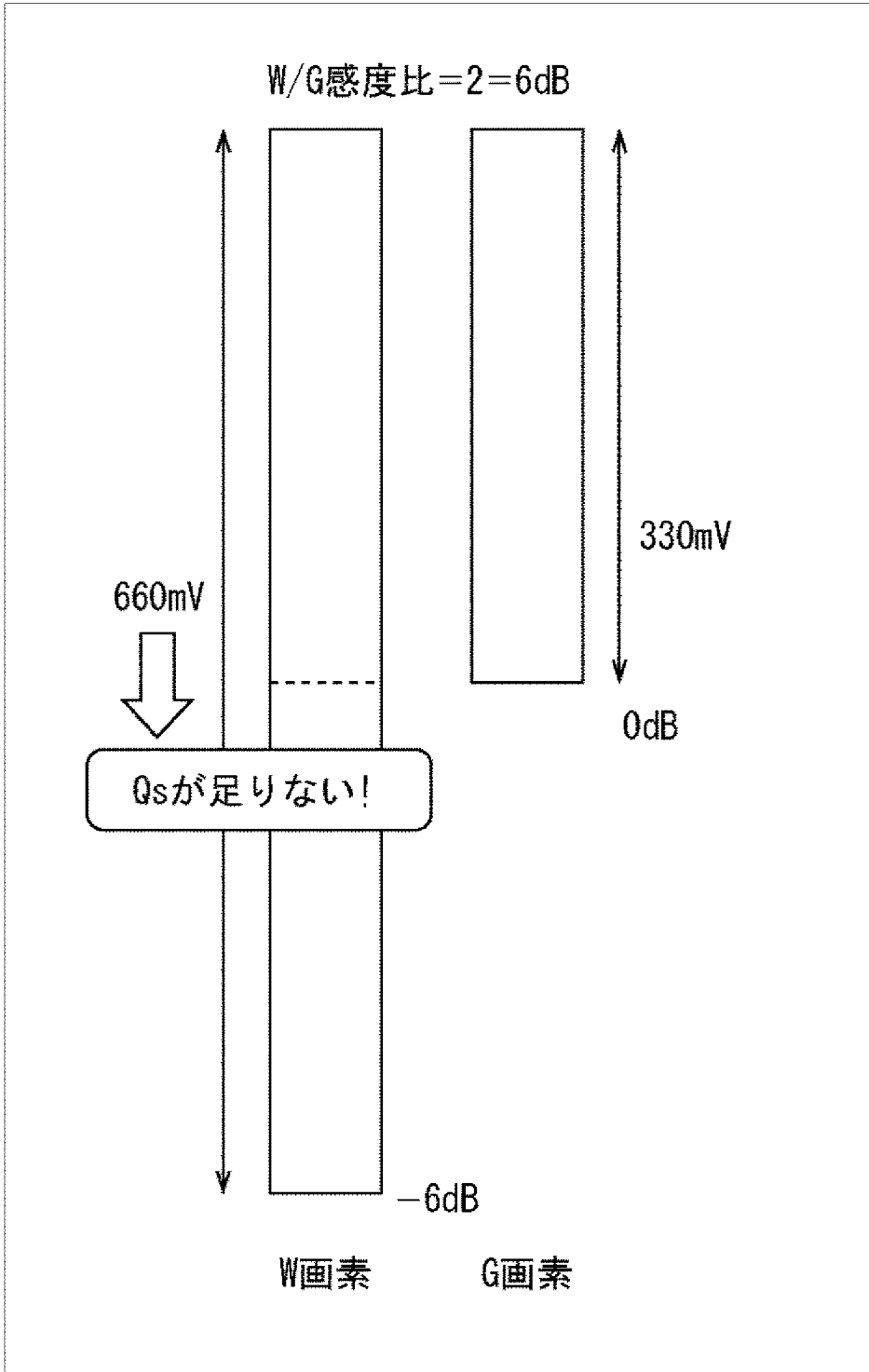


[図14]
図14



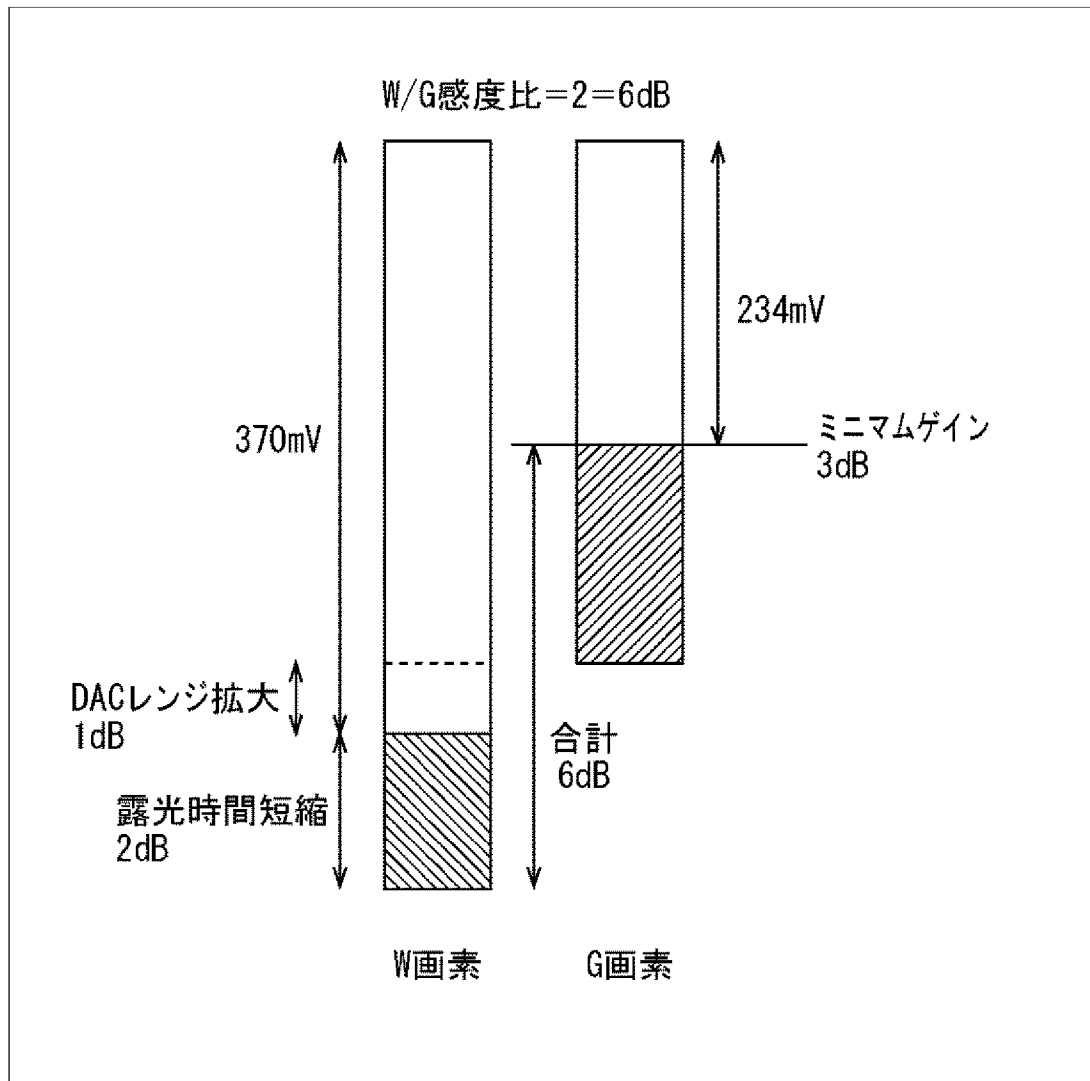
[図15]

図15

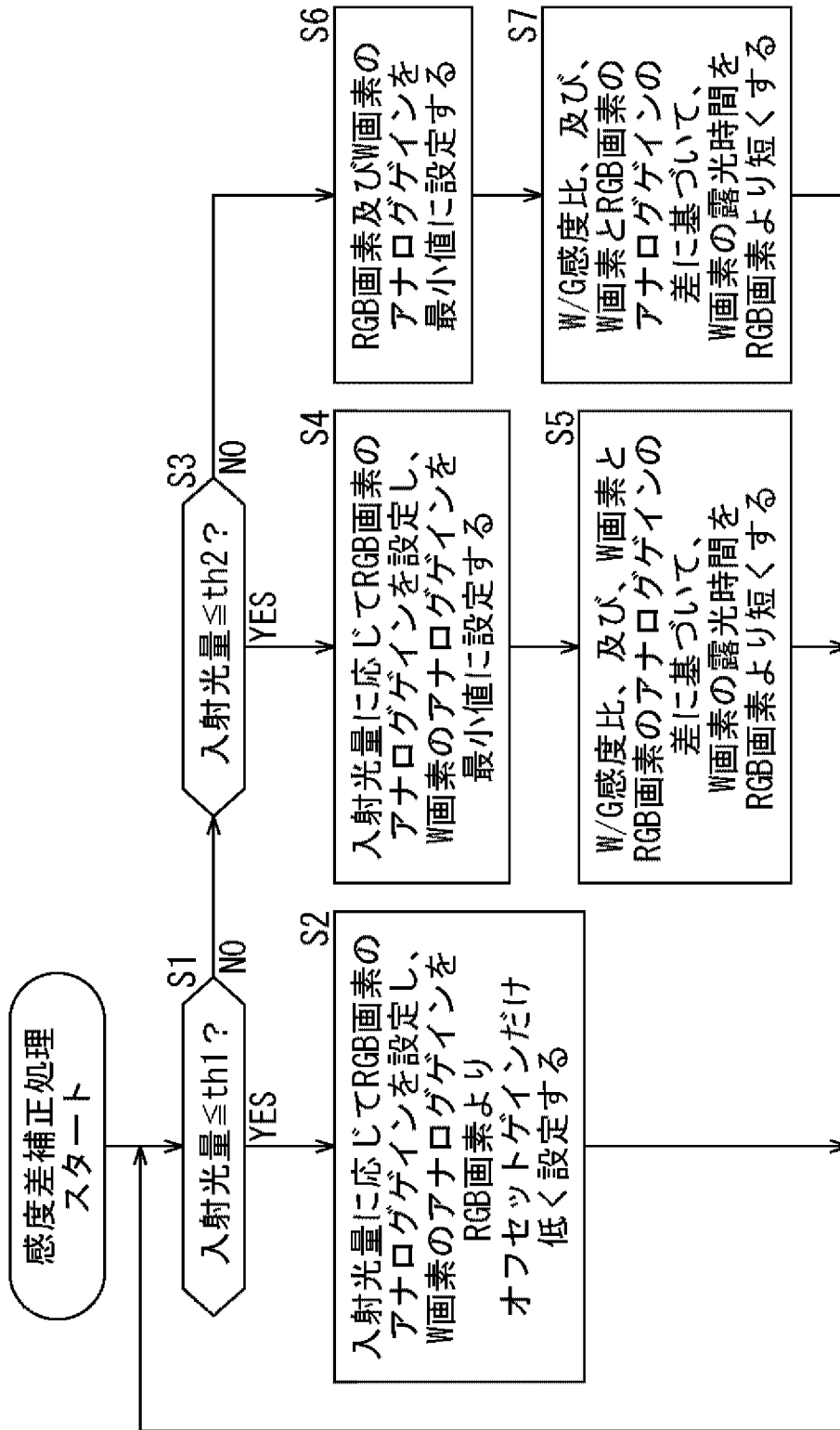


[図16]

図16

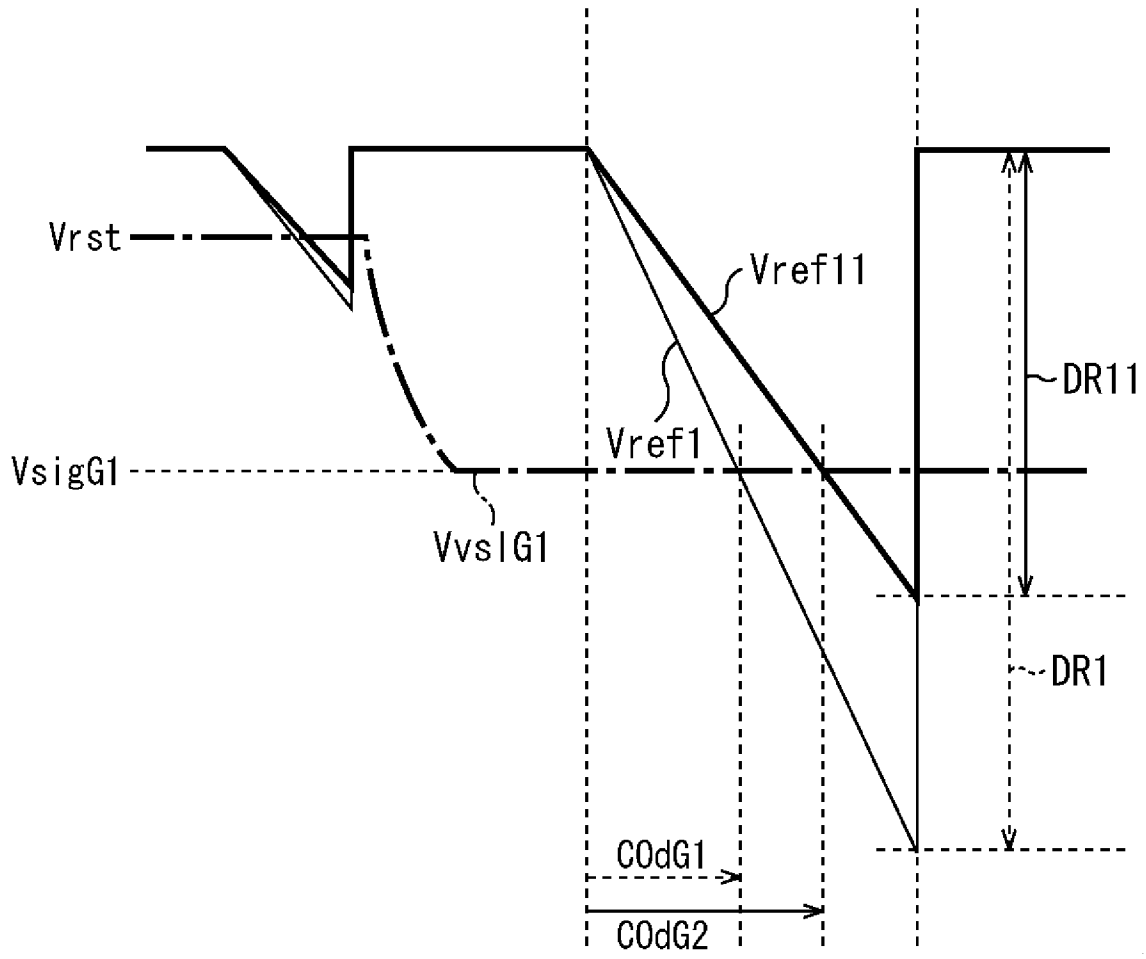


[図17]
図17



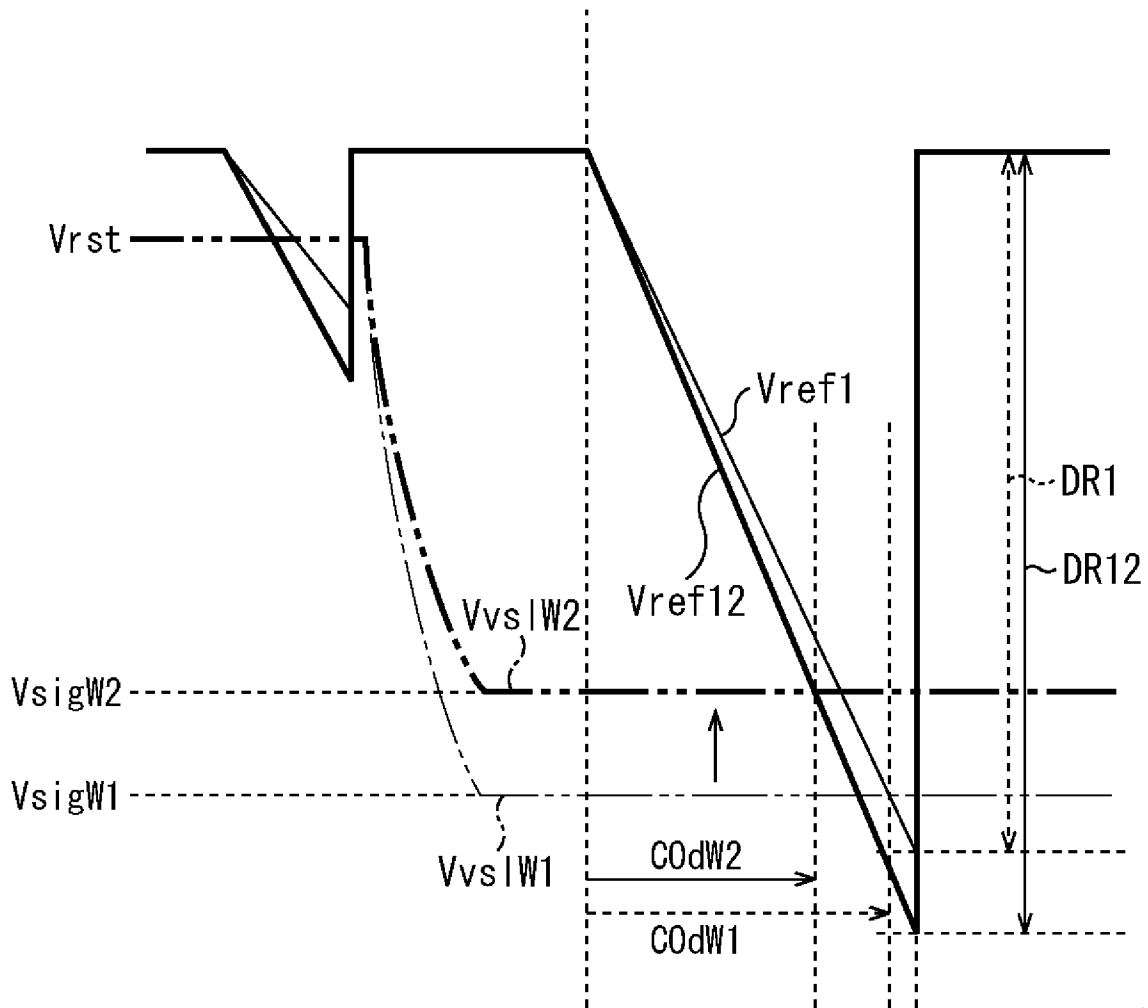
[図18]

図18



[図19]

図19



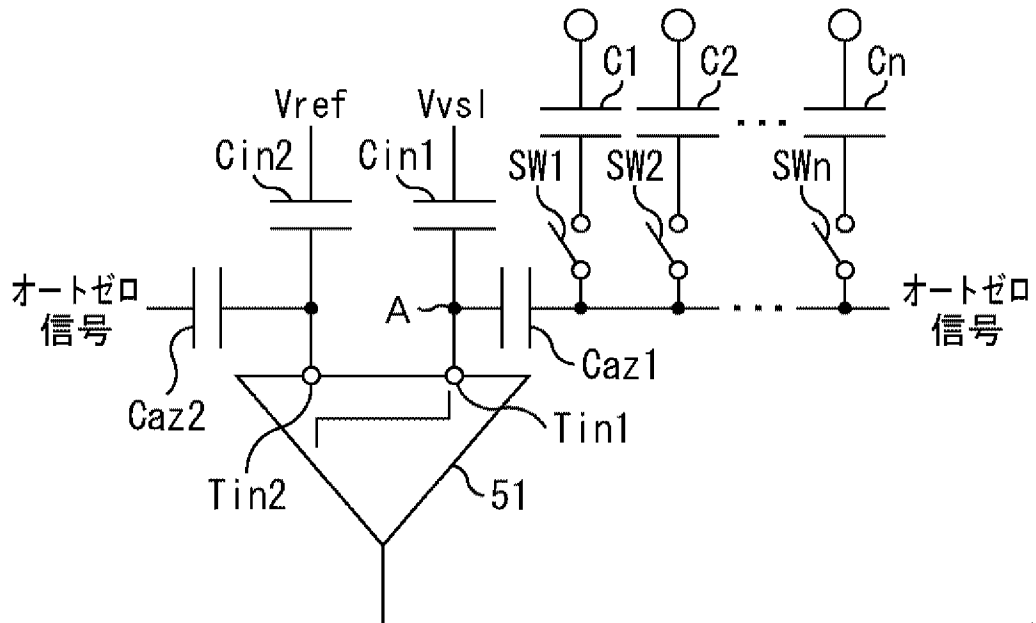
[図20]

図20

光源	色温度(K)	W/G感度比(倍)	W/G感度比(dB)
A	2950	1.89	5.5
蛍光灯	4300	1.81	5.2
D70	7400	2.0	6.0

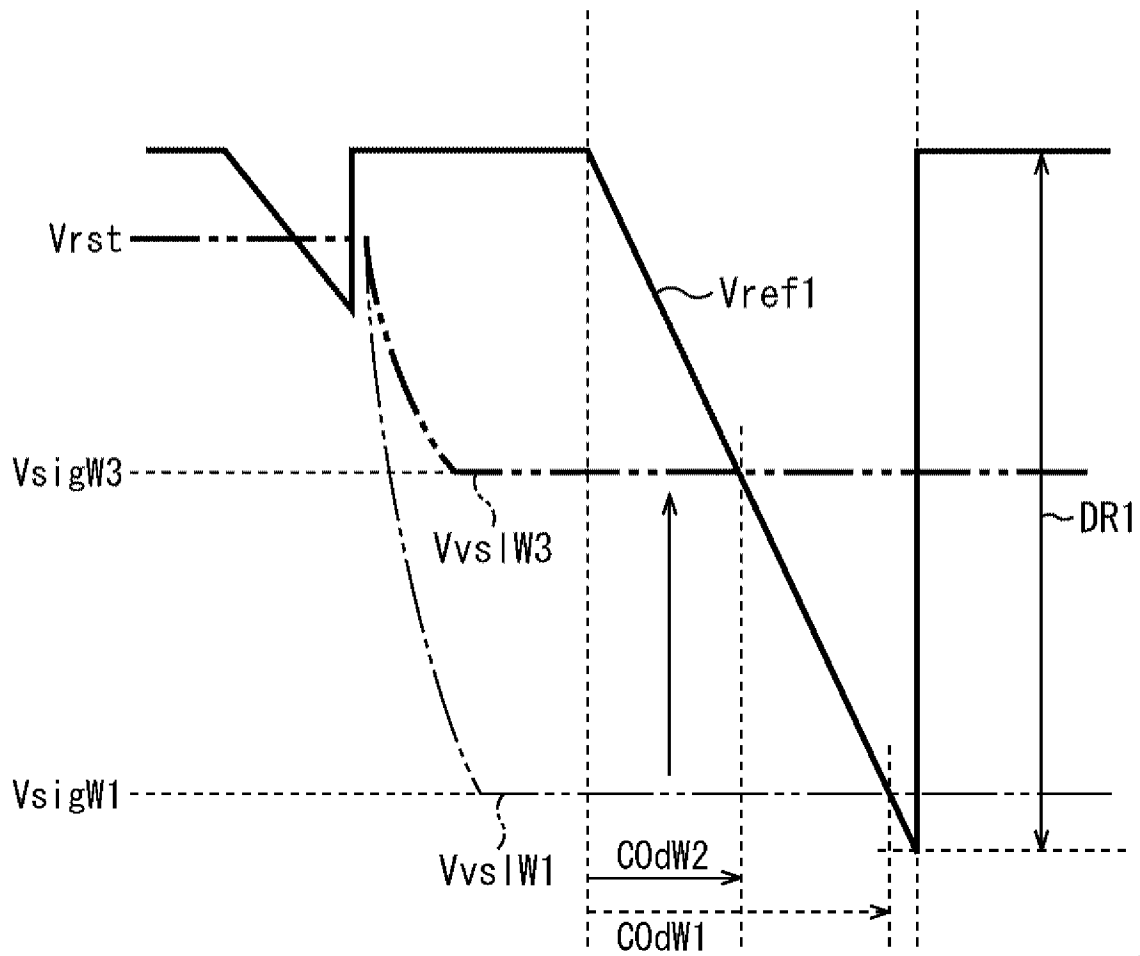
[図21]

図21



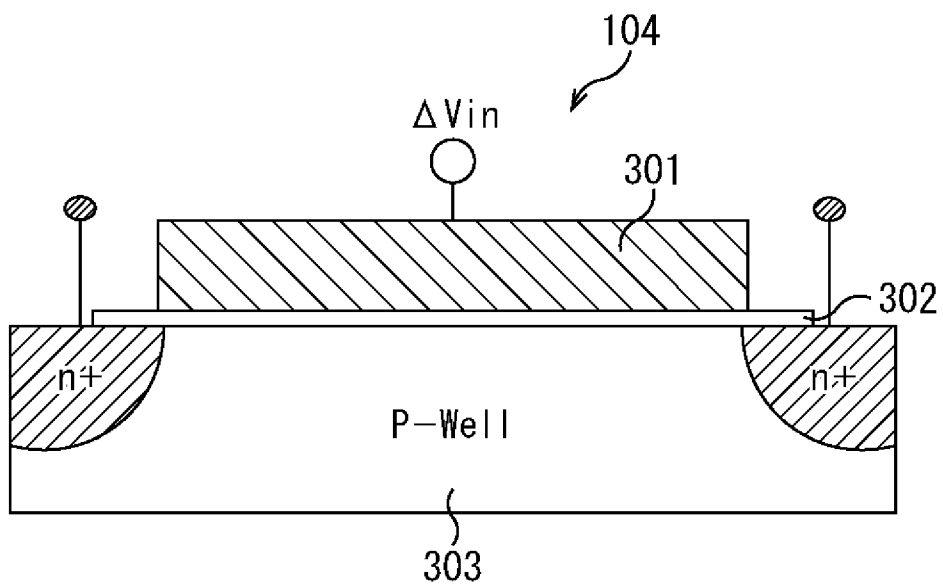
[図22]

図22



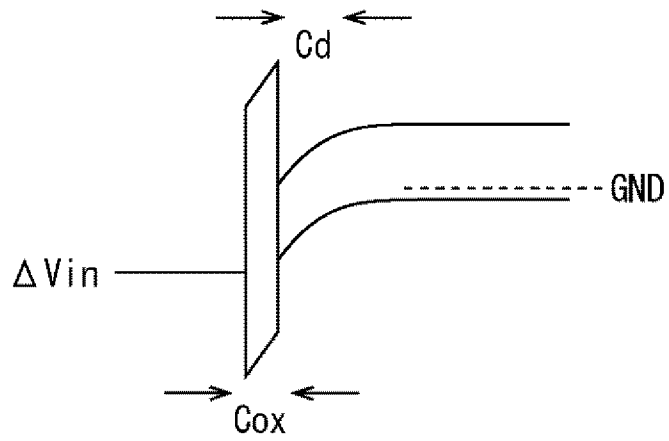
[図23]

図23



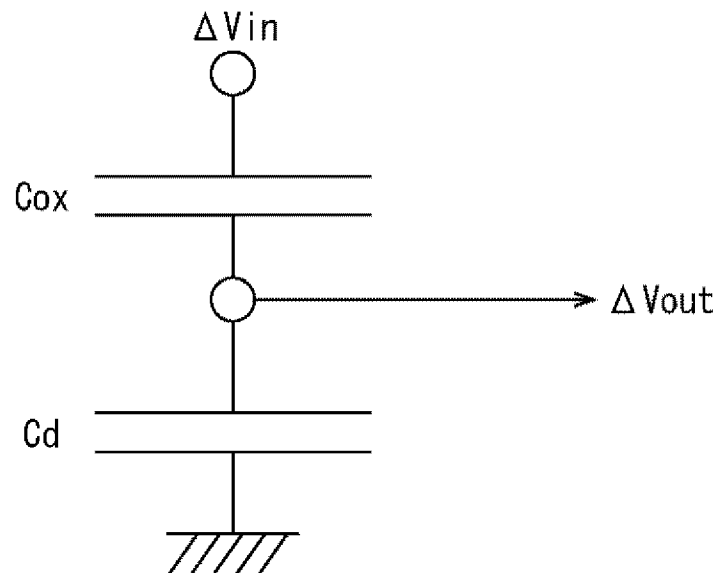
[図24]

図24



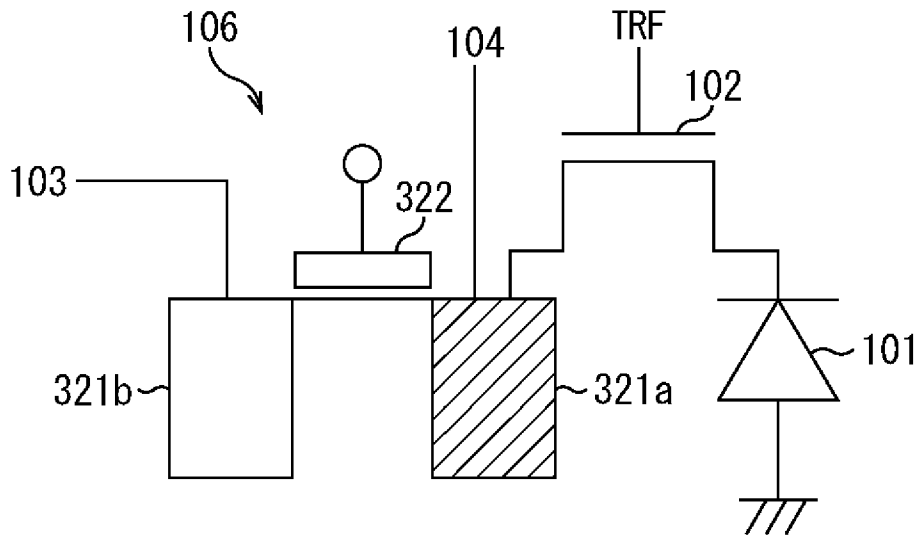
[図25]

図25



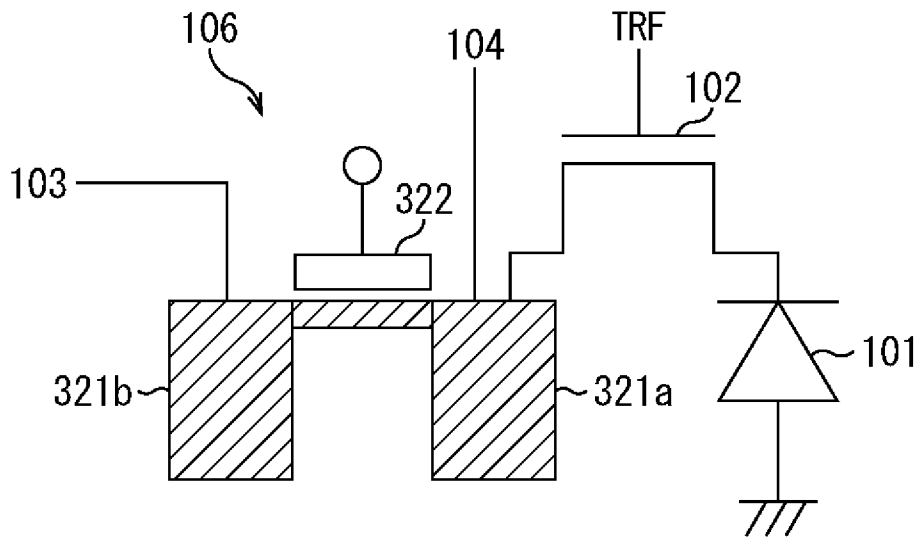
[図26]

図26



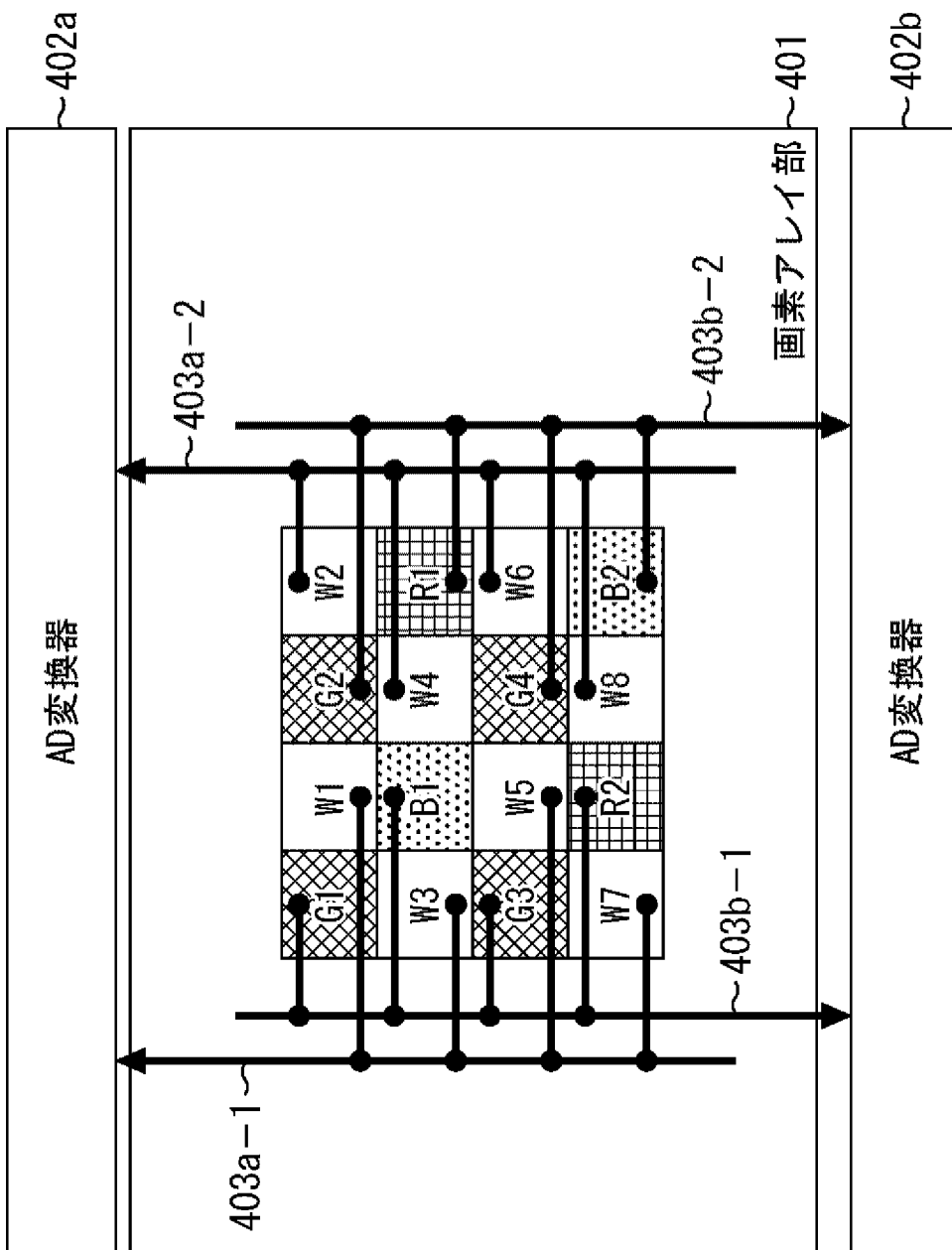
[図27]

図27



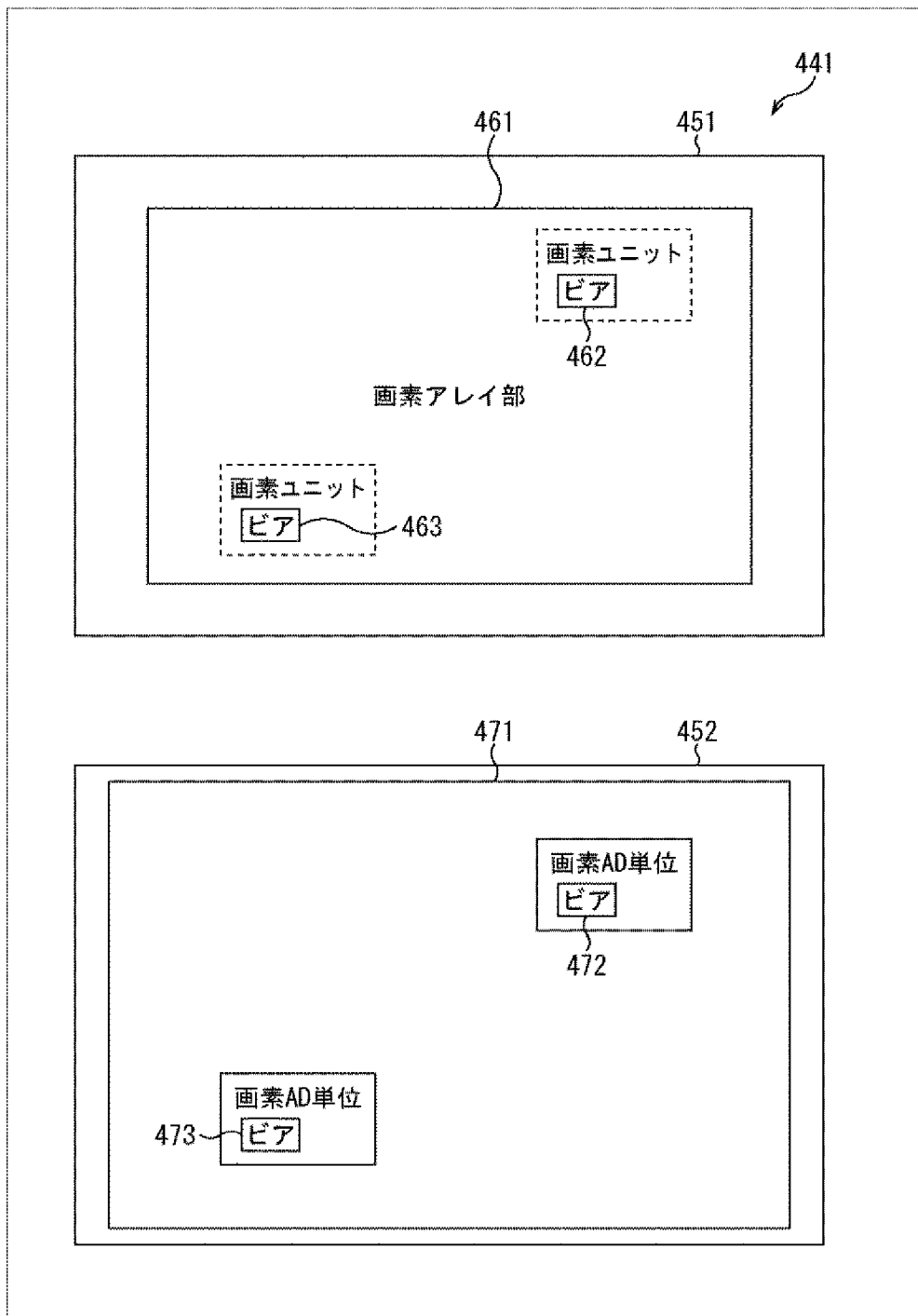
[図28]

図28



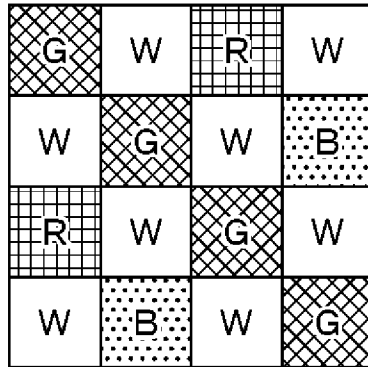
[図29]

図29



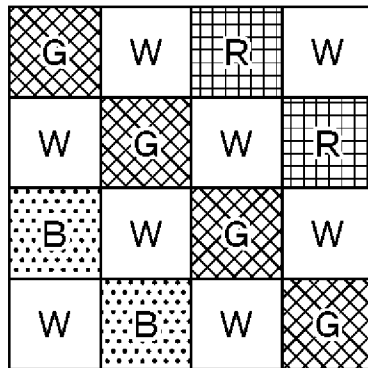
[図30]

図30



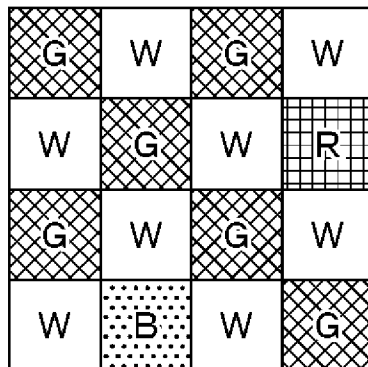
[図31]


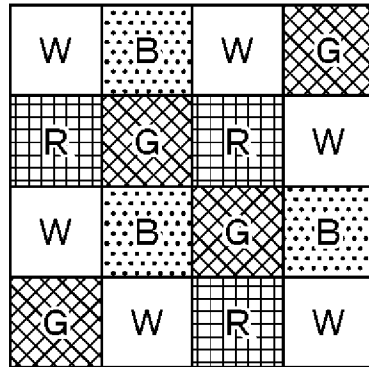
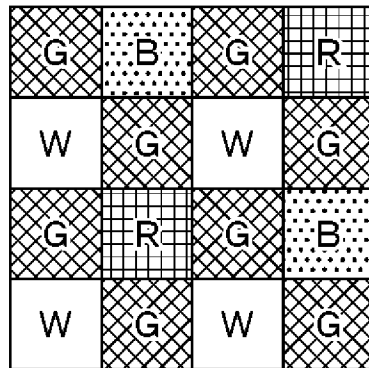

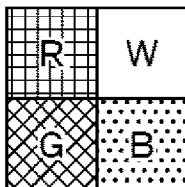
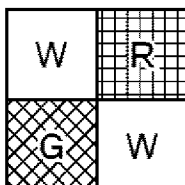
図31



[図32]

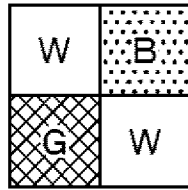
図32



[33]33[34]34[35]35[36]36

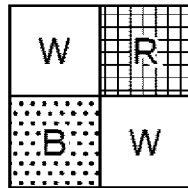
[図37]

図37



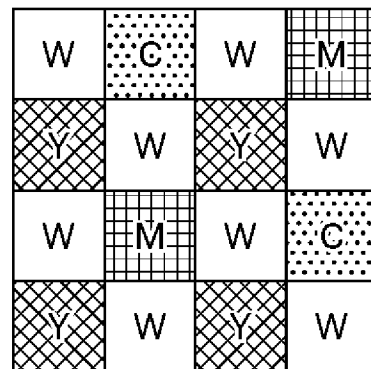
[図38]

図38



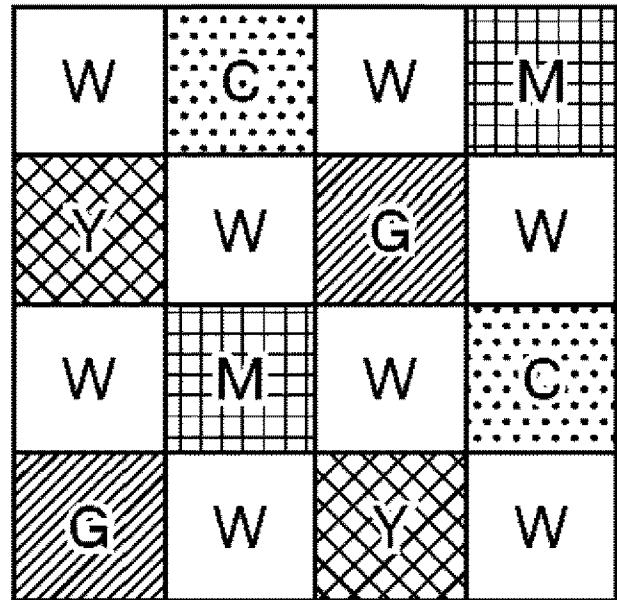
[図39]

図39



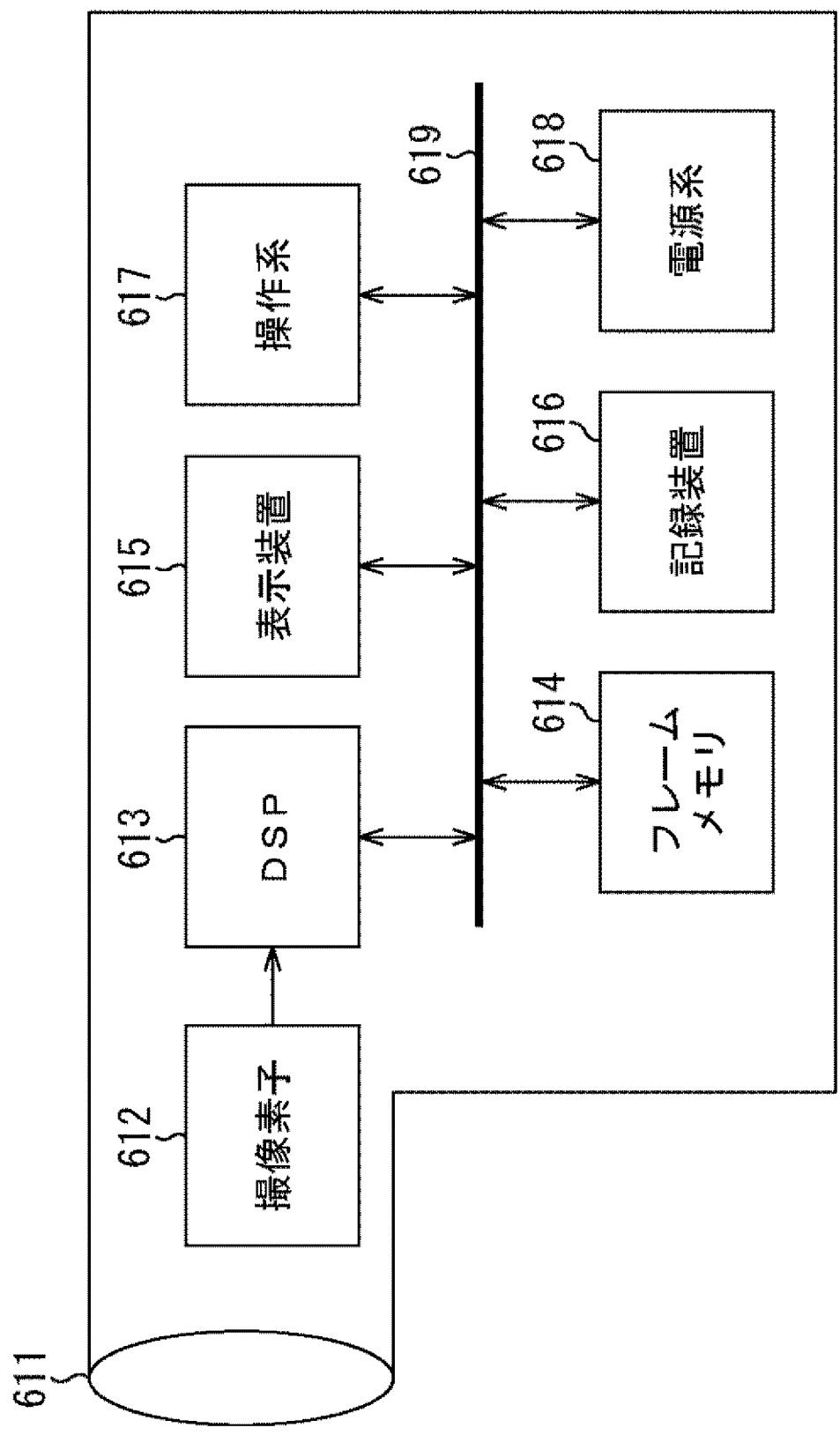
[図40]

図40



[図41]
図41

601



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069829

A. CLASSIFICATION OF SUBJECT MATTER <i>H04N5/351(2011.01) i, H01L27/146(2006.01) i, H04N5/235(2006.01) i, H04N5/353(2011.01) i, H04N5/355(2011.01) i, H04N5/357(2011.01) i, H04N5/374(2011.01) i, H04N9/07(2006.01) i</i> According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>H04N5/351, H01L27/146, H04N5/235, H04N5/353, H04N5/355, H04N5/357, H04N5/374, H04N9/07</i> Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015</i> <i>Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015</i> Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-208885 A (Konica Minolta Photo Imaging, Inc.), 16 August 2007 (16.08.2007), paragraphs [0026], [0038], [0052]; fig. 2 & US 2007/0076269 A1	1, 7-13 21-24 2-6, 14-20, 25-37
X	JP 2011-071647 A (Sony Corp.), 07 April 2011 (07.04.2011), paragraph [0007]; fig. 8 & US 2012/0169908 A1 & WO 2011/037048 A1 & EP 2482544 A1 & KR 10-2012-0069694 A & CN 102668544 A	1, 12, 13
X Y	JP 2002-290980 A (Minolta Co., Ltd.), 04 October 2002 (04.10.2002), paragraphs [0062], [0080]; fig. 1, 14 (Family: none)	14, 20, 25, 26 21-24
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 September 2015 (08.09.15)		Date of mailing of the international search report 29 September 2015 (29.09.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>Int.Cl. H04N5/351(2011.01)i, H01L27/146(2006.01)i, H04N5/235(2006.01)i, H04N5/353(2011.01)i, H04N5/355(2011.01)i, H04N5/357(2011.01)i, H04N5/374(2011.01)i, H04N9/07(2006.01)i</p>											
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>Int.Cl. H04N5/351, H01L27/146, H04N5/235, H04N5/353, H04N5/355, H04N5/357, H04N5/374, H04N9/07</p>											
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <p>日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年</p>											
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>											
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>JP 2007-208885 A（コニカミノルタフォトイメージング株式会社） 2007.08.16, 段落 [0026], [0038], [0052], 第2図 & US 2007/0076269 A1</td> <td>1, 7-13 21-24 2-6, 14-20, 25-37</td> </tr> <tr> <td>X</td> <td>JP 2011-071647 A（ソニー株式会社）2011.04.07, 段落 [0007], 第8図 & US 2012/0169908 A1 & WO 2011/037048 A1 & EP 2482544 A1 & KR 10-2012-0069694 A & CN 102668544 A</td> <td>1, 12, 13</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X Y A	JP 2007-208885 A（コニカミノルタフォトイメージング株式会社） 2007.08.16, 段落 [0026], [0038], [0052], 第2図 & US 2007/0076269 A1	1, 7-13 21-24 2-6, 14-20, 25-37	X	JP 2011-071647 A（ソニー株式会社）2011.04.07, 段落 [0007], 第8図 & US 2012/0169908 A1 & WO 2011/037048 A1 & EP 2482544 A1 & KR 10-2012-0069694 A & CN 102668544 A	1, 12, 13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X Y A	JP 2007-208885 A（コニカミノルタフォトイメージング株式会社） 2007.08.16, 段落 [0026], [0038], [0052], 第2図 & US 2007/0076269 A1	1, 7-13 21-24 2-6, 14-20, 25-37									
X	JP 2011-071647 A（ソニー株式会社）2011.04.07, 段落 [0007], 第8図 & US 2012/0169908 A1 & WO 2011/037048 A1 & EP 2482544 A1 & KR 10-2012-0069694 A & CN 102668544 A	1, 12, 13									
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>											
<p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献</p>											
<p>国際調査を完了した日</p> <p>08.09.2015</p>	<p>国際調査報告の発送日</p> <p>29.09.2015</p>										
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官（権限のある職員）</p> <p>鈴木 明</p> <p>電話番号 03-3581-1101 内線 3571</p>	<p>5V 9185</p>									

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2002-290980 A (ミノルタ株式会社) 2002.10.04, 段落 [0062], [0080], 第1,14図 (ファミリーなし)	14, 20, 25, 26 21-24