

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4684508号
(P4684508)

(45) 発行日 平成23年5月18日(2011.5.18)

(24) 登録日 平成23年2月18日(2011.2.18)

(51) Int.Cl. F I
GO 1 R 31/3183 (2006.01) GO 1 R 31/28 Q

請求項の数 35 (全 13 頁)

(21) 出願番号	特願2001-512302 (P2001-512302)	(73) 特許権者	591069226
(86) (22) 出願日	平成12年7月5日(2000.7.5)		テラダイン・インコーポレーテッド
(65) 公表番号	特表2003-505697 (P2003-505697A)		TERADYNE INCORPORATED
(43) 公表日	平成15年2月12日(2003.2.12)		ED
(86) 国際出願番号	PCT/US2000/018432		アメリカ合衆国マサチューセッツ州018
(87) 国際公開番号	W02001/007925		64, ノース・リーディング, リバーパ
(87) 国際公開日	平成13年2月1日(2001.2.1)		ーク・ドライブ 600
審査請求日	平成19年6月11日(2007.6.11)	(74) 代理人	100089705
(31) 優先権主張番号	09/360, 215		弁理士 社本 一夫
(32) 優先日	平成11年7月23日(1999.7.23)	(74) 代理人	100076691
(33) 優先権主張国	米国 (US)		弁理士 増井 忠式
		(74) 代理人	100075270
			弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】 高精度マルチモデル半導体検査のための低コストタイミングシステム

(57) 【特許請求の範囲】

【請求項 1】

パターン生成回路にตอบสนองして、被検査デバイスに加えるテストパターンを生成するタイミングシステムであって、半導体テストにおいて用いるための該タイミングシステムは、所定のユーザ設定に対応するイベントタイミング信号を生成するとともに、該タイミングシステムは、前記パターンのためのプログラムされたエッジタイミングを格納するためのタイミングメモリ回路を含む、タイミングシステムにおいて、

マスター発振器および複数の固定エッジ発生器を含むタイミングロジックであって、前記固定エッジ発生器は前記プログラムされたエッジタイミングにตอบสนองして前記イベントタイミング信号を発生する、
ことを特徴とするタイミングシステム。

【請求項 2】

前記エッジ発生器は、高速 DUT ポートに対する、ユーザ制御タイミング配置に適応される請求項 1 に記載のタイミングシステム。

【請求項 3】

前記エッジ発生器タイミングは、低速 DUT ポートのための、前記マスター発振器に対して均等に分配されたタイミング増分に予め設定される請求項 1 に記載のタイミングシステム。

【請求項 4】

前記エッジ発生器タイミングは、DUT 周期内で、予め規定されたテストイベントに対

応して、タイミング選択の各サブセットにグループ化される請求項 3 に記載のタイミングシステム。

【請求項 5】

前記ロジックは、前記プログラムされたエッジタイミングにตอบสนองして、プログラムされたエッジタイミングを、タイミング選択の前記セット内の最も近い対応の固定タイミングに割り当てる、請求項 4 に記載のタイミングシステム。

【請求項 6】

前記パターン生成回路は、
高速モードにおいてパターンを発生するための第 1 のパターン発生器を含む請求項 1 に記載のタイミングシステム。

10

【請求項 7】

前記高速モードは、250MHz ~ 2.0GHz の範囲内にある請求項 6 に記載のタイミングシステム。

【請求項 8】

前記パターン生成回路は、
低速モードにおいてパターンを生成するための第 2 のパターン発生器を含む請求項 1 に記載のタイミングシステム。

【請求項 9】

前記低速モードは、1MHz ~ 250MHz の範囲内にある請求項 7 に記載のタイミングシステム。

20

【請求項 10】

前記パターンは、被検査デバイスの個々のサイクルに関連するベクトルデータを含み、該ベクトルデータは、該被検査デバイスに加えるため、あるいは該被検査デバイスからの比較のため予め規定されたイベント信号を含む、請求項 1 に記載のタイミングシステム。

【請求項 11】

前記タイミングメモリは、
ピン毎のタイムセットメモリを含む請求項 1 に記載のタイミングシステム。

【請求項 12】

前記タイムセットメモリは、ローカルタイミングデータを前記タイミングシステムに供給するように構成される請求項 11 に記載のタイミングシステム。

30

【請求項 13】

前記タイミングメモリは、
ピン毎のエッジセットメモリを含む請求項 1 に記載のタイミングシステム。

【請求項 14】

前記エッジセットメモリは、DUT 周期内の所定の波形イベントに対して、ピン毎にピンタイミング値を規定するように構成される請求項 13 に記載のタイミングシステム。

【請求項 15】

前記固定エッジ発生器はそれぞれ補間器を備える請求項 1 に記載のタイミングシステム。

【請求項 16】

前記マスター発振器はプログラム可能な周波數位相ロックループを含む請求項 1 に記載のタイミングシステム。

40

【請求項 17】

高速ピンおよび低速ピンの組み合わせを有する被検査デバイスを検査するための半導体テストであって、

パターンメモリおよびユーザインターフェースを有するテストコントローラと、
それぞれ高速モードおよび低速モードとを有し、DUT クロック周期にしたがって動作する前記被検査デバイスに加えるために、前記パターンメモリにしたがってテストパターンを選択的に発生するパターン生成回路と、

前記テストコントローラおよび前記パターン生成回路に接続され、その間でコマンドお

50

よびデータ信号をルーティングするシステムバスと、

前記被検査デバイスに結合するように適応されたドライブ/比較回路と、

前記システムバスと前記ドライブ/比較回路との間に配置される障害処理回路と、を備える半導体テストにおいて、

予め規定されたユーザ設定値に対応するイベントタイミング信号を生成するタイミングシステムを備え、該タイミングシステムが、

前記パターンのためのプログラムされたエッジタイミングを格納するタイミングメモリ回路と、

マスター発振器および複数の固定エッジ発生器を含むタイミングロジックであって、前記固定エッジ発生器は前記プログラムされたエッジタイミングにตอบสนองして前記イベントタイミング信号を生成する、タイミング論理回路と、
を含むことを特徴とする半導体テスト。

10

【請求項 18】

前記エッジ発生器は、高速 DUT ポートに対する、ユーザ制御タイミング配置に適応される請求項 17 に記載の半導体テスト。

【請求項 19】

前記エッジ発生器タイミングは、低速 DUT ポートのための、前記マスター発振器に対して均等に分配されたタイミング増分に予め設定される請求項 17 に記載の半導体テスト。

【請求項 20】

20

前記エッジ発生器タイミングは、DUT 周期内で、予め規定されたテストイベントに対応して、タイミング選択の各サブセットにグループ化される請求項 19 に記載の半導体テスト。

【請求項 21】

前記ロジックは、前記プログラムされたエッジタイミングにตอบสนองして、プログラムされたエッジタイミングを、タイミング選択の前記セット内の最も近い対応の固定タイミングに割り当てる、請求項 20 に記載の半導体テスト。

【請求項 22】

前記パターン生成回路は、
高速モードにおいてパターンを発生するための第 1 のパターン発生器を含む請求項 17 に記載の半導体テスト。

30

【請求項 23】

前記高速モードは、250 MHz ~ 2.0 GHz の範囲内にある請求項 22 に記載の半導体テスト。

【請求項 24】

前記パターン生成回路は、
低速モードにおいてパターンを生成するための第 2 のパターン発生器を含む請求項 17 に記載の半導体テスト。

【請求項 25】

前記低速モードは、1 MHz ~ 250 MHz の範囲内にある請求項 23 に記載の半導体テスト。

40

【請求項 26】

前記パターンは、被検査デバイスの個々のサイクルに関連するベクトルデータを含み、該ベクトルデータは、該被検査デバイスに加えるため、あるいは該被検査デバイスからの比較のため予め規定されたイベント信号を含む、請求項 17 に記載の半導体テスト。

【請求項 27】

前記タイミングメモリは、
ピン毎のタイムセットメモリを含む請求項 17 に記載の半導体テスト。

【請求項 28】

前記タイムセットメモリは、ローカルタイミングデータを前記タイミングシステムに供

50

給するように構成される請求項 27 に記載の半導体テスト。

【請求項 29】

前記タイミングメモリは、

ピン毎のエッジセットメモリを含む請求項 17 に記載の半導体テスト。

【請求項 30】

前記エッジセットメモリは、DUT 周期内の所定の波形イベントに対して、ピン毎にピントiming値を規定するように構成される請求項 29 に記載の半導体テスト。

【請求項 31】

前記固定エッジ発生器はそれぞれ補間器を備える請求項 17 に記載の半導体テスト。

【請求項 32】

前記マスター発振器はプログラム可能な周波數位相ロックループを含む請求項 17 に記載の半導体テスト。

【請求項 33】

被検査デバイス(DUT)のために、ユーザ規定の設定と一致するタイミング信号を生成する方法であって、前記DUTは高速ピンおよび低速ピンを有し、前記タイミング信号は、タイミングメモリと、複数の固定エッジ発生器を含むタイミングロジックとを含み、マルチモードパターン生成回路にตอบสนองするタイミングシステムによって生成され、前記方法は、

高速モードにおいて、DUT 周期内で前記エッジ発生器に対応する固定数のエッジタイミングを発生するために、前記固定エッジ発生器を割り当てるステップと、

前記作動中のDUT 周期にしたがって前記DUT 高速ピンに高速パターンを適用するステップと、

マスター発振器の周期毎にエッジタイミングの選択を生成するために、前記固定エッジ発生器を分配するステップと、を含む方法。

【請求項 34】

前記ユーザ規定の設定に最も近いエッジタイミングの前記選択からのエッジタイミングにしたがって前記DUTの低速ピンに低速パターンをドライブするステップをさらに含む、請求項 33 に記載のタイミング信号生成方法。

【請求項 35】

ウィンドウストロークイベントのためのタイミング信号を生成する方法であって、前記ウィンドウストロークイベントは指定されたウィンドウストロークエッジによって規定され、

複数のタイミング発生器を設けるステップであって、前記発生器はタイミング値の範囲を規定する固定タイミング遅延を有する、ステップと、

前記タイミング発生器で、複数のエッジストローク信号を生成するステップと、

前記指定されたウィンドウストロークエッジを近似するために、前記複数のエッジストローク信号内でエッジストローク信号のサブセットを選択するステップと、を含む方法。

【発明の詳細な説明】

【0001】

発明の分野

本発明は、概括的には半導体デバイスを検査(試験)するための自動検査システムに関し、より詳細には、半導体デバイステストにおいて用いるためのタイミングシステムおよび関連する方法に関する。

発明の背景

自動検査装置は、半導体デバイスの製造において重要な製造上の役割を果たす。一般に個別に「テスト」と呼ばれる個別ユニットが、ウェーハ(プローブ検査による)およびパッケージ化されたデバイスレベルの両方において、各デバイスの動作を検査する。

【0002】

10

20

30

40

50

商業的に成功を収めているテスト設計は典型的には、半導体製造業者に、1つあるいは複数の特定の応用形態に固有の特徴（機能）の組み合わせを提供する。望ましい機能は通常、コスト、自由度（柔軟性）、精度および使いやすさのような判定基準の組み合わせあるいはトレードオフを含む。一般的に言うと、テストに含まれる機能が多いほど、コストが高くなる。

【0003】

上記の判定基準に特に影響のある重要なテストサブシステムの1つは、タイミング発生回路である。テストタイミングシステムは一般に、プリプログラム（事前プログラム）されたパターンデータにしたがって、被検査デバイス（DUT）の検査サイクル中に正確な信号遅延を確立する。その遅延は、テストドライバ/コンパレータ回路のための固有の検査イベント（たとえば、ハイへのドライブ、ローへのドライブ、ストローク等）を指示するための役割を果たす。

10

【0004】

従来の高分解能タイミングシステムは、粗遅延回路、中間遅延回路および精細（微細）遅延回路を用いて、ピコ秒オーダのタイミング分解能（最も小さい選択可能なタイミング増分）を作り出すタイミング発生器を用いる。粗遅延回路はたとえば、入力クロックの整数倍に基づいて出力を生成する同期カウンタを含む。

【0005】

従来タイミング発生器では、中間遅延および微細遅延を達成するために、典型的にはインターポレータ（補間器）が用いられる。中間遅延は多くの場合に、システムクロック信号を「中間の」スライスされた時間インターバルに分割する複数の遅延素子によって実現される。微細遅延は一般に、通常、ランプ（ramp）電圧信号を受信するための入力と、デジタル-アナログコンバータ（DAC）からの出力を受信するための入力とからなる一対のアナログ入力を含む遅延回路によって達成される。DACは、所望の遅延を表すデジタルワードを閾値電圧に変換する。ランプ電圧がDACによって設定される閾値に達するとき、補間器は、システムクロックの微細な小部分だけオフセットされた信号を生成する。

20

【0006】

アナログ補間器のより望ましい特徴の1つは、周期ごとに「実行中（オン・ザ・フライ（on-the-fly）」に、即ち「随時処理」によってDACからの遅延値を変更するオプション機能である。周期切替えおよびタイミング切替えの両方に対して、そのような「随時処理（オン・ザ・フライ）」能力を有する補間器を用いる非常に自由度の高いテストは、Teradyne社（Agoura Hills, California）によって製造されるモデルJ973テストである。このテストはさらに、種々の補間器のためのタイミングを制御するために、プリプログラムされたタイミング値を格納するためのエッジセット（edgeset）メモリを備える。随時（オン・ザ・フライ式）に変更を達成するために必要とされる回路およびソフトウェアは一般に、テストのコストを著しく上昇させるが、その能力は、250MHzまでのDUTの動作を検査する際に、高いレベルの自由度を提供する。オン・ザ・フライ式機構の他の変形例が、米国特許第5,917,834号および5,544,175号、そしてA. Armstrongによる記事「Timing Innovations Serve Logic and Mixed-signal ATE Test and Measurement World」Cahners Publishing, Denver, vol.18, no.11, 1998年10月に示される。

30

40

【0007】

許容可能なレベルの自由度を維持しながら、DUTの検査に関連するコストを最小にするために、タイミングシステムのための1つの提案は、DUT周期中にある程度制限されたタイミング選択のパレットを与えるように、エッジセットメモリのない「固定された」補間器を利用することである。その提案は、Teradyne社（Agoura Hills, California）によって製造されるTeradyneモデルJ921テストに含まれており、アナログ遅延値が随時変化できないように補間器を予め設定した。システム内のタイミング発生器の数に対応したタイミング遅延の選択を提供するために、遅延値はユーザ仕様にしたがって設定された。こうして、そのシステムは、ある程度低減されたレベルのタイミング自由度を提供

50

しながら、「随時処理（オン・ザ・フライ）」回路およびエッジセットメモリを削除することによりコストを最小にした。

【0008】

その意図された応用形態の場合には利益をもたらすものの、上記の従来の固定補間器ブローチ（手法）は、半導体製造業者によって望まれる自由度のレベルを欠いていた。自由度の欠如は、1組の固定補間器からのタイミング選択の明らかな不足に起因していた。より多くの補間器を設けることによりその選択値を増加することはできたが、追加されるハードウェアが、「オン・ザ・フライ」回路を削除することにより本来もたらされる全ての利点を相殺してしまうことになる。

【0009】

さらに最近になって、半導体デバイスの動作速度がギガヘルツ範囲以上になっているので、コストのかかる「オン・ザ・フライ」回路およびソフトウェアの妥当性が減少している。その理由は、そのような速度では、比較的少ないタイプの波形しか利用されないことである。エミュレートする波形の数が少ない場合、テストのタイミング自由度は重要ではない。

【0010】

テストのタイミング自由度は高速DUTの場合に重要ではないが、多くの高速半導体デバイスは、比較的「低速」（約100～200MHz）のポートも実装する。こうして、そのようなデバイスを完全に検査するために、高速パターンおよび低速パターンの両方が必要とされる。したがって、多くの製造業者は、非常に自由度の高いタイミングシステムに関連する明らかな検査上の利点をもたらすことのない、特徴を削除したテストに費用をかけたがらない。結果として、製造業者は多くの場合に、大部分の検査の場合に実際に必要とされる機能より多くの機能を提供するコストの高いテストを購入することになる。

【0011】

高精度で、高速、高分解能および低自由度の検査能力を提供する固定補間器タイミングシステムが必要とされているが、これまでは利用できなかった。さらに、そのようなシステムは、適当に高い精度で、低速、中分解能および高自由度の検査能力を提供することも必要とされる。さらに、そのようなシステムは比較的低コストであることが必要とされる。本発明のタイミングシステムおよび方法はこれらの要件を満足する。

発明の概要

本発明のタイミングシステムは、変動する信号速度が要求されるDUTピンを検査するために、高速高精度モードと低速高自由度（柔軟性）モードとを含むマルチモデル半導体デバイス検査能力を提供する。さらに、そのタイミングシステム構成は、簡単なユーザインターフェースと、低コストハードウェアアーキテクチャを提供する。

【0012】

上記の利点を実現するために、本発明の一形態において、被検査デバイスに適用するための検査パターンを生成するためのパターン生成回路にตอบสนองするタイミングシステムを含む。そのタイミングシステムは、そのパターンのためのプログラムされたエッジタイミングを格納するタイミングメモリ回路を備える。そのタイミングシステムはさらに、マスター発振器と、複数の固定エッジ発生器とを有するタイミング論理回路を含む。固定エッジ発生器は、プログラムされたエッジタイミングにตอบสนองし、イベントタイミング信号を生成する。

【0013】

別の形態では、本発明は、高速ピンおよび低速ピンの組み合わせを有する被検査デバイスを検査するための半導体テストを含む。そのテストは、DUTクロック周期にしたがって被検査デバイスに適用するために、パターンメモリにしたがって検査パターンを選択的に生成するために、パターンメモリとユーザインターフェースとを有する検査コントローラと、それぞれ高速モードおよび低速モードを有するパターン生成回路とを備える。検査コントローラおよびパターン生成回路にシステムバスが接続され、その間でコマンドとデータ信号とをルーティング（経路指定）する。テストはさらに、被検査デバイスに接続され

10

20

30

40

50

るように構成されるドライブ/比較回路と、システムバスとドライブ/比較回路との間に配置される障害処理回路とを備える。タイミングシステムは、所定のユーザ設定に対応してイベントタイミング信号を生成する。タイミングシステムは、そのパターンのためのプログラムされたエッジタイミングを格納するタイミングメモリ回路を備える。タイミングシステムはさらに、マスター発振器と複数の固定エッジ発生器とを含むタイミング論理回路を含む。固定エッジ発生器は、所定のクロック周期内に、固定された数のエッジ発生器に対応する、タイミング信号の固定された選択値を供給するように構成される。

【0014】

さらに別の形態では、本発明は、高速ピンおよび低速ピンを有する被検査デバイスのために、ユーザによって定義された設定と一致するタイミング信号を生成するための方法を含む。タイミングシステムは、マルチモードパターン生成回路にตอบสนองし、タイミングメモリと、複数の固定エッジ発生器を含むタイミング論理回路とを含む。その方法は、最初に、高速モードにおいて、DUT周期内に、エッジ発生器に対応する一定の(固定された)数のエッジタイミングを生成するために、固定エッジ発生器を割り当てるステップと、作動しているDUT周期にしたがってDUT高速ピンに高速パターンを印加するステップと、DUT周期内に、マスター発振器周期の倍数のエッジタイミングの選択値を生成するために、固定エッジ発生器を割り当てるステップと、ユーザによって定義された設定値に最も近いエッジタイミングの選択値からのエッジタイミングにしたがってDUT低速ピンに低速パターンを印加するステップとを含む。

【0015】

本発明の別の形態は、ウインドウストロブイベントのためのタイミング信号を生成する方法を含む。その方法は、最初に、タイミング値の範囲を画定する固定タイミング遅延を有する複数のタイミング発生器を設けるステップと、そのタイミング発生器で複数のエッジストロブ信号を生成するステップと、指定されたウインドウストロブエッジを近似するために、複数のエッジストロブ信号内でエッジストロブ信号のサブセットを選択するステップとを含む。

【0016】

本発明の他の特徴および利点は、添付の図面とともに、以下の詳細な説明を読めば明らかになるであろう。

本発明の詳細な説明

本発明を、添付図面を参照して詳細に説明する。

【0017】

半導体デバイスがさらに複雑になると、そのデバイスを検査するために必要とされる精巧なシステムは、常に更新していかなければならず、そうしなければ短期間で陳腐化してしまう。検査システムのコストを最小に抑えながら、最新の半導体デバイスを検査する能力は、自動検査装置製造業にとって意味がある重要な課題である。

【0018】

ここで図1を参照すると、高精度、かつ低コスト半導体テストの概略的なブロック図が全体として20で示されており、テストコントローラとして動作しているコンピュータワークステーション22を含む。テストコントローラは、テストコントローラと、パターン生成回路(ジェネレータ)24、タイミングシステム30および障害処理回路(プロセッサ)50との間で制御信号を送信するためのシステムバス26に結合される。パターン生成回路は、複数のテスト動作モードを生成するために、1~N個のパターン発生器(明瞭に示すために図1には1つだけが示される)を備えることが好ましい。そのモードは一般に、比較的高速のテスト(検査)パターン(>250MHz)および比較的低速の検査パターン(<250MHz)に対応する。ピンデータ線(ライン)27およびグローバルタイムセット・アドレスライン29は、パターン発生器(ジェネレータ)を、タイミングシステムに結合するとともに、システムバス26を介して、障害プロセッサとの間でパターン情報をやり取りする。

【0019】

本発明によれば、タイミングシステム30は、DUTの動作周期に対する所定のタイミング(テスト波形を規定する)において、ピン毎のドライブ/比較回路42を起動(fire)するために必要とされるプログラムされたタイミング信号を生成するために、エッジセットメモリ36に応答する低コストタイミング論理回路(ロジック)34を備える。オプションのグローバルタイミング・メモリ回路あるいはタイムセットメモリ38が、グローバルタイムセット・アドレスライン29を介してパターン生成回路24に接続され、エッジセットメモリ36に、プリプログラム(事前プログラム)されたローカルタイミングデータを供給し、そのメモリ容量を低減できるようにする。

【0020】

さらに詳細には、図2を参照すると、本発明の一実施形態によるタイミング論理回路34は、所望のユーザタイミングに割り当てるためのタイミング値を選択的に供給することにより、高速および低速DUTピンのマルチモデル検査に対応(支援)する。タイミング論理回路は、プログラム可能なPLL方式のマスター発振器MOSC40と、それぞれ補間器(インターポレータ)EG0~EG12の形をとる複数のエッジ発生器にそれぞれインネーブル入力を供給するタイミング発生器44とを備えることが好ましい。ここに記載される13個のエッジ発生器の構成は例示にすぎず、本発明の精神から逸脱することなく、多くの構成が可能であることを理解されたい。各エッジ発生器には、対応する遅延素子(図示せず)と、タイミング発生器モジュール45によって供給されるインネーブル入力とが関連付けられる。

【0021】

マスター発振器MOSCは、500ピコ秒の周期に対応して、2GHzまでのクロック速度に対応することができ、検査の必要性に応じて完全にプログラミング可能である。PLL実装形態のプログラミング可能性によって、ユーザは、DUT周期と同期するテストクロック周期を規定できるようになり、それにより、ある程度コストがかかり、複雑な「随時処理(オン・ザ・フライ)」補間器が概ね不要になる点で有利である。

【0022】

さらに図2を参照すると、コストの高い「オン・ザ・フライ」回路を最小にし、タイミング精度を最大にすることを試みるために、エッジ発生器EG0~EG12は、アナログ遅延値がDUTから周期ごとに変更できないという意味で「固定(一定)」である。エッジ発生器出力は、4個のマルチプレクサM1~M4のアレイを集合的に画定するANDおよびORゲート(図示せず)の各回路網を含む選択器回路に供給される。より具体的には、エッジ発生器出力は、各マルチプレクサの入力に並列関係で供給される。マルチプレクサは、セットアップ時にプログラミングされる各静的レジスタ46に응答して、動作中に、タイミング信号をドライブ/比較回路42に選択的に渡すようにする。タイミング信号は、動作「論理0へのドライブ」(D0)、「論理1へのドライブ」(D1)、ストロープ(C1)および「ターミネーション(終端)へのドライブ」(Vt)に対応する。

【0023】

動作時に、エッジ発生器EG0~EG12は、予想される動作モードに応じて、タイミング分解能と自由度とを最大にできるように構成することができる。エッジ発生器の制御は、検査コントローラ22とエッジセットメモリ36とをプリプログラミングし、DUTサイクルの開始(BOC)に続いて、特定の時間増分で所定のエッジ発生器を起動することにより実行される。高速ポートの場合、エッジ発生器リソースが、非常に高い精度でユーザによって指定される特定のタイミングで起動するように、ユーザによって割り当てられる。

【0024】

図3は、本発明のタイミングシステムによって生成されるタイミング信号によって規定されるような、高速DUTピンに適用(印加)するのに適した高速テスト(検査)波形を示す。検査波形の各遷移(あるいは「エッジ」)は、エッジ発生器EG0~EG12のうちの1つあるいは複数のエッジ発生器によって送出される1つあるいは複数のタイミング信号に응答するドライバ(図示せず)の出力に対応する。ギガヘルツ範囲の比較的高い周波

10

20

30

40

50

数では、DUTの動作を検査するために必要となる波形はより少なくなる。結果として、システムハードウェアコストを削減するために、エッジ発生器の数を最小にすることができる。

【0025】

ここで図4を参照すると、図3の検査波形に対応するエッジセットメモリ36の部分的な一例は、上記のイベント(D0、D1、ストロブ、Vt)に対応する波形遷移、すなわちエッジを規定するために、タイミング発生器のための所望のタイミング値を書き込むためのテーブルを含む。Teradyne社(Agoura Hills, California)によって製造されるTeradyneモデルJ973テストにおいて、比較的低速(250MHzまで)の半導体デバイスの場合に同様のエッジセットテーブルが用いられる。各行は、DUTサイクルの開始に対する所定のタイミングを指定する「エッジセット」を表す。個々の列は、遷移エッジあるいはイベント(D0、D1、D2、D3、C1等)と波形フォーマット(FMT)とを表す。各エッジセットの各イベントの場合に、検査コントローラソフトウェアが、所定のサブグループ(ドライブ0、ドライブ1、ドライブVtおよびストロブ)内でエッジ発生器を指定し、それを、ユーザによって指定される値にプログラミングする。この結果、ドライバ/比較器回路42のドライバおよび比較器が起動し、それにより波形エッジが生成される。最大のタイミング精度を与えるために、当業者によく知られている較正技術が適用される場合がある。また図3は、図3に示される所望の波形を達成するために、図4のエッジセットメモリテーブルに準じた、個々のエッジ発生器の起動も示す。

【0026】

さらに図3および図4を参照すると、図3の検査波形を生成するために、エッジセットES0およびES1(図4)を用いることを望むユーザは最初に、「ドライブ0」あるいは「ドライブ・ロー」イベントが、最初のDUTサイクル、すなわちドライブサイクルの開始後の0.5nsで生じることを期待することができる。プログラムされた時間において、所定のエッジ発生器(ここではEG0)が、テストチャンネルドライバを起動してローレベルにドライブするように起動する。1.3nsにおいて、パターン発生器からのピンデータがハイ(論理1)である場合には、第2のエッジ発生器(ここではEG1)が起動することにより、「ドライブ1」あるいは「ドライブ・ハイ」イベントが生じる。そうでない場合には、レベルはローのままとなる。

【0027】

パターン発生器からのピンデータが比較サイクルを指示する場合には、エッジセット情報はさらに、第2のDUTサイクル(0.00ns)、すなわち比較サイクルの開始と同時に生じる「ドライブVt」イベントを指定し、ドライバがテストチャンネル出力をターミネーション電圧Vtにドライブできるようにする。1.25ns(第2のDUTサイクル後)でエッジセットを終了するために、エッジ発生器EG4の起動によりストロブイベントが生じ、それにより、チャンネルコンパレータ(図示せず)がDUTピンデータレベルを検出できるようにする。

【0028】

検査波形の残りは、第1のエッジセットES0の場合に先に記載されたのと同じようにして第2のエッジセット(ES1)(図4)によって規定される。

第1のエッジセットEG0が、図3の検査波形の記載された部分を実行するために5つのエッジを使うことは容易に理解されよう。本発明者は、広範な波形利用可能性を網羅する(エッジセットを注意深く用いることにより)だけの十分なエッジリソースを設け、同時にハードウェアコストを最小にするために、4~15個のエッジ発生器の間ならどの構成でも十分であることを確認している。

【0029】

高速DUTポートを検査する能力を設けるほかに、本発明の固定補間器タイミングシステムのさらに重要な特徴の1つは、低速DUTポートのための自由度の高いタイミングを提供できる能力である。本発明者は、そのような低速のDUTピンのためのタイミング自由度を劇的に改善するとともに、本発明の低コストで、高い精度を有するタイミングシステ

10

20

30

40

50

ムを維持する方法を見いだしている。図5に示されるように、これは、マスター発振器MOSC周期に対して固定された増分関係を有するようにエッジ発生器の組をプログラミングし、MOSC周期によってDUT周期を十分に分割することにより達成することができる。このようにして、DUT周期は、微細な「瞬間(チック: tick)」あるいはタイミング値に有効にスライスされる。4 nsのDUT周期(250 MHzのDUT周波数に対応する)で、500 psのマスター発振器MOSC周期の場合、DUT周期内において比較的小さい増分で、特定のイベント(「ドライブ0」のような)のために全部で32個のタイミング選択値が利用可能となる。

【0030】

さらに、本発明者は、本発明のこの態様を実行するために、マスター発振器周期が563 psより小さい必要がないことを確認している。これは、約141 psの最悪の場合の分解能(図5に示されるような13個のエッジ発生器を利用する補間器の場合)に相当する。

【0031】

たとえば、上記のようなDUTの低速ポートを検査するために、エッジ発生器EG0~EG12は、先に記載されたイベント「ドライブ0」、「ドライブ1」、「ストロープ」および「ドライブVt」(図5参照)のような特定の波形イベントに対応するサブセットに(プリプログラムされた時間遅延に関して)均等に分散されることが好ましい。ドライブ0(EG0~EG3)、ドライブ1(EG4~EG7)およびストロープ(EG8~EG11)のための、各マスター発振器周期内で予め割り当てられ、離隔したエッジ発生器の各サブセット、ならびにドライブVtのための残りのエッジ発生器EG12を用いるとき、タイミング値のための高速分解能(500 psのマスター発振器周期時)は、125 psになる。

【0032】

図5はさらに、図6に示されるエッジセット割当てにしたがって、約200 MHzの低速DUTピンに適用するための多数の周期からなる波形の一部を示す。上記の高速の例と同じようにして、検査波形を規定するためのイベントは、エッジセットメモリ36によって指定される。結果として、エッジセットES0のための第1のイベント(ドライブ0)は、第1のDUTサイクルの開始後の0.5 nsにおいて発生する。しかしながら、上記の高速の例とは異なり、ドライブ0のために利用可能なエッジ発生器は、EG0~EG3としてプリプログラミングされ、可能なタイミングは、マスター発振器MOSC周期内の125 psの規則的なインターバルに固定される。許容可能な精度レベルを維持しながら起動するために、検査コントローラ22はユーザによってプログラムされたタイミングに最も近いエッジ発生器(この場合にはドライブ0、EG0)を自動的に割り当てる。各割当ては、エッジ発生器番号およびマスター発振器サイクルの数として、エッジセットメモリに格納される。同様に、ES0のドライブ1イベントタイミングの場合、最も近いエッジ発生器はEG5である(図5に丸で囲まれて示される)。

【0033】

本発明の別の重要な特徴は、ウインドウストロープを近似することへの適用である。「ウインドウストロープ」は、DUTの出力が、2つのユーザ指定ポイント(時点)の間で、1つあるいは複数のレベルコンパレータによって観測され、任意のレベル遷移が注目される機能である。それは、DUT出力上の瞬間的異常(グリッチ: glitch)を検出するために、あるいは指定された時間ウインドウの持続時間の間、DUT出力を一定のままにしておくために有用である。

【0034】

一般に、エッジストロープと比較して、本質的に性能レベルが低下するので、高速、高精度テストは、ウインドウストロープを実施することを望まないであろう。しかしながら、高速テストの低速モードの場合、ウインドウストロープは、非常に望ましい。図7に示されるように、次々に一連のエッジストロープを与えることにより近似される場合がある。ウインドウストロープを生成するために、エッジセットメモリ36は、2つのストロープ

値C1およびC2を含むように変更され、ユーザは、「オープンウィンドウ」時間を指定するためにC1を、「クローズウィンドウ」時間を指定するためにC2を指定する。そのチャンネルは、C1時間とC2時間との間の全てのストロブイベントによってストロブ信号を受ける。ストロブイベントは最悪の場合に $563/4 = 141$ p s 毎に生じる(13エッジの実施形態の場合)ため、テストは、 141 p s 毎にDUT出力を検査することができる。高速システム内に高性能のエッジストロブコンパレータを与えるとき、このウィンドウストロブモードの性能は、 200 MHz 範囲のテストの本当のウィンドウモードに都合よく匹敵する。

【0035】

当業者であれば、本発明によってもたらされる多くの利益および利点を理解するであろう。非常に重要なのは、固定エッジ発生器を利用するタイミングシステムで、高速ピンおよび低速ピンの両方を有するDUTを検査できることである。エッジ発生器が固定されている特質により、高い精度および比較的高い分解能の能力を低下させることなく、DUT検査を実行するために必要とされるハードウェアおよびソフトウェアを最小にし、半導体製造業者にかかるコストの著しい削減が実現される。さらに、エッジ発生器タイミングを制御するために必要とされるプログラミングが比較的簡単であることにより、ユーザが最も使いやすいシステムになる。

10

【0036】

本発明のさらに別の特徴は、従来のテスト構成との互換性を含む。エッジセットメモリテーブルのような、低速でエッジ発生器タイミングを制御するためのユーザプログラミング機能の多くは、実際には従来と変わらない。したがって、ユーザの使いやすさが最大限になり、結果として、製造作業者を適当に教育するために追加される訓練が最小限に抑えられる。

20

【0037】

本発明は特に、その好ましい実施形態を参照して図示および記載されてきたが、本発明の精神および範囲から逸脱することなく、形態および細部において種々の変更がなされる場合があることは、当業者には理解されよう。たとえば、本明細書に図示され、記載されたタイミング論理回路の特定の実施形態は13個の補間器を含んでいたが、取り扱われる特定の応用形態で使用可能なコストおよびハードウェアの制約によっては、異なる数のエッジ発生器が実装され、結果が異なる場合がある。

30

【図面の簡単な説明】

【図1】 本発明のタイミングシステムを用いるテストの一般化されたブロック図である。

【図2】 図1に示されるタイミングシステムの部分的なブロック図である。

【図3】 本発明の一形態による、タイミング信号によって規定される高速検査波形の一例を示す図である。

【図4】 図3の検査波形に対応するタイミングを格納するためのエッジセットメモリテーブルの一例を示す図である。

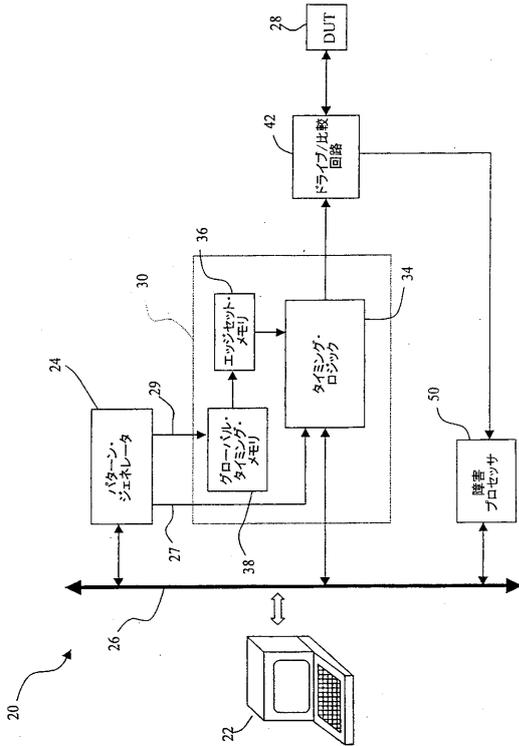
【図5】 本発明の一形態による、タイミング信号によって規定される低速検査波形の一例を示す図である。

40

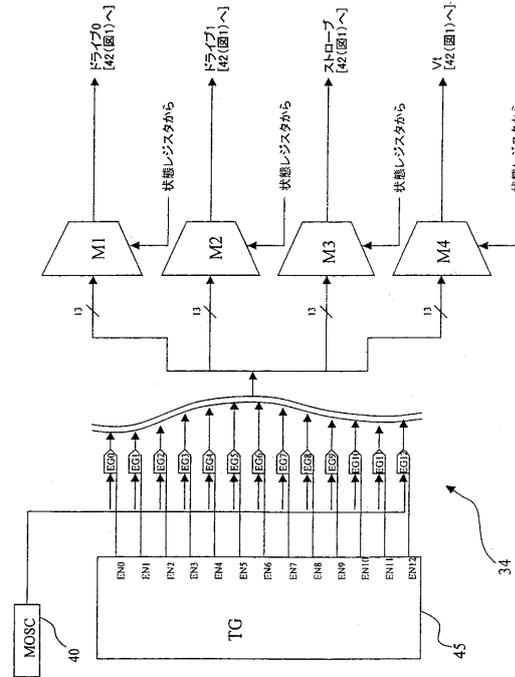
【図6】 図5の検査波形に対応するタイミングを格納するためのエッジセットメモリテーブルの一例を示す図である。

【図7】 本発明のウィンドウストロブ近似機能を示すタイミングアーキテクチャを示す図である。

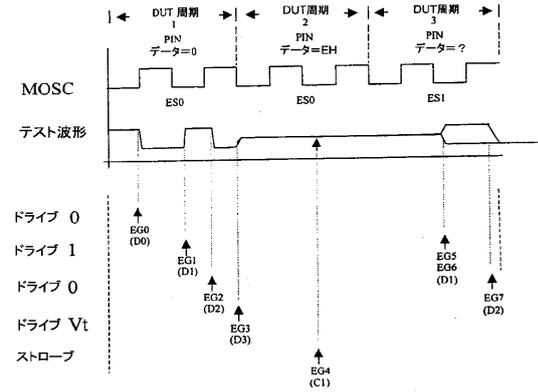
【図1】



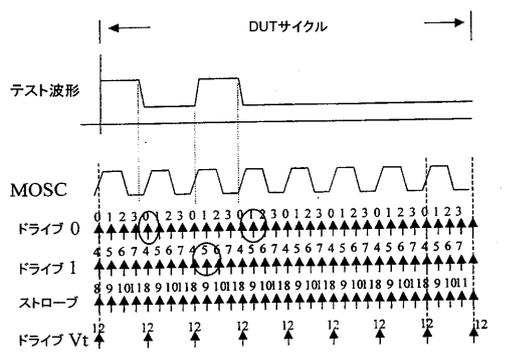
【図2】



【図3】



【図5】



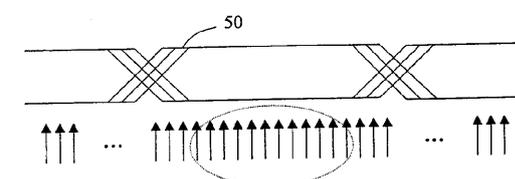
【図4】

エッジセット	D0	D1	D2	D3	C1	FMT
ES0	0.5ns	1.3ns	1.8ns	0ns	1.25ns	RL
ES1	Off	1.0ns	2.0ns	0ns	1.25ns	RL

【図6】

エッジセット	D0	D1	D2	D3	C1	FMT
ES0	0.5ns	1.3ns	1.8ns	0ns	1.25ns	RL
ES1	Off	1.0ns	2.0ns	0ns	1.25ns	RL

【図7】



フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100087424

弁理士 大塚 就彦

(72)発明者 レイチャート, ピーター

アメリカ合衆国カリフォルニア州 9 1 3 6 2, サウザンド・オウクス, オトノ・サークル 2 3 3
4

審査官 神谷 健一

(56)参考文献 特開昭 6 1 - 1 4 0 8 7 7 (J P , A)

特表平 9 - 5 1 2 9 6 6 (J P , A)

特開平 1 0 - 2 3 9 3 9 5 (J P , A)

国際公開第 1 9 9 7 / 0 0 5 4 9 8 (W O , A 1)

国際公開第 1 9 9 9 / 0 0 8 1 2 4 (W O , A 1)

国際公開第 1 9 9 9 / 0 0 9 4 2 5 (W O , A 1)

(58)調査した分野(Int.Cl., D B 名)

G01R 31/28-31/3193