

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3640527号

(P3640527)

(45) 発行日 平成17年4月20日(2005.4.20)

(24) 登録日 平成17年1月28日(2005.1.28)

(51) Int. Cl.<sup>7</sup>

F I

G09G 3/28

G09G 3/28 H

G09G 3/20

G09G 3/20 611J

G09G 3/20 621M

G09G 3/20 622B

G09G 3/20 624P

請求項の数 10 (全 16 頁) 最終頁に続く

(21) 出願番号 特願平10-136920  
 (22) 出願日 平成10年5月19日(1998.5.19)  
 (65) 公開番号 特開平11-327503  
 (43) 公開日 平成11年11月26日(1999.11.26)  
 審査請求日 平成12年10月24日(2000.10.24)

前置審査

(73) 特許権者 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (74) 代理人 100077517  
 弁理士 石田 敬  
 (74) 代理人 100100871  
 弁理士 土屋 繁  
 (74) 代理人 100082898  
 弁理士 西山 雅也  
 (74) 代理人 100081330  
 弁理士 樋口 外治  
 (72) 発明者 金澤 義一  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

平行に配置された第1及び第2の電極と、該第1及び第2の電極に対して直交する形で配置された第3の電極とを有する表示パネルを備え、前記第2と第3の電極に印加する走査信号とアドレス信号により放電セルの選択を行い、前記第1と第2の電極に維持放電信号を印加して選択したセルで維持放電を行わせるプラズマディスプレイ装置であって、

隣接する前記第1の電極と前記第2の電極の組に交互に逆相の維持放電信号を印加することにより、前記第2の電極と該第2の電極の一方の側の前記第1の電極との間で第1の表示セルが形成され、前記第2の電極と該第2の電極の他方の側の前記第1の電極との間で第2の表示セルが形成され、

前記第1の表示セルと前記第2の表示セルで発光表示を交互に繰り返すインターレース表示が行われ、

当該プラズマディスプレイ装置の前記第2の電極の駆動回路は、

前記第2の電極の中の奇数番目の電極に共通に印加する電圧パルスを出力する第1の駆動回路と、

前記第2の電極の中の偶数番目の電極に共通に印加する電圧パルスを出力する第2の駆動回路と、

前記第2の電極毎に設けられ、前記第1の駆動回路と前記第2の駆動回路の出力する前記電圧パルスを前記第2の電極に印加すると共に、前記走査信号を前記第2の電極に選択的に印加するための第3の回路とを備えるプラズマディスプレイ装置において、

10

20

前記第3の回路は、前記第2の電極の中の奇数番目の電極に接続される第3奇数回路と、前記第2の電極の中の偶数番目の電極に接続される第3偶数回路とに分けられており、前記第3奇数回路は少なくとも1個のチップに集積化されており、前記第3偶数回路は少なくとも1個のチップに集積化されていることを特徴とするプラズマディスプレイ装置。

【請求項2】

請求項1に記載のプラズマディスプレイ装置であって、前記第1の回路の近傍に前記第3奇数回路のチップを配置し、前記第2の回路の近傍に前記第3偶数回路のチップを配置したプラズマディスプレイ装置。

10

【請求項3】

請求項1に記載のプラズマディスプレイ装置であって、前記第1の回路及び前記第2の回路はそれぞれ複数設けられており、複数の第1の回路と第2の回路が交互に配置されているプラズマディスプレイ装置。

【請求項4】

請求項1に記載のプラズマディスプレイ装置であって、前記第3奇数回路及び前記第3偶数回路は、それぞれ複数のチップで構成され、交互に配置された前記複数の第1の回路と第2の回路に対応して交互に配置されているプラズマディスプレイ装置。

【請求項5】

請求項1に記載のプラズマディスプレイ装置であって、前記走査信号に相当する選択電圧と、前記走査信号が印加される以外の第2の電極に印加する非選択電圧とを供給する第4の回路を備え、該第4の回路から前記第3奇数回路と前記第3偶数回路に前記選択電圧と前記非選択電圧が供給されるプラズマディスプレイ装置。

20

【請求項6】

請求項5に記載のプラズマディスプレイ装置であって、前記第4の回路は、前記選択電圧を与える第1のスイッチング素子と、該第1のスイッチング素子に接続された第1と第2のダイオードと、前記非選択電圧を与える第2のスイッチング素子と、該第2のスイッチング素子に接続された第3と第4のダイオードとを有し、前記第1のダイオードを前記第3奇数回路の一端に接続し、前記第3のダイオードを前記第3奇数回路の他端に接続し、前記第2のダイオードを前記第3偶数回路の一端に接続し、前記第4のダイオードを前記第3偶数回路の他端に接続したプラズマディスプレイ装置。

30

【請求項7】

請求項1に記載のプラズマディスプレイ装置であって、前記第1及び第2の回路は、少なくとも維持放電電圧を供給するスイッチング素子と、前記走査信号の印加時に前記第2の電極に選択的に印加する電圧を供給するスイッチング素子を備えるプラズマディスプレイ装置。

40

【請求項8】

請求項1に記載のプラズマディスプレイ装置であって、前記第1の回路と前記第3奇数回路のチップを一方の面に配置し、前記第2の回路と前記第3偶数回路のチップを他方の面に配置した基板を備えるプラズマディスプレイ装置。

【請求項9】

請求項1に記載のプラズマディスプレイ装置であって、前記第3奇数回路のチップを一方の面に配置し、前記第3偶数回路のチップを他方の面に配置し、前記第1及び第2の回路は前記一方の面又は他方の面のいずれかに配置した基板を備えるプラズマディスプレイ装置。

【請求項10】

50

請求項 8 又は 9 に記載のプラズマディスプレイ装置であって、

前記第 3 奇数回路のチップと前記第 3 偶数回路のチップの前記走査信号を順次出力する出力端子は、一方の面から見て同じ方向に前記走査信号が順次出力されるように配置されているプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ機能を有する表示素子であるセルの集合によって構成された表示パネルを駆動する技術に係わり、特に AC (交流) 型プラズマディスプレイパネル (Plasma Display Panel:PDP) においてインターレース表示を行う装置に関する。

10

【0002】

【従来の技術】

上記の AC 型 PDP は、2 本の維持電極に交互に電圧波形を印加することで放電を持続し、発光表示を行うものである。一度の放電は、パルス印加直後 1  $\mu$ s から数  $\mu$ s で終了する。放電によって発生した正電荷であるイオンは、負の電圧が印加されている電極上の絶縁層の表面に蓄積され、同様に負電荷である電子は、正の電圧が印加されている電極上の絶縁層の表面に蓄積される。

【0003】

従って、初めに高い電圧 (書込み電圧) のパルス (書込みパルス) で放電させて壁電荷を生成した後、極性の異なる前回より低い電圧 (維持放電電圧) のパルス (維持放電パルス) を印加すると、前に蓄積された壁電荷が重畳され、放電空間に対する電圧は大きくなり、放電電圧のしきい値を越えて放電を開始する。つまり、一度書込み放電を行い、壁電荷を生成した表示セルは、その後、維持放電パルスを交互に逆極性で印加することで、放電を持続するという特徴がある。これをメモリ効果、又はメモリ機能と呼んでいる。一般に AC 型 PDP は、このメモリ効果を利用して表示を行うものである。

20

【0004】

従来の AC 型 PDP では、維持電極の一方の X 電極と他方の Y 電極を交互に配列し、奇数番目の X 電極と Y 電極の間及び偶数番目の X 電極と Y 電極の間で放電を行わせていた。すなわち、表示セルは、奇数番目の X 電極と Y 電極の間と偶数番目の X 電極と Y 電極の間に形成され、奇数番目の Y 電極と偶数番目の X 電極及び奇数番目の X 電極と偶数番目の Y 電極の間には形成されなかった。しかし、これでは高精細化及び高輝度化するのが難しいなどの問題があった。そこで、本出願人は、特開平 9 - 160525 号公報で、インターレース走査において、奇数番目の Y 電極と偶数番目の X 電極及び奇数番目の X 電極と偶数番目の Y 電極の間にも表示セルを形成することにより高精細化及び高輝度化を図った PDP を開示している。本発明は、特開平 9 - 160525 号公報に開示されたような Y 電極が両側の X 電極との間で放電が行われ、表示セルが形成されるプラズマディスプレイパネル (PDP) に適用される。

30

【0005】

図 1 は、上記の特開平 9 - 160525 号公報に開示された PDP の概要を示すブロック図であり、図 2 はそのパネルの断面構造であり、図 3 は 1 フレームの構成を示す図であり、図 4 は 1 サブフィールドで各電極に印加される駆動波形を示すタイムチャートである。これらの図を参照して、本発明が適用される PDP について説明する。

40

【0006】

図 1 に示すように、パネル 1 には、維持放電電極を構成する第 1 の電極 (X 電極) 2 - 1、2 - 2、...、第 2 の電極 (Y 電極) 3 - 1、3 - 2、... 及びアドレス電極 4 - 1、4 - 2、... が設けられている。図 2 に示すように、パネル 1 は、2 枚のガラス基板 5、6 によって構成されている。第 1 の基板 6 には、X 電極を構成する透明電極 22 - 1、... とバス電極 21 - 1、...、及び Y 電極を構成する透明電極 32 - 1、32 - 2... とバス電極 31 - 1、31 - 2、... が平行に交互に配置されている。基板 5 が表示面側であり、透明電極は蛍光体 9 からの反射光を透過させる目的で使用される。しかし透明電極だけでは電圧の

50

降下が大きくなるので、電極抵抗による電圧降下を防ぐ目的でバス電極が設けられる。更に、これらの電極を誘電体で被覆し、放電面には保護膜としてMgO（酸化マグネシウム）膜を形成する。

【0007】

また、ガラス基板5と向き合うガラス基板6には、アドレス電極4をX及びY電極と直交する形で形成する。更に、アドレス電極間には、障壁10を形成し、その障壁の間には、アドレス電極を覆う形で赤、緑、青の発光特性を持つ蛍光体9を形成する。障壁10の尾根とMgO膜が密着する形で2枚のガラス基板5、6が組み立てられる。

【0008】

各電極は、その両側の電極のすきま（つまり放電スリット）8で放電することができる。Y電極はアドレス動作時の表示ラインの選択及び維持放電に主として利用される。アドレス電極は、選択された表示ラインのY電極との間で表示セルの選択を行うためのアドレス放電に主として利用される。X電極はアドレス動作時に選択されたY電極のどちらの側の放電スリットにアドレス放電を発生させるかの選択と維持放電に主として利用される。

【0009】

図1に示すように、アドレス電極4-1、4-2、...は、1本毎にアドレスドライバ13に接続され、そのアドレスドライバ13によってアドレス放電時のアドレスパルスが印加される。また、Y電極は、個別にスキャンドライバ12に接続される。スキャンドライバ12は、1ビット毎に、奇数Y電極4-1、4-3、...の駆動用と偶数Y電極4-2、4-4、...の駆動用に分けられ、奇数Yサスティン回路16と偶数Yサスティン回路17に接続されている。アドレス動作時のパルスはスキャンドライバ12の中で発生し、維持放電パルスなどは奇数Yサスティン回路16及び偶数Yサスティン回路17で発生し、スキャンドライバ12を経由して各Y電極に印加される。X電極2-1、2-2、...は、奇数X電極2-1、2-3、...と偶数X電極2-2、2-4、...に分けられ、それぞれのグループ毎に奇数Xサスティン回路14と偶数Xサスティン回路15に接続される。これらのドライバ回路は、制御回路11によって制御され、その制御回路は装置の外部より入力される同期信号や表示データ信号によって制御される。

【0010】

図3に示すように、上記のPDPにおける1フレームの駆動シーケンスは、奇数フィールドと偶数フィールドに分割され、奇数フィールドでは奇数行の表示を、偶数フィールドでは偶数行の表示をそれぞれ行う。すなわち、奇数フィールドでは、奇数番目のX電極とY電極の間と偶数番目のX電極とY電極の間で放電を行い、偶数フィールドでは奇数番目のY電極と偶数番目のX電極及び奇数番目のX電極と偶数番目のY電極の間で放電を行う。更に、各フィールドは、いくつかのサブフィールドに分割されている。図3では、8個のサブフィールドSF1、SF2、...、SF8に分割した例を示している。各サブフィールドは、表示セルの初期化を行うリセット期間と、表示データの書込み（アドレス）を行うアドレス期間と、アドレスによって壁電荷が形成されたセルのみ繰り返し放電（維持放電）を行い発光するサスティン期間とで構成される。奇数フィールドでは、奇数行（ライン）においてのみアドレス放電及び維持放電が行われ、偶数フィールドでは偶数行においてのみアドレス放電及び維持放電が行われる。なお、表示の輝度は、維持放電期間の長短、つまり維持放電パルスの回数によって決定される。

【0011】

サブフィールドSF1、SF2、...、SF8においては、リセット期間とアドレス期間はそれぞれ同一の長さであり、維持放電期間の長さは、1:2:4:8:16:32:64:128の比率になっている。点灯させるサブフィールドの組を選択することで、0から255までの256段階の輝度の違いを表示できる。

【0012】

図4は、図1に示すプラズマディスプレイ装置の駆動する波形を示すタイムチャートであり、1サブフィールド期間を示している。この例では、1サブフィールドは、リセット/アドレス期間、更に維持放電期間（サスティン期間）に分割される。リセット期間におい

10

20

30

40

50

ては、まず、すべてのY電極が0Vレベルにされ、同時にX電極に電圧 $V_s + V_w$  (約300V)からなる全面書込みパルスが印加される。このリセット動作は、前のサブフィールドの点灯状態に係わらず、すべての表示セルを同じ状態にする作用があり、次のアドレス(書込み)放電を安定に行うために行われる。

#### 【0013】

次に、アドレス期間において、表示データに応じた表示セルのオン・オフを行うために、線順次でアドレス放電が行われる。ここで、従来のPDPではすべてのX電極は同じ電圧が印加されY電極に順に走査パルスを印加するが、図1に示したPDPにおける動作は異なり、アドレス期間は、前半アドレス期間と後半アドレス期間に分割される。例えば、奇数フィールドの前半アドレス期間では、1行目、5行目、...の表示セルのアドレスが行われ、後半アドレス期間では、3行目、7行目、...の表示セルのアドレスが行われ、偶数フィールドの前半アドレス期間では、2行目、6行目、...の表示セルのアドレスが行われ、後半アドレス期間では、4行目、8行目、...の表示セルのアドレスが行われる。

10

#### 【0014】

まず、奇数フィールドの前半アドレス期間では、1番目、3番目、...の奇数番目のX電極に電圧 $V_x$  (約50V)が印加され、2番目、4番目、...の偶数番目のX電極に電圧0Vが印加され、1番目、3番目、...の奇数番目のY電極に走査パルス( $-V_Y: -150V$ )を印加する。この時、2番目、4番目、...の偶数番目のY電極には電圧0Vが印加される。これと共に、アドレス電極に電圧 $V_a$  (約50V)のアドレスパルスが選択的に印加され、点灯させる表示セルのアドレス電極とY電極の間で放電が起きる。次に、この放電をプライミング(種火)として、直ちにX電極とY電極間の放電が行われる。X電極にこの時、奇数番目のX電極には電圧 $V_x$ が印加され、偶数番目のX電極には0Vが印加されており、上記の放電は電圧 $V_x$ が印加された側の放電スリットで行われる。これにより、選択ラインの選択セルのX電極とY電極上のMgO膜に維持放電が可能な壁電荷が蓄積する。以上の動作を最後のY電極まで行くと、1行目、5行目、...の表示セルのアドレスが行われることになる。

20

#### 【0015】

次に、奇数フィールドの後半アドレス期間では、2番目、4番目、...の偶数番目のX電極に電圧 $V_x$  (約50V)を印加し、1番目、3番目、...の奇数番目のX電極に電圧0Vを印加し、2番目、4番目、...の偶数番目のY電極に走査パルス( $-V_Y: -150V$ )を順次印加する。これにより、3行目、7行目、...の表示セルのアドレスが行われることになる。このようにして、奇数フィールドの前半と後半のアドレス期間で、1行目、3行目、5行目、...の奇数番目の表示セルのアドレスが終了する。

30

#### 【0016】

次に維持放電期間になると、Y電極とX電極に交互に電圧 $V_s$  (約180V)からなる維持パルスが印加されて維持放電が行われ、奇数フィールドの1サブフィールドの画像表示が行われる。この時、奇数番目のX電極とY電極間に印加する電圧と偶数番目のX電極とY電極間に印加する電圧は逆相であり、奇数番目の放電スリットを囲む奇数番目のX電極とY電極間及び偶数番目のX電極とY電極間には電位差 $V_s$ が発生するが、偶数番目の放電スリットを囲む奇数番目のX電極と偶数番目のY電極間及び偶数番目のX電極と奇数番目のY電極間には電位差 $V_s$ が発生しないようにしている。従って、維持放電は奇数番目の表示セルでのみ行われる。

40

#### 【0017】

同様に、偶数フィールドでは、偶数番目の表示セルで画像表示が行われる。以上のようにして、Y電極とその両側に隣接するX電極の間に表示セルが形成されるため、同じようなパネル構造であっても従来に比べて高精細な表示を行うことが可能になる。

#### 【0018】

##### 【発明が解決しようとする課題】

図5は、図1のPDPの奇数Yサスティン回路16と偶数Yサスティン回路17とスキャンドライバ12の部分の回路構成を示す図である。なお、図示していないが、スキャン

50

ライバ12には制御回路11からの同期信号を受けて走査パルスが発生する回路が設けられているがここでは省略してある。奇数Yサスティン回路16と偶数Yサスティン回路17は同じ構成を有し、放電電流のグランドGNDへの引込み用の信号CD1とCD2がゲートに印加される電界効果トランジスタ(FET)(以下、単にトランジスタと称する。)Tr1、Tr6と、放電電流のVs電源からの供給用の信号CU1とCU2がゲートに印加されるトランジスタTr2、Tr7と、アドレス動作時の選択電位-VYを与えるための信号VY1とVY2がゲートに印加されるトランジスタTr4、Tr9と、アドレス動作時の非選択電位-VSCを与えるための信号VSC1とVSC2がゲートに印加されるトランジスタTr5、Tr10と、アドレス動作時にトランジスタTr2、Tr7を分離するための信号AS1とAS2がゲートに印加されるトランジスタTr3、Tr8とによって構成される。

10

#### 【0019】

一方、スキャンドライバ12は、各電極毎に設けられる信号SU1、SU2、...がゲートに印加されるトランジスタTr21-1、Tr21-2、...と、信号SD1、SD2、...がゲートに印加されるトランジスタTr21-1、Tr21-2、...で構成される、電極の個数分設けられた個別のドライバ12-1、12-2、...で構成される。これらのドライバ12-1、12-2、...は、奇数及び偶数電極毎に共通に、奇数Yサスティン回路16の端子DOD1とDOU1及び偶数Yサスティン回路17の端子DOD2とDOU2に接続される。

#### 【0020】

20

図5の回路の動作を簡単に説明すると、維持放電パルス(サスティンパルス)は、Vs電源から、トランジスタTr2、Tr3、及びTr22-1、22-2、...を経由してパネルのY電極に印加され、放電電流も同じ経路で流れる。また、パルス除去時には、Y電極からトランジスタTr21-1、21-2、...のダイオードを通り、ダイオードD2とトランジスタTr1を経由してGNDに流れ込む。この時、X電極にVsパルスが印加され、維持放電電流も同じ経路で流れる。

#### 【0021】

アドレス放電時には、トランジスタTr1、Tr2、Tr2をそれぞれオフにし、トランジスタTr5とTr4をオンにすることで、スキャンドライバ12の一端に選択電位が、他端に非選択電位が与えられる。Y電極を選択する場合には、トランジスタTr22-1、22-2、...側をオンにし、非選択とする場合にはトランジスタTr21-1、22-2、...側をオンにする。

30

#### 【0022】

以上、本発明が適用されるPDPのY電極駆動回路について説明したが、走査パルスが印加されない点を除けば、X電極を駆動する回路も同様である。

Y電極を奇数番と偶数番で分けて駆動する必要のない従来の方式のPDPでは、サスティン回路は1個で、維持放電信号も一種類であるため、1組の配線を設けるだけでよく、配線は簡単であった。これに対して、図5で明らかなように、本発明が適用されるPDPでは、各Y電極を直接駆動するためのスキャンドライバ12の各ドライバに1個おきに別なサスティン回路を接続するため、回路内部における配線が複雑になるという問題が生じた。すなわち、スキャンドライバ12の各出力をパネル1のY電極に接続し易いように、順番に配置するため、2個のサスティン回路から供給される維持放電信号が印加される2組の配線を配置し、各ドライバを対応する配線に接続する必要がある。これはX電極を駆動する回路についても同じである。

40

#### 【0023】

従来のPDPでは、小型化や製造コストの低減のために、スキャンドライバ12を1個又は数個のチップにIC化することが行われている。スキャンドライバ12には上記のように走査パルスが発生する回路が設けられており、IC化しない場合、図5のドライバ12-1、12-2、...に加えてこの回路をディスクリット(個別)部品で構成する必要があり、回路規模やコストなどの面で問題がある。そのため、本発明が適用されるPDPにつ

50

いても、小型化や製造コストの低減のためにスキンドライバ12をIC化することが望ましい。しかし、IC化する上で問題のあることが分かった。

【0024】

図5のスキンドライバ12のドライバ12-1、12-2、...をIC化する場合、パネル1との接続を考慮してドライバ12-1、12-2、...をこの順で配置することになる。チップには2個のサスティン回路16、17から供給される維持放電信号を受けるための4個の端子を設け、各ドライバに維持放電信号を供給するための2組の配線をチップ内に並行して設けることになる。チップ内であるので、2組の配線はある程度近接して配置せざるを得ない。しかし、上記のように、維持放電信号は約180Vであり、2組の配線に印加される信号は逆相であるため、2組の配線間には約180Vがそのまま印加されることになる。従って、2組の配線をチップ内に近接して配置するのは非常に難しく、IC化できないという問題が生じた。また、たとえIC化しても、チップを大きくせざるを得ず、その分コストが増加し、チップが大きくなるという問題がある。なお、維持放電信号が印加される配線が1組であれば、配線間の電位差はドライバ12-1、12-2、...におけるトランジスタTr21-1、Tr21-2、...とTr22-1、Tr22-2、...による電圧降下分であり、十分に小さい。

10

【0025】

以上のような問題があるため、本発明が適用されるPDPでは、X電極とY電極の駆動回路における配線が複雑で、スキンドライバをIC化するのが難しいという問題があった。本発明は、このような問題を解決するためのもので、X電極とY電極を奇数番と偶数番で別々の維持放電信号を印加するPDPにおいて、X電極とY電極の駆動回路における配線を簡単にすると共に、スキンドライバのIC化を可能にすることを目的とする。

20

【0026】

【課題を解決するための手段】

上記目的を実現するため、本発明のプラズマディスプレイ装置は、スキンドライバを奇数番目のY電極に接続される回路と、偶数番目のY電極に接続される回路に分割する。これにより、チップ内では1種類の維持放電信号が存在するだけなので、耐圧の問題は生ぜず、IC化が可能となる。また、Y電極の駆動回路と同様に、X電極についても奇数番目のX電極に接続される回路と、偶数番目のX電極に接続される回路に分割する。

【0027】

すなわち、本発明のプラズマディスプレイ装置は、平行に配置された第1及び第2の電極と、第1及び第2の電極に対して直交する形で配置された第3の電極とを有する表示パネルを備え、第2と第3の電極に印加する走査信号とアドレス信号により放電セルの選択を行い、第1と第2の電極に維持放電信号を印加して選択したセルで維持放電を行わせるプラズマディスプレイ装置であって、隣接する第1の電極及び第2の電極の組に交互に逆相の維持放電信号を印加することにより、第2の電極と第2の電極の一方の側の第1の電極との間で第1の表示セルが形成され、第2の電極と第2の電極の他方の側の第1の電極との間で第2の表示セルが形成され、第1の表示セルと第2の表示セルで発光表示を交互に繰り返すインターレース表示が行われ、プラズマディスプレイ装置の第2の電極の駆動回路は、第2の電極の中の奇数番目の電極に共通に印加する電圧パルスを出力する第1の駆動回路と、第2の電極の中の偶数番目の電極に共通に印加する電圧パルスを出力する第2の駆動回路と、第2の電極毎に設けられ、第1の駆動回路と第2の駆動回路の出力する電圧パルスを第2の電極に印加すると共に、走査信号を第2の電極に選択的に印加するための第3の回路とを備えるプラズマディスプレイ装置において、第3の回路は、第2の電極の中の奇数番目の電極に接続される第3奇数回路と、第2の電極の中の偶数番目の電極に接続される第3偶数回路とに分けられており、第3奇数回路を少なくとも1個のチップに集積化し、第3偶数回路を少なくとも1個のチップに集積化することを特徴とする。

30

40

【0028】

本発明のプラズマディスプレイ装置では、第2の電極(Y電極)を駆動する駆動回路が、奇数番目のY電極に接続される回路と、偶数番目のY電極に接続される回路に分割されて

50

いるため、配線の自由度が向上し、IC化する場合にも、第3奇数回路と第3偶数回路をIC化すれば、チップ内では1種類の維持放電信号が存在するだけなので、耐圧の問題は生じない。

【0029】

これらの回路を配置する場合には、第1の回路の近傍に第3奇数回路のチップを配置し、第2の回路の近傍に第3偶数回路のチップを配置することが望ましい。

第3奇数回路と第3偶数回路のチップの出力順をパネルのY電極の配置順に合わせるには、回路基板上の配線パターンやケーブルなどの配置変換手段を設ける。

【0030】

第1の回路及び第2の回路はそれぞれ複数個設ける場合には、交互に配置することが望ましい。更に、第3奇数回路及び第3偶数回路が、それぞれ複数のチップで構成される場合には、第1の回路と第2の回路に対応して交互に配置することが望ましい。

走査時に使用される選択電圧と非選択電圧は、第1の回路及び第2の回路で共通に使用されるので、第4の回路を設けて供給してもよい。

【0031】

第1の回路と第3奇数回路との間及び第2の回路と第3偶数回路との間には、少なくとも電流供給用配線と電流引込み用配線とを設ける。

第4の回路は、選択電圧を与える第1のスイッチング素子と、第1のスイッチング素子に接続された第1と第2のダイオードと、非選択電圧を与える第2のスイッチング素子と、第2のスイッチング素子に接続された第3と第4のダイオードとを有し、第1のダイオードを第3奇数回路の一端に接続し、第3のダイオードを第3奇数回路の他端に接続し、第2のダイオードを第3偶数回路の一端に接続し、第4のダイオードを第3偶数回路の他端に接続する。

【0032】

第1及び第2の回路は、少なくとも維持放電電圧を供給するスイッチング素子と、走査信号の印加時に第2の電極に選択的に印加する電圧を供給するスイッチング素子を備える。基板の一方の面に第1の回路と第3奇数回路のチップを配置し、他方の面に第2の回路と第3偶数回路のチップを配置すると、配線が簡単になる。また、第3奇数回路のチップを基板の一方の面に配置し、第3偶数回路のチップを他方の面に配置し、第1及び第2の回路は一方の面又は他方の面のいずれかに配置するようにしてもよい。

【0033】

第3奇数回路のチップと第3偶数回路のチップの走査信号を順次出力する出力端子は、一方の面から見て同じ方向に走査信号が順次出力されるように配置して、パネルのY電極の配置と合うようにすることが望ましい。

また、本発明の別の態様のプラズマディスプレイ装置は、平行に配置された第1及び第2の電極と、第1及び第2の電極に対して直交する形で配置された第3の電極とを有する表示パネルを備え、第2と第3の電極に印加する走査信号とアドレス信号により放電セルの選択を行い、第1と第2の電極に維持放電信号を印加して選択したセルで維持放電を行わせるプラズマディスプレイ装置であって、隣接する第1の電極及び隣接する第2の電極に交互に逆相の維持放電信号を印加することにより、第2の電極と第2の電極の一方の側の第1の電極との間で第1の表示セルが形成され、第2の電極と第2の電極の他方の側の第1の電極との間で第2の表示セルが形成され、第1の表示セルと第2の表示セルで発光表示を交互に繰り返すインターレース表示が行われるプラズマディスプレイ装置において、プラズマディスプレイ装置の第1の電極の駆動回路は、第1の電極の中の奇数番目の電極に共通に印加する電圧パルスを出力する第5の駆動回路と、第1の電極の中の偶数番目の電極に共通に印加する電圧パルスを出力する第6の駆動回路とを備え、第5の回路及び第6の回路をそれぞれ複数個設け、交互に配置することを特徴とする。

【0034】

第5及び第6の回路は、少なくとも維持放電電圧を供給するスイッチング素子と、走査信号の印加時に第1の電極に選択的に印加する電圧を供給するスイッチング素子を備える。



基板の一方の面に第5の回路を配置し、他方の面に第6の回路を配置すると、配線が簡単になる。

【0035】

【発明の実施の形態】

図6は、本発明の第1実施例のPDPの奇数Yサスティン回路16と偶数Yサスティン回路17とスキヤンドライバの部分の回路構成を示す図である。奇数Yサスティン回路16と偶数Yサスティン回路17は、図5の従来例と同じ構成である。スキヤンドライバ41は、奇数番目のY電極に接続されるドライバ12-1、12-3、...を集積した多出力のLSIであり、スキヤンドライバ42は、偶数番目のY電極に接続されるドライバ12-2、12-4、...を集積した多出力のLSIである。各スキヤンドライバからの出力は、パネル1のY電極に接続する際に交互に引き出されて接続される。実際には、配列を変換するための回路基板43が設けられている。回路基板43には、スキヤンドライバ41と42に接続されるコネクタとパネル1に接続されるコネクタがあり、内部で配線の順序を入れ換える。また、回路基板43の代わりにケーブルを使用してもよい。

10

【0036】

図7は、本発明の第2実施例のPDPの奇数Yサスティン回路と偶数Yサスティン回路とスキヤンドライバの部分の回路構成を示す図である。奇数Yサスティン回路16と偶数Yサスティン回路17は、第1実施例と同じ構成である。第1実施例のスキヤンドライバ41と42は、それぞれ2個のスキヤンドライバA41-1とスキヤンドライバC41-2及びスキヤンドライバB42-1とスキヤンドライバD42-2で構成される。スキヤンドライバA41-1が上位の奇数番目のY電極に接続され、スキヤンドライバC41-2が下位の奇数番目のY電極に接続され、スキヤンドライバB42-1が上位の偶数番目のY電極に接続され、スキヤンドライバD42-2が下位の偶数番目のY電極に接続される。図示のように、奇数Yサスティン回路16、偶数Yサスティン回路17、スキヤンドライバA41-1、スキヤンドライバC41-2、スキヤンドライバB42-1及びスキヤンドライバD42-2は、Y電極駆動回路基板51に実装される。また、Y電極駆動回路基板51からの出力は、Y電極の配列順であり、各スキヤンドライバからの出力をこの配列順になるように変換する部分が設けられている。スキヤンドライバA41-1とスキヤンドライバC41-2は奇数Yサスティン回路16に近くに、スキヤンドライバB42-1とスキヤンドライバD42-2は偶数Yサスティン回路17の近くに配置される。

20

30

【0037】

図8は、本発明の第3実施例のPDPの奇数Yサスティン回路と偶数Yサスティン回路とスキヤンドライバの部分の回路構成を示す図である。第3実施例の構成は、奇数Yサスティン回路16と偶数Yサスティン回路17が、それぞれ2個の奇数Yサスティン回路A16-1と奇数Yサスティン回路B16-2及び偶数Yサスティン回路A17-1と偶数Yサスティン回路B17-2で構成されている点を除けば、第2実施例の構成と同じである。スキヤンドライバA41-1、スキヤンドライバC41-2、スキヤンドライバB42-1及びスキヤンドライバD42-2は、それぞれ奇数Yサスティン回路A16-1、偶数Yサスティン回路A17-1、奇数Yサスティン回路B16-2及び偶数Yサスティン回路B17-2の近くに配置される。第3実施例は、第1及び第2実施例に比べて、スキヤンドライバの出力からY電極までの配線を短くできるため、配線のインピーダンス(抵抗成分、容量成分、誘導成分)が低くなり、電圧低下が低減されるという利点がある。

40

【0038】

図9は、本発明の第4実施例のPDPの奇数Yサスティン回路と偶数Yサスティン回路とスキヤンドライバの部分の回路構成を示す図である。第4実施例の構成は、スキヤン電圧生成部61が設けられている点を除けば、第2実施例の構成と同じである。図4に示したように、Y電極の駆動波形は、維持放電期間では位相が異なった波形であるが、アドレス期間は、両電極とも非選択時には $-V_{sc}$ が、選択時には $-V_Y$ が印加される。よって、アドレス期間に必要な電位を供給する回路は共通にすることができる。そこで、第4実施例では、スキヤン電圧生成部61を設けて、アドレス期間では、ここで発生した電圧を各

50

スキヤンドライバに供給する。

【0039】

図10は、第4実施例のスキヤン電圧生成部61と奇数Yサスティン回路16と偶数Yサスティン回路17の部分の回路構成を示す図である。スキヤン電圧生成部61は、アドレス動作時の選択電位 - V<sub>Y</sub>を与えるための信号V<sub>Y</sub>がゲートに印加されるトランジスタTr10と、アドレス動作時の非選択電位 - V<sub>SC</sub>を与えるための信号V<sub>SC</sub>がゲートに印加されるトランジスタTr11と、ダイオードD9～D14が設けられている。また、奇数Yサスティン回路16と偶数Yサスティン回路17から、トランジスタTr4、Tr5、Tr9、Tr10、ダイオードD3、D7が除かれている。これにより、トランジスタを2個減らすことができる。

10

【0040】

第1実施例から第4実施例では、Y電極の駆動回路についての実施例を説明したが、次にX電極の駆動回路の実施例を説明する。奇数番目と偶数番目のX電極を別々に駆動しない従来のPDPでは、X電極はパネル1内で共通に接続されていた。従って、接続端子は1個であり、X電極駆動回路の出力を単に接続するだけでよかった。しかし、本発明を適用するPDPでは、奇数番目と偶数番目のX電極に別々の駆動信号を印加する必要がある。

【0041】

図11は、従来のX電極駆動回路を実装したX側駆動回路基板71の構成を示す図である。この従来例では、パネル1には、X電極にそれぞれ接続される接続端子がその順番で設けられている。従って、X側駆動回路基板71の出力もこれに対応した接続端子を有し、奇数Xサスティン回路14と偶数Xサスティン回路15からの出力が交互に接続されている。

20

【0042】

図12は、奇数Xサスティン回路14の構成を示す図である。偶数Xサスティン回路15も同じ構成を有する。サスティンパルスはV<sub>s</sub>電源から、ダイオードD21とトランジスタTr33を経由してパネル1のX電極に印加され、放電電流も同じ経路で流れる。また、パルスを除去する際には、Y電極からトランジスタTr1を通りGNDに流れ込む。リセット時の書込み電圧は、トランジスタTr31をオンにすることで、容量Cに充電されたV<sub>s</sub>電圧と、V<sub>w</sub>電圧が重畳されて、トランジスタTr2を経由してX電極に印加される。

30

【0043】

ここで、図11に示すような構成では、奇数Xサスティン回路14からの接続端子X513まで、及び偶数Xサスティン回路15から接続端子X2までの配線距離が長く、電圧降下などの問題が生じた。

図13は、第6実施例のX電極駆動回路を実装したX側駆動回路基板72の構成を示す図である。奇数Xサスティン回路14は2個の奇数Xサスティン回路A14-1と奇数Xサスティン回路B14-2に分割され、偶数Xサスティン回路15は、2個の偶数Xサスティン回路A15-1と偶数Xサスティン回路B15-2に分割され、交互に配置される。これにより配線での電圧降下の問題が低減された。

【0044】

図14は、Y電極駆動回路の回路基板への実装例を示す図である。図14の(1)では、基板50の一方の面に奇数Yサスティン回路16と奇数番目のY電極に接続されるスキヤンドライバ41を配置し、他方の面に偶数Yサスティン回路17と偶数番目のY電極に接続されるスキヤンドライバ42を配置する。このような配置により、部品の実装面積を縮小でき、更にスキヤンドライバ41、42の出力を最短距離で、パネル1のY電極接続端子に接続できる。特に、パネル1との接続部分で、一方の面に奇数番目のY電極に接続される端子を、他方の面に偶数番目のY電極に接続される端子を設ければ、回路基板における配線の組み替えも必要ない。

40

【0045】

図14の(2)では、スキヤンドライバ41とスキヤンドライバ42を基板の別の面に配

50

置した例を示す。この配置でも、スキヤンドライバ 4 1、4 2 の出力を最短距離でパネル 1 の Y 電極接続端子に接続でき、回路基板における配線の組み替えを必要としないという効果が得られる。

【 0 0 4 6 】

【 発明の効果 】

以上説明したように、微細な構造としなくても高精細化が可能な P D P の駆動回路を小規模で且つ低コストで実現できる。

【 図面の簡単な説明 】

【 図 1 】本発明の適用されるプラズマディスプレイパネル ( P D P ) の構成を示すブロック図である。

10

【 図 2 】図 1 のパネルの断面構造を示す図である。

【 図 3 】図 1 の P D P の表示フレームの構成を示す図である。

【 図 4 】図 1 の P D P の駆動波形を示すタイムチャートである。

【 図 5 】従来の第 2 ( Y ) 電極駆動回路の構成を示す図である。

【 図 6 】本発明の第 1 実施例の Y 電極駆動回路の構成を示す図である。

【 図 7 】本発明の第 2 実施例の Y 電極駆動回路の構成を示す図である。

【 図 8 】本発明の第 3 実施例の Y 電極駆動回路の構成を示す図である。

【 図 9 】本発明の第 4 実施例の Y 電極駆動回路の構成を示す図である。

【 図 1 0 】第 4 実施例の Y 電極駆動回路の詳細な構成を示す図である。

【 図 1 1 】従来例の X 電極駆動回路の構成を示す図である。

20

【 図 1 2 】従来例の奇数 X サスティン回路の構成を示す図である。

【 図 1 3 】本発明の第 5 実施例の X 電極駆動回路の構成を示す図である。

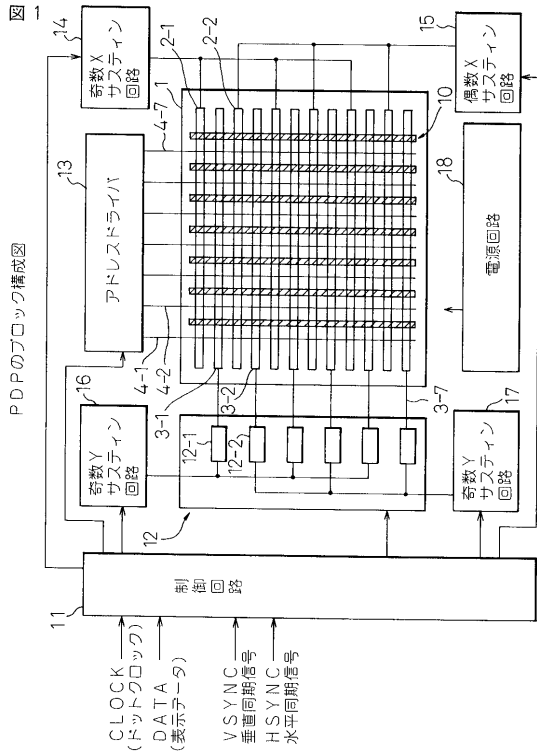
【 図 1 4 】 Y 電極駆動回路の実装例を示す図である。

【 符号の説明 】

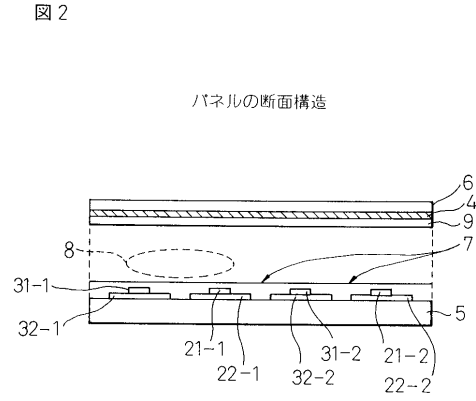
- 1 ... パネル
- 2、2 - 1、2 - 2 ... 第 1 ( X ) 電極
- 3 - 1、3 - 2 ... 第 2 ( Y ) 電極
- 4 - 1、4 - 7 ... アドレス電極
- 1 2、1 2 - 1、1 2 - 2 ... スキヤンドライバ
- 1 4 ... 奇数 X サスティン回路
- 1 5 ... 偶数 X サスティン回路
- 1 6 ... 奇数 Y サスティン回路
- 1 7 ... 偶数 Y サスティン回路
- 4 1 ... 奇数 Y スキヤンドライバ
- 4 2 ... 偶数 Y スキヤンドライバ

30

【図1】

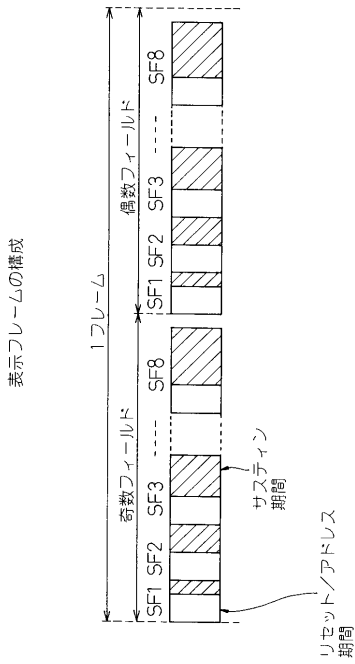


【図2】



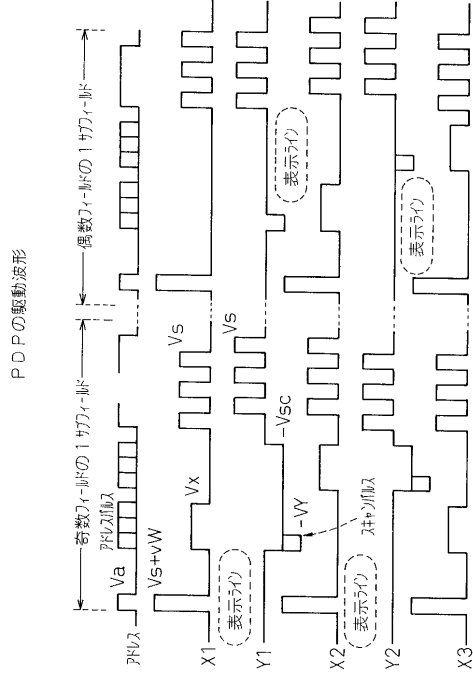
【図3】

図3



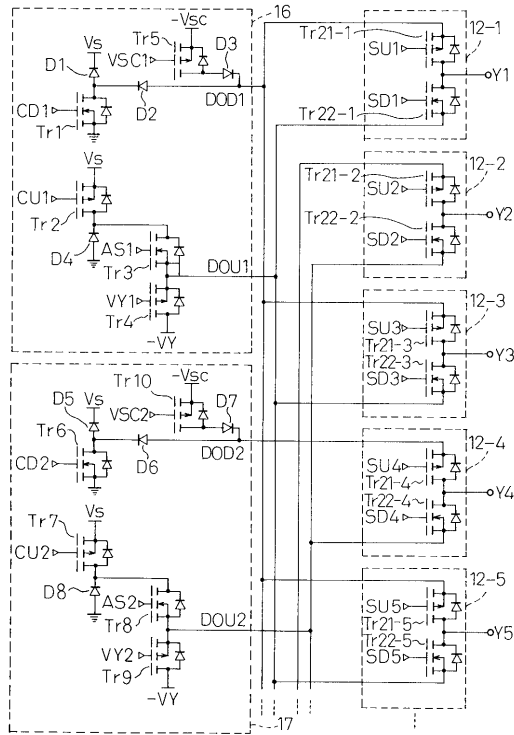
【図4】

図4



【 図 5 】

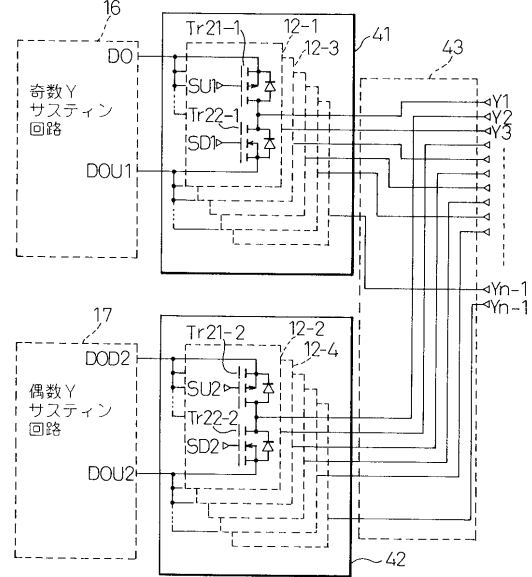
図 5 従来の第 2 ( Y ) 電極駆動回路の構成



【 図 6 】

図 6

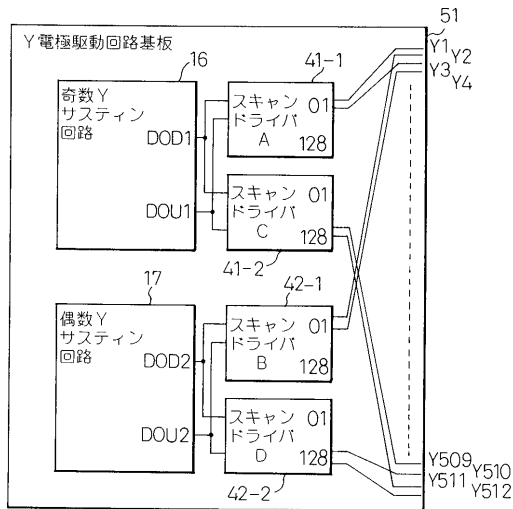
本発明の第 1 実施例の Y 電極駆動回路の構成



【 図 7 】

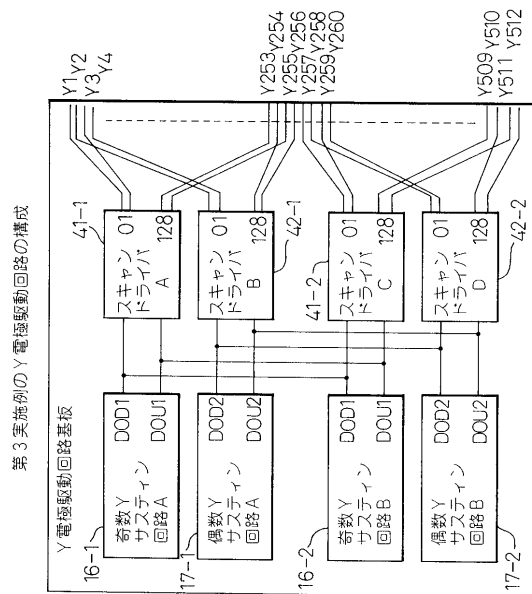
図 7

第 2 実施例の Y 電極駆動回路の構成



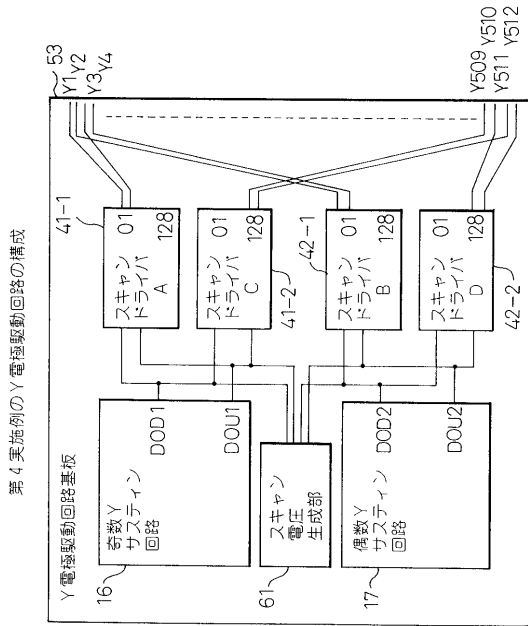
【 図 8 】

図 8



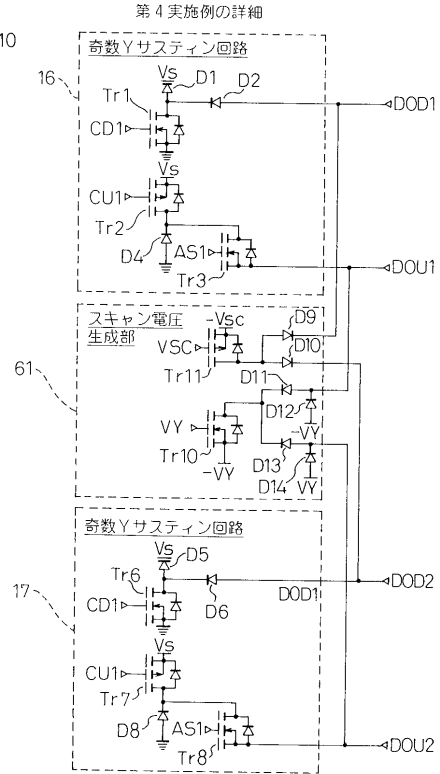
【 図 9 】

図 9



【 図 10 】

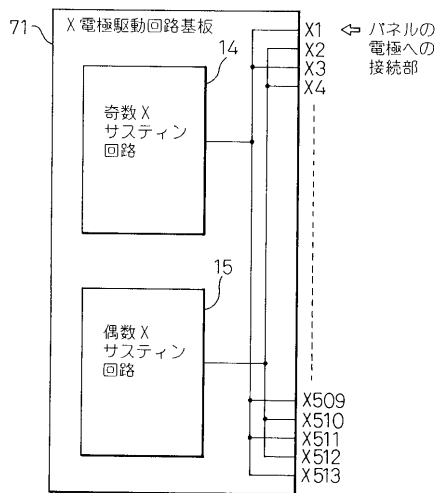
図 10



【 図 11 】

図 11

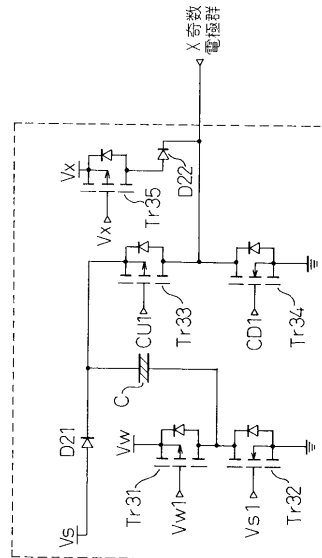
従来の X 電極駆動回路の構成



【 図 12 】

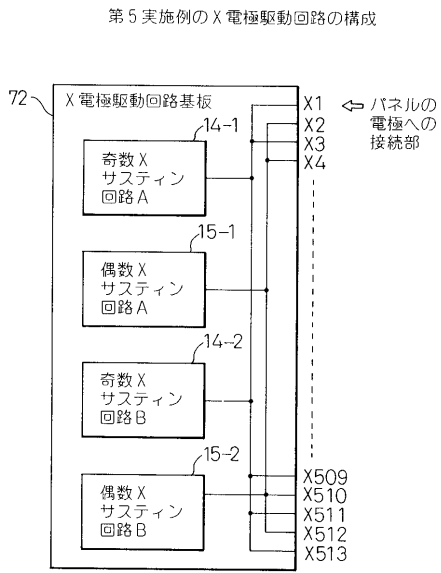
図 12

奇数 X サステイン回路の構成



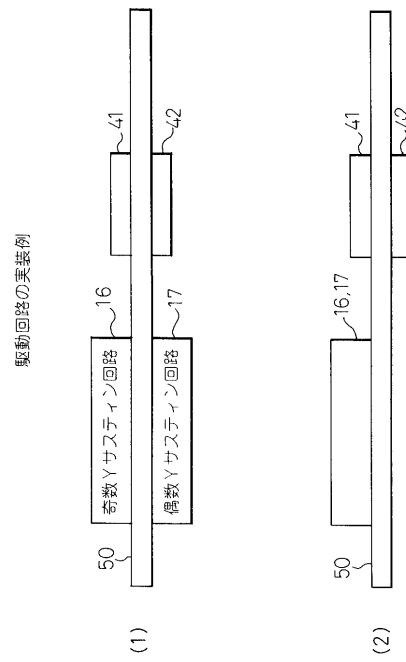
【 図 1 3 】

図 13



【 図 1 4 】

図 14



## フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

G 0 9 G 3/28

J

(72)発明者 桑原 武

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 小泉 治男

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 橋本 直明

(56)参考文献 特開平06-004039(JP,A)

特開平09-160525(JP,A)

特開平10-003280(JP,A)

特開平10-214056(JP,A)

特開平11-109917(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G09G 3/28

G09G 3/20 611

G09G 3/20 621

G09G 3/20 622

G09G 3/20 624