

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3673230号  
(P3673230)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int. Cl.<sup>7</sup>

H03K 3/037

F I

H03K 3/037

C

請求項の数 5 (全 12 頁)

<p>(21) 出願番号 特願2002-60023 (P2002-60023)                  (22) 出願日 平成14年3月6日(2002.3.6)                  (65) 公開番号 特開2003-258607 (P2003-258607A)                  (43) 公開日 平成15年9月12日(2003.9.12)                  審査請求日 平成15年10月17日(2003.10.17)</p>	<p>(73) 特許権者 000004226                  日本電信電話株式会社                  東京都千代田区大手町二丁目3番1号                  (74) 代理人 100064621                  弁理士 山川 政樹                  (72) 発明者 藤井 孝治                  東京都千代田区大手町二丁目3番1号 日                  本電信電話株式会社内                  (72) 発明者 森村 浩季                  東京都千代田区大手町二丁目3番1号 日                  本電信電話株式会社内                  審査官 清水 稔</p>
---	--

最終頁に続く

(54) 【発明の名称】 フリップフロップ回路

(57) 【特許請求の範囲】

【請求項1】

クロック信号が通過モードを示す第1のレベルになる直前にデータ入力端子に入力されたデータ信号を取り込み、前記クロック信号が保持モードを示す第2のレベルのとき前記取り込んだデータ信号を保持するRAM型ラッチ回路と、

前記クロック信号が前記第1のレベルのとき前記データ信号と前記データ入力端子とを電氣的に分離し、前記クロック信号が前記第2のレベルのとき前記データ信号を前記データ入力端子に入力するスイッチ回路とを有し、

前記クロック信号が前記第2のレベルから前記第1のレベルになる直前に前記データ入力端子に入力されたデータ信号を前記RAM型ラッチ回路に格納することを特徴とするフリップフロップ回路。

【請求項2】

請求項1記載のフリップフロップ回路において、

前記スイッチ回路は、

ソース端子に前記データ信号の反転信号が入力され、ドレイン端子が第1のスイッチ出力端子に接続され、ゲート端子に入力された前記クロック信号が前記第2のレベルのとき前記入力された反転信号を前記第1のスイッチ出力端子に出力する第1のトランジスタと、

ソース端子に前記データ信号が入力され、ドレイン端子が第2のスイッチ出力端子に接続され、ゲート端子に入力された前記クロック信号が前記第2のレベルのとき前記入力されたデータ信号を前記第2のスイッチ出力端子に出力する第2のトランジスタとからなるこ

10

20

とを特徴とするフリップフロップ回路。

【請求項 3】

請求項 1 記載のフリップフロップ回路において、

前記スイッチ回路は、

前記クロック信号を反転させるインバータと、

ソース端子に前記データ信号の反転信号が入力され、ドレイン端子が第 1 のスイッチ出力端子に接続され、ゲート端子に入力された前記クロック信号が前記第 2 のレベルのとき前記入力された反転信号を前記第 1 のスイッチ出力端子に出力する第 1 導電型の第 1 のトランジスタと、

ソース端子に前記データ信号が入力され、ドレイン端子が第 2 のスイッチ出力端子に接続され、ゲート端子に入力された前記クロック信号が前記第 2 のレベルのとき前記入力されたデータ信号を前記第 2 のスイッチ出力端子に出力する第 1 導電型の第 2 のトランジスタと、

ソース端子に前記データ信号の反転信号が入力され、ドレイン端子が前記第 1 のスイッチ出力端子に接続され、ゲート端子に入力された前記インバータの出力信号が前記第 1 のレベルのとき前記入力された反転信号を前記第 1 のスイッチ出力端子に出力する第 2 導電型の第 3 のトランジスタと、

ソース端子に前記データ信号が入力され、ドレイン端子が前記第 2 のスイッチ出力端子に接続され、ゲート端子に入力された前記インバータの出力信号が前記第 1 のレベルのとき前記入力されたデータ信号を前記第 2 のスイッチ出力端子に出力する第 2 導電型の第 4 のトランジスタとからなることを特徴とするフリップフロップ回路。

【請求項 4】

請求項 2 又は 3 記載のフリップフロップ回路において、

前記 R A M 型ラッチ回路は、

入力端子が第 1 のデータ保持端子に接続され、出力端子が第 2 のデータ保持端子に接続された第 1 のインバータと、

入力端子が前記第 2 のデータ保持端子に接続され、出力端子が前記第 1 のデータ保持端子に接続された第 2 のインバータと、

ゲート端子が前記スイッチ回路の第 1 のスイッチ出力端子に接続され、ソース端子が前記第 1 のデータ保持端子に接続された第 5 のトランジスタと、

ドレイン端子が前記第 5 のトランジスタのドレイン端子に接続され、ソース端子が接地され、ゲート端子に入力された前記クロック信号が前記第 1 のレベルのときドレイン端子とソース端子間を接続する第 6 のトランジスタと、

ゲート端子が前記スイッチ回路の第 2 のスイッチ出力端子に接続され、ソース端子が前記第 2 のデータ保持端子に接続された第 7 のトランジスタと、

ドレイン端子が前記第 7 のトランジスタのドレイン端子に接続され、ソース端子が接地され、ゲート端子に入力された前記クロック信号が前記第 1 のレベルのときドレイン端子とソース端子間を接続する第 8 のトランジスタとからなることを特徴とするフリップフロップ回路。

【請求項 5】

請求項 2 又は 3 記載のフリップフロップ回路において、

前記 R A M 型ラッチ回路は、

入力端子が第 1 のデータ保持端子に接続され、出力端子が第 2 のデータ保持端子に接続された第 1 のインバータと、

一方の入力端子が前記第 2 のデータ保持端子に接続され、他方の入力端子にクリア信号が入力され、出力端子が前記第 1 のデータ保持端子に接続された 2 入力否定論理積回路と、ゲート端子が前記スイッチ回路の第 1 のスイッチ出力端子に接続され、ソース端子が前記第 1 のデータ保持端子に接続された第 5 のトランジスタと、

ドレイン端子が前記第 5 のトランジスタのドレイン端子に接続され、ソース端子が接地され、ゲート端子に入力された前記クロック信号が前記第 1 のレベルのときドレイン端子と

10

20

30

40

50

ソース端子間を接続する第6のトランジスタと、ゲート端子が前記スイッチ回路の第2のスイッチ出力端子に接続され、ソース端子が前記第2のデータ保持端子に接続された第7のトランジスタと、ドレイン端子が前記第7のトランジスタのドレイン端子に接続され、ソース端子が接地され、ゲート端子に入力された前記クロック信号が前記第1のレベルのときドレイン端子とソース端子間を接続する第8のトランジスタとからなり、前記クリア信号の入力により、前記第1のデータ保持端子と前記第2のデータ保持端子に保持されたデータの論理値を所望の値に固定することを特徴とするフリップフロップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、占有面積の小さいラッチ回路を応用したフリップフロップ回路に関するものである。

【0002】

【従来の技術】

記憶回路は現在のデジタル集積回路のなかで大きな部分を占めている。デバイスの微細化とともに、多種多様な機能を同一チップ上に盛り込めるようになった結果、それらの中間結果を、高速アクセスできる形で、同一チップ上に保存しておく必要があるためである。

【0003】

従来、記憶回路は、ラッチ回路又はフリップフロップ回路で実現されてきた。ラッチ回路は、クロック信号のレベルがハイまたはロウの期間に新規データを取り込む回路である。回路規模は小さいが、データを取り込むタイミング等に十分注意して設計する必要がある。一方、フリップフロップ回路は、クロック信号の立ち上がりエッジまたは立ち下がりエッジで新規データを取り込む回路である。ラッチ回路に比べ回路規模は大きくなるが、タイミング設計が容易であるといった利点がある。

【0004】

近年、ラッチ回路の小面積性とフリップフロップ回路のタイミング設計容易性を合わせもつ回路形式が提案されている。図6にトランスマッションゲート形式のラッチ回路を用いたフリップフロップ回路を示し、図7に図6のフリップフロップ回路のタイミングチャートを示す。このフリップフロップ回路は、インバータ回路G11、G12、G13、G15、G16、G17、G18と、2入力NAND回路G14と、トランスマッションゲートを構成するpMOSトランジスタM11及びnMOSトランジスタM12とからなる。

【0005】

図6のフリップフロップ回路では、インバータ回路G11、G12、G13、G15と2入力NAND回路G14とを用いて、図7に示すようにクロック信号CKの立ち上がりエッジに同期した微小時間幅パルス信号CK\*とその反転信号バーCK\*とを生成する。この微小時間幅パルス信号CK\*、バーCK\*でCMOSトランスマッションゲート形式のラッチ回路を駆動することにより、エッジトリガーのフリップフロップ回路として動作させている。しかしながら、図6に示したフリップフロップ回路では、ラッチ回路がトランスマッションゲート方式であるため、回路の小型化が十分でなく、かつ微小時間幅パルス信号CK\*、バーCK\*の生成のためにインバータ回路G11、G12、G13、G15と2入力NAND回路G14とを追加する必要があった。

【0006】

小型化が可能なラッチ回路としてRAM型構成のラッチ回路が知られている。RAM型ラッチ回路は、SRAM(Static Random Access Memory)に用いられる記憶要素回路を切り出して、単独の記憶回路としたものである。高密度レイアウトを意識した回路構成により、小型であるのが特徴である。図8にRAM型ラッチ回路を示し、図9に図8のRAM型ラッチ回路のタイミングチャートを示す。RAM型ラッチ回路は、インバータ回路G2

10

20

30

40

50

1, G22, G23と、nMOSトランジスタM21, M22, M23, M24とからなる。

【0007】

インバータ回路G21, G22は記憶回路を構成し、データ保持端子QPとQNにデータを保持する。トランジスタM21, M22, M23, M24はデータ保持端子QP, QNにアクセスするためのデバイスである。クロック信号CKがハイレベルの期間は、データ信号Dがデータ保持端子QPに転送され、その反転信号がデータ保持端子QNに転送される通過モードとなり、クロック信号CKがロウレベルの期間は、データ保持端子QPとQNに転送されたデータ信号Dとその反転信号を保持する保持モードとなる。

【0008】

図8のRAM型ラッチ回路は小型化が可能な半面、タイミング設計が困難であるという問題がある。つまり、クロック信号CKがハイレベルの期間では、図9に示すように、データ信号Dがそのままデータ保持端子QPに転送されるので、記憶データの更新を、ある期間内でなく、ある時点に限定する必要があるエッジトリガーフリップフロップ回路には適さないという問題がある。

【0009】

図8に示したRAM型ラッチ回路をマスタースレーブ形式のフリップフロップ回路として構成した回路例を図10に示し、そのタイミングチャートを図11に示す。このフリップフロップ回路は、インバータ回路G31, G32, G33, G34, G35、nMOSトランジスタM31, M32, M33, M34, M35, M36, M37, M38とからなる。

【0010】

図10に示したフリップフロップ回路では、図11に示すように、クロック信号CKPの立ち上がりエッジでデータ信号Dを取り込むことができるので、図8に示したラッチ回路に比べ、タイミング設計が容易である。しかしながら、図10に示したフリップフロップ回路では、RAM型ラッチ回路を2個必要とするため、個々のラッチ回路が小型であっても、全体として面積的に大きくなり不利である。

【0011】

【発明が解決しようとする課題】

以上のように従来のフリップフロップ回路では小型化が不十分で、フリップフロップ回路を多用するデジタル回路の面積が大きくなってしまいう問題点があった。

本発明は、上記課題を解決するためになされたもので、その目的は、小型のフリップフロップ回路を提供することにある。

【0012】

【課題を解決するための手段】

本発明のフリップフロップ回路は、クロック信号が通過モードを示す第1のレベルになる直前にデータ入力端子に入力されたデータ信号を取り込み、前記クロック信号が保持モードを示す第2のレベルのとき前記取り込んだデータ信号を保持するRAM型ラッチ回路と、前記クロック信号が前記第1のレベルのとき前記データ信号と前記データ入力端子とを電氣的に分離し、前記クロック信号が前記第2のレベルのとき前記データ信号を前記データ入力端子に入力するスイッチ回路とを有し、前記クロック信号が前記第2のレベルから前記第1のレベルになる直前に前記データ入力端子に入力されたデータ信号を前記RAM型ラッチ回路に格納するものである。本発明では、基本となるラッチ回路をRAM型構成とし、このラッチ回路のデータ入力端子にスイッチ回路を接続して、データ信号とラッチ回路とを電氣的に分離できるようにした。このような構成により、ラッチ回路が通過モードとなったとき、データ信号はラッチ回路から切り離され、ラッチ回路のデータ入力端子はフローティング状態となる。したがって、ラッチ回路が通過モードの期間にデータ信号が更新されたとしても、ラッチ回路が保持するデータには反映されない。ラッチ回路に保持されるデータは、クロック信号が第2のレベルから第1のレベルに変化するとき(立ち下がりエッジ又は立ち上がりエッジ)のみ取り込まれるので、エッジトリガ形式のフ

10

20

30

40

50

リップフロップ回路として動作させることができる。一方、ラッチ回路が通過モードの期間、データ信号はRAM型ラッチ回路にダイナミックに保持される。このとき、RAM型ラッチ回路のデータ保持部はインバータのクロスカップル構造を維持しているため、仮にデータ入力端子の電荷が消失して、駆動するMOSFETがオフとなっても前サイクルのデータを保持し、誤ったデータの更新を防止することができる。本発明により、小型レイアウトが可能なRAM型ラッチ回路1つとスイッチ回路で、エッジトリガー形式のDフリップフロップ回路を実現できる。

#### 【0013】

また、本発明のフリップフロップ回路の1構成例において、前記スイッチ回路は、ソース端子に前記データ信号の反転信号が入力され、ドレイン端子が第1のスイッチ出力端子に接続され、ゲート端子に入力された前記クロック信号が前記第2のレベルのとき前記入力された反転信号を前記第1のスイッチ出力端子に出力する第1のトランジスタ(図1、図3のM1)と、ソース端子に前記データ信号が入力され、ドレイン端子が第2のスイッチ出力端子に接続され、ゲート端子に入力された前記クロック信号が前記第2のレベルのとき前記入力されたデータ信号を前記第2のスイッチ出力端子に出力する第2のトランジスタ(M2)とからなるものである。

10

また、本発明のフリップフロップ回路の1構成例において、前記スイッチ回路は、前記クロック信号を反転させるインバータと、ソース端子に前記データ信号の反転信号が入力され、ドレイン端子が第1のスイッチ出力端子に接続され、ゲート端子に入力された前記クロック信号が前記第2のレベルのとき前記入力された反転信号を前記第1のスイッチ出力端子に出力する第1導電型の第1のトランジスタ(図4、図5のM1)と、ソース端子に前記データ信号が入力され、ドレイン端子が第2のスイッチ出力端子に接続され、ゲート端子に入力された前記クロック信号が前記第2のレベルのとき前記入力されたデータ信号を前記第2のスイッチ出力端子に出力する第1導電型の第2のトランジスタ(M2)と、ソース端子に前記データ信号の反転信号が入力され、ドレイン端子が前記第1のスイッチ出力端子に接続され、ゲート端子に入力された前記インバータの出力信号が前記第1のレベルのとき前記入力された反転信号を前記第1のスイッチ出力端子に出力する第2導電型の第3のトランジスタ(M7)と、ソース端子に前記データ信号が入力され、ドレイン端子が前記第2のスイッチ出力端子に接続され、ゲート端子に入力された前記インバータの出力信号が前記第1のレベルのとき前記入力されたデータ信号を前記第2のスイッチ出力端子に出力する第2導電型の第4のトランジスタ(M8)とからなるものである。

20

30

#### 【0014】

また、本発明のフリップフロップ回路の1構成例において、前記RAM型ラッチ回路は、入力端子が第1のデータ保持端子に接続され、出力端子が第2のデータ保持端子に接続された第1のインバータ(図1、図4のG1)と、入力端子が前記第2のデータ保持端子に接続され、出力端子が前記第1のデータ保持端子に接続された第2のインバータ(G2)と、ゲート端子が前記スイッチ回路の第1のスイッチ出力端子に接続され、ソース端子が前記第1のデータ保持端子に接続された第5のトランジスタ(M3)と、ドレイン端子が前記第5のトランジスタのドレイン端子に接続され、ソース端子が接地され、ゲート端子に入力された前記クロック信号が前記第1のレベルのときドレイン端子とソース端子間を接続する第6のトランジスタ(M4)と、ゲート端子が前記スイッチ回路の第2のスイッチ出力端子に接続され、ソース端子が前記第2のデータ保持端子に接続された第7のトランジスタ(M6)と、ドレイン端子が前記第7のトランジスタのドレイン端子に接続され、ソース端子が接地され、ゲート端子に入力された前記クロック信号が前記第1のレベルのときドレイン端子とソース端子間を接続する第8のトランジスタ(M5)とからなるものである。

40

また、本発明のフリップフロップ回路の1構成例において、前記RAM型ラッチ回路は、入力端子が第1のデータ保持端子に接続され、出力端子が第2のデータ保持端子に接続された第1のインバータ(図3、図5のG1)と、一方の入力端子が前記第2のデータ保持端子に接続され、他方の入力端子にクリア信号が入力され、出力端子が前記第1のデータ

50

保持端子に接続された2入力否定論理積回路(G5)と、ゲート端子が前記スイッチ回路の第1のスイッチ出力端子に接続され、ソース端子が前記第1のデータ保持端子に接続された第5のトランジスタ(M3)と、ドレイン端子が前記第5のトランジスタのドレイン端子に接続され、ソース端子が接地され、ゲート端子に入力された前記クロック信号が前記第1のレベルのときドレイン端子とソース端子間を接続する第6のトランジスタ(M4)と、ゲート端子が前記スイッチ回路の第2のスイッチ出力端子に接続され、ソース端子が前記第2のデータ保持端子に接続された第7のトランジスタ(M6)と、ドレイン端子が前記第7のトランジスタのドレイン端子に接続され、ソース端子が接地され、ゲート端子に入力された前記クロック信号が前記第1のレベルのときドレイン端子とソース端子間を接続する第8のトランジスタ(M5)とからなり、前記クリア信号の入力により、前記第1のデータ保持端子と前記第2のデータ保持端子に保持されたデータの論理値を所望の値に固定するものである。

10

【0015】

【発明の実施の形態】

[第1の実施の形態]

以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1の実施の形態となるRAM型ラッチ回路を用いたフリップフロップ回路の回路図である。本実施の形態のフリップフロップ回路は、RAM型ラッチ回路とスイッチ回路とインバータ回路G4とから構成される。RAM型ラッチ回路は、nMOSトランジスタM3, M4, M5, M6と、インバータ回路G1, G2, G3とを有している。スイッチ回路は、n

20

【0016】

インバータ回路G1, G2は、データ保持部を構成している。インバータ回路G1の入力端子とインバータ回路G2の出力端子との接続点が第1のデータ保持端子QNとなり、インバータ回路G1の出力端子とインバータ回路G2の入力端子との接続点が第2のデータ保持端子QPとなる。なお、データ保持端子QPとその反転端子であるQNは本実施の形態のフリップフロップ回路の出力端子となる。

【0017】

インバータ回路G3はデータ信号Dを入力として、その反転信号を出力する。インバータ回路G4はクロック信号CKを入力として、その反転信号を出力する。nMOSトランジスタM1, M2, M3, M4, M5, M6は、データ入力制御部を構成している。トランジスタM1, M2, M3, M4, M5, M6の各々は、クロック信号CK、データ信号D、あるいはそれらの反転信号により制御され、グランド電極にデータ保持部を接続したり、切り離したりする。

30

【0018】

トランジスタM2, M1は、ゲート端子に入力されるクロック信号CKによりオンオフが制御され、データ信号Dとその反転信号をデータ保持部に転送したり、データ保持部から切り離したりする役割を果たす。トランジスタM1は、インバータ回路G3からソース端子に入力されるデータ信号Dの反転信号を、ドレイン端子(第1のスイッチ出力端子)からトランジスタM3のゲート端子(RAM型ラッチ回路の第1のデータ入力端子)に出力する。トランジスタM2は、ソース端子に入力されるデータ信号Dを、ドレイン端子(第2のスイッチ出力端子)からトランジスタM6のゲート端子(RAM型ラッチ回路の第2のデータ入力端子)に出力する。

40

【0019】

すなわち、クロック信号CKがハイレベル(第2のレベル)の期間、トランジスタM1, M2はオンとなり、データ信号Dの反転信号をトランジスタM3のゲート端子に転送すると共に、データ信号DをトランジスタM6のゲート端子に転送する。一方、クロック信号CKがロウレベル(第1のレベル)の期間、トランジスタM1, M2はオフとなり、トランジスタM3, M6のゲート端子をデータ入力から切り離し、フローティングとする。

【0020】

50

トランジスタM4, M5のソース端子はグランド電極と接続され、ドレイン端子はそれぞれトランジスタM3, M6のドレイン端子と接続される。また、トランジスタM3, M6のソース端子はそれぞれデータ保持端子QN, QPと接続される。トランジスタM4, M5は、インバータ回路G4からゲート端子に入力されるクロック信号CKの反転信号によりオンオフが制御され、トランジスタM3とM6を介してデータ保持部のデータ保持端子QN, QPを強制的にグランド電極と接続したり、グランド電極から切り離したりする役割を果たす。

**【0021】**

クロック信号CKがロウレベルの期間、トランジスタM4, M5はオンとなる。その結果、クロック信号CKがロウレベルになる直前のデータ信号Dの値によりQNまたはQPどちらかのデータ保持端子がグランド電極に接続される。このとき、データ信号Dがデータ保持部に格納される。この動作の詳細については後述する。また、クロック信号CKがハイレベルの期間、トランジスタM4, M5はオフとなり、インバータ回路G1, G2のデータ保持部を保持モードにする。

10

**【0022】**

本実施の形態の動作のタイミングチャートを図2に示す。図2はデータ信号D、クロック信号CK及びデータ保持端子QPの信号波形を示している。クロック信号CKの立ち下がりによってデータ信号Dが取り込まれて保持され、エッジトリガー形式のフリップフロップ回路として動作していることが分かる。

**【0023】**

図8のRAM型ラッチ回路との違いは、トランジスタM1, M2を設けたことにより、ラッチ回路が通過モード、すなわちクロック信号CKがロウレベルとなっている期間、データ信号DがトランジスタM3, M6のゲート端子から電氣的に切り離されていることである。このため、通過モードの期間中にデータ信号Dが更新されたとしても、データ保持部の保持データには反映されない。データ信号Dのデータ保持部への取り込みは、クロック信号CKがハイレベルからロウレベルに切り替わるエッジにおいてのみ行われる。

20

**【0024】**

例えば、クロック信号CKがハイレベルの状態、データ信号Dがハイレベルの場合、トランジスタM3のゲート端子にはロウレベル、トランジスタM6のゲート端子にはハイレベルが与えられる。ここで、クロック信号CKがロウレベルに切り替わると、トランジスタM3, M6のゲート端子がフローティング状態となり、クロック信号CKがロウレベルになる直前のデータ信号Dによる電荷がトランジスタM3, M6のゲート端子に保持され、トランジスタM3がオフ、トランジスタM6がオンの状態が維持される。クロック信号CKがロウレベルになることにより、トランジスタM4, M5がオンとなるので、トランジスタM5, M6を介してデータ保持端子QPがグランド電極に接続され、データ信号Dがデータ保持部に格納される。

30

**【0025】**

一方、クロック信号CKがハイレベルの状態、データ信号Dがロウレベルの場合、トランジスタM3のゲート端子にはハイレベル、トランジスタM6のゲート端子にはロウレベルが与えられる。ここで、クロック信号CKがロウレベルに切り替わると、前記と同様にクロック信号CKがロウレベルになる直前の電荷がトランジスタM3, M6のゲート端子に保持され、トランジスタM3がオン、トランジスタM6がオフの状態が維持される。そして、トランジスタM4, M5がオンとなることにより、トランジスタM3, M4を介してデータ保持端子QNがグランド電極に接続され、データ信号Dがデータ保持部に格納される。

40

**【0026】**

クロック信号CKがロウレベルの期間では、クロック信号CKがロウレベルになる直前のデータ信号Dによる電荷がトランジスタM3, M6のゲート端子に保持されているが、この電荷が時間の経過に伴ってリーク電流により消失し、オン状態のトランジスタM3又はM6がオフとなって、データ保持部のデータを更新する恐れがある。

50

## 【 0 0 2 7 】

しかしながら、データ保持部は2対のインバータ回路G1, G2で構成されているので、このデータ保持部のデータを反転させるためには大きな電流をデータ保持端子QP又はQNに注入する必要がある。しかし、電荷が消失してなればオフになるうとしているトランジスタM3又はM6にはそのような電流供給能力はない。したがって、データ保持部のデータが誤って更新される可能性は非常に小さく、エッジトリガ形式のフリップフロップ回路としての機能を維持することができる。

## 【 0 0 2 8 】

以上により、本実施の形態では、RAM型ラッチ回路の採用でラッチ回路そのものを小型化し、新たな付加回路により、1個のラッチ回路のみでフリップフロップ回路として動作させることができるので、従来より小型なフリップフロップ回路を実現することができる。また、データの取り込み、保持のタイミングを制御性良く行うため、インバータ回路G4によりフリップフロップ回路の内部で逆相のクロック信号を生成するようにした。

10

## 【 0 0 2 9 】

## [ 第2の実施の形態 ]

図3は、本発明の第2の実施の形態となるRAM型ラッチ回路を用いたフリップフロップ回路の回路図であり、図1と同一の構成には同一の符号を付してある。本実施の形態のフリップフロップ回路は、第1の実施の形態のフリップフロップ回路において、インバータ回路G2の代わりに2入力NAND回路(2入力否定論理積回路)G5を使用し、新たにクリア入力信号CLRを追加して、データ保持部の保持データを強制的にQP=0、QN=1とできるようにしたものである。

20

## 【 0 0 3 0 】

インバータ回路G1と2入力NAND回路G5は、データ保持部を構成している。インバータ回路G1の入力端子と2入力NAND回路G5の出力端子との接続点がデータ保持端子QNとなり、インバータ回路G1の出力端子と2入力NAND回路G5の一方の入力端子との接続点がデータ保持端子QPとなる。また、2入力NAND回路G5の他方の入力端子にはクリア入力信号CLRが入力される。

## 【 0 0 3 1 】

クリア入力信号CLRをハイレベル、すなわち論理値1に設定した場合、2入力NAND回路G5はインバータ回路G2と同じ動作をする。したがって、このときの動作は第1の実施の形態で説明したとおりである。一方、クリア入力信号CLRをロウレベル、すなわち論理値0に設定した場合、2入力NAND回路G5の出力端子はハイレベルとなり、データ保持端子QNは論理値1に固定され、結果としてデータ保持端子QPは論理値0に固定される。こうして、データ保持部の保持データをQP=0、QN=1に設定することができる。

30

## 【 0 0 3 2 】

## [ 第3の実施の形態 ]

図4は本発明の第3の実施の形態となるRAM型ラッチ回路を用いたフリップフロップ回路の回路図であり、図1と同一の構成には同一の符号を付してある。本実施の形態のフリップフロップ回路は、第1の実施の形態のフリップフロップ回路にpMOSトランジスタM7, M8を加えることにより、データ入力とRAM型ラッチ回路とを接続するnMOSパストランジスタM1, M2をCMOSトランスマッションゲートで置き換えたものである。

40

## 【 0 0 3 3 】

nMOSトランジスタM1とpMOSトランジスタM7は第1のCMOSトランスマッションゲートを構成し、nMOSトランジスタM2とpMOSトランジスタM8は第2のCMOSトランスマッションゲートを構成している。トランジスタM7のソース端子はインバータ回路G3の出力端子に接続され、ドレイン端子はトランジスタM3のゲート端子に接続される。トランジスタM8のソース端子にはデータ信号Dが入力され、ドレイン端子はトランジスタM6のゲート端子に接続される。

50

## 【 0 0 3 4 】

そして、トランジスタ M 7 , M 8 のゲート端子はインバータ回路 G 4 の出力端子に接続される。したがって、クロック信号 C K がハイレベルの期間、トランジスタ M 1 , M 2 , M 7 , M 8 はオンとなり、クロック信号 C K がロウレベルの期間、トランジスタ M 1 , M 2 , M 7 , M 8 はオフとなるので、フリップフロップ回路としての動作は第 1 の実施の形態と同じになる。本実施の形態では、C M O S トランスミッションゲートを用いることにより、ノード N 1 , N 2 (トランジスタ M 3 , M 6 のゲート端子)での電圧振幅を電源電位とすることができるので、ノイズマージンを大きくすることができる。

## 【 0 0 3 5 】

## [ 第 4 の実施の形態 ]

図 5 は本発明の第 4 の実施の形態となる R A M 型ラッチ回路を用いたフリップフロップ回路の回路図であり、図 1、図 3 と同一の構成には同一の符号を付してある。本実施の形態のフリップフロップ回路は、第 3 の実施の形態のフリップフロップ回路において、インバータ回路 G 2 の代わりに 2 入力 N A N D 回路 G 5 を使用し、新たにクリア入力信号 C L R を追加して、データ保持部の保持データを強制的に  $Q P = 0$ 、 $Q N = 1$  とできるようにしたものである。

## 【 0 0 3 6 】

インバータ回路 G 1 と 2 入力 N A N D 回路 G 5 は、データ保持部を構成している。インバータ回路 G 1 の入力端子と 2 入力 N A N D 回路 G 5 の出力端子との接続点がデータ保持端子 Q N となり、インバータ回路 G 1 の出力端子と 2 入力 N A N D 回路 G 5 の一方の入力端子との接続点がデータ保持端子 Q P となる。また、2 入力 N A N D 回路 G 5 の他方の入力端子にはクリア入力信号 C L R が入力される。

## 【 0 0 3 7 】

クリア入力信号 C L R を論理値 1 に設定した場合、2 入力 N A N D 回路 G 5 はインバータ回路 G 2 と同じ動作をする。したがって、このときの動作は第 3 の実施の形態で説明したとおりである。一方、クリア入力信号 C L R を論理値 0 に設定した場合、データ保持端子 Q N は論理値 1 に固定され、データ保持端子 Q P は論理値 0 に固定される。こうして、データ保持部の保持データを  $Q P = 0$ 、 $Q N = 1$  に設定することができる。

## 【 0 0 3 8 】

## 【 発明の効果 】

本発明によれば、クロック信号が通過モードを示す第 1 のレベルのときデータ入力端子に入力されたデータ信号を取り込み、クロック信号が保持モードを示す第 2 のレベルのとき取り込んだデータ信号を保持する R A M 型ラッチ回路と、クロック信号が第 1 のレベルのときデータ信号とデータ入力端子とを電気的に分離し、クロック信号が第 2 のレベルのときデータ信号とデータ入力端子とを接続するスイッチ回路とを設けることにより、小型レイアウトが可能な R A M 型ラッチ回路 1 つとスイッチ回路で、エッジトリガー形式の D フリップフロップ回路を実現することができる。このため、従来 2 つのラッチ回路を要した記憶回路を小型化して、エッジトリガーフリップフロップ回路の占有面積を大幅に削減することができる。デジタル回路の集積度を高めることができる。その結果、同一面積の半導体チップ上により多くの機能を盛り込んだり、同一機能をより小さい面積で実現でき、半導体の利用効率を高めて、回路の高速化、低消費電力化を図ることができる。

## 【 0 0 3 9 】

また、第 1 導電型の第 1 のトランジスタと第 2 導電型の第 3 のトランジスタとから 1 つのトランスミッションゲートを構成し、第 1 導電型の第 2 のトランジスタと第 2 導電型の第 4 のトランジスタとからもう 1 つのトランスミッションゲートを構成することにより、第 1 のスイッチ出力端子と第 2 のスイッチ出力端子における電圧振幅を電源電位とすることができるので、ノイズマージンを大きくすることができる。

## 【 0 0 4 0 】

また、第 2 のインバータの代わりに、一方の入力端子が第 2 のデータ保持端子に接続され

10

20

30

40

50

、他方の入力端子にクリア信号が入力され、出力端子が第1のデータ保持端子に接続された2入力否定論理積回路を用いることにより、クリア信号の設定によってフリップフロップ回路として動作させたり、第1のデータ保持端子と第2のデータ保持端子に保持されたデータの論理値を所望の値に固定したりすることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態となるRAM型ラッチ回路を用いたフリップフロップ回路の回路図である。

【図2】 図1のフリップフロップ回路の動作を示すタイミングチャート図である。

【図3】 本発明の第2の実施の形態となるRAM型ラッチ回路を用いたフリップフロップ回路の回路図である。

【図4】 本発明の第3の実施の形態となるRAM型ラッチ回路を用いたフリップフロップ回路の回路図である。

【図5】 本発明の第4の実施の形態となるRAM型ラッチ回路を用いたフリップフロップ回路の回路図である。

【図6】 トランスマッションゲート形式のラッチ回路を用いた従来のフリップフロップ回路の回路図である。

【図7】 図6のフリップフロップ回路の動作を示すタイミングチャート図である。

【図8】 従来のRAM型ラッチ回路の回路図である。

【図9】 図8のRAM型ラッチ回路の動作を示すタイミングチャート図である。

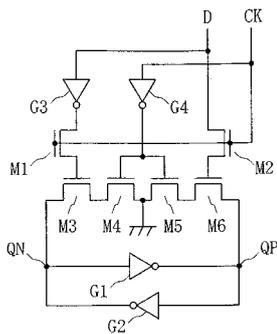
【図10】 RAM型ラッチ回路を用いた従来のマスタースレーブ方式のフリップフロップ回路の回路図である。

【図11】 図10のフリップフロップ回路の動作を示すタイミングチャート図である。

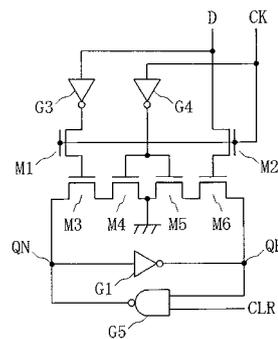
【符号の説明】

G1～G4...インバータ回路、G5...2入力NAND回路、M1～M6...nMOSトランジスタ、M7、M8...pMOSトランジスタ。

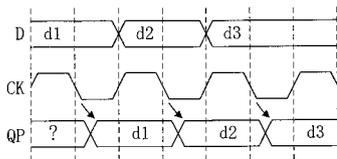
【図1】



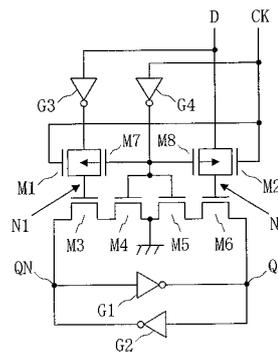
【図3】



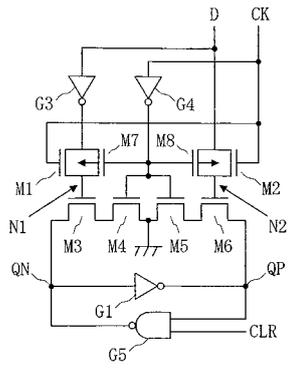
【図2】



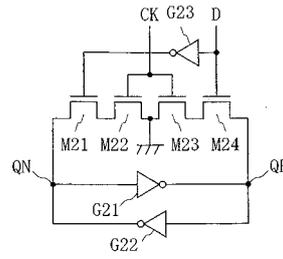
【図4】



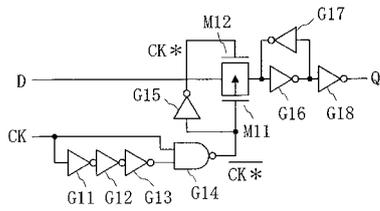
【 図 5 】



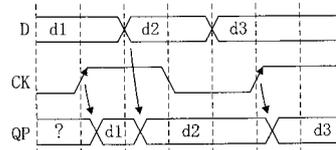
【 図 8 】



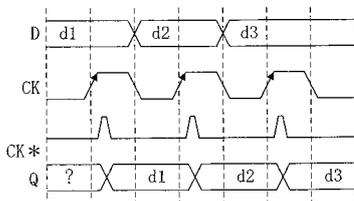
【 図 6 】



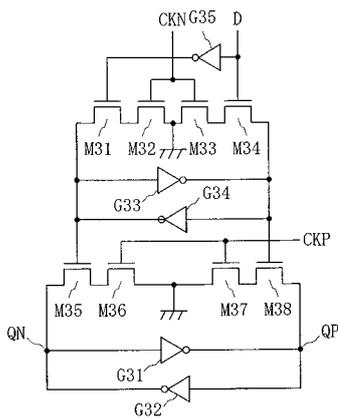
【 図 9 】



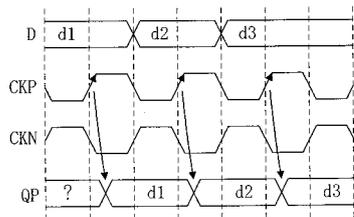
【 図 7 】



【 図 10 】



【 図 11 】



---

フロントページの続き

- (56)参考文献 特開平02 - 170713 (JP, A)  
特開平05 - 268000 (JP, A)  
特開平07 - 154213 (JP, A)  
特開平09 - 107274 (JP, A)  
特開昭60 - 224319 (JP, A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H03K 3/00-3/22