(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11C 11/14

(11) 공개번호 특2002-0009428
(43) 공개일자 2002년02월01일

(21) 출원번호 10-2001-0043386
(22) 출원일자 2001년07월19일

(30) 우선권주장 09/624,134 2000년07월21일 미국(US)

(71) 출원인 휴렛-팩커드 컴퍼니(델라웨어주법인)
파트릭 제이. 바렛트
미합중국 캘리포니아주 (우편번호 : 94304) 팔로 알토 하노버 스트리트 3000

(72) 발명자 바타챠야마노즈
미국캘리포니아주95014쿠퍼티노팜애비뉴22434
안토니토마스
미국캘리포니아주94087서니베일피멘토애비뉴1161

(74) 대리인 김창세
장성구

심사청구 : 없음

(54) 기록 컨덕터 레이아웃 구조

요약

본 발명은 MRAM 성능을 개선시킨 최적의 기록 컨덕터 레이아웃 구조를 개시한다. 자기 메모리 셀에 관한 기록 컨덕터 레이아웃 구조(10)는 제 1 방향(V)으로의 제 1 층의 폭(W_{D1})과 제 2 방향(H)으로의 제 2 층의 폭(W_{D2})을 갖는 데이터 저장층(20)을 포함한다. 데이터 저장층(20)은 제 1 방향(V)으로 제 1 폭(W_{C1})을 갖는 제 1 컨덕터(30)와 제 2 방향(H)으로 제 2 폭(W_{C2})을 갖는 제 2 컨덕터(32) 사이에 배치된다. 제 1 및 제 2 컨덕터(30, 32)는 제 1 및 제 2 방향(V, H)으로 데이터 저장층(20)과 제각기 교차한다. 제 1 컨덕터(30)의 제 1 폭(W_{C1})은 데이터 저장층(20)의 제 1 층의 폭(W_{D1}) 미만으로 제 1 층의 폭(W_{D1})이 제 1 컨덕터(30)의 제 1 폭(W_{C1}) 전부와 중첩하게 배치된다. 제 2 컨덕터(32)의 제 2 폭(W_{C2})은 데이터 저장층(20)의 제 2 층의 폭(W_{D2}) 미만으로 제 2 층의 폭(W_{D2})이 제 2 컨덕터(32)의 제 2 폭(W_{C2}) 전부와 중첩하게 배치된다. 제 1 및 제 2 컨덕터(30, 32)의 좁은 폭은 컨덕터(30, 32)와 데이터 저장층(20) 사이의 오정렬을 제거하고, 제 1 및 제 2 컨덕터(30, 32)에 인가된 전류(I_Y, I_X)가 생성한 기록 자기장(H_X, H_Y)의 누설을 감소시키며 또한 적은 전류로도 기록 자기장(H_X, H_Y)을 생성할 수 있어서 메모리 셀에서의 전력 소모를 감소시킨다.

대표도
도 10a

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래 기술의 MRAM 어레이의 정면도,

도 2a 내지 도 2c는 활성 및 기준 자기 필름의 자화의 배향을 도시하는 종래 기술의 MRAM 메모리 셀의 측면도,

도 3은 종래 기술의 메모리 셀, 메모리 셀의 기록 라인 및 기록 라인에 흐르는 전류에 의해 생성된 자기장의 단면도,

도 4a 및 도 4b 각각은 이상적으로 수직 회전된 종래 기술의 기록 컨덕터와 메모리 셀 레이아웃 및 오정렬된 종래 기술의 기록 컨덕터와 메모리 셀 레이아웃의 정면도,

도 5a 및 도 5b 각각은 이상적으로 수직 회전된 종래 기술의 기록 컨덕터와 메모리 셀 레이아웃 및 오정렬된 종래 기술의 기록 컨덕터와 메모리 셀 레이아웃의 정면도,

도 6 및 도 7은 본 발명에 따른 기록 컨덕터 레이아웃 구조의 정면도,

도 8a 내지 도 8c는 본 발명에 따라서 중앙에 위치하고, 좌측으로 쉬프트되며 또한 우측으로 쉬프트된 수직의 기록 컨덕터 레이아웃 구조를 도시하는 정면도,

도 9a 내지 도 9c는 본 발명에 따라서 중앙에 위치하고, 위쪽으로 쉬프트되며 또한 아래쪽으로 쉬프트된 수평의 기록 컨덕터 레이아웃 구조를 도시하는 정면도,

도 10a 내지 도 10c는 본 발명에 따라서 데이터 저장층 보다 폭이 좁은 제 1 및 제 2 컨덕터의 정면도와 단면도,

도 11은 본 발명에 따라서 기록 컨덕터 레이아웃 구조와 결합한 MRAM 메모리 어레이 일부의 정면도,

도 12는 본 발명에 따라서 기록 컨덕터의 폭을 좁힘으로 인한 컨덕터 전류에서의 감소를 도시하는 본 발명의 기록 컨덕터 레이아웃 구조의 전류 스위칭 곡선과 종래 기술의 전류 스위칭 곡선의 그래프,

도 13a 내지 도 13b 각각은 본 발명에 따라서 다각형 모양과 아치 모양을 갖는 데이터 저장층으로 기록 컨덕터에 의해 교차되는 데이터 저장층의 정면도,

도면의 주요 부분에 대한 부호의 설명

20, 21 및 22 : 데이터 저장층30 : 제 1 컨덕터

32 : 제 2 컨덕터100 : MRAM 어레이

120 : 메모리 셀122 : 활성 자기 데이터 필름

123 : 감지 전류124 : 고정 자기 필름

126 : 유전성 영역130 : 워드 라인

132 : 비트 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 자기 랜덤 액세스 메모리(Magnetic Random Access Memory : MRAM)에서의 최적 기록 컨덕터 레이아웃(optimal write conductor layout)에 관한 것이다. 더 구체적으로, 본 발명은 기록 컨덕터의 폭(width of a write conductor)이 데이터 저장층의 폭(width of a data storage layer) 미만으로 제조되고 또한 기록 컨덕터의 폭이 데이터 저장층의 폭내에 완전히 수용되는 기록 컨덕터 레이아웃에 관한 것이다.

전형적인 MRAM 장치는 메모리 셀의 어레이를 포함한다. 워드 라인(word line)은 메모리 셀의 행을 따라 확장하고, 비트 라인(bit line)은 메모리 셀의 열을 따라 확장한다. 워드 라인과 비트 라인의 교차점(cross point)에 배치된 각각의 메모리 셀은 자화의 배향(orientation of a magnetization)으로 일 비트의 정보를 저장한다. 각각의 메모리 셀의 자화의 배향은 임의의 주어진 시간에서 두 가지 안정한 배향 중 한 가지 배향을 가정할 것이다. 이러한 두 가지 안정한 배향, 즉 같은 방향 및 역방향(parallel and anti-parallel)은 " 1" 과 " 0" 의 논리값을 나타낸다. 선택된 메모리 셀의 자화의 배향은 선택된 메모리 셀을 교차하는 워드 라인과 비트 라인에 전류를 인가함으로써 변할 수 있다. 전류는 인가될 때 자기장을 생성하여 선택된 메모리 셀의 자화의 배향을 같은 방향에서 역방향으로 또는 그 역으로 스위칭(switch)할 수 있다. 워드 라인과 비트 라인이 선택된 메모리 셀의 자화의 배향을 스위칭하도록(즉, 메모리 셀에 기록하도록) 결합하여 동작하기 때문에, 워드 라인과 비트 라인은 총체적으로 기록 라인으로 지칭될 수 있다. 또한, 기록 라인은 메모리 셀에 저장된 논리값을 판독하는데 사용될 수 있다.

도 1은 종래의 MRAM 어레이(100)의 개략적인 정면도이다. 이 어레이(100)는 워드 라인(130), 비트 라인(132) 및 메모리 셀(120)을 포함한다. 메모리 셀(120)은 워드 라인(130)과 비트 라인(132)의 교차점 각각에 배치된다. 수많은 MRAM 설계시, 기록 라인(130, 132)은 메모리 셀(120)과 동일한 폭을 갖게 설계되는데, 비트 라인(132)의 폭이 d_x 이고 워드 라인(130)의 폭이 d_y 로 도시되어 있다. 결과적으로, 메모리 셀(120)은 기록 라인(130, 132)의 폭에 의해 규정되는 직교 치수(rectangular dimensions)(d_x 및 d_y)를 갖는다. 전형적으로, 기록 라인(130, 132)은 서로 직교하게 배열되고 메모리 셀(120)은 도 1b에 도시된 바와 같이 기록 라인(130, 132) 사이에 배치된다. 예를 들어, 비트 라인(132)은 메모리 셀(120) 위에 배치될 수 있고 워드 라인(130)은 메모리 셀(120) 아래에 배치될 수 있다.

도 2a 내지 도 2c는 하나의 메모리 셀(120)에서의 일 비트 데이터의 저장을 도시한다. 도 2a에서, 메모리 셀(120)은 유전성 영역(dielectric region : 126)에 의해 분리되는 활성 자기 데이터 필름(active magnetic data film : 122)과 고정 자기 필름(pinned magnetic film : 124)을 포함한다. 활성 자기 데이터 필름(122)에서의 자화의 배향은 고정적이지 않아서 화살표(M_1)로 도시된 바와 같이 두 가지 안정한 배향을 가정할 수 있다. 한편, 고정 자기 필름(124)은 화살표(M_2)로 도시된 바와 같이 고정된 자화의 배향을 갖는다. 활성 자기 데이터 필름(122)은 메모리 셀(120)로의 기록 동작 동안에 기록 라인(도시되지 않은 130, 132)에 인가된 전류에 따라서 자신의 자화의 배향을 회전시킨다. 메모리 셀(120)에 저장된 데이터 비트의 제 1 논리 상태는 도 2b에 도시된 바와 같이 M_1 과 M_2 가 서로 같은 방향일 때로 표시된다. 예를 들어, M_1 과 M_2 가 같은 방향일 때 논리 " 1" 상태가 메모리 셀(120)에 저장된다. 역으로, 제 2 논리 상태는 도 2c에 도시된 바와 같이 M_1 과 M_2 가 서로 역방향일 때로 표시된다. 유사하게, M_1 과 M_2 가 역방향일 때 논리 " 0" 상태가 메모리 셀(120)에 저장된다. 도 2b와 도 2c에서 유전성 영역(126)은 생략되었다. 도 2a 내지 도 2c가 고정 자기 필름(124) 위에 배치된 활성 자기 데이터 필름(122)을 도시하지만, 고정 자기 필름(124)은 활성 자기 데이터 필름(122) 아래에 배치될 수도 있다.

메모리 셀(120)의 저항은 M_1 과 M_2 의 배향에 따라서 상이하다. M_1 과 M_2 가 역방향, 즉 논리 " 0" 상태일 때, 메모리 셀(120)의 저항은 최대이다. 한편, 메모리 셀(120)의 저항은 M_1 과 M_2 의 배향이 같은 방향, 즉 논리 " 1" 상태일 때 최저이다. 결과적으로, 메모리 셀(120)에 저장된 데이터 비트의 논리 상태는 메모리 셀(120)의 저항을 측정함으로써 결정될 수 있다. 메모리 셀(120)의 저항은 기록 라인(130, 132)에 인가된 판독 전압에 응답하여 흐르는 감지 전류(123)(도 2a에 도시된)의 크기에 좌우된다.

도 3에서, 메모리 셀(120)은 기록 라인(130, 132) 사이에 배치된다. 활성 자기 데이터 필름 및 고정 자기 필름(122, 124)은 도 3에 도시되어 있지 않다. 활성 자기 데이터 필름(122)의 자화의 배향은 자기장(H_Y)을 생성하는 전류(I_X)와 자기장(H_X)을 생성하는 전류(I_Y)에 응답하여 회전한다. 자기장(H_x 및 H_y)은 결합하여 메모리 셀(120)의 자화의 배향을 회전시킨다. 도 3에서, 기록 라인(130, 132)은 도 1a와 도 1b에 관해 전술한 바와 같이 메모리 셀(120)과 동일한 폭(d_x 및 d_y)을 갖는 것으로 도시되어 있다.

이상적으로, 기록 라인(130, 132) 모두는 메모리 셀(120)상의 대응폭(d_x 및 d_y)과 동일한 폭(d_x 및 d_y)을 가져야 한다. 따라서, 비트 라인(132)은 도 4a에 도시된 바와 같이 메모리 셀(120)의 수직 방향(Y)의 폭(W_{DV})과 동일한 수직 방향(Y)의 폭(W_{CV})을 가져야 한다. 유사하게, 워드 라인(130)은 도 5a에 도시된 바와 같이 메모리 셀(120)의 수평 방향(X)의 폭(W_{DH})과 동일한 수평 방향(X)의 폭(W_{CH})을 가져야 한다.

그러나, 기록 라인(130, 132)과 어레이(100)의 메모리 셀(도 1a와 도 1b를 참조) 사이의 오정렬(misalignment)로 인해, 워드 라인(130)과 비트 라인(132)은 메모리 셀(120)로부터 오프셋(offset)될 수 있다. 오정렬은 MRAM 장치를 제조하는데 사용되는 리소그래피 프로세스(lithographic process)에 고유한 리소그래피 정렬 부정확성에 의해 야기될 수 있다. 도 4b에서, 비트 라인(132)은 메모리 셀(120)로부터 δ만큼 오프셋 된다. 유사하게, 도 5b에서 워드 라인(130)은 메모리 셀(120)로부터 δ만큼 오프셋 된다. δ의 값은 MRAM 장치를 제조하는데 사용되는 리소그래피 프로세스에 좌우될 것이다. 예를 들어, 현 기술 수준에서 δ의 값은 0.05㎛ 정도일 수 있다. 이 δ의 값은 서브미크론 사이즈의 메모리 셀(sub-micron size memory cell)에 상당히 효과적일 수 있다.

오프셋 δ의 한가지 불리한 점은 도 4b와 도 5b 제각각에서 메모리 셀(120)의 노출된 에지를 둘러싸는 점선(141 및 145)이 도시한 바와 같이 기록 라인(130, 132)에 의해 커버(cover)되지 않는 메모리 셀(120) 일부에서 자기장이 감소한다는 점이다. 결과적으로, 기록 라인(130, 132)으로부터 결합된 자기장은 메모리 셀(120)을 선택하는 기록 동작 동안에 같은 배향에서 역배향으로 혹은 그 역으로 자화(M_1)의 배향을 회전시키지 못할 수도 있다.

오프셋 δ의 다른 불리한 점은 기록 라인(130, 132) 일부가 도 4b와 도 5b 제각각에서 역방향 사선 영역(cross-hatched region)(143 및 147)이 도시한 바와 같이 메모리 셀(120)의 폭 바깥쪽에 배치된다는 점이다. 결과적으로, 이러한 부분들이 생성한 자기장은 대부분 이용되지 못하여 자화(M_1)의 배향을 회전시키는데 기여할 수 없다. 또한, 극단적인 경우에 역방향 사선 영역(143 및 147)이 생성한 자기장의 일부가 인접 메모리 셀(도시되지 않음)의 선택되지 않는 비트를 간섭하여 인접 메모리 셀에 이미 기록된 정보의 데이터를 손상시킬 수 있다.

더욱이, 제각기 자기장(H_y 및 H_x)을 생성하는 전류(I_X 및 I_Y)의 크기는 자기장(H_y 및 H_x) 일부가 이용되지 못하기 때문에 메모리 셀(120)을 기록하는데 충분치 못하다. 대부분의 고밀도 MRAM 설계시, 전류와 자기장은 매우 중요한 요인(objects)으로 전력을 적게 소모하면서 기록 전류(I_X 및 I_Y)를 효율적으로 이용하고 또한 자기장(H_y 및 H_x)을 활성 자기 데이터 필름(122)과 효율적으로 결합하게 매번 시도되어야 한다.

발명이 이루고자 하는 기술적 과제

따라서, MRAM 메모리에서 전류 운반 컨덕터에 관한 레이아웃 구조로 MRAM 메모리 셀의 데이터 저장층과 데이터 저장층을 교차하는 기록 라인 사이의 오정렬을 제거하는 레이아웃 구조가 필요하다.

기록 라인이 생성한 자기장이 이용되고 효율적으로 데이터 저장층과 결합되도록 데이터 저장층의 폭내에 수용된 기록 라인이 또한 필요하다.

또한, 메모리 셀로의 기록 동작 동안에 데이터 저장층의 자화의 배향을 회전시키는데 필요한 기록 전류의 크기를 감소시킴으로써 MRAM 메모리 셀에서의 전력 소모를 감소시키는게 필요하다. 예를 들어, 감소된 전력은 MRAM 메모리 셀과 결합한 전자 장치가 생성한 소모 열(waste heat)을 감소시킬 수 있다. 더욱이, 휴대용 장치에서 배터리 수명을 늘리기 위해 전력 소모를 감소시키는게 바람직하다.

본 발명의 기록 컨덕터 레이아웃 구조는 전술한 필요성들을 충족시킨다. 기록 라인(즉, 워드 라인 혹은 비트 라인)과 데이터 저장층 사이의 오정렬은 기록 라인의 폭을 기록 라인과 교차하는 데이터 저장층의 폭 보다 좁게 함으로써 해결된다. 또한, 기록 라인은 기록 라인의 폭이 데이터 저장층의 폭내에 완전히 수용되도록 배치된다. 자기장의 누설(leakage), 이용되지 못한 자기장 및 자기장과 데이터 저장층의 결합 감소와 연관된 문제점은 또한 기록 라인의 폭을 좁히고 기록 라인을 데이터 저장층의 폭내에 배치시킴으로써 또한 해결된다. 더욱이, 기록 라인의 좁은 폭은 주어진 전류에 대해 더 큰 크기의 자기장을 생성할 수 있거나 혹은 적은 크기의 전류로도 데이터 저장층의 자화의 배향을 회전으로써 필요한 자기장의 크기를 생성시킬 수 있어서 전력 소모를 감소시킨다.

일반적으로, 본 발명은 제 1 방향으로 제 1 층의 폭(first layer width)과 제 2 방향으로 제 2 층의 폭을 갖는 데이터 저장층을 포함하는 자기 메모리 셀에 관한 기록 컨덕터 레이아웃 구조로 구현된다. 데이터 저장층은 제 1 방향으로 제 1 폭을 갖는 제 1 컨덕터와 제 2 방향으로 제 2 폭을 갖는 제 2 컨덕터 사이에 배치된다. 제 1 및 제 2 컨덕터는 제각기 제 1 및 제 2 방향으로 데이터 저장층과 교차한다. 제 1 컨덕터의 제 1 폭은 데이터 저장층의 제 1 층의 폭 미만이고 제 1 컨덕터의 제 1 폭은 제 1 층의 폭이 제 1 컨덕터의 제 1 폭 전부와 중첩(overlap)하게 배치된다. 유사하게, 제 2 컨덕터의 제 2 폭은 데이터 저장층의 제 2 층의 폭 미만이고 제 2 컨덕터의 제 2 폭은 제 2 층의 폭이 제 2 컨덕터의 제 2 폭 전부와 중첩하도록 배치된다. 더욱이, 제 1 컨덕터, 제 2 컨덕터 혹은 제 1 및 제 2 컨덕터 모두는 그들 제각각의 제 1와 제 2 층의 폭 미만인 폭으로 제조될 수 있다.

본 발명의 하나의 실시예에서, 제 1와 제 2 폭은 프로세스 정렬 오프셋 만큼 그들 제각각의 제 1와 제 2 폭 미만으로 선택될 수 있다. 프로세스 정렬 오프셋은 MRAM 장치 제조시 사용되는 리소그래피 프로세스의 정렬 허용치(alignment tolerance)에 기반할 수 있다.

본 발명의 또다른 실시예에서, 제 1 및 제 2 컨덕터 중 하나는 컨덕터에 대응하는 층의 폭내에 중심을 가지거나, 컨덕터에 대응하는 층의 폭내에서 좌측으로 쉬프트(left-shifted)되거나 혹은 컨덕터에 대응하는 층의 폭내에서 우측으로 쉬프트될 수 있다.

본 발명의 하나의 실시예에서, 제 1 및 제 2 컨덕터는 MRAM 장치의 워드 라인 혹은 비트 라인(기록 라인)일 수 있다.

본 발명의 또다른 실시예에서, 제 1 컨덕터에 인가된 전류가 생성한 기록 자기장의 제 1 부분의 크기는 제 1 폭이 적어도 제 1 층의 폭과 동일할 때보다는 크다.

본 발명의 하나의 실시예에서, 제 2 컨덕터에 인가된 전류가 생성한 기록 자기장의 크기는 제 2 폭이 적어도 제 2 층의 폭과 동일할 때보다는 크다.

본 발명의 또다른 실시예에서, 제 1 폭의 배치는 제 2 컨덕터에 인가된 전류의 크기가 제 1 폭이 적어도 제 1 층의 폭과 동일할 때 보다는 적도록 기록 자기장의 제 1 부분을 데이터 저장층과 작용적(operatively)으로 결합한다.

본 발명의 또다른 실시예에서, 제 2 폭의 배치는 제 2 컨덕터에 인가된 전류의 크기가 제 2 폭이 적어도 제 2 층의 폭과 동일할 때 보다 적도록 기록 자기장의 제 2 부분을 데이터 저장층과 작용적으로 결합한다.

다음의 상세한 설명과 본 발명의 원리를 예시하는 첨부한 도면을 참조하면 본 발명의 다른 특징과 이점을 알 수 있을 것이다.

발명의 구성 및 작용

다음의 상세한 설명과 여러 도면에서 동일한 구성 요소는 동일한 참조 번호로 식별된다.

예시를 위해 도면에 도시된 바와 같이, 본 발명은 자기 메모리 셀에 관한 기록 컨덕터 레이아웃 구조로 구현된다. 기록 컨덕터 레이아웃 구조는 제 1 폭을 갖는 제 1 컨덕터와 제 2 폭을 갖는 제 2 컨덕터를 포함한다. 제 1 컨덕터와 제 2 컨덕터 사이에 배치된 데이터 저장층은 제 1 방향으로의 제 1 층의 폭과 제 2 방향으로의 제 2 층의 폭을 포함한다. 제 1 및 제 2 컨덕터는 실질적으로 제 1 및 제 2 방향으로 제각각 데이터 저장층과 교차한다. 제 1 컨덕터의 제 1 폭은 제 1 층의 폭 미만으로 사전선택되고 또한 제 1 폭은 제 1 층의 폭이 제 1 폭 전부와 중첩하게 제 1 층의 폭에 대응해 배치된다. 제 2 컨덕터의 제 2 폭은 제 2 층의 폭 미만으로 사전선택되고 또한 제 2 폭은 제 2 층의 폭이 제 2 폭 전부와 중첩하게 제 2 층의 폭에 대응해 배치된다.

제 1 및 제 2 층의 폭 보다 좁은 제 1 및 제 2 폭의 이점은 기록 자기장이 데이터 저장층과 제 1 컨덕터 및/또는 제 2 컨덕터 사이의 오정렬로 인해 낭비되거나 혹은 감소되지 않도록 기록 자기장과 데이터 저장층의 결합을 개선시키고, 제 1 및/또는 제 2 폭은 전술한 오정렬이 제거되게 그들 제각각 층의 폭내에 포함되고, 인접 메모리 셀을 간섭할 수 있는 누설 자기장이 제 1 및/또는 제 2 폭을 그들 제각각 층의 폭내에 배치함으로써 감소되거나 혹은 제거되고, 제 1 컨덕터 및/또는 제 2 컨덕터의 좁은 폭이 주어진 전류에 대해 더 큰 크기의 자기장을 생성할 수 있으며 또한 제 1 컨덕터 및/또는 제 2 컨덕터의 좁은 폭이 데이터 저장층의 자화의 배향을 회전시키는데 필요한 자기장을 적은 크기의 전류로도 생성할 수 있어서 전력 소모를 감소시킬 수 있다는 점을 포함하지만 이것들에 국한되지는 않는다.

도 6 및 도 7에서, 자기 메모리 셀에 관한 기록 컨덕터 레이아웃 구조(10)는 제 1 폭(W_{C1})을 갖는 제 1 컨덕터(30)(도 6을 참조) 및 제 2 폭(W_{C2})을 갖는 제 2 컨덕터(32)(도 7을 참조)를 포함한다. 데이터 저장층(20)은 제 1 컨덕터 및 제 2 컨덕터(30, 32) 모두가 생성한 기록 자기장(도시되지 않음)이 데이터 저장층(20)의 활성 층(도시되지 않음)의 자화의 배향을 회전시키도록 제 1 컨덕터(30)와 제 2 컨덕터(32) 사이에 작용적으로 배치된다. 제 1 및 제 2 컨덕터(30, 32)에 인가된 전류는 기록 동작 동안에 기록 자기장을 생성한다. 데이터 저장층(20)은 점선인 화살표(V)로 표시된 제 1 방향으로의 제 1 층의 폭(W_{D1})과 점선인 화살표(H)로 표시된 제 2 방향으로의 제 2 층의 폭(W_{D2})을 포함한다. 제 1 및 제 2 컨덕터(30, 32)는 실질적으로 제 1 및 제 2 방향으로 제각각 데이터 저장층(20)과 교차한다.

제 1 컨덕터(30)의 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1}) 미만으로 사전선택되고, 제 2 컨덕터(32)의 제 2 폭(W_{C2})은 제 2 층의 폭(W_{D2}) 미만으로 사전선택된다. 제 1 폭(W_{C1})은 도 6에 도시된 바와 같이 제 1 층의 폭(W_{D1})이 제 1 폭(W_{C1}) 전부와 중첩하도록 제 1 층의 폭(W_{D1})에 대응해 배치된다. 제 2 폭(W_{C2})은 도 7에 도시된 바와 같이 제 2 층의 폭(W_{D2})이 제 2 폭(W_{C2}) 전부와 중첩하도록 제 2 층의 폭(W_{D2})에 대응해 배치된다.

예시를 위해, 제 1 컨덕터(30)는 데이터 저장층(20) 위에 배치(도 6을 참조)되고 제 2 컨덕터(32)는 데이터 저장층(20) 아래에 배치(도 7을 참조)된다. 그러나, 제 1 및 제 2 컨덕터(30, 32)의 배치는 역으로 될 수 있다. 또한, 데이터 저장층(20)과 관련된 제 1 컨덕터 및 제 2 컨덕터(30, 32)의 배치는 명확히 하기 위해 도 6과 도 7에 개별적으로 도시되어 있지만, 도 10a 내지 도 10c에 관해 후술하는 바와 같이 제 1 컨덕터 및 제 2 컨덕터(30, 32)는 데이터 저장층(20)을 교차한다.

도 6과 도 7이 제 1 방향(V)으로의 수직 배향을 갖는 제 1 컨덕터(30)과 제 2 방향(H)으로의 수평 배향을 갖는 제 2 컨덕터(32)를 도시하지만, 본 발명의 기록 컨덕터 레이아웃 구조에 대한 전술한 이점은 전술한 수직 및 수평 배향이 역으로 될 때, 즉 제 1 컨덕터(30)이 수평 배향을 가지고 제 2 컨덕터(32)가 수직 배향을 가질 수 있을 때에도 적용된다. 더욱이, 본 발명의 기록 컨덕터 레이아웃 구조(10)는 수평 및 수직 배향에 국한되지 않으며, 수평 및 수직 배향과 다른 배향 또한 본 발명의 원리에 포함된다.

데이터 저장층(20)은 스핀 의존성 터널링 장치(spin dependent tunneling device), 스핀 밸브 장치(spin valve device) 및 자기 저항 장치(magnetoresistive device)를 포함하는 전자기 장치(magnetoelectric device)일 수 있지만 이에 국한되지는 않는다. 데이터 저장층(20)이 본 명세서에서 직사각형 모양으로 도시되어 있지만, 데이터 저장층(20)은 직사각형 모양, 아치 모양(arcuate shape) 및 다각형 모양(polygon shape)을 포함하는 모양일 수 있지만 이에 국한되지는 않는다.

도 13a와 도 13b는 제각기 다각형 모양의 데이터 저장층(21)과 아치 모양의 데이터 저장층(22)을 도시한다. 도 13a와 도 13b에서 제 1 컨덕터 및 제 2 컨덕터(30, 32)는 제 1 및 제 2 방향(V, H)으로 그들 제각각의 데이터 저장층과 교차하고, 제 1 층의 폭(W_{D1})과 제 2 층의 폭(W_{D2})은 제각기 제 1 및 제 2 방향(V, H)으로 데이터 저장층의 최대폭이다. 예를 들어, 도 13a에서 제 1 층의 폭(W_{D1})은 제 1 방향(V)으로 데이터 저장층(21)의 최대폭이고, 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1})이 제 1 폭(W_{C1}) 전부와 중첩하게 제 1 층의 폭(W_{D1})에 대응해 배치된다. 유사하게, 제 2 층의 폭(W_{D2})은 제 2 방향(H)으로 데이터 저장층(21)의 최대폭이고, 제 2 폭(W_{C2})은 제 2 층의 폭(W_{D2})이 제 2 폭(W_{C2}) 전부와 중첩하게 제 2 층의 폭(W_{D2})에 대응해 배치된다.

본 발명의 하나의 실시예에서, 도 8a 내지 도 8c에 도시된 바와 같이 제 1 컨덕터(30)의 제 1 폭(W_{C1})은 제 1 방향(V)으로 제 1 프로세스 정렬 오프셋($\Delta 1$)만큼 데이터 저장층(20)의 제 1 층의 폭(W_{D1}) 미만으로 사전선택된다. 제 1 프로세스 정렬 오프셋($\Delta 1$)은 기록 컨덕터 레이아웃 구조(10)과 결합된 MRAM 장치를 제조하는데 사용되는 리소그래피 프로세스의 정렬 허용치에 의해 결정된 값일 수 있다. 예를 들어, 정렬 허용치가 0.05㎛라면, 제 1 폭(W_{C1})은 $\Delta 1 = 0.05$㎛ 또는 $\Delta 1$의 어떤 비율 혹은 퍼센트(some fraction or percentage) 만큼 제 1 층의 폭(W_{D1}) 미만일 수 있다. 예를 들어, $\Delta 1 = 0.05$㎛라면 제 1 폭(W_{C1})은 $\Delta 1$의 80%(0.8 * 0.05㎛ = 0.04㎛) 만큼 제 1 층의 폭(W_{D1}) 미만일 수 있어서, 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1}) 미만인 0.04㎛이다. 한편, $\Delta 1 = 0.05$㎛라면 제 1 폭(W_{C1})은 $\Delta 1$의 1¼(즉, 1.25)(1.25 * 0.05㎛ = 0.0625㎛) 만큼 제 1 층의 폭(W_{D1}) 미만일 수 있어서, 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1}) 미만인 0.0625㎛이다. 어느 경우이든, 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1}) 보다 좁고, 제 1 층의 폭(W_{D1})은 자신의 제 1 폭(W_{C1}) 전부와 중첩한다. 전술한 예는 또한 $\Delta 2$, 제 2 층의 폭(W_{D2}) 및 제 2 폭(W_{C2})에 적용된다.

제 1 폭(W_{C1})은 도 8a에 도시된 바와 같이 실질적으로 중심이 제 1 층의 폭(W_{D1})내에 배치될 수 있다. 도 8a에서, 제 1 컨덕터(30)의 마주 보는 에지(33)는 제 1 프로세스 정렬 오프셋($\Delta 1$) ÷2(즉, $\Delta 1 \div 2$) 거리 만큼 제 1 층의 폭(W_{D1}) 안쪽(inward)에 배치되어 제 1 폭(W_{C1})은 실질적으로 중심이 제 1 층의 폭(W_{D1})내에 배치되고 제 1 층의 폭(W_{D1})은 제 1 폭(W_{C1}) 전부와 중첩한다. 도 8b에서, 제 1 폭(W_{C1})은 제 1 프로세스 정렬 오프셋($\Delta 1$) 거리 만큼 좌측으로 쉬프트되어 제 1 층의 폭(W_{D1})내에 배치되지만, 제 1 층의 폭(W_{D1})은 제 1 폭(W_{C1}) 전부와 중첩한다. 유사하게, 도 8c에서 제 1 폭(W_{C1})은 제 1 프로세스 정렬 오프셋($\Delta 1$) 거리 만큼 우측으로 쉬프트되어 제 1 층의 폭(W_{D1})내에 배치되지만, 제 1 층의 폭(W_{D1})은 제 1 폭(W_{C1}) 전부와 중첩한다. 제 1 폭(W_{C1})은 제 1 프로세스 정렬 오프셋($\Delta 1$)의 어떤 비율 혹은 퍼센트 만큼 좌측 혹은 우측으로 쉬프트될 수 있다.

본 발명의 또다른 실시예에서, 도 9a에 도시된 바와 같이 제 2 컨덕터(32)의 제 2 폭(W_{C2})은 제 2 방향(H)으로 제 2 프로세스 정렬 오프셋($\Delta 2$) 만큼 데이터 저장층(20)의 제 2 층의 폭(W_{D2}) 미만으로 사전선택된다. 제 2 프로세스 정렬 오프셋($\Delta 2$)은 기록 컨덕터 레이아웃 구조(10)와 결합된 MRAM 장치를 제조하는데 사용되는 리소그래피 프로세스의 정렬 허용치에 의해 결정된 값일 수 있다. 예를 들어, 정렬 허용치가 0.07㎛라면 제 2 폭(W_{C2})은 $\Delta 2 = 0.07$㎛ 또는 $\Delta 2$의 어떤 비율 혹은 퍼센트 만큼 제 1 층의 폭(W_{D2}) 미만일 수 있다. 제 2 폭(W_{C2})은 도 9a에 도시된 바와 같이 실질적으로 중심이 제 2 층의 폭(W_{D2})내에 배치될 수 있다. 도 9a에서, 제 2 컨덕터(32)의 마주 보는 에지(35)는 제 2 프로세스 정렬 오프셋($\Delta 2$) ÷2(즉, $\Delta 2 \div 2$) 거리 만큼 제 2 층의 폭(W_{D2}) 안쪽에 배치되어 제 2 폭(W_{C2})은 실질적으로 중심이 제 2 층의 폭(W_{D2})내에 배치되고 제 2 층의 폭(W_{D2})은 제 2 폭(W_{C2}) 전부와 중첩한다. 도 9b에서, 제 2 폭(W_{C2})은 제 2 프로세스 정렬 오프셋($\Delta 2$) 거리 만큼 좌측으로 쉬프트(도 9b에서 위쪽으로 쉬프트되어 도시된)되어 제 2 층의 폭(W_{D2})내에 배치되지만, 제 2 층의 폭(W_{D2})은 제 2 폭(W_{C2}) 전부와 중첩한다. 유사하게, 도 9c에서 제 2 폭(W_{C2})은 제 2 프로세스 정렬 오프셋($\Delta 2$) 거리 만큼 우측으로 쉬프트(도 9c에서 아래쪽으로 쉬프트되어 도시된)되어 제 2 층의 폭(W_{D2})내에 배치되지만, 제 2 층의 폭(W_{D2})은 제 2 폭(W_{C2}) 전부와 중첩한다. 제 2 폭(W_{C2})은 제 2 프로세스 정렬 오프셋($\Delta 2$)의 어떤 비율 혹은 퍼센트 만큼 좌측 혹은 우측으로 쉬프트될 수 있다.

본 발명의 하나의 실시예에서, 제 1 프로세스 정렬 오프셋(Δ1)과 제 2 프로세스 정렬 오프셋(Δ2)은 대략 0.01㎛에서 0.08㎛의 범위이다. 본 발명의 또다른 실시예에서, 제 1 프로세스 정렬 오프셋(Δ1)과 제 2 프로세스 정렬 오프셋(Δ2)은 서로 동일(Δ1 = Δ2)하다.

이와 달리, 제 1 프로세스 정렬 오프셋(Δ1)과 제 2 프로세스 정렬 오프셋(Δ2)은 리소그래피 프로세스의 정렬 허용치에 기반할 필요가 없다. 대신에, 제 1 프로세스 정렬 오프셋(Δ1)과 제 2 프로세스 정렬 오프셋(Δ2)은 제각기 제 1 방향(V)으로의 제 1 층의 폭(W_{D1})과 제 2 방향(H)으로의 제 2 층의 폭(W_{D2})의 어떤 퍼센트를 기반으로 한 사전설정된 값일 수 있다.

본 발명의 하나의 실시예에서, 도 10a에 도시된 바와 같이 제 1 컨덕터(30)는 데이터 저장층(20) 위에 배치되고 제 2 컨덕터(32)는 데이터 저장층(20) 아래에 배치된다. 제 1 방향(V)과 제 2 방향(H)은 실질적으로 서로 직교하여, 제 1 컨덕터(30)와 제 2 컨덕터(32)는 실질적으로 서로 직교인 관련성을 가지고 데이터 저장층(20)과 교차할 수 있다. 또한, 전술한 바와 같이 제 1 컨덕터(30)는 제 1 층의 폭(W_{D1})내에서 중심이 C이거나, 좌측(L)으로 쉬프트되거나 혹은 우측(R)으로 쉬프트된 자신의 제 1 폭(W_{C1})을 가질 수 있고, 제 2 컨덕터는 제 2 층의 폭(W_{D2})내에서 중심이 C이거나, 좌측(U)으로 쉬프트되거나 혹은 우측(D)으로 쉬프트된 자신의 제 2 폭(W_{C2})을 가질 수 있다.

본 발명의 또다른 실시예에서, 제 1 방향(V) 혹은 제 2 방향(H)은 데이터 저장층(20)의 자화 용이축(easy axis : E)(즉, 장축)과 등방향(co-linear)이다. 도 10a에서, 제 2 방향(H)은 데이터 저장층(20)의 자화 용이축(E)과 등방향이다.

제 1 및 제 2 컨덕터(30, 32)가 하나의 컨덕터의 별개의 부분(discrete segment of a conductor) 같이 도시되어 있지만, MRAM 어레이는 추가 데이터 저장층(20)을 포함할 수 있고, 제 1 및 제 2 컨덕터(30, 32)는 제 1 방향(V)과 제 2 방향(H)으로 연장되어 도 11에 관해 후술하는 바와 같이 이러한 추가 데이터 저장층(20)과 교차할 것이다.

도 10b는 도 10a의 기록 컨덕터 레이아웃 구조(10)의 제 1 방향(V) 단면도로 제 1 폭(W_{C1})이 데이터 저장층(20)의 제 1 층의 폭(W_{D1})내에 배치되고 제 1 층의 폭(W_{D1})에 의해 제 1 폭(W_{C1}) 전부가 중첩된다는 것을 도시한다. 도 10c는 도 10a의 기록 컨덕터 레이아웃 구조(10)의 제 2 방향(H) 단면도로 제 2 폭(W_{C2})이 데이터 저장층(20)의 제 2 층의 폭(W_{D2})내에 배치되고 제 2 층의 폭(W_{D2})에 의해 제 2 폭(W_{C2}) 전부가 중첩된다는 것을 도시한다.

명확히 하기 위해, 도 10b와 도 10c는 또한 제 1 방향(V)으로의 제 1 층의 폭(W_{D1})과 제 2 방향(H)으로의 제 2 층의 폭(W_{D2})을 갖는 데이터 저장층(20)이 의미하는 것을 도시한다. 도 10b에서, 제 1 방향(V)은+(십자(cross))로 표시된다.+는 도면속으로 향하는 제 1 방향(V)의 방향성을 나타낸다. 따라서, 제 1 층의 폭(W_{D1})은 도 13b의 단면도에 도시된 바와 같이 제 1 방향(V)으로 측정되고 제 1 방향(V)에 수직(도 10a를 참조)이다. 또한, 제 1 컨덕터(30)의 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1})에 의해 제 1 폭(W_{C1}) 전부가 중첩되고, 제 1 컨덕터(30)는 제 1 방향(V)으로 데이터 저장층(20)과 교차(도 10a를 참조)한다.

유사하게, 도 10c에서 제 2 방향(H)은 、(점(dot))로 표시된다. 、는 도면 밖으로 향하는 제 2 방향(H)의 방향성을 나타낸다. 따라서, 제 2 층의 폭(W_{D2})은 도 13c의 단면도에 도시된 바와 같이 제 2 방향(H)으로 측정되고 제 2 방향(H)에 수직(도 10a를 참조)이다. 또한, 제 2 컨덕터(32)의 제 2 폭(W_{C2})은 제 2 층의 폭(W_{D2})에 의해 제 2 폭(W_{C2}) 전부가 중첩되고, 제 2 컨덕터(32)는 제 2 방향(H)으로 데이터 저장층(20)과 교차(도 10a를 참조)한다.

본 발명의 하나의 실시예에서, 도 8a 내지 도 8c에 또한 도시된 기록 컨덕터 레이아웃 구조(10)는 제 1 폭(W_{C1})을 갖는 제 1 컨덕터(30) 및 실질적으로 제 2 층의 폭(W_{D2})과 동일한 제 2 폭(W_{C2})($W_{C2} = W_{D2}$)을 갖는 제 2 컨덕터(32)(도시되지 않음)를 포함한다. 제 1 및 제 2 컨덕터(30, 32)는 제각기 실질적으로 제 1 방향(V)과 제 2 방향(H)으로 데이터 저장층(20)을 교차하고, 데이터 저장층(20)은 제 1 및 제 2 컨덕터(30, 32) 사이에 작용적으로 배치된다. 제 1 컨덕터(30)의 제 1 폭(W_{C1})은 데이터 저장층(20)의 제 1 층의 폭(W_{D1}) 미만으로 사전선택되고, 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1})이 제 1 폭(W_{C1}) 전부와 중첩하게 제 1 층의 폭(W_{D1})에 대응해 배치된다.

전술한 바와 같이, 제 1 컨덕터(30)의 제 1 폭(W_{C1})은 제 1 방향(V)으로 제 1 프로세스 정렬 오프셋($\Delta 1$) 만큼 데이터 저장층(20)의 제 1 층의 폭(W_{D1}) 미만으로 사전선택될 수 있다. 제 1 프로세스 정렬 오프셋($\Delta 1$)은 대략 0.01㎛에서 0.08㎛의 범위일 수 있다. 제 1 폭(W_{C1})은 실질적으로 중심에 배치, 좌측으로 쉬프트되어 배치되고 또한 우측으로 쉬프트되어 배치된 제 1 층의 폭(W_{D1})내에 배치될 수 있다(도 8a, 도 8b 및 도 8c를 참조하기 바란다).

본 발명의 또다른 실시예에서, 제 1 컨덕터(30)는 자기 메모리 셀의 전류 운반 비트 라인 혹은 전류 운반 워드 라인일 수 있다. 제 1 컨덕터(30)가 비트 라인이라면, 제 2 컨덕터(32)는 워드 라인일 수 있으며 또한 그 역일 수도 있다. 도 8a 내지 도 8c가 제 1 방향(V)으로 수직 배향을 갖는 제 1 컨덕터(30) 및 제 2 방향(H)으로 수평 배향을 갖는 제 2 컨덕터(32)(도시되지 않음)를 도시하지만, 제 1 컨덕터(30)가 수평 배향을 가지고 제 2 컨덕터(32)가 수직 배향을 가질 수도 있다.

데이터 저장층(20)은 일 비트의 데이터를 자화의 배향으로 저장하는데 적용된다. 비트의 논리값(즉, 논리 "0" 혹은 논리 "1")은 자화의 배향을 하나의 안정한 상태에서 다른 안정한 상태로 회전시킴으로써 기록된다. 자화의 배향은 데이터 저장층(20)과 교차하는 제 1 및 제 2 컨덕터(30, 32)에 인가된 전류가 생성한 기록 자기장에 응답하여 회전한다. 제 1 컨덕터(30)는 제 1 컨덕터(30)에 인가된 전류에 응답하여 기록 자기장의 제 1 부분을 생성한다. 유사하게, 제 2 컨덕터(32)는 제 2 컨덕터(32)에 인가된 전류에 응답하여 기록 자기장의 제 2 부분을 생성한다. 기록 자기장의 제 1 및 제 2 부분은 결합하여 자화의 배향을 회전시킨다.

도 11에서, 다수의 데이터 저장층(20)은 MRAM 어레이(50)를 형성하도록 다수의 제 1 및 제 2 컨덕터(30, 32)에 의해 교차된다. 특히, 데이터 저장층(20_S)은 기록 동작을 위해 선택되는데, 데이터 저장층(20)의 자화의 배향은 기록 자기장의 제 1 부분(H_x) 및 기록 자기장의 제 2 부분(H_y)에 의해 회전될 것이다. 기록 자기장의 제 1 부분(H_x)은 데이터 저장층들(20_s)을 교차하는 제 1 컨덕터(30)에 인가된 전류(I_Y)에 의해 생성되고, 기록 자기장의 제 2 부분(H_y)은 데이터 저장층(20_s)을 교차하는 제 2 컨덕터(32)에 인가된 전류(I_X)에 의해 생성된다. 기록 자기장의 제 1 및 제 2 부분(H_x, H_y)은 오른손 법칙(right-hand rule)에 의해 결정되는 벡터(vector)를 갖는다. 전류(I_Y 및 I_X)는 어레이(50) 외부의 전자 회로로 제 1 및 제 2 컨덕터(30, 32)와 전기적으로 연결된 전자 회로에 의해 인가될 수 있다. 기록 자기장의 제 1 및 제 2 부분(H_x, H_y)은 제 1 및 제 2 컨덕터(30, 32)의 전체 길이를 따라 생성되지만, 데이터 저장층(20_s)이 있는 제 1 및 제 2 컨덕터(30, 32)의 교차부에서 기록 자기장의 제 1 부분과 제 2 부분(H_x, H_y)이 결합하여 데이터 저장층(20)의 자화의 배향을 회전시킨다.

본 발명의 하나의 실시예에서, 오직 제 1 컨덕터(30)의 제 1 폭(W_{C1})만이 제 1 방향(V)으로 데이터 저장층(20_s)의 제 1 층의 폭(W_{D1}) 미만으로 사전선택되고, 제 2 컨덕터(32)의 제 2 폭(W_{C2})은 제 2 방향(H)으로 적어도 제 2 층의 폭(W_{D2}) 만큼 넓다. 전술한 바와 같이, 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1})내이고 또한 제 1 층의 폭(W_{D1})이 제 1 폭(W_{C1}) 전부와 중첩하게 배치된다. 제 1 폭(W_{C1})의 배치는 기록 자기장의 제 1 부분(H_x)을 데이터 저장층(20_s)과 작용적으로 결합한다. 제 1 컨덕터(30)에 인가된 전류(I_Y)의 크기는 제 1 폭(W_{C1})이 적어도 제 1 층의 폭(W_{D1})과 동일($W_{C1} = W_{D1}$)할 때보다는 적을 수 있다. 사실, 제 1 폭(W_{C1})을 좁히는 것은 기록 자기장의 제 1 부분(H_x)의 크기가 동일한 인가 전류(I_Y)에 대해 기록 자기장의 제 1 부분(H_x)의 크기를 더 크게 하여 H_X의 크기가 자화의 배향을 회전시키는데 필요한 최소 자기장 세기(strength)를 초과하게 한다. 결과적으로, I_Y는 감소될 수 있고 H_y의 크기는 자화의 배향을 회전시키는데 충분할 것이다. I_Y가 감소되기 때문에, 데이터 저장층(20_s)으로의 기록 동작에 의해 소모된 전력이 또한 감소된다. 전력 소모의 감소는 또한 기록 동작을 위해 선택된 어레이(50)내의 다른 데이터 저장층(20)에 적용된다. 전술한 바와 같이, 전력 소모를 감소시키는 것은 배터리 전력을 보존해야 하는 휴대용 애플리케이션 및 소모 열을 감소시켜야 하는 애플리케이션에서 바람직하다.

본 발명의 또다른 실시예에서, 제 2 컨덕터(32)의 제 2 폭(W_{C2})이 제 2 방향(H)으로 데이터 저장층(20_s)의 제 2 층의 폭(W_{D2}) 미만으로 사전선택될 때(즉, 제 1 및 제 2 컨덕터(30, 32) 모두의 폭이 좁을 때) 추가로 전력 소모를 감소시킬 수 있다. 제 2 폭(W_{C2})은 제 2 층의 폭(W_{D2})내이고 또한 제 2 층의 폭(W_{D2})이 제 2 폭(W_{C2}) 전부와 중첩하게 배치된다. 제 2 폭(W_{C2})의 배치는 기록 자기장의 제 2 부분(H_y)을 데이터 저장층(20_s)과 작용적으로 결합한다. 제 1 컨덕터(30)에 관해 전술한 바와 동일한 이유로, 제 2 컨덕터(32)에 인가된 전류(I_X)의 크기는 제 2 폭(W_{C2})이 적어도 제 2 층의 폭(W_{D2})과 동일($W_{C2} = W_{D2}$)할 때보다는 적을 수 있다. 추가 전력 소모 감소는 또한 기록 동작을 위해 선택된 어레이(50)내의 다른 데이터 저장층(20)에 적용된다.

도 12는 도 4b와 도 5b에 관해 전술한 바와 같이 워드 라인의 폭(W_c)과 비트 라인의 폭(W_b)이 동일($W_c = W_b$)한 종래 기술의 자기 메모리 셀 레이아웃에 관한 전류 스위칭 곡선(SC_1)의 그래프(plot)이다. 워드 라인(W_c) 및 비트 라인(W_b)은 자기 메모리 셀과 교차한다. 또한, 워드 라인(W_c)은 메모리 셀의 전류 스위칭 특성에 관한 컨덕터 오정렬의 효과를 시뮬레이션(simulate)하기 위해 0.05㎛ 만큼 자기 메모리 셀로부터 오프셋된다. 이 오프셋은 도 4b와 도 5b에서 δ로 도시되어 있다. 스위칭 곡선(SC_1)은 메모리 셀의 기록 동작 동안에 일 비트를 기록하기 위해 자화(M_1)의 배향을 회전시키기에 충분한 그래프의 x축상의 워드 라인 전류(I_Y)의 크기 및 그래프의 y축상의 비트 라인 전류(I_X)의 크기에 관한 값을 나타낸다. 비트 라인 전류(I_X)는 자기장(H_y)을 생성하고, 워드 라인 전류(I_Y)는 자기장(H_x)을 생성한다. 스위칭 곡선(SC_1)상의 포인트(1)에 관해, 대략 1.75mA의 비트 라인 전류(I_X)와 대략 3.60mA의 워드 라인 전류(I_Y)가 자화의 배향을 회전시키는데 필요하다.

도 12는 또한 본 발명의 자기 메모리 셀 레이아웃(10)에 관한 전류 스위칭 곡선(SC_2)의 그래프를 도시한다. 스위칭 곡선(SC_2)에 관해, 비트 라인의 폭은 비트 라인이 데이터 저장층과 교차하는 방향으로 데이터 저장층(도시되지 않음)의 폭과 동일하다. 그러나, 워드 라인은 워드 라인이 데이터 저장층과 교차하는 방향으로 데이터 저장층의 폭 보다 0.05㎛ 미만인 폭을 갖는다. 더욱이, 워드 라인은 중심이 데이터 저장층내에 배치되고 데이터 저장층은 워드 라인의 폭 전부와 중첩한다(도 9a를 참조하기 바란다). 따라서, 스위칭 곡선(SC_2)상의 포인트(2)에 관해, 대략 1.75mA의 비트 라인 전류(I_X)와 대략 3.00mA의 워드 라인 전류(I_Y)가 자화의 배향을 회전시키는데 필요하다. 따라서, 동일한 비트 라인 전류(I_X = 1.75mA)에 대해, 본 발명의 자기 메모리 셀 레이아웃(10)은 종래 기술의 자기 메모리 셀 레이아웃에 비해 대략 20% 미만인 워드 라인 전류(I_Y)를 필요로 한다(즉, 3.00mA 대 3.60mA). 따라서 본 발명의 자기 메모리 셀 레이아웃(10)에서의 전력 소모가 감소된다. 또한, 워드 라인의 폭을 좁혀 개선된 점은 비트 라인에 대해서도 재현(duplicate)될 수 있어서, 전력 소모를 훨씬 감소시킬 수 있다

본 발명의 하나의 실시예에서, 오직 제 1 컨덕터(30)의 제 1 폭(W_{C1})만이 제 1 방향(V)으로 데이터 저장층(20)의 제 1 층의 폭(W_{D1}) 미만으로 사전선택된다. 제 2 컨덕터(32)의 제 2 폭(W_{C2})은 제 2 방향(H)으로 제 2 층의 폭(W_{D2}) 만큼 넓다. 제 1 폭(W_{C1})은 제 1 층의 폭(W_{D1})내이고 또한 제 1 층의 폭(W_{D1})이 제 1 폭(W_{C1}) 전부와 중첩하게 배치된다. 제 1 폭(W_{C1})의 배치는 기록 자기장의 제 1 부분(H_x)을 데이터 저장층(20)과 작용적으로 결합한다. 제 1 컨덕터(30)에 인가된 전류(I_Y)는 제 1 폭(W_{C1})이 적어도 제 1 층의 폭(W_{D1})과 동일($W_{C1} = W_{D1}$)할 때 보다는 기록 자기장의 제 1 부분(H_x)의 크기를 크게 한다. 사실, 제 1 폭(W_{C1})을 좁히는 것은 동일하게 인가된 전류(I_Y)에 대해 기록 자기장의 제 1 부분(H_x)의 크기를 크게 한다. 결과적으로, 데이터 저장층의 자화의 배향을 회전시키는데 필요한 기록 자기장의 크기는 기록 자기장의 제 1 부분(H_x)의 기여로 인해 증가된다.

본 발명의 또다른 실시예에서, 기록 자기장의 크기는 제 2 컨덕터(32)의 제 2 폭(W_{C2})이 제 2 방향(H)으로 데이터 저장층(20)의 제 2 층의 폭(W_{D2}) 미만으로 사전선택될 때 한층 증가된다. 제 2 폭(W_{C2})은 제 2 층의 폭(W_{D2})내이고 또한 제 2 층의 폭(W_{D2})이 제 2 폭(W_{C2}) 전부와 중첩하게 배치된다. 제 2 폭(W_{C2})의 배치는 기록 자기장의 제 2 부분(H_y)을 데이터 저장층(20)과 작용적으로 결합한다. 제 1 컨덕터(30)에 관해 전술한 바와 동일한 이유로, 제 2 컨덕터(32)에 인가된 전류(I_X)는 제 2 폭(W_{C2})이 적어도 제 2 층의 폭(W_{D2})과 동일($W_{C2} = W_{D2}$)할 때 보다는 기록 자기장의 제 2 부분(H_y)의 크기를 크게 한다.

전술한 실시예에서, 제 1 컨덕터(30)의 제 1 폭(W_{C1})은 제 1 방향(V)으로 제 1 프로세스 정렬 오프셋($\Delta 1$) 만큼 데이터 저장층(20)의 제 1 층의 폭(W_{D1}) 미만으로 사전선택될 수 있다. 또한, 제 2 컨덕터(32)의 제 2 폭(W_{C2})은 제 2 방향(H)으로 제 2 프로세스 정렬 오프셋($\Delta 2$) 만큼 데이터 저장층(20)의 제 2 층의 폭(W_{D2}) 미만으로 사전선택될 수 있다. 제 1 및 제 2 프로세스 정렬 오프셋($\Delta 1$ 및 $\Delta 2$)은 대략 0.01㎛에서 0.08㎛의 범위일 수 있다.

본 명세서에서 설명된 실시예에 관해, 당업자라면 데이터 저장층(20)의 구조 및 물질을 잘 알 것이다. 그러나, 데이터 저장층(20)의 활성층(층의 자화의 배향의 회전이 자유로운) 및 기준층(자화의 배향이 고정되어 회전이 자유롭지 못한)에 적합한 물질은 니켈-철(NiFe), 코발트(Co), Fe_3O_4, CrO_2, 이러한 물질의 조합을 포함하는 합금 혹은 층, 강자성체(ferromagnetic materials) 및 페리자성체(ferrimagnetic materials)를 포함한다. 활성층과 기준층은 알루미늄-산화물(Al_2O_3), 알루미늄 질화물(AlN), 실리콘-이산화물(SiO_2) 및 실리콘-질화물(Si_3N_4)을 포함하는 하나 이상의 유전체층에 의해 분리될 수 있다. 제 1 및 제 2 컨덕터(30, 32)는 예를 들어 구리 혹은 알루미늄과 같은 전기 전도 물질로부터 제조될 수 있다.

본 발명의 기록 컨덕터 레이아웃 구조(10)가 자기 메모리 셀과 관련된 사용에 관해 설명되었지만, 본 발명의 원리는 MRAM에 국한되지는 않는다. 기록 컨덕터 레이아웃 구조(10)는 또한 자성체에서의 자화의 배향을 바꾸기(switch) 위해 국부(localized) 자기장을 작용적으로 생성하는 전류 운반 컨덕터에 적용된다.

본 발명의 여러 실시예가 개시되고 예시되었지만, 본 발명은 설명되고 예시된 바와 같은 특정한 유형 혹은 구성에 국한되지는 않는다. 본 발명은 청구범위에 의해서만 국한된다.

발명의 효과

본 발명은 기록 컨덕터 레이아웃 구조에 관한 것으로 데이터 저장층과 기록 라인 사이의 오정렬을 제거하고 또한 MRAM 메모리 셀에서의 전력 소모를 감소시키는 효과가 있다.

(57) 청구의 범위

청구항 1.

자기 메모리 셀(a magnetic memory cell)에 관한 기록 컨덕터 레이아웃 구조(a write conductor layout structure : 10)에 있어서,

제 1 폭(a first width : W_{C1})을 갖는 제 1 컨덕터(a first conductor : 30)와,

제 2 폭(W_{C2})을 갖는 제 2 컨덕터(32)와,

데이터 저장층(a data storage layer : 20)을 포함하고,

상기 데이터 저장층은 제 1 방향(V)으로의 제 1 층의 폭(a first layer width : W_{D1})과 제 2 방향(H)으로의 제 2 층의 폭(W_{D2})을 갖고 상기 제 1 컨덕터(30)와 상기 제 2 컨덕터(32) 사이에 작용적으로(operatively) 배치되고, 상기 제 1 및 제 2 컨덕터(30, 32)는 실질적으로 상기 제 1 및 제 2 방향으로 상기 데이터 저장층(20)과 제각기 교차하며,

상기 제 1 폭(W_{C1})은 상기 제 1 층의 폭(W_{D1}) 미만으로 사전선택되고,

상기 제 2 폭(W_{C2})은 상기 제 2 층의 폭(W_{D2}) 미만으로 사전선택되고,

상기 제 1 폭(W_{C1})은 상기 제 1 층의 폭(W_{D1})이 상기 제 1 폭(W_{C1}) 전부(entirety)와 중첩(overlap)하게 상기 제 1 층의 폭(W_{D1})에 대응해 배치되며,

상기 제 2 폭(W_{C2})은 상기 제 2 층의 폭(W_{D2})이 상기 제 2 폭(W_{C2}) 전부와 중첩하게 상기 제 2 층의 폭(W_{D2})에 대응해 배치되는

기록 컨덕터 레이아웃 구조.

청구항 2.

제 1 항에 있어서,

상기 제 1 폭(W_{C1})은 제 1 프로세스 정렬 오프셋(a first process alignment offset)(Δ1)을 기반으로 상기 제 1 층의 폭(W_{D1}) 미만으로 사전선택되고, 상기 제 2 폭(W_{C2})은 제 2 프로세스 정렬 오프셋(Δ2)을 기반으로 상기 제 2 층의 폭(W_{D2}) 미만으로 사전선택되는 기록 컨덕터 레이아웃 구조.

청구항 3.

제 2 항에 있어서,

상기 제 1 프로세스 정렬 오프셋(Δ1)과 상기 제 2 프로세스 정렬 오프셋(Δ2)은 대략 0.01㎛에서 0.08㎛의 범위인 기록 컨덕터 레이아웃 구조.

청구항 4.

제 2 항에 있어서,

상기 제 1 프로세스 정렬 오프셋(Δ1)과 상기 제 2 프로세스 정렬 오프셋(Δ2)은 서로 동일한 기록 컨덕터 레이아웃 구조.

청구항 5.

제 2 항에 있어서,

상기 제 1 및 제 2 프로세스 정렬 오프셋(Δ1, Δ2)은 리소그래피 프로세스의 정렬 허용치(an alignment tolerance of a lithographic process)에 의해 결정되는 기록 컨덕터 레이아웃 구조.

청구항 6.

제 1 항에 있어서,

상기 제 1 및 제 2 방향(V, H)은 상기 제 1 컨덕터(30) 및 상기 제 2 컨덕터(32)가 실질적으로 서로 직교(orthogonal)하여 상기 데이터 저장층(20)과 교차하도록 실질적으로 서로 직교하는 기록 컨덕터 레이아웃 구조.

청구항 7.

제 1 항에 있어서,

상기 제 1 방향(V) 혹은 상기 제 2 방향(H) 중 선택된 한 방향은 상기 데이터 저장층(20)의 자화 용이축(an easy axis : E)과 등방향(co-linear)인 기록 컨덕터 레이아웃 구조.

청구항 8.

자기 메모리 셀에 관한 기록 컨덕터 레이아웃 구조(10)에 있어서,

제 1 폭(W_{C1})을 갖는 제 1 컨덕터(30)와,

제 2 폭(W_{C2})을 갖는 제 2 컨덕터(32)와,

데이터 저장층(20)을 포함하고,

상기 데이터 저장층(20)은 제 1 방향(V)으로의 제 1 층의 폭(W_{D1})과 제 2 방향(H)으로의 제 2 층의 폭(W_{D2})을 갖고 상기 제 1 컨덕터(30)와 상기 제 2 컨덕터(32) 사이에 작용적으로 배치되고, 상기 제 1 및 제 2 컨덕터(30, 32)는 실질적으로 상기 제 1 및 제 2 방향(V, H)으로 상기 데이터 저장층(20)과 제각기 교차하며,

상기 제 1 폭(W_{C1})은 상기 제 1 층의 폭(W_{D1}) 미만으로 사전선택되고,

상기 제 2 폭(W_{C2})은 상기 제 2 층의 폭(W_{D2})과 실질적으로 동일하고,

상기 제 1 폭(W_{C1})은 상기 제 1 층의 폭(W_{D1})이 상기 제 1 폭(W_{C1}) 전부와 중첩하게 상기 제 1 층의 폭(W_{D1})에 대응해 배치되는

기록 컨덕터 레이아웃 구조.

청구항 9.

제 8 항에 있어서,

상기 제 1 폭(W_{C1})은 제 1 프로세스 정렬 오프셋($\Delta 1$)을 기반으로 상기 제 1 층의 폭(W_{D1}) 미만으로 사전선택되는 기록 컨덕터 레이아웃 구조.

청구항 10.

제 9 항에 있어서,

상기 제 1 프로세스 정렬 오프셋($\Delta 1$)은 대략 0.01㎛에서 0.08㎛의 범위인 기록 컨덕터 레이아웃 구조.

청구항 11.

제 8 항에 있어서,

상기 제 1 컨덕터(30)는 워드 라인(a word line)과 비트 라인(a bit line)으로 구성되는 그룹에서 선택된 전류 운반 라인(a current carrying line)인 기록 컨덕터 레이아웃 구조.

청구항 12.

저 전력 자기 메모리 셀(a low power magnetic memory cell)에 관한 기록 컨덕터 레이아웃 구조(10)에 있어서,

제 1 방향(V)으로의 제 1 층의 폭(W_{D1})과 제 2 방향(H)으로의 제 2 층의 폭(W_{D2})을 갖는 데이터 저장층(20)과,

제 1 컨덕터(30) - 상기 제 1 컨덕터(30)는 상기 제 1 층의 폭(W_{D1}) 미만으로 사전선택되고 상기 제 1 층의 폭(W_{D1})이 상기 제 1 폭(W_{C1}) 전부와 중첩하게 상기 제 1 층의 폭(W_{D1})에 대응해 배치되는 제 1 폭(W_{C1})을 가짐 - 자신에 인가된 전류(I_Y)에 응답하여 기록 자기장의 제 1 부분(H_X)을 생성하기 위한 상기 제 1 컨덕터(30)와,

제 2 컨덕터(32) - 상기 제 2 컨덕터(32)는 적어도 상기 제 2 층의 폭(W_{D2})과 동일한 제 2 폭(W_{C2})을 가짐 - 자신에 인가된 전류(I_X)에 응답하여 기록 자기장의 제 2 부분(H_Y)을 생성하기 위한 상기 제 2 컨덕터(32)를 포함하되,

상기 데이터 저장층(20)은 상기 제 1 컨덕터(30)와 상기 제 2 컨덕터(32) 사이에 작용적으로 배치되고, 상기 제 1 및 제 2 컨덕터(30, 32)는 실질적으로 상기 제 1 및 제 2 방향(V, H)으로 상기 데이터 저장층(20)과 제각기 교차하고,

상기 데이터 저장층(20)은 자화의 배향(an orientation of magnetization)으로 일 비트의 데이터(a bit of data)를 저장하고 상기 기록 자기장의 제 1 및 제 2 부분(H_X, H_Y)에 응답하여 상기 자화의 배향을 회전시키며,

상기 제 1 폭(W_{C1})의 배치는 상기 제 1 폭(W_{C1})이 적어도 상기 제 1 층의 폭(W_{D1})과 동일할 때 보다는 상기 제 1 컨덕터(30)에 인가된 전류(I_Y)의 크기가 적게 상기 기록 자기장의 제 1 부분(H_X)을 상기 데이터 저장층(20)과 작용적으로 결합하는

기록 컨덕터 레이아웃 구조.

청구항 13.

제 12 항에 있어서,

상기 제 1 폭(W_{C1})은 제 1 프로세스 정렬 오프셋($\Delta 1$)을 기반으로 상기 제 1 층의 폭(W_{D1}) 미만으로 사전선택되는 기록 컨덕터 레이아웃 구조.

청구항 14.

제 12 항에 있어서,

상기 제 2 폭(W_{C2})은 상기 제 2 층의 폭(W_{D2}) 미만으로 사전선택되고 상기 제 2 층의 폭(W_{D2})이 상기 제 2 폭(W_{C2}) 전부와 중첩하게 상기 제 2 층의 폭(W_{D2})에 대응해 배치되고,

상기 제 2 폭(W_{C2})의 배치는 상기 제 2 폭(W_{C2})이 적어도 상기 제 2 층의 폭(W_{D2})과 동일할 때 보다는 상기 제 2 컨덕터(32)에 인가된 전류(I_X)의 크기가 적게 상기 기록 자기장의 제 2 부분(H_Y)을 상기 데이터 저장층(20)과 작용적으로 결합하는 기록 컨덕터 레이아웃 구조.

청구항 15.

제 14 항에 있어서,

상기 제 2 폭(W_{C2})은 제 2 프로세스 정렬 오프셋($\Delta 2$)을 기반으로 상기 제 2 층의 폭(W_{D2}) 미만으로 사전선택되는 기록 컨덕터 레이아웃 구조.

청구항 16.

자기 메모리 셀에서 기록 자기장을 증가시키기 위한 기록 컨덕터 레이아웃 구조(10)에 있어서,

제 1 방향(V)으로의 제 1 층의 폭(W_{D1})과 제 2 방향(H)으로의 제 2 층의 폭(V_{D2})을 갖는 데이터 저장층(20)과,

제 1 컨덕터(30) - 상기 제 1 컨덕터(30)는 상기 제 1 층의 폭(W_{D1}) 미만으로 사전선택되고 상기 제 1 층의 폭(W_{D1})이 상기 제 1 폭(W_{C1}) 전부와 중첩하게 상기 제 1 층의 폭(W_{D1})에 대응해 배치되는 제 1 폭(W_{C1})을 가짐 - 자신에 인가된 전류(I_Y)에 응답하여 기록 자기장의 제 1 부분(H_X)을 생성하기 위한 상기 제 1 컨덕터(30)와,

제 2 컨덕터(32) - 상기 제 2 컨덕터(32)는 적어도 상기 제 2 층의 폭(W_{D2})과 동일한 제 2 폭(W_{C2})을 가짐 - 자신에 인가된 전류(I_X)에 응답하여 기록 자기장의 제 2 부분(H_Y)을 생성하기 위한 상기 제 2 컨덕터(32)를 포함하되,

상기 데이터 저장층(20)은 상기 제 1 컨덕터(30)와 상기 제 2 컨덕터(32) 사이에 작용적으로 배치되고, 상기 제 1 및 제 2 컨덕터(30, 32)는 실질적으로 상기 제 1 및 제 2 방향(V, H)으로 상기 데이터 저장층(20)과 제각기 교차하고,

상기 데이터 저장층(20)은 자화의 배향으로 일 비트의 데이터를 저장하고 상기 기록 자기장의 제 1 및 제 2 부분(H_X, H_Y)에 응답하여 상기 자화의 배향을 회전시키며,

상기 제 1 컨덕터(30)에 인가된 상기 전류(I_Y)에 의해 생성된 상기 기록 자기장의 제 1 부분(H_X)의 크기는 상기 제 1 폭(W_{C1})이 적어도 상기 제 1 층의 폭(W_{D1})과 동일할 때 보다는 큰

기록 컨덕터 레이아웃 구조.

청구항 17.

제 16 항에 있어서,

상기 제 1 폭(W_{C1})은 제 1 프로세스 정렬 오프셋($\Delta 1$)을 기반으로 상기 제 1 층의 폭(W_{D1}) 미만으로 사전선택되는 기록 컨덕터 레이아웃 구조.

청구항 18.

제 16 항에 있어서,

상기 제 2 폭(W_{C2})은 상기 제 2 층의 폭(W_{D2}) 미만으로 사전선택되고 상기 제 2 층의 폭(W_{D2})이 상기 제 2 폭(W_{C2}) 전부와 중첩하게 상기 제 2 층의 폭(W_{D2})에 대응해 배치되고,

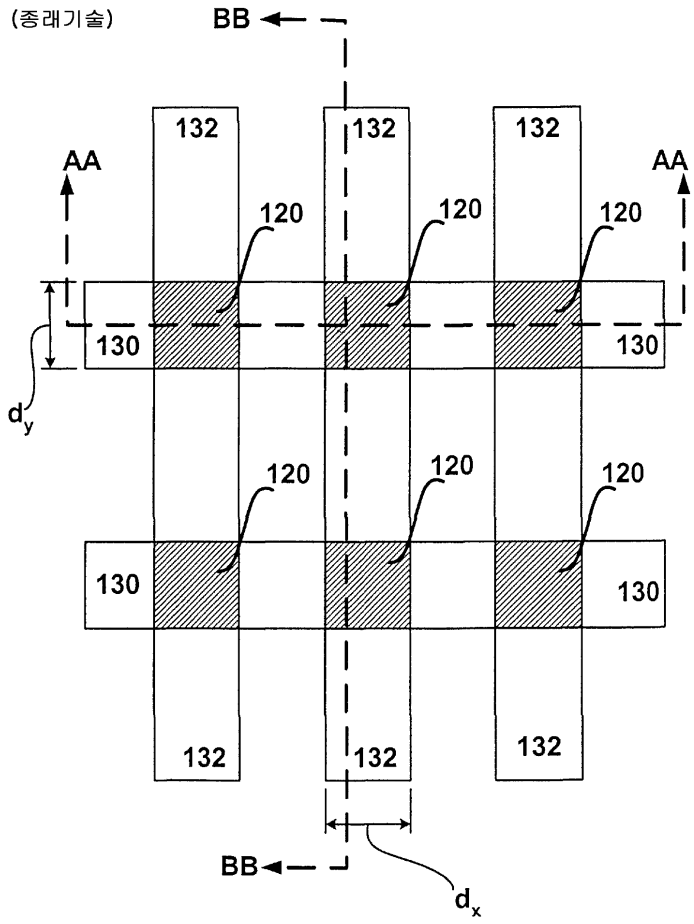
상기 제 2 컨덕터(32)에 인가된 전류(I_X)에 의해 생성된 상기 기록 자기장의 제 2 부분(H_Y)의 크기는 상기 제 2 폭(W_{C2})이 적어도 상기 제 2 층의 폭(W_{D2})과 동일할 때 보다는 큰 기록 컨덕터 레이아웃 구조.

청구항 19.

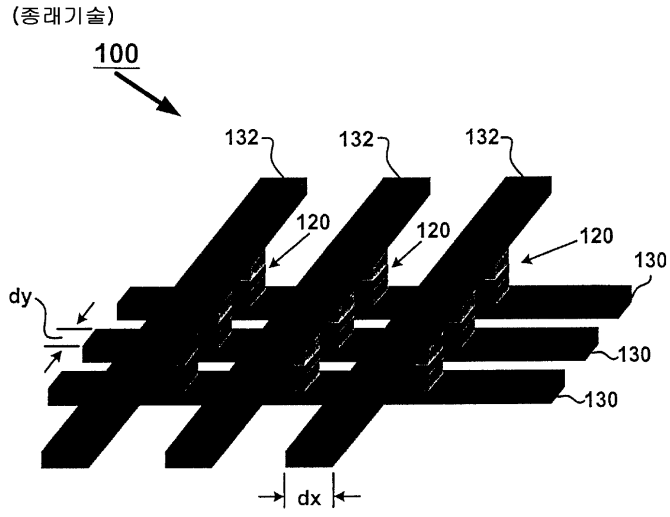
제 18 항에 있어서,

상기 제 2 폭(W_{C2})은 제 2 프로세스 정렬 오프셋($\Delta 2$)을 기반으로 상기 제 2 층의 폭(W_{D2}) 미만으로 사전선택되는 기록 컨덕터 레이아웃 구조.

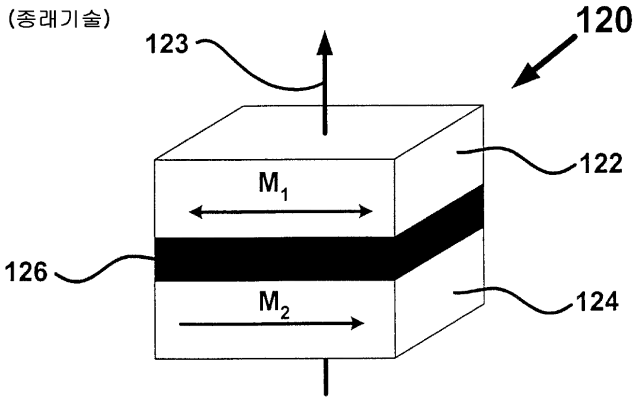
도면 1a


(종래기술)
BB
AA
AA
132
132
132
120
120
120
130
130
120
120
120
130
130
132
132
132
BB
d_y
d_x

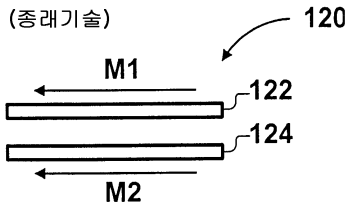
도면 1b


(종래기술)
100
132
132
132
120
120
120
130
dy
130
130
dx

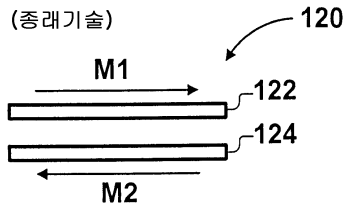
도면 2a



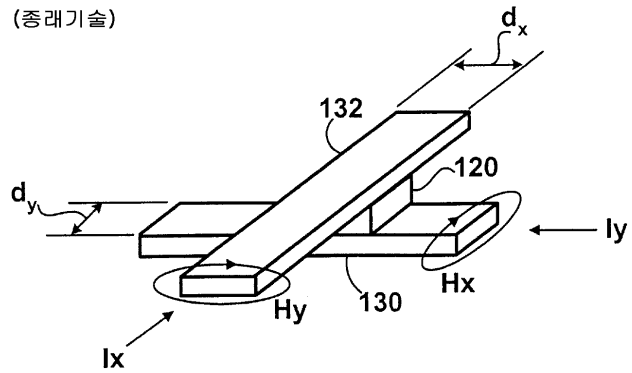
도면 2b



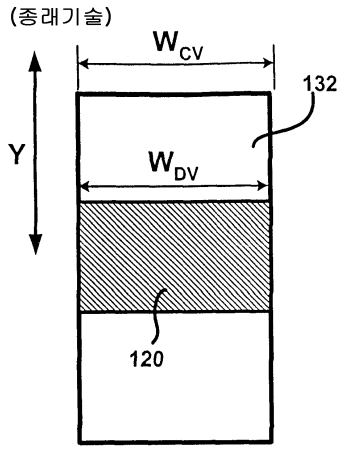
도면 2c



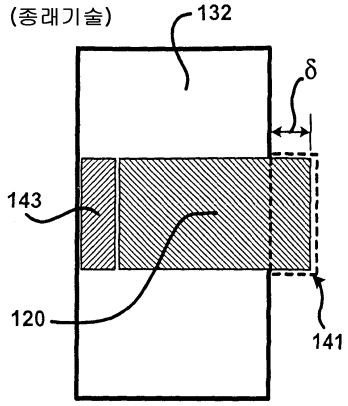
도면 3



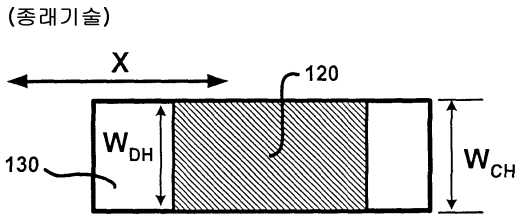
도면 4a



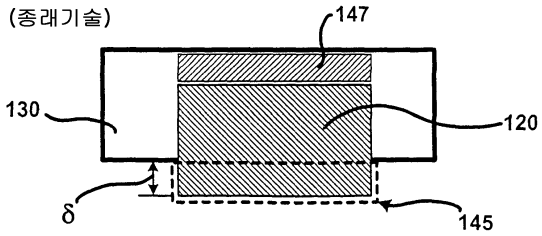
도면 4b



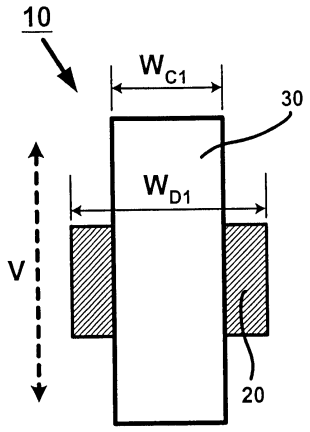
도면 5a



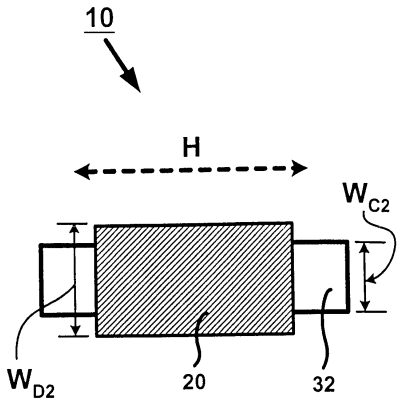
도면 5b



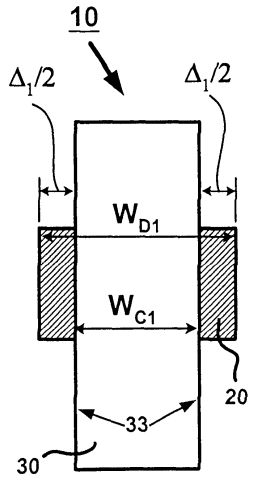
도면 6


10
W_{C1}
30
W_{D1}
V
20

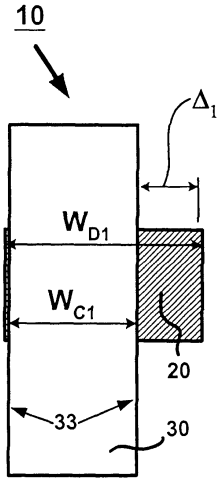
도면 7


10
H
W_{C2}
W_{D2}
20
32

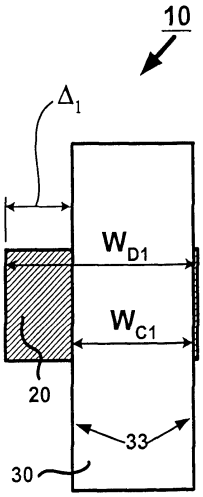
도면 8a


10
$\Delta_1/2$
$\Delta_1/2$
W_{D1}
W_{C1}
20
33
30

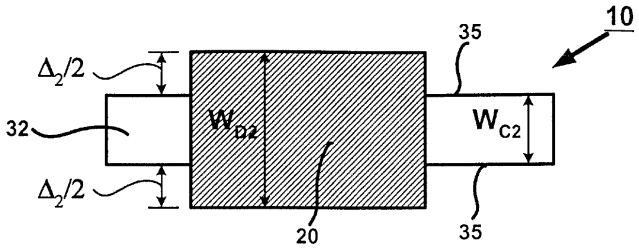
도면 8b



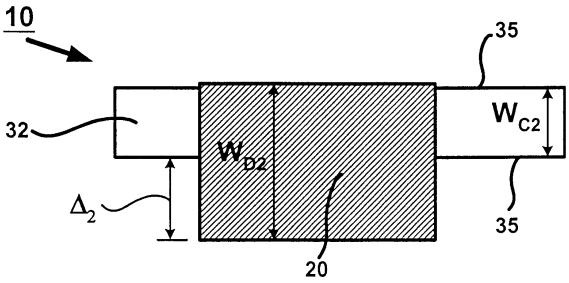
도면 8c



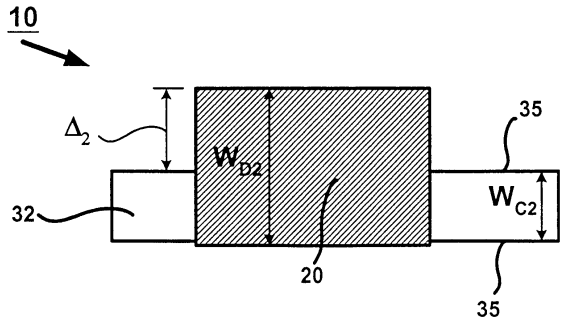
도면 9a



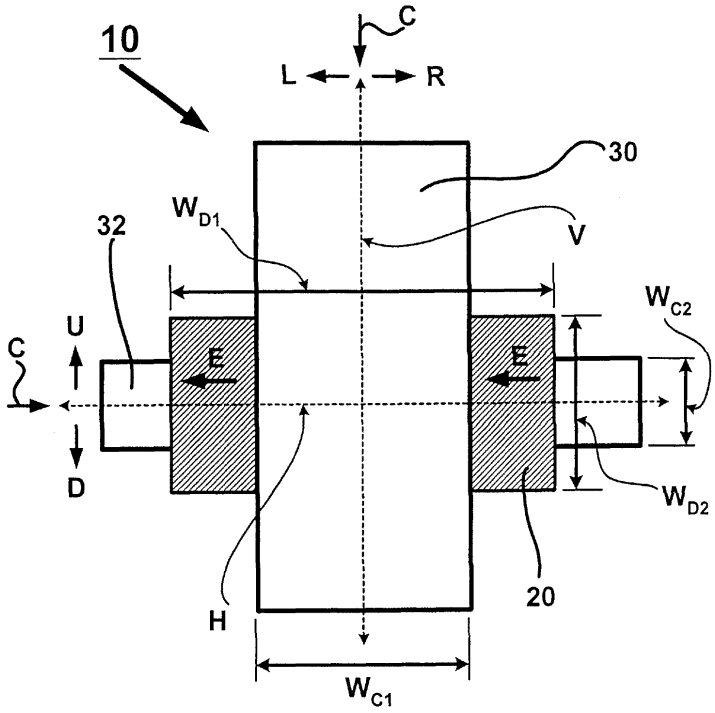
도면 9b



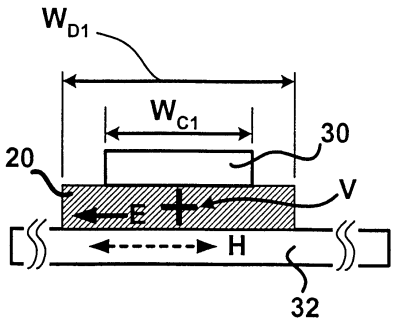
도면 9c



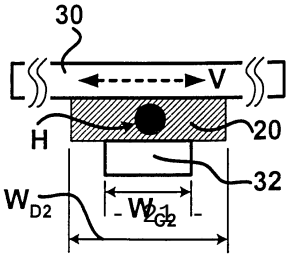
도면 10a



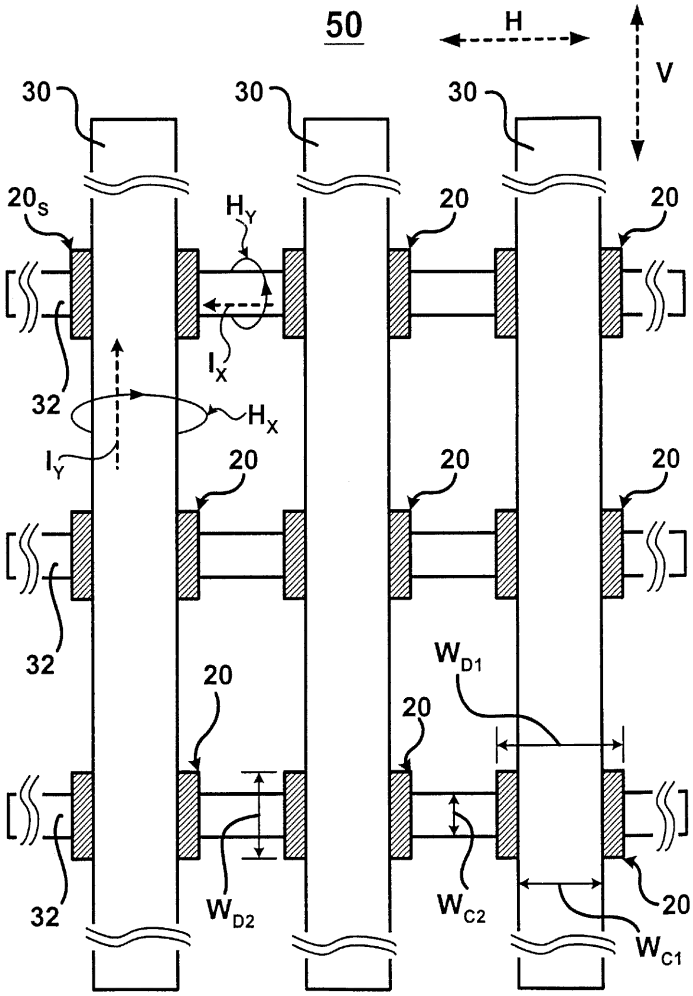
도면 10b



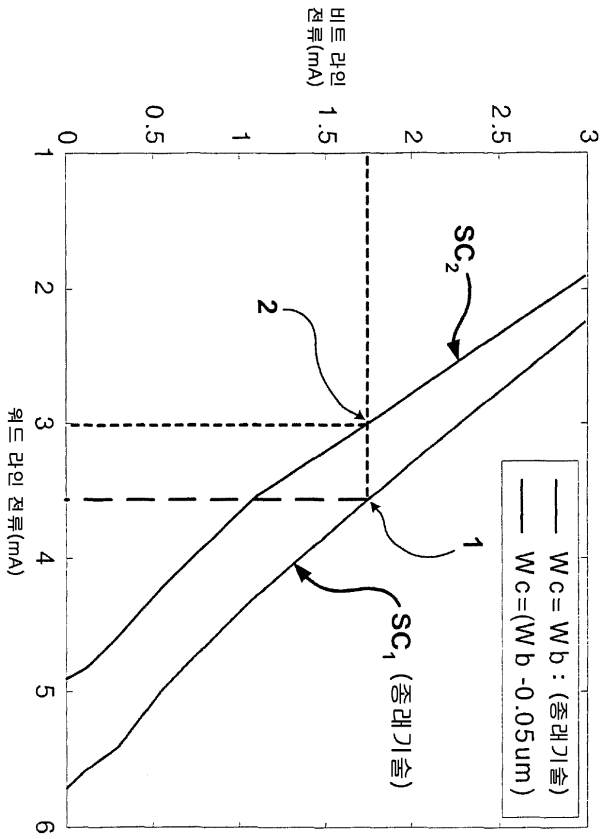
도면 10c



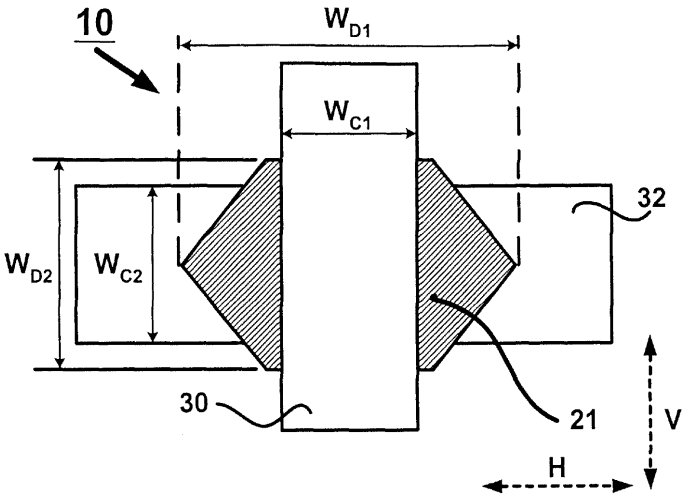
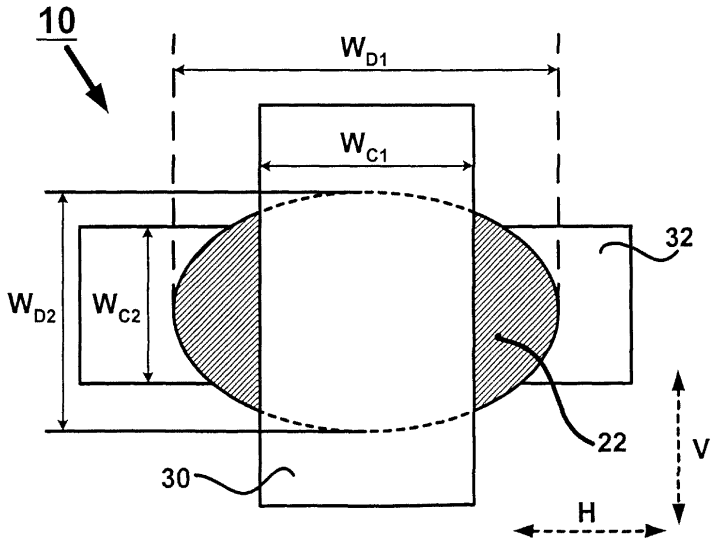
도면 11


50
H
V
30
30
30
20S
HY
20
20
IX
32
HX
IY
20
20
20
32
20
WD1
20
32
WD2
WC2
20
WC1

도면 12


비트 라인 전류(mA)
0
0.5
1
1.5
2
2.5
3
워드 라인 전류(mA)
1
2
3
4
5
6
SC2
2
1
SC1 (종래기술)
Wc = Wb : (종래기술)
Wc=(Wb -0.05um)

도면 13a


10
WD1
WC1
WD2
WC2
32
30
21
V
H

도면 13b