

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4794157号
(P4794157)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月5日(2011.8.5)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 611A
	G09G 3/20 611E
	G09G 3/20 621B
請求項の数 14 (全 42 頁) 最終頁に続く	

(21) 出願番号 特願2004-336890 (P2004-336890)
 (22) 出願日 平成16年11月22日(2004.11.22)
 (65) 公開番号 特開2006-145923 (P2006-145923A)
 (43) 公開日 平成18年6月8日(2006.6.8)
 審査請求日 平成19年11月15日(2007.11.15)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100104433
 弁理士 官園 博一
 (72) 発明者 千田 みちる
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 審査官 森口 忠紀

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

互いに交差するように配置された複数のドレイン線および複数のゲート線と、
 画素電極に接続された第1電極と、第2電極とを有する補助容量をそれぞれ含む第1画素部および第2画素部と、

前記第1画素部および前記第2画素部の前記補助容量の前記第2電極にそれぞれ接続された第1補助容量線および第2補助容量線と、

前記複数のゲート線を順次駆動するためのシフトレジスタを含むとともに、同一の導電型の複数のトランジスタからなるゲート線駆動回路と、

前記第1画素部の前記第1補助容量線および前記第2画素部の前記第2補助容量線に、
 それぞれ、第1電位を有する第1信号および第2電位を有する第2信号を供給するとともに、前記ゲート線駆動回路を構成するトランジスタと同一の導電型の複数のトランジスタからなる信号供給回路部を複数含む信号供給回路とを備え、

前記信号供給回路部は、

前記第1補助容量線および前記第2補助容量線にそれぞれ供給される前記第1電位を有する前記第1信号および前記第2電位を有する前記第2信号を切り替えるための信号切替回路部と、

前記信号切替回路部を駆動する信号を生成するための信号生成回路部とをさらに備え、

前記信号切替回路部は、前記第1補助容量線と前記第1電位を有する前記第1信号が供給される第1信号線との間に接続された第1トランジスタと、前記第1補助容量線と前記

10

20

第 2 電位を有する前記第 2 信号が供給される第 2 信号線との間に接続された第 2 トランジスタと、前記第 2 補助容量線と前記第 1 信号線との間に接続された第 3 トランジスタと、前記第 2 補助容量線と前記第 2 信号線との間に接続された第 4 トランジスタとを含み、

前記第 1 トランジスタおよび前記第 4 トランジスタがオン状態のときには、前記第 2 トランジスタおよび前記第 3 トランジスタがオフ状態になるとともに、前記第 1 トランジスタおよび前記第 4 トランジスタを介して、前記第 1 補助容量線および前記第 2 補助容量線に、それぞれ、前記第 1 電位を有する前記第 1 信号および前記第 2 電位を有する前記第 2 信号が供給され、

前記第 2 トランジスタおよび前記第 3 トランジスタがオン状態のときには、前記第 1 トランジスタおよび前記第 4 トランジスタがオフ状態になるとともに、前記第 2 トランジスタおよび前記第 3 トランジスタを介して、前記第 1 補助容量線および前記第 2 補助容量線に、それぞれ、前記第 2 電位を有する前記第 2 信号および前記第 1 電位を有する前記第 1 信号が供給される、表示装置。

10

【請求項 2】

前記信号供給回路部は、前記複数のゲート線の各々に対応して 1 つずつ設けられており、

各々の前記信号供給回路部は、対応する各々の前記ゲート線の前記第 1 補助容量線および前記第 2 補助容量線に、それぞれ、前記第 1 信号および前記第 2 信号を順次供給する、請求項 1 に記載の表示装置。

【請求項 3】

20

前記信号生成回路部は、直列に順次接続された第 1 信号生成回路部、第 2 信号生成回路部および第 3 信号生成回路部を含み、

前記第 2 信号生成回路部の出力信号は、前記信号切替回路部の前記第 1 トランジスタおよび前記第 4 トランジスタのゲートに入力されるとともに、前記第 3 信号生成回路部の出力信号は、前記信号切替回路部の前記第 2 トランジスタおよび前記第 3 トランジスタのゲートに入力され、

前記第 2 信号生成回路部の出力信号は、前記信号切替回路部の前記第 2 トランジスタおよび前記第 3 トランジスタのオン状態の期間と重ならないオン状態の期間が得られる信号であり、前記第 3 信号生成回路部の出力信号は、前記第 1 トランジスタおよび前記第 4 トランジスタのオン状態の期間と重ならないオン状態の期間が得られる信号である、請求項 1 または 2 に記載の表示装置。

30

【請求項 4】

前記第 1 信号生成回路部、前記第 2 信号生成回路部および前記第 3 信号生成回路部は、第 3 電位側に接続され、前記ゲート線駆動回路の出力信号に応答してオンする第 5 トランジスタと、第 4 電位側に接続された第 6 トランジスタと、前記第 5 トランジスタのゲートと前記第 4 電位との間に接続された第 7 トランジスタと、前記第 5 トランジスタのゲートと前記ゲート線駆動回路の出力信号が供給される前記ゲート線との間に接続され、前記第 7 トランジスタのオン状態の期間と重ならないオン状態の期間が得られるクロック信号に応答してオンすることにより前記第 5 トランジスタのゲートに前記ゲート線駆動回路の出力信号を供給するための第 8 トランジスタとを有する、請求項 3 に記載の表示装置。

40

【請求項 5】

前記第 7 トランジスタは、前記第 6 トランジスタがオン状態のときに前記第 5 トランジスタをオフ状態にする機能を有する、請求項 4 に記載の表示装置。

【請求項 6】

前記第 5 トランジスタのゲートと前記第 8 トランジスタの間には、ダイオードが接続されている、請求項 4 または 5 に記載の表示装置。

【請求項 7】

前記第 5 トランジスタのゲートとソースの間には、容量が接続されている、請求項 4 ~ 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

50

前記第 7 トランジスタは、互いに電氣的に接続された 2 つのゲート電極を有する、請求項 4 ~ 7 のいずれか 1 項に記載の表示装置。

【請求項 9】

前記信号供給回路部および前記ゲート線は、複数段設けられているとともに、所定段の前記信号供給回路部は、前記所定段の前記ゲート線に対応するように配置され、

前記所定段の前記信号供給回路部は、前記所定段の次段の前記ゲート線に供給される出力信号にตอบสนองして、前記第 1 信号および前記第 2 信号を出力する、請求項 1 ~ 8 のいずれか 1 項に記載の表示装置。

【請求項 10】

前記第 1 画素部および前記第 2 画素部は、互いに隣接するように配置されている、請求項 1 ~ 9 のいずれか 1 項に記載の表示装置。

10

【請求項 11】

前記信号供給回路部は、少なくとも 1 つのゲート線に沿って配置された全ての画素部に映像信号を書き終えた後、前記第 1 補助容量線および前記第 2 補助容量線に、それぞれ、前記第 1 信号および前記第 2 信号を供給する、請求項 1 ~ 10 のいずれか 1 項に記載の表示装置。

【請求項 12】

前記信号供給回路部は、全ての画素部に映像信号を書き終える期間である 1 フレーム期間毎に、前記第 1 補助容量線および前記第 2 補助容量線にそれぞれ供給される前記第 1 信号および前記第 2 信号を交互に切り換える、請求項 1 ~ 11 のいずれか 1 項に記載の表示装置。

20

【請求項 13】

前記第 1 画素部および前記第 2 画素部は、互いに隣接するように配置されており、

前記第 1 画素部および前記第 2 画素部の第 1 電極に供給される映像信号は、黒電位と白電位とが互いに反転した波形を有する、請求項 1 ~ 12 のいずれか 1 項に記載の表示装置。

【請求項 14】

複数の前記第 1 画素部のみで構成された第 1 ブロックと、複数の前記第 2 画素部のみで構成された第 2 ブロックとが互いに隣接するように配置されており、

前記第 1 ブロックを構成する複数の前記第 1 画素部および前記第 2 ブロックを構成する複数の前記第 2 画素部に供給される映像信号は、黒電位と白電位とが互いに反転した波形を有する、請求項 1 ~ 12 のいずれか 1 項に記載の表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、表示装置に関し、特に、画素部を有する表示装置に関する。

【背景技術】

【0002】

従来、表示装置として、液晶を含む画素部を備えた液晶表示装置が知られている。この従来の液晶表示装置では、画素部の液晶層は、画素電極と対向電極（共通電極）とによって挟持された構成を有する。そして、従来の液晶表示装置では、画素部の画素電極に印加する電圧（映像信号）を制御することにより液晶分子の配列を変化させることによって、表示部に映像信号に応じた画像が表示される。

40

【0003】

上記した液晶表示装置において、画素部の液晶層（画素電極）に長時間にわたり直流電圧が印加されると、焼き付きと呼ばれる残像現象が生じる。したがって、液晶表示装置を駆動させる場合には、所定の周期で、画素電極の電位（画素電位）を、対向電極の電位に対して反転させる駆動方法を用いる必要がある。このような液晶表示装置の駆動方法の一例として、対向電極に直流電圧を印加する DC 駆動法がある。また、この DC 駆動法として、1 水平期間毎に、画素電位を、直流電圧が印加される対向電極の電位に対して極性を

50

反転させるライン反転駆動法が知られている（たとえば、非特許文献1参照）。なお、1水平期間とは、1本のゲート線に沿って配置された全ての画素部に、映像信号を書き終える期間である。

【0004】

図10は、従来のライン反転駆動法を用いて液晶表示装置を駆動させる場合の波形図である。図10を参照して、従来のライン反転駆動法を用いて液晶表示装置を駆動させる場合には、1水平期間毎に、対向電極の電位COMに対して映像信号（VIDEO）の極性を反転させる。また、画素部A～F毎に、表示する画像に応じて映像信号（VIDEO）を変化させる。

【0005】

しかしながら、図10に示した従来のライン反転駆動法を用いて液晶表示装置を駆動させる場合において、低周波で駆動させることにより消費電力を低減しようとする、フリッカ（ちらつき）が視認されやすくなるという不都合があった。具体的には、低周波で駆動させた場合には、画素電位を保持する期間が長くなるので、その分、画素電位の変動が大きくなる。このように、画素電位の変動が大きくなると、画素部A～Fを通過する光が所望の輝度からずれた輝度になるので、フリッカが発生する。そして、従来のライン反転駆動法では、上記したフリッカが線状（ライン状）に発生するので、フリッカが視認されやすくなる。

【0006】

そこで、従来では、隣接する画素部A～F毎に、映像信号（VIDEO）の極性を対向電極の電位COMに対して反転させるドット反転駆動法を用いた液晶表示装置が提案されている。

【0007】

図11は、従来のドット反転駆動法を用いて液晶表示装置を駆動させる場合の波形図である。図11を参照して、従来のドット反転駆動法を用いて液晶表示装置を駆動させる場合には、図10に示した従来のライン反転駆動法と異なり、画素部A～F毎に、対向電極の電位COMに対して、表示する画像に応じた映像信号（VIDEO）の極性を反転させる。このような従来のドット反転駆動法を用いて液晶表示装置を駆動させることによって、低周波で駆動させることに起因してフリッカが発生したとしても、そのフリッカが線状（ライン状）に発生することがないので、フリッカを視認しにくくすることが可能となる。

【0008】

【非特許文献1】鈴木八十二著「液晶ディスプレイ工学入門」日刊工業新聞社、1998年11月20日、pp.101-103

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、図11に示した従来のドット反転駆動法では、映像信号（VIDEO）の極性を、直流電圧が印加される対向電極の電位COMに対して反転させるために、液晶駆動電圧の2倍の電圧を有する映像信号が必要となる。たとえば、図11において、液晶駆動電圧をV1とした場合、映像信号（VIDEO）の極性を対向電極の電位COMに対して反転させる前と後とで同じ液晶駆動電圧V1を得ようとする、液晶駆動電圧V1の2倍の電圧V2を有する映像信号が必要となる。このため、液晶表示装置を低周波で駆動させることにより消費電力の低減を図ったとしても、消費電力の低減には限界があるという問題点があった。

【0010】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、フリッカ（ちらつき）を視認しにくくするとともに、消費電力を低減することが可能な表示装置を提供することである。

【課題を解決するための手段および発明の効果】

10

20

30

40

50

【0011】

上記目的を達成するために、この発明の一の局面による表示装置は、互いに交差するように配置された複数のドレイン線および複数のゲート線と、画素電極に接続された第1電極と、第2電極とを有する補助容量をそれぞれ含む第1画素部および第2画素部と、第1画素部および第2画素部の補助容量の第2電極にそれぞれ接続された第1補助容量線および第2補助容量線と、複数のゲート線を順次駆動するためのシフトレジスタを含むとともに、同一の導電型の複数のトランジスタからなるゲート線駆動回路と、第1画素部の第1補助容量線および第2画素部の第2補助容量線に、それぞれ、第1電位を有する第1信号および第2電位を有する第2信号を供給するとともに、ゲート線駆動回路を構成するトランジスタと同一の導電型の複数のトランジスタからなる信号供給回路部を複数含む信号供給回路とを備えている。

10

【0012】

この一の局面による表示装置では、上記のように、第1画素部の第1補助容量線および第2画素部の第2補助容量線に、それぞれ、第1電位を有する第1信号および第2電位を有する第2信号を供給するための信号供給回路を設けることによって、たとえば、第1電位がHレベル（プラス極性）で第2電位がLレベル（マイナス極性）であるとともに、第1信号が第1画素部の第1補助容量線に供給され、第2信号が第2画素部の第2補助容量線に供給されるとすると、プラス極性の第1信号が第1補助容量線を介して第1画素部の補助容量の第2電極に供給されるので、第1画素部の補助容量の電位をHレベルに立ち上げることができる。また、マイナス極性の第2信号が第2補助容量線を介して第2画素部の補助容量の第2電極に供給されるので、第2画素部の補助容量の電位をLレベルに立ち下げることができる。これにより、第1画素部にHレベルの映像信号を書き終えた後に、第1画素部の補助容量の第2電極にプラス極性の第1信号を供給すれば、第1画素部の画素電極の電位を、映像信号を書き終えた直後の状態よりも高くすることができる。また、第2画素部にLレベルの映像信号を書き終えた後に、第2画素部の補助容量の第2電極にマイナス極性の第2信号を供給すれば、第2画素部の画素電位を、映像信号を書き終えた直後の状態よりも低くすることができる。これにより、映像信号のダイナミックレンジを大きくする必要がないので、映像信号のダイナミックレンジを大きくすることに起因する消費電力の増大を抑制することができる。その結果、消費電力を低減することができる。また、隣接する画素部毎に、画素電位（映像信号）を、共通電極の電位に対して反転させるドット反転駆動を行う場合には、第1画素部と第2画素部とを隣接するように配置することにより、容易に、ドット反転駆動を行うことができる。さらに、複数の画素部毎に、画素電位（映像信号）を、共通電極の電位に対して反転させるブロック反転駆動を行う場合には、一方のブロックを複数の第1画素部のみで構成するとともに、他方のブロックを複数の第2画素部のみで構成し、かつ、一方のブロックと他方のブロックとを隣接するように配置することにより、容易に、ブロック反転駆動を行うことができる。このように、ドット反転駆動やブロック反転駆動を行うことによって、隣接するゲート線毎に、画素電位（映像信号）を、共通電極の電位に対して反転させるライン反転駆動を行う場合と異なり、フリッカが線状（ライン状）に発生することがないので、フリッカを視認しにくくすることができる。また、ゲート線駆動回路を、同一の導電型の複数のトランジスタにより構成するとともに、信号供給回路を、ゲート線駆動回路を構成するトランジスタと同一の導電型の複数のトランジスタにより構成することによって、ゲート線駆動回路および信号供給回路をそれぞれ構成する複数のトランジスタを形成する際に、イオン注入工程の回数およびイオン注入マスクの枚数が増加するのを抑制することができる。これにより、製造プロセスが複雑化するのを抑制できるとともに、製造コストが増大するのを抑制することができる。

20

30

40

【0013】

上記一の局面による表示装置において、好ましくは、信号供給回路部は、複数のゲート線の各々に対応して1つずつ設けられており、各々の信号供給回路部は、対応する各々のゲート線の第1補助容量線および第2補助容量線に、それぞれ、第1信号および第2信号

50

を順次供給する。このように構成すれば、各々のゲート線に沿って第1画素部および第2画素部が配置されている場合に、各々のゲート線の第1画素部および第2画素部に順次映像信号が書き込まれた後に、各々の信号供給回路部により各々のゲート線に対応する第1補助容量線および第2補助容量線に、容易に、第1信号および第2信号の一方および他方を順次供給することができる。

【0014】

上記一の局面による表示装置において、好ましくは、信号供給回路部は、第1補助容量線および第2補助容量線にそれぞれ供給される第1電位を有する第1信号および第2電位を有する第2信号を切り替えるための信号切替回路部と、信号切替回路部を駆動する信号を生成するための信号生成回路部とを含む。このように構成すれば、1フレーム期間毎に、第1画素部および第2画素部の画素電極に書き込む映像信号の電位を、共通電極の電位に対して反転させるドット反転駆動(ブロック反転駆動)を行う場合に、容易に、信号切替回路部により、第1画素部および第2画素部の容量にそれぞれ接続される第1補助容量線および第2補助容量線に供給される第1信号および第2信号を、1フレーム期間毎に切り替えることができる。

10

【0015】

上記信号供給回路部が信号切替回路部と信号生成回路部とを含む構成において、好ましくは、信号切替回路部は、第1補助容量線と第1電位を有する第1信号が供給される第1信号線との間に接続された第1トランジスタと、第1補助容量線と第2電位を有する第2信号が供給される第2信号線との間に接続された第2トランジスタと、第2補助容量線と第1信号線との間に接続された第3トランジスタと、第2補助容量線と第2信号線との間に接続された第4トランジスタとを含み、第1トランジスタおよび第4トランジスタがオン状態のときには、第2トランジスタおよび第3トランジスタがオフ状態になるとともに、第1トランジスタおよび第4トランジスタを介して、第1補助容量線および第2補助容量線に、それぞれ、第1電位を有する第1信号および第2電位を有する第2信号が供給され、第2トランジスタおよび第3トランジスタがオン状態のときには、第1トランジスタおよび第4トランジスタがオフ状態になるとともに、第2トランジスタおよび第3トランジスタを介して、第1補助容量線および第2補助容量線に、それぞれ、第2電位を有する第2信号および第1電位を有する第1信号が供給される。このように構成すれば、第1補助容量線および第2補助容量線の各々に第1信号および第2信号を供給する場合には、容易に、オン状態の第1および第4トランジスタを介して、第1補助容量線および第2補助容量線の各々に第1信号および第2信号を供給することができる。また、第1補助容量線および第2補助容量線の各々に第2信号および第1信号を供給する場合には、容易に、オン状態の第2および第3トランジスタを介して、第1補助容量線および第2補助容量線の各々に第2信号および第1信号を供給することができる。

20

30

【0016】

上記信号切替回路部が第1~第4トランジスタを含む構成において、好ましくは、信号生成回路部は、直列に順次接続された第1信号生成回路部、第2信号生成回路部および第3信号生成回路部を含み、第2信号生成回路部の出力信号は、信号切替回路部の第1トランジスタおよび第4トランジスタのゲートに入力されるとともに、第3信号生成回路部の出力信号は、信号切替回路部の第2トランジスタおよび第3トランジスタのゲートに入力され、第2信号生成回路部の出力信号は、信号切替回路部の第2トランジスタおよび第3トランジスタのオン状態の期間と重ならないオン状態の期間が得られる信号であり、第3信号生成回路部の出力信号は、第1トランジスタおよび第4トランジスタのオン状態の期間と重ならないオン状態の期間が得られる信号である。このように構成すれば、第1および第4トランジスタと第2および第3トランジスタとのオン状態の期間が重ならないので、容易に、第1補助容量線および第2補助容量線の各々に第1信号および第2信号を供給する場合に、第1および第4トランジスタのみがオン状態になるように制御できるとともに、第1補助容量線および第2補助容量線の各々に第2信号および第1信号を供給する場合に、第2および第3トランジスタのみがオン状態になるように制御すること

40

50

ができる。

【 0 0 1 7 】

上記信号生成回路部が第1～第3信号生成回路部を含む構成において、好ましくは、第1信号生成回路部、第2信号生成回路部および第3信号生成回路部は、第3電位側に接続され、ゲート線駆動回路の出力信号に 응답してオンする第5トランジスタと、第4電位側に接続された第6トランジスタと、第5トランジスタのゲートと第4電位との間に接続された第7トランジスタと、第5トランジスタのゲートとゲート線駆動回路の出力信号が供給されるゲート線との間に接続され、第7トランジスタのオン状態の期間と重ならないオン状態の期間が得られるクロック信号に 응답してオンすることにより第5トランジスタのゲートにゲート線駆動回路の出力信号を供給するための第8トランジスタとを有する。このように構成すれば、第7トランジスタと第8トランジスタとのオン状態の期間が重ならないので、第7および第8トランジスタを介して第4電位とゲート線との間に貫通電流が流れるのを抑制することができる。この場合、第7トランジスタがオン状態のときに第6トランジスタがオン状態になるように構成すれば、第7トランジスタのオン状態の期間と重ならないオン状態の期間が得られるクロック信号に 응답してオンする第8トランジスタによりゲートにゲート線駆動回路の出力信号が供給される第5トランジスタと、第6トランジスタとのオン状態の期間が重ならないので、第5および第6トランジスタを介して第3電位と第4電位との間に貫通電流が流れるのを抑制することができる。

10

【 0 0 1 8 】

また、第2信号生成回路部から第3電位の出力信号が出力されている場合、第2信号生成回路部の第3電位の出力信号が第3信号生成回路部の第6および第7トランジスタのゲートに入力されるように構成すれば、第3信号生成回路部の第6および第7トランジスタがオン状態になるとともに、第3信号生成回路部の第5および第8トランジスタがオフ状態になるので、第3信号生成回路部から第6トランジスタを介して第4電位の出力信号が出力される。この場合、第2信号生成回路部からの第3電位の出力信号が信号切替回路部の第1および第4トランジスタのゲートに入力されるとともに、第3信号生成回路部からの第4電位の出力信号が信号切替回路部の第2および第3トランジスタのゲートに入力されるので、信号切替回路部において、容易に、第1および第4トランジスタのみがオン状態になるように制御することができる。また、第2信号生成回路部から第4電位の出力信号が出力されている場合には、第3信号生成回路部の第6および第7トランジスタがオフ状態になるとともに、第3信号生成回路部の第5および第8トランジスタがオン状態になるので、第3信号生成回路部から第5トランジスタを介して第3電位の出力信号が出力される。この場合、第2信号生成回路部からの第4電位の出力信号が信号切替回路部の第1および第4トランジスタのゲートに入力されるとともに、第3信号生成回路部からの第3電位の出力信号が信号切替回路部の第2および第3トランジスタのゲートに入力されるので、信号切替回路部において、容易に、第2および第3トランジスタのみがオン状態になるように制御することができる。

20

30

【 0 0 1 9 】

上記信号生成回路部が第5～第8トランジスタを含む構成において、好ましくは、第7トランジスタは、第6トランジスタがオン状態のときに第5トランジスタをオフ状態にする機能を有する。このように構成すれば、第5トランジスタと第6トランジスタとのオン状態の期間が重なることがないので、容易に、第5および第6トランジスタを介して第3電位と第4電位との間に貫通電流が流れるのを抑制することができる。

40

【 0 0 2 0 】

上記信号生成回路部が第5～第8トランジスタを含む構成において、好ましくは、第5トランジスタのゲートと第8トランジスタとの間には、ダイオードが接続されている。このように構成すれば、第5トランジスタのゲートとゲート線との間で電流が逆流することがないので、第5トランジスタがオン状態のときの第5トランジスタのゲート電位が変動するのを抑制することができる。これにより、確実に、第5トランジスタをオン状態に保持することができる。

50

【 0 0 2 1 】

上記信号生成回路部が第5～第8トランジスタを含む構成において、好ましくは、第5トランジスタのゲートとソースの間には、容量が接続されている。このように構成すれば、容量が接続された第5トランジスタのゲート-ソース間電圧を維持するように、第5トランジスタのソース電位の上昇または低下に伴って第5トランジスタのゲート電位を上昇または低下させることができる。これにより、確実に、第5トランジスタをオン状態に保持することができる。

【 0 0 2 2 】

上記信号生成回路部が第5～第8トランジスタを含む構成において、好ましくは、第7トランジスタは、互いに電氣的に接続された2つのゲート電極を有する。このように構成すれば、第7トランジスタに印加される電圧を、2つのゲート電極により各ゲート電極に対応するソース-ドレイン間に分配することができる。この場合、第7トランジスタの各ゲート電極に対応するソース-ドレイン間に印加される電圧を小さくすることができるので、第7トランジスタに大きい電圧が印加されることに起因する特性の劣化を抑制することができる。

10

【 0 0 2 3 】

上記一の局面による表示装置において、好ましくは、信号供給回路部およびゲート線は、複数段設けられているとともに、所定段の信号供給回路部は、所定段のゲート線に対応するように配置され、所定段の信号供給回路部は、所定段の次段のゲート線に供給される出力信号にตอบสนองして、第1信号および第2信号を出力する。このように構成すれば、所定段の次段のゲート線に供給される出力信号は、所定段のゲート線に出力信号が供給された後に供給されるので、容易に、所定段のゲート線に沿って配置された第1画素部および第2画素部に映像信号が書き込まれた後に、所定段のゲート線に対応する第1補助容量線および第2補助容量線に、それぞれ、第1信号および第2信号の一方および他方を供給することができる。

20

【 0 0 2 4 】

上記一の局面による表示装置において、好ましくは、第1画素部および第2画素部は、互いに隣接するように配置されている。このように構成すれば、容易に、隣接する画素部毎に、画素電位(映像信号)を、共通電極の電位に対して反転させるドット反転駆動を行うことができる。

30

【 0 0 2 5 】

上記一の局面による表示装置において、好ましくは、信号供給回路部は、少なくとも1つのゲート線に沿って配置された全ての画素部に映像信号を書き終えた後、第1補助容量線および第2補助容量線に、それぞれ、第1信号および第2信号を供給する。このように構成すれば、容易に、少なくとも1つのゲート線に沿って配置された全ての画素部の画素電位を、映像信号を書き終えた直後の状態よりも高くまたは低くすることができる。

【 0 0 2 6 】

上記一の局面による表示装置において、好ましくは、信号供給回路部は、全ての画素部に映像信号を書き終える期間である1フレーム期間毎に、第1補助容量線および第2補助容量線にそれぞれ供給される第1信号および第2信号を交互に切り換える。このように構成すれば、1フレーム期間毎に、第1画素部の画素電極および第2画素部の画素電極に書き込まれる画素電位を、共通電極の電位に対して反転させることにより、より容易に、ドット反転駆動またはブロック反転駆動を行うことができる。この場合、容易に、フリッカを抑制することができる。

40

【 0 0 2 7 】

上記一の局面による表示装置において、好ましくは、第1画素部および第2画素部は、互いに隣接するように配置されており、第1画素部および第2画素部の第1電極に供給される映像信号は、黒電位と白電位とが互いに反転した波形を有する。このように構成すれば、より容易に、ドット反転駆動を行うことができる。

【 0 0 2 8 】

50

上記一の局面による表示装置において、好ましくは、複数の第1画素部のみで構成された第1ブロックと、複数の第2画素部のみで構成された第2ブロックとが互いに隣接するように配置されており、第1ブロックを構成する複数の第1画素部および第2ブロックを構成する複数の第2画素部に供給される映像信号は、黒電位と白電位とが互いに反転した波形を有する。このように構成すれば、より容易に、ブロック反転駆動を行うことができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施形態を図面に基づいて説明する。

【0030】

(第1実施形態)

図1は、本発明の第1実施形態による液晶表示装置を示した平面図であり、図2は、図1に示した第1実施形態による液晶表示装置のブロック図である。図3は、図1に示した第1実施形態による液晶表示装置のVドライバ内部の回路図である。

【0031】

まず、図1を参照して、この第1実施形態では、基板1上に、表示部2が設けられている。表示部2には、画素部3aおよび3bが配置されている。なお、図1では、図面の簡略化のため、1段目のゲート線(G1)と、1段目のゲート線(G1)に交差する2本のドレイン線(D1およびD2)とを図示するとともに、1段目のゲート線(G1)に沿って配置された画素部3aおよび3bをそれぞれ1つずつのみ図示しているが、実際には、複数のゲート線と複数のドレイン線とが互いに交差するように配置されているとともに、画素部3aおよび3bが互いに隣接するようにマトリクス状に配置されている。なお、画素部3aおよび3bは、それぞれ、本発明の「第1画素部」および「第2画素部」の一例である。

【0032】

画素部3aおよび3bは、それぞれ、液晶層31、nチャネルトランジスタ32(以下、トランジスタ32という)および補助容量33によって構成されている。画素部3aおよび3bの液晶層31は、それぞれ、画素電極34と共通の対向電極(共通電極)35との間に配置されている。また、画素部3aのトランジスタ32のドレインは、ドレイン線(D1)に接続されているとともに、画素部3bのトランジスタ32のドレインは、ドレイン線(D2)に接続されている。画素部3aおよび3bのトランジスタ32のソースは、それぞれ、画素電極34に接続されている。また、画素部3aおよび3bの補助容量33の一方の電極36は、それぞれ、画素電極34に接続されている。

【0033】

ここで、第1実施形態では、画素部3aの補助容量33の他方の電極37aは、補助容量線(SC1-1)に接続されているとともに、画素部3bの補助容量33の他方の電極37bは、補助容量線(SC2-1)に接続されている。なお、図1では、画素部3aおよび3bにそれぞれ接続される一対の補助容量線(SC1-1およびSC2-1)のみを図示しているが、実際には、複数段のゲート線の各々に対して一対の補助容量線が1段ずつ設けられている。また、1段分のゲート線に沿って配置された複数の画素部3aおよび3bには、1段分の一対の補助容量線の一方および他方が交互に接続されている。なお、電極36は、本発明の「第1電極」の一例であり、電極37aおよび37bは、本発明の「第2電極」の一例である。また、画素部3aに接続される補助容量線(SC1-1)は、本発明の「第1補助容量線」の一例であり、画素部3bに接続される補助容量線(SC2-1)は、本発明の「第2補助容量線」の一例である。

【0034】

また、基板1上には、ドレイン線を駆動(走査)するためのnチャネルトランジスタ(Hスイッチ)4aおよび4b(以下、トランジスタ4aおよび4bという)と、図示しない複数のnチャネルトランジスタからなるHドライバ5とが設けられている。そして、画素部3aに対応するトランジスタ4aは、映像信号線(VIDEO1)に接続されている

10

20

30

40

50

とともに、画素部 3 b に対応するトランジスタ 4 b は、映像信号線 (V I D E O 2) に接続されている。また、映像信号 V I D E O 1 および V I D E O 2 は、黒電位と白電位とが互いに反転した波形を有する。

【 0 0 3 5 】

ここで、第 1 実施形態では、図 1 および図 2 に示すように、基板 1 上に、ゲート線駆動回路 6 と信号供給回路 7 とを含む V ドライバ 8 が設けられている。V ドライバ 8 のゲート線駆動回路 6 は、複数段のゲート線を駆動 (走査) する機能を有する。また、信号供給回路 7 は、複数段の一对の補助容量線に、プラス極性である H i g h 側 (高電圧側) 電位 V S C H およびマイナス極性である L o w 側 (低電圧側) 電位 V S C L の一方および他方を 1 フレーム期間毎に交互に供給する機能を有する。なお、1 フレーム期間とは、表示部 2 を構成する全ての画素部 3 a および 3 b に、映像信号 V I D E O 1 および V I D E O 2 を書き終える期間である。

10

【 0 0 3 6 】

また、図 1 に示すように、基板 1 の外部には、駆動 I C 9 が設置されている。この駆動 I C 9 から H ドライバ 5 に、正側電位 H V D D、負側電位 H V B B、スタート信号 S T H およびクロック信号 C K H が供給される。また、駆動 I C 9 から V ドライバ 8 に、正側電位 V V D D、負側電位 V V B B、スタート信号 S T V、クロック信号 C K V、イネーブル信号 E N B、H i g h 側 (高電圧側) 電位 V S C H、L o w 側 (低電圧側) 電位 V S C L およびクロック信号 C K V S C が供給される。なお、クロック信号 C K V は、V ドライバ 8 のゲート線駆動回路 6 (図 2 参照) に入力されており、1 フレーム期間中に、正側電位 V D D と負側電位 V B B とが所定の周期で切り替わる。その一方、クロック信号 C K V S C は、V ドライバ 8 の信号供給回路 7 に入力されており、1 フレーム期間毎に、正側電位 V D D と負側電位 V B B とが切り替わる。

20

【 0 0 3 7 】

次に、図 3 を参照して、V ドライバ 8 の内部構成について説明する。ゲート線駆動回路 6 は、複数段のシフトレジスタ回路部 6 1 ~ 6 6 と、複数段の論理合成回路部 1 6 1 ~ 1 6 5 とを含む。なお、図 3 では、図面の簡略化のため、6 段分のシフトレジスタ回路部 6 1 ~ 6 6 および 5 段分の論理合成回路部 1 6 1 ~ 1 6 5 のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【 0 0 3 8 】

そして、1 段目のシフトレジスタ回路部 6 1 は、第 1 回路部 6 1 a と第 2 回路部 6 1 b とによって構成されている。1 段目のシフトレジスタ回路部 6 1 の第 1 回路部 6 1 a は、n チャネルトランジスタ N T 1、N T 2、N T 3 および N T 4 と、ダイオード接続された n チャネルトランジスタ N T 5 と、容量 C 1 とを含む。以下、n チャネルトランジスタ N T 1 ~ N T 5 は、それぞれ、トランジスタ N T 1 ~ N T 5 と称する。

30

【 0 0 3 9 】

ここで、第 1 実施形態では、第 1 回路部 6 1 a に設けられたトランジスタ N T 1 ~ N T 5 は、すべて n 型の M O S トランジスタ (電界効果型トランジスタ) からなる T F T (薄膜トランジスタ) により構成されている。

【 0 0 4 0 】

また、1 段目のシフトレジスタ回路部 6 1 の第 1 回路部 6 1 a において、トランジスタ N T 1 のソースは、ノード N D 2 に接続されているとともに、ドレインは、正側電位 V D D に接続されている。このトランジスタ N T 1 のゲートは、ノード N D 1 に接続されている。また、容量 C 1 が、トランジスタ N T 1 のゲートとソースとの間に接続されている。また、トランジスタ N T 2 のソースは、負側電位 V B B に接続されているとともに、ドレインは、ノード N D 2 に接続されている。このトランジスタ N T 2 のゲートには、スタート信号 S T V が入力される。

40

【 0 0 4 1 】

また、トランジスタ N T 3 は、トランジスタ N T 1 のゲートと負側電位 V B B との間に接続されている。すなわち、トランジスタ N T 3 のソースは、負側電位 V B B に接続され

50

ているとともに、ドレインは、ノードND1に接続されている。このトランジスタNT3のゲートには、トランジスタNT2と同様、スタート信号STVが入力される。また、トランジスタNT3は、互いに電氣的に接続された2つのゲート電極を有する。また、トランジスタNT3は、トランジスタNT2がオン状態のときに、トランジスタNT1をオフ状態にする機能を有する。

【0042】

また、トランジスタNT4は、トランジスタNT1のゲートとクロック信号線(CKV1)との間に接続されている。具体的には、トランジスタNT4のソースは、ダイオード接続されたトランジスタNT5を介してノードND1に接続されているとともに、ドレインは、クロック信号線(CKV1)に接続されている。このトランジスタNT4のゲートには、2段目のシフトレジスタ回路部62のシフト信号SR2が入力される。

10

【0043】

また、1段目のシフトレジスタ回路部61の第2回路部61bは、nチャネルトランジスタNT11、NT12、NT13およびNT14と、ダイオード接続されたnチャネルトランジスタNT15と、容量C11とを含む。以下、nチャネルトランジスタNT11~NT15は、それぞれ、トランジスタNT11~NT15と称する。

【0044】

ここで、第1実施形態では、第2回路部61bに設けられたトランジスタNT11~NT15は、すべてn型のMOSトランジスタからなるTFETにより構成されている。

【0045】

20

また、1段目のシフトレジスタ回路部61の第2回路部61bにおいて、トランジスタNT11のソースは、ノードND12に接続されているとともに、ドレインは、正側電位VDDに接続されている。このトランジスタNT11のゲートは、ノードND11に接続されている。また、容量C11が、トランジスタNT11のゲートとソースとの間に接続されている。また、トランジスタNT12のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND12に接続されている。このトランジスタNT12のゲートは、第1回路部61aのノードND2に接続されている。

【0046】

また、トランジスタNT13は、トランジスタNT11のゲートと負側電位VBBとの間に接続されている。すなわち、トランジスタNT13のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND11に接続されている。このトランジスタNT13のゲートは、トランジスタNT12と同様、第1回路部61aのノードND2に接続されている。また、トランジスタNT13は、互いに電氣的に接続された2つのゲート電極を有する。また、トランジスタNT13は、トランジスタNT12がオン状態のときに、トランジスタNT11をオフ状態にする機能を有する。

30

【0047】

また、トランジスタNT14は、トランジスタNT11のゲートとクロック信号線(CKV1)との間に接続されている。具体的には、トランジスタNT14のソースは、ダイオード接続されたトランジスタNT15を介してノードND11に接続されているとともに、ドレインは、クロック信号線(CKV1)に接続されている。このトランジスタNT14のゲートには、スタート信号STVが入力される。

40

【0048】

また、2段目~6段目のシフトレジスタ回路部62~66は、上記した1段目のシフトレジスタ回路部61と同様の回路構成を有する。すなわち、2段目~6段目のシフトレジスタ回路部62~66は、それぞれ、1段目のシフトレジスタ回路部61の第1回路部61aと同様の回路構成を有する第1回路部62a~66aと、1段目のシフトレジスタ回路部61の第2回路部61bと同様の回路構成を有する第2回路部62b~66bとによって構成されている。また、図示しない7段目以降のシフトレジスタ回路部も、上記した1段目のシフトレジスタ回路部61と同様の回路構成を有する。

【0049】

50

そして、２段目以降のシフトレジスタ回路部において、所定段のシフトレジスタ回路部のトランジスタNT2およびNT3のゲートには、前段のシフトレジスタ回路部のシフト出力信号が入力される。また、所定段のシフトレジスタ回路部のトランジスタNT4のゲートには、次段のシフトレジスタ回路部のシフト信号が入力されるとともに、所定段のシフトレジスタ回路部のトランジスタNT14のゲートには、前段のシフトレジスタ回路部のシフト信号が入力される。なお、１段目～６段目のシフトレジスタ回路部61～66において、ノードND11から出力される信号が各々のシフト信号SR1～SR6であり、ノードND12から出力される信号が各々のシフト出力信号SR11～SR16である。
【0050】

また、２段目のシフトレジスタ回路部62、４段目のシフトレジスタ回路部64および６段目のシフトレジスタ回路部66のトランジスタNT4およびNT14のドレインは、クロック信号線(CKV2)に接続されている。その一方、３段目のシフトレジスタ回路部63および５段目のシフトレジスタ回路部65のトランジスタNT4およびNT14のドレインは、１段目のシフトレジスタ回路部61のトランジスタNT4およびNT14と同様、クロック信号線(CKV1)に接続されている。すなわち、複数段のシフトレジスタ回路部には、クロック信号線(CKV1)とクロック信号線(CKV2)とが１段毎に交互に接続されている。
【0051】

また、論理合成回路部161～165は、それぞれ、ダミーゲート線(DG)および１段目～４段目のゲート線(G1～G4)に接続されている。
【0052】

ダミーゲート線(DG)に接続される論理合成回路部161は、 n チャネルトランジスタNT21、NT22、NT23およびNT24と、ダイオード接続された n チャネルトランジスタNT25と、容量C21とを含む。以下、 n チャネルトランジスタNT21～NT25は、それぞれ、トランジスタNT21～NT25と称する。
【0053】

ここで、第１実施形態では、論理合成回路部161に設けられたトランジスタNT21～NT25は、すべて n 型のMOSトランジスタからなるTFETにより構成されている。
【0054】

また、ダミーゲート線(DG)に接続される論理合成回路部161において、トランジスタNT21のドレインは、イネーブル信号線(ENB)に接続されているとともに、ソースは、トランジスタNT22のドレインに接続されている。トランジスタNT22のソースは、ノードND21(ダミーゲート線)に接続されている。トランジスタNT21のゲートには、１段目のシフトレジスタ回路部61のシフト信号SR1が入力されるとともに、トランジスタNT22のゲートには、２段目のシフトレジスタ回路部62のシフト信号SR2が入力される。
【0055】

また、トランジスタNT23のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND21(ダミーゲート線)に接続されている。このトランジスタNT23のゲートには、ダイオード接続されたトランジスタNT25を介して３段目のシフトレジスタ回路部63のシフト出力信号SR13が入力される。また、トランジスタNT24のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND22(トランジスタNT23のゲート)に接続されている。このトランジスタNT24のゲートは、ノードND21に接続されている。また、容量C21の一方の電極は、負側電位VBBに接続されているとともに、他方の電極は、ノードND22(トランジスタNT23のゲート)に接続されている。
【0056】

また、１段目～４段目のゲート線(G1～G4)にそれぞれ接続される論理合成回路部162～165は、上記したダミーゲート線(DG)に接続される論理合成回路部161と同様の回路構成を有する。そして、論理合成回路部162～165のトランジスタNT

10

20

30

40

50

22のソースおよびトランジスタNT23のドレインに、それぞれ、1段目～4段目のゲート線(G1～G4)が接続されている。また、図示しない5段目以降のゲート線に接続される論理合成回路部も、上記したダミーゲート線(DG)に接続される論理合成回路部161と同様の回路構成を有する。

【0057】

また、1段目のゲート線(G1)に接続される論理合成回路部162において、トランジスタNT21のゲートには、2段目のシフトレジスタ回路部62のシフト信号SR2が入力されるとともに、トランジスタNT22のゲートには、3段目のシフトレジスタ回路部63のシフト信号SR3が入力される。また、2段目のゲート線(G2)に接続される論理合成回路部163において、トランジスタNT21のゲートには、3段目のシフトレジスタ回路部63のシフト信号SR3が入力されるとともに、トランジスタNT22のゲートには、4段目のシフトレジスタ回路部64のシフト信号SR4が入力される。このように、所定段のゲート線に接続される論理合成回路部のトランジスタNT21およびNT22には、それぞれ、隣接するシフトレジスタ回路部のシフト信号が入力される。さらに、所定段のゲート線に接続される論理合成回路部のトランジスタNT21に入力されるシフト信号と、前段のゲート線に接続される論理合成回路部のトランジスタNT22に入力されるシフト信号とが重なるとともに、所定段のゲート線に接続される論理合成回路部のトランジスタNT22に入力されるシフト信号と、次段のゲート線に接続される論理合成回路部のトランジスタNT21に入力されるシフト信号とが重なる。

【0058】

また、1段目のゲート線(G1)に接続される論理合成回路部162のトランジスタNT23のゲートには、4段目のシフトレジスタ回路部64のシフト出力信号SR14が入力されるとともに、2段目のゲート線(G2)に接続される論理合成回路部163のトランジスタNT23のゲートには、5段目のシフトレジスタ回路部65のシフト出力信号SR15が入力される。そして、3段目以降のゲート線に接続される論理合成回路部のトランジスタNT23のゲートには、それぞれ、6段目以降のシフトレジスタ回路部のシフト出力信号が入力される。

【0059】

また、Vドライバ8の信号供給回路7は、複数段の信号供給回路部71～74を含む。そして、信号供給回路部71は、ダミー補助容量線(SC1-DおよびSC2-D)に接続されている。また、信号供給回路部72は、1段目の補助容量線(SC1-1およびSC2-1)に接続されているとともに、信号供給回路部73は、2段目の補助容量線(SC1-2およびSC2-2)に接続されている。また、信号供給回路部74は、3段目の補助容量線(SC1-3およびSC2-3)に接続されている。なお、図3では、図面の簡略化のため、4段分の信号供給回路部71～74のみを図示しているが、実際はダミーゲート線を含む複数のゲート線と同じ数の信号供給回路部が設けられている。

【0060】

そして、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71は、第1信号生成回路部71aと、第2信号生成回路部71bと、第3信号生成回路部71cと、信号切替回路部71dとによって構成されている。ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第1信号生成回路部71aは、nチャネルトランジスタNT31、NT32、NT33およびNT34と、ダイオード接続されたnチャネルトランジスタNT35と、容量C31とを含む。なお、nチャネルトランジスタNT31、NT32、NT33およびNT34は、それぞれ、本発明の「第5トランジスタ」、「第6トランジスタ」、「第7トランジスタ」および「第8トランジスタ」の一例であり、nチャネルトランジスタNT35は、本発明の「ダイオード」の一例である。以下、nチャネルトランジスタNT31～NT35は、それぞれ、トランジスタNT31～NT35と称する。

【0061】

ここで、第1実施形態では、第1信号生成回路部71aに設けられたトランジスタNT

31 ~ NT35は、すべてn型のMOSトランジスタからなるTFTにより構成されている。

【0062】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第1信号生成回路部71aにおいて、トランジスタNT31のソースは、ノードND32に接続されているとともに、ドレインは、正側電位VDDに接続されている。このトランジスタNT31のゲートは、ノードND31に接続されている。また、トランジスタNT32のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND32に接続されている。このトランジスタNT32のゲートには、クロック信号CKVSCが入力される。

10

【0063】

ここで、第1実施形態では、トランジスタNT33は、トランジスタNT31のゲートと負側電位VBBとの間に接続されている。すなわち、トランジスタNT33のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND31に接続されている。このトランジスタNT33のゲートには、トランジスタNT32と同様、クロック信号CKVSCが入力される。また、トランジスタNT33は、互いに電氣的に接続された2つのゲート電極を有する。また、トランジスタNT33は、トランジスタNT32がオン状態のときに、トランジスタNT31をオフ状態にする機能を有する。

【0064】

また、第1実施形態では、トランジスタNT34は、トランジスタNT31のゲートと1段目のゲート線(G1)との間に接続されている。具体的には、トランジスタNT34のソースは、ダイオード接続されたトランジスタNT35を介してノードND31に接続されているとともに、ドレインは、1段目のゲート線(G1)に接続されている。このトランジスタNT34のゲートには、反転クロック信号XCKVSCが入力される。

20

【0065】

また、第1実施形態では、容量C31は、トランジスタNT31のゲートとソースとの間に接続されている。

【0066】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第2信号生成回路部71bは、nチャネルトランジスタNT41、NT42、NT43およびNT44と、ダイオード接続されたnチャネルトランジスタNT45と、容量C41とを含む。なお、nチャネルトランジスタNT41、NT42、NT43およびNT44は、それぞれ、本発明の「第5トランジスタ」、「第6トランジスタ」、「第7トランジスタ」および「第8トランジスタ」の一例であり、nチャネルトランジスタNT45は、本発明の「ダイオード」の一例である。以下、nチャネルトランジスタNT41 ~ NT45は、それぞれ、トランジスタNT41 ~ NT45と称する。

30

【0067】

ここで、第1実施形態では、第2信号生成回路部71bに設けられたトランジスタNT41 ~ NT45は、すべてn型のMOSトランジスタからなるTFTにより構成されている。

40

【0068】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第2信号生成回路部71bにおいて、トランジスタNT41のソースは、ノードND42に接続されているとともに、ドレインは、正側電位VDDに接続されている。このトランジスタNT41のゲートは、ノードND41に接続されている。また、トランジスタNT42のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND42に接続されている。このトランジスタNT42のゲートは、第1信号生成回路部71aのノードND32に接続されている。

【0069】

ここで、第1実施形態では、トランジスタNT43は、トランジスタNT41のゲート

50

と負側電位 V_{BB} との間に接続されている。すなわち、トランジスタ $N T 4 3$ のソースは、負側電位 V_{BB} に接続されているとともに、ドレインは、ノード $N D 4 1$ に接続されている。このトランジスタ $N T 4 3$ のゲートは、トランジスタ $N T 4 2$ と同様、第 1 信号生成回路部 7 1 a のノード $N D 3 2$ に接続されている。また、トランジスタ $N T 4 3$ は、互いに電氣的に接続された 2 つのゲート電極を有する。また、トランジスタ $N T 4 3$ は、トランジスタ $N T 4 2$ がオン状態のときに、トランジスタ $N T 4 1$ をオフ状態にする機能を有する。

【 0 0 7 0 】

また、第 1 実施形態では、トランジスタ $N T 4 4$ は、トランジスタ $N T 4 1$ のゲートと 1 段目のゲート線 ($G 1$) との間に接続されている。具体的には、トランジスタ $N T 4 4$ のソースは、ダイオード接続されたトランジスタ $N T 4 5$ を介してノード $N D 4 1$ に接続されているとともに、ドレインは、1 段目のゲート線 ($G 1$) に接続されている。このトランジスタ $N T 4 4$ のゲートには、第 1 信号生成回路部 7 1 a のトランジスタ $N T 3 4$ と異なり、クロック信号 $C K V S C$ が入力される。

10

【 0 0 7 1 】

また、第 1 実施形態では、容量 $C 4 1$ は、トランジスタ $N T 4 1$ のゲートとソースとの間に接続されている。

【 0 0 7 2 】

また、ダミー補助容量線 ($S C 1 - D$ および $S C 2 - D$) に接続される信号供給回路部 7 1 の第 3 信号生成回路部 7 1 c は、 n チャネルトランジスタ $N T 5 1$ 、 $N T 5 2$ 、 $N T 5 3$ および $N T 5 4$ と、ダイオード接続された n チャネルトランジスタ $N T 5 5$ と、容量 $C 5 1$ とを含む。なお、 n チャネルトランジスタ $N T 5 1$ 、 $N T 5 2$ 、 $N T 5 3$ および $N T 5 4$ は、それぞれ、本発明の「第 5 トランジスタ」、「第 6 トランジスタ」、「第 7 トランジスタ」および「第 8 トランジスタ」の一例であり、 n チャネルトランジスタ $N T 5 5$ は、本発明の「ダイオード」の一例である。以下、 n チャネルトランジスタ $N T 5 1 \sim N T 5 5$ は、それぞれ、トランジスタ $N T 5 1 \sim N T 5 5$ と称する。

20

【 0 0 7 3 】

ここで、第 1 実施形態では、第 3 信号生成回路部 7 1 c に設けられたトランジスタ $N T 5 1 \sim N T 5 5$ は、すべて n 型の $M O S$ トランジスタからなる $T F T$ により構成されている。

30

【 0 0 7 4 】

また、ダミー補助容量線 ($S C 1 - D$ および $S C 2 - D$) に接続される信号供給回路部 7 1 の第 3 信号生成回路部 7 1 c において、トランジスタ $N T 5 1$ のソースは、ノード $N D 5 2$ に接続されているとともに、ドレインは、正側電位 V_{DD} に接続されている。このトランジスタ $N T 5 1$ のゲートは、ノード $N D 5 1$ に接続されている。また、トランジスタ $N T 5 2$ のソースは、負側電位 V_{BB} に接続されているとともに、ドレインは、ノード $N D 5 2$ に接続されている。このトランジスタ $N T 5 2$ のゲートは、第 2 信号生成回路部 7 1 b のノード $N D 4 2$ に接続されている。

【 0 0 7 5 】

ここで、第 1 実施形態では、トランジスタ $N T 5 3$ は、トランジスタ $N T 5 1$ のゲートと負側電位 V_{BB} との間に接続されている。すなわち、トランジスタ $N T 5 3$ のソースは、負側電位 V_{BB} に接続されているとともに、ドレインは、ノード $N D 5 1$ に接続されている。このトランジスタ $N T 5 3$ のゲートは、トランジスタ $N T 5 2$ と同様、第 2 信号生成回路部 7 1 b のノード $N D 4 2$ に接続されている。また、トランジスタ $N T 5 3$ は、互いに電氣的に接続された 2 つのゲート電極を有する。また、トランジスタ $N T 5 3$ は、トランジスタ $N T 5 2$ がオン状態のときに、トランジスタ $N T 5 1$ をオフ状態にする機能を有する。

40

【 0 0 7 6 】

また、第 1 実施形態では、トランジスタ $N T 5 4$ は、トランジスタ $N T 5 1$ のゲートと 1 段目のゲート線 ($G 1$) との間に接続されている。具体的には、トランジスタ $N T 5 4$

50

のソースは、ダイオード接続されたトランジスタNT55を介してノードND51に接続されているとともに、ドレインは、1段目のゲート線(G1)に接続されている。このトランジスタNT54のゲートには、第1信号生成回路部71aのトランジスタNT34と同様、反転クロック信号XCKVSCが入力される。

【0077】

また、第1実施形態では、容量C51は、トランジスタNT51のゲートとソースとの間に接続されている。

【0078】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の信号切替回路部71dは、nチャネルトランジスタNT61、NT62、NT63およびNT64を含む。なお、nチャネルトランジスタNT61、NT62、NT63およびNT64は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」および「第4トランジスタ」の一例である。以下、nチャネルトランジスタNT61~NT64は、それぞれ、トランジスタNT61~NT64と称する。

【0079】

ここで、第1実施形態では、信号切替回路部71dに設けられたトランジスタNT61~NT64は、すべてn型のMOSトランジスタからなるTFTにより構成されている。

【0080】

また、第1実施形態では、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の信号切替回路部71dにおいて、トランジスタNT61およびNT62のソースは、ノードND61(ダミー補助容量線(SC1-D))に接続されている。トランジスタNT61のドレインには、プラス極性であるHigh側(高電圧側)電位VSC Hが供給されるとともに、トランジスタNT62のドレインには、マイナス極性であるLow側(低電圧側)電位VSC Lが供給される。トランジスタNT61のゲートには、第2信号生成回路部71bのノードND42からの信号が入力されるとともに、トランジスタNT62のゲートには、第3信号生成回路部71cのノードND52からの信号が入力される。

【0081】

また、トランジスタNT63およびNT64のソースは、ノードND62(ダミー補助容量線(SC2-D))に接続されている。トランジスタNT63のドレインには、プラス極性であるHigh側(高電圧側)電位VSC Hが供給されるとともに、トランジスタNT64のドレインには、マイナス極性であるLow側(低電圧側)電位VSC Lが供給される。トランジスタNT63のゲートには、第3信号生成回路部71cのノードND52からの信号が入力されるとともに、トランジスタNT64のゲートには、第2信号生成回路部71bのノードND42からの信号が入力される。

【0082】

また、1段目~3段目の補助容量線(SC1-1~SC1-3)および補助容量線(SC2-1~SC2-3)に接続される信号供給回路部72~74は、上記したダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71と同様の回路構成を有する。すなわち、1段目~3段目の補助容量線(SC1-1~SC1-3)および補助容量線(SC2-1~SC2-3)に接続される信号供給回路部72~74は、それぞれ、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71と同様の回路構成を有する第1信号生成回路部72a~74aと、第2信号生成回路部72b~74bと、第3信号生成回路部72c~74cと、信号切替回路部72d~74dとによって構成されている。そして、信号供給回路部72~74の信号切替回路部72d~74dのトランジスタNT61およびNT62のソースに、それぞれ、1段目~3段目の補助容量線(SC1-1~SC1-3)が接続されている。また、信号供給回路部72~74の信号切替回路部72d~74dのトランジスタNT63およびNT64のソースに、それぞれ、1段目~3段目の補助容量線(SC2-1~SC2-3)が接続されている。

10

20

30

40

50

【 0 0 8 3 】

また、図示しない5段目以降の一对の補助容量線に接続される信号供給回路部も、上記したダミー補助容量線（SC1-DおよびSC2-D）に接続される信号供給回路部71と同様の回路構成を有する。そして、所定段の一对の補助容量線に接続される信号供給回路部は、所定段のゲート線に対応するように配置されているとともに、所定段の一对の補助容量線に接続される信号供給回路部の第1～第3信号生成回路部のトランジスタNT34、NT44およびNT54のドレインは、次段のゲート線に接続されている。

【 0 0 8 4 】

図4は、図3に示した第1実施形態による液晶表示装置のVドライバの動作を説明するためのタイミングチャートであり、図5および図6は、図1に示した第1実施形態による液晶表示装置の画素部の動作を説明するための波形図である。次に、図1～図6を参照して、第1実施形態による液晶表示装置の動作について説明する。

10

【 0 0 8 5 】

初期状態では、シフトレジスタ回路部61～66のノードND11から出力されるシフト信号SR1～SR6と、シフトレジスタ回路部61～66のノードND12から出力されるシフト出力信号SR11～SR16とがLレベルになっている。また、論理合成回路部161～165のノードND21から出力される出力信号DGおよびG1～G4がLレベルになっている。また、信号供給回路部71～74のノードND61から出力される出力信号SC1-DおよびSC1-1～SC1-3がLレベルになっているとともに、信号供給回路部71～74のノードND62から出力される出力信号SC2-DおよびSC2-1～SC2-3がHレベルになっている。

20

【 0 0 8 6 】

上記した初期状態から、まず、クロック信号CKVSCをHレベルにするとともに、反転クロック信号XCKVSCをLレベルにする。なお、クロック信号CKVSC（Hレベル）および反転クロック信号XCKVSC（Lレベル）のそれぞれの電位レベルは、1フレーム期間保持する。

【 0 0 8 7 】

次に、スタート信号STVをHレベルにする。このとき、1段目のシフトレジスタ回路部61の第1回路部61aでは、トランジスタNT2およびNT3がオン状態になる。この際、オン状態のトランジスタNT3により、ノードND1がLレベルになるとともに、トランジスタNT1がオフ状態になる。これにより、トランジスタNT2がオン状態であったとしても、正側電位VDDと負側電位VBBとの間に貫通電流が流れるのが抑制される。また、オン状態のトランジスタNT2により、ノードND2がLレベルになる。

30

【 0 0 8 8 】

また、1段目のシフトレジスタ回路部61の第2回路部61bでは、トランジスタNT14がオン状態になる。また、トランジスタNT12およびNT13のゲートに、第1回路部61aのノードND2からのLレベルの信号が入力されるので、トランジスタNT12およびNT13がオフ状態になる。このとき、クロック信号CKV1がLレベルであるので、ノードND11の電位が初期状態（Lレベル）に保持されるとともに、トランジスタNT11がオフ状態に保持される。これにより、ノードND12の電位が初期状態（Lレベル）に保持される。このように1段目のシフトレジスタ回路部61のノードND12が初期状態（Lレベル）に保持された状態では、2段目以降のシフトレジスタ回路部62～66が初期状態に保持される。

40

【 0 0 8 9 】

次に、クロック信号CKV1がHレベル（VDD）になるとともに、クロック信号CKV2がLレベル（VBB）になる。この際、1段目のシフトレジスタ回路部61の第1回路部61aでは、トランジスタNT4のゲートに、2段目のシフトレジスタ回路部62のノードND11からのLレベルのシフト信号SR2が入力されているので、トランジスタNT4がオフ状態に保持されている。このため、ノードND1およびND2がLレベルに保持される。また、トランジスタNT3がオン状態であったとしても、クロック信号線（

50

CKV1)と負側電位VBBとの間に貫通電流が流れるのが抑制される。

【0090】

また、1段目のシフトレジスタ回路部61の第2回路部61bでは、トランジスタNT14を介してHレベル(VDD)のクロック信号CKV1が供給されることにより、ノードND11がHレベルになる。これにより、トランジスタNT11がオン状態になるとともに、トランジスタNT11を介して正側電位VDDが供給されるので、ノードND12がHレベルになる。この際、ノードND11の電位は、容量C11によりトランジスタNT11のゲート-ソース間電圧が維持されるように、ノードND12の電位(トランジスタNT11のソース電位)の上昇に伴ってブートされて上昇する。これにより、ノードND11の電位がVDDよりもしきい値電圧(V_t)以上の所定の電圧(V)分高い電位まで上昇する。

10

【0091】

このとき、2段目のシフトレジスタ回路部62の第1回路部62aでは、トランジスタNT2およびNT3のゲートに、1段目のシフトレジスタ回路部61のノードND12からのHレベルのシフト出力信号SR11が入力されるので、トランジスタNT2およびNT3がオン状態になる。この際、オン状態のトランジスタNT3により、ノードND1がLレベルになるとともに、トランジスタNT1がオフ状態になる。また、オン状態のトランジスタNT2により、ノードND2がLレベルになる。

【0092】

また、2段目のシフトレジスタ回路部62の第2回路部62bでは、トランジスタNT14のゲートに、1段目のシフトレジスタ回路部61のノードND11からの $VDD + V_t$ 以上の電位($VDD + V$)を有するHレベルのシフト信号SR1が入力されるので、トランジスタNT14がオン状態になる。また、トランジスタNT12およびNT13のゲートに、第1回路部61aのノードND2からのLレベルの信号が入力されるので、トランジスタNT12およびNT13がオフ状態になる。このとき、クロック信号CKV2がLレベルであるので、ノードND11の電位が初期状態(Lレベル)に保持されるとともに、トランジスタNT11がオフ状態に保持される。これにより、ノードND12の電位が初期状態(Lレベル)に保持される。このように2段目のシフトレジスタ回路部62のノードND12が初期状態(Lレベル)に保持された状態では、3段目以降のシフトレジスタ回路部63~66が初期状態に保持される。

20

30

【0093】

次に、クロック信号CKV1がLレベル(VBB)になるとともに、クロック信号CKV2がHレベル(VDD)になる。この際、1段目のシフトレジスタ回路部61の第1回路部61aでは、ノードND1およびND2がLレベルに保持される。

【0094】

また、1段目のシフトレジスタ回路部61の第2回路部61bでは、トランジスタNT12およびNT13のゲートに、第1回路部61aのノードND2からのLレベルの信号が入力されるので、トランジスタNT12およびNT13がオフ状態に保持される。この際、ダイオード接続されたトランジスタNT15によりLレベルのクロック信号CKV1がノードND11側に逆流しないので、ノードND11がHレベル($VDD + V$)に保持される。

40

【0095】

このとき、2段目のシフトレジスタ回路部62の第1回路部62aでは、トランジスタNT4のゲートに、3段目のシフトレジスタ回路部63のノードND11からのLレベルのシフト信号SR3が入力されているので、トランジスタNT4がオフ状態に保持されている。このため、クロック信号(CKV2)と負側電位VBBとの間に貫通電流が流れるのが抑制されながらノードND1およびND2がLレベルに保持される。

【0096】

また、2段目のシフトレジスタ回路部62の第2回路部62bでは、トランジスタNT14のゲートに、1段目のシフトレジスタ回路部61のノードND11からのHレベル(

50

$V_{DD} + V_t$) のシフト信号 $S R 1$ が入力されている。ここで、トランジスタ $N T 1 4$ のゲートに入力されるシフト信号 $S R 1$ は、 $V_{DD} + V_t$ 以上の電位 ($V_{DD} + V_t$) を有するので、トランジスタ $N T 1 4$ のソース側に供給されるクロック信号 $C K V 2$ の電位が V_{DD} からトランジスタ $N T 1 4$ のしきい値電圧 (V_t) 分低下するのが抑制される。

【 0 0 9 7 】

そして、2 段目のシフトレジスタ回路部 6 2 の第 2 回路部 6 2 b では、トランジスタ $N T 1 4$ を介して H レベル (V_{DD}) のクロック信号 $C K V 2$ が供給されることにより、ノード $N D 1 1$ が H レベルになる。これにより、トランジスタ $N T 1 1$ がオン状態になるとともに、トランジスタ $N T 1 1$ を介して正側電位 V_{DD} が供給されるので、ノード $N D 1 2$ が H レベルになる。この際、ノード $N D 1 1$ の電位は、容量 $C 1 1$ によりブートされることによつて、 V_{DD} よりもしきい値電圧 (V_t) 以上の所定の電圧 (V_t) 分高い電位 ($V_{DD} + V_t$) まで上昇する。

10

【 0 0 9 8 】

また、3 段目のシフトレジスタ回路部 6 3 の第 1 回路部 6 3 a では、2 段目のシフトレジスタ回路部 6 2 のノード $N D 1 2$ からの H レベルのシフト出力信号 $S R 1 2$ がトランジスタ $N T 2$ および $N T 3$ のゲートに入力されるので、トランジスタ $N T 2$ および $N T 3$ がオン状態になる。この際、オン状態のトランジスタ $N T 3$ により、ノード $N D 1$ が L レベルになるとともに、トランジスタ $N T 1$ がオフ状態になる。また、オン状態のトランジスタ $N T 2$ により、ノード $N D 2$ が L レベルになる。

【 0 0 9 9 】

20

また、3 段目のシフトレジスタ回路部 6 3 の第 2 回路部 6 3 b では、トランジスタ $N T 1 4$ のゲートに、2 段目のシフトレジスタ回路部 6 2 のノード $N D 1 1$ からの H レベル ($V_{DD} + V_t$) のシフト信号 $S R 2$ が入力されるので、トランジスタ $N T 1 4$ がオン状態になる。また、第 1 回路部 6 3 a のノード $N D 2$ からの L レベルの信号がトランジスタ $N T 1 2$ および $N T 1 3$ のゲートに入力されるので、トランジスタ $N T 1 2$ および $N T 1 3$ がオフ状態になる。このとき、クロック信号 $C K V 1$ が L レベルであるので、ノード $N D 1 1$ の電位が初期状態 (L レベル) に保持されるとともに、トランジスタ $N T 1 1$ がオフ状態に保持される。これにより、ノード $N D 1 2$ の電位が初期状態 (L レベル) に保持される。このように 3 段目のシフトレジスタ回路部 6 3 のノード $N D 1 2$ が初期状態 (L レベル) に保持された状態では、4 段目以降のシフトレジスタ回路部 6 4 ~ 6 6 が初期状態に保持される。

30

【 0 1 0 0 】

このとき、ダミーゲート線 ($D G$) に接続される論理合成回路部 1 6 1 では、トランジスタ $N T 2 1$ のゲートに 1 段目のシフトレジスタ回路部 6 1 のノード $N D 1 1$ からの H レベル ($V_{DD} + V_t$ ($> V_{DD} + V_t$)) のシフト信号 $S R 1$ が入力されるとともに、トランジスタ $N T 2 2$ のゲートに 2 段目のシフトレジスタ回路部 6 2 のノード $N D 1 1$ からの H レベル ($V_{DD} + V_t$ ($> V_{DD} + V_t$)) のシフト信号 $S R 2$ が入力される。これにより、トランジスタ $N T 2 1$ および $N T 2 2$ がオン状態になる。また、トランジスタ $N T 2 3$ がオフ状態に保持されている。この後、イネーブル信号 $E N B$ が H レベル (V_{DD}) になることによつて、トランジスタ $N T 2 1$ および $N T 2 2$ を介して H レベル (V_{DD}) のイネーブル信号 $E N B$ が供給されるので、ノード $N D 2 1$ が H レベルになる。また、トランジスタ $N T 2 4$ のゲートに、ノード $N D 2 1$ からの H レベルの出力信号 ($D G$) が入力されるので、トランジスタ $N T 2 4$ がオン状態になる。そして、オン状態のトランジスタ $N T 2 4$ によりノード $N D 2 2$ が L レベルになるので、トランジスタ $N T 2 3$ がオフ状態に保持される。

40

【 0 1 0 1 】

この際、ダミーゲート線 ($D G$) に接続される論理合成回路部 1 6 1 では、トランジスタ $N T 2 1$ のゲートに入力されるシフト信号 $S R 1$ が、 $V_{DD} + V_t$ 以上の電位 ($V_{DD} + V_t$) を有するので、トランジスタ $N T 2 2$ 側に供給されるイネーブル信号 $E N B$ の電位が V_{DD} からトランジスタ $N T 2 1$ のしきい値電圧 (V_t) 分低下するのが抑制される

50

。さらに、トランジスタNT22のゲートに入力されるシフト信号SR2が、 $V_{DD} + V_t$ 以上の電位($V_{DD} + V_t$)を有するので、ノードND21側に供給されるイネーブル信号ENBの電位が V_{DD} からトランジスタNT22のしきい値電圧(V_t)分低下するのが抑制される。これにより、ノードND21からのHレベル(V_{DD})の出力信号DGがダミーゲート線(DG)に供給される。

【0102】

また、1段目のゲート線(G1)に接続される論理合成回路部162では、トランジスタNT21のゲートに2段目のシフトレジスタ回路部62のノードND11からのHレベル($V_{DD} + V_t$)のシフト信号SR2が入力されるとともに、トランジスタNT22のゲートに3段目のシフトレジスタ回路部63のノードND11からのLレベルのシフト信号SR3が入力される。これにより、トランジスタNT21がオン状態になるとともに、トランジスタNT22がオフ状態になる。この場合、イネーブル信号ENBがHレベルであったとしても、トランジスタNT22がオフ状態であるので、Hレベルのイネーブル信号ENBが供給されることがない。このため、1段目のゲート線(G1)には、ノードND21からのLレベルの出力信号G1が供給される。

10

【0103】

また、2段目～4段目のゲート線(G2～G4)に接続される論理合成回路部163～165では、トランジスタNT21およびNT22のゲートに、3段目～6段目のシフトレジスタ回路部63～66のノードND11からLレベルのシフト信号SR3～SR6が入力されている。このため、2段目～4段目のゲート線(G2～G4)には、1段目のゲート線(G1)と同様、ノードND21からのLレベルの出力信号G2～G4が供給される。

20

【0104】

次に、スタート信号STVがLレベルになった後、イネーブル信号ENBがLレベルになる。これにより、ダミーゲート線(DG)に接続される論理合成回路部161では、オン状態のトランジスタNT21およびNT22により、ノードND21がLレベルになる。これにより、ダミーゲート線(DG)には、ノードND21からのLレベルの出力信号DGが供給される。なお、このときのノードND21の電位レベル(Lレベル)は、1フレーム期間保持される。すなわち、ダミーゲート線(DG)には、ノードND21からのLレベルの出力信号DGが1フレーム期間供給され続ける。

30

【0105】

次に、クロック信号CKV1がHレベル(V_{DD})になるとともに、クロック信号CKV2がLレベル(V_{BB})になる。この際、1段目のシフトレジスタ回路部61の第1回路部61aでは、トランジスタNT2およびNT3のゲートに、Lレベルのスタート信号STVが入力されているので、トランジスタNT2およびNT3がオフ状態になっている。また、トランジスタNT4のゲートには、2段目のシフトレジスタ回路部62のノードND11からのHレベル($V_{DD} + V_t$)のシフト信号SR2が入力されているので、トランジスタNT4がオン状態に保持されている。このため、トランジスタNT4およびNT5を介してHレベル(V_{DD})のクロック信号CKV1が供給されることにより、ノードND1がHレベルになるとともに、トランジスタNT1がオン状態になる。これにより、オン状態のトランジスタNT1とオフ状態のトランジスタNT2とにより、ノードND2がHレベルになる。ここで、トランジスタNT4のゲートに入力されるシフト信号SR2は、 $V_{DD} + V_t$ 以上の電位($V_{DD} + V_t$)を有するので、トランジスタNT4のソース側に供給されるクロック信号CKV1の電位が V_{DD} からトランジスタNT4のしきい値電圧(V_t)分低下するのが抑制される。

40

【0106】

また、1段目のシフトレジスタ回路部61の第2回路部61bでは、トランジスタNT12およびNT13のゲートに、第1回路部61aのノードND2からのHレベルの信号が入力されるので、トランジスタNT12およびNT13がオン状態になる。これにより、オン状態のトランジスタNT12およびNT13により、ノードND12およびND1

50

1がLレベルになる。この際、トランジスタNT14のゲートに、Lレベルのスタート信号STVが入力されているので、トランジスタNT14がオフ状態になっている。このため、トランジスタNT13がオン状態であったとしても、クロック信号線(CKV1)と負側電位VBBとの間に貫通電流が流れるのが抑制される。また、ノードND11がLレベルになることによりトランジスタNT11がオフ状態になるので、トランジスタNT12がオン状態であったとしても、正側電位VDDと負側電位VBBとの間に貫通電流が流れるのが抑制される。

【0107】

また、2段目のシフトレジスタ回路部62の第1回路部62aでは、トランジスタNT2およびNT3のゲートに、1段目のシフトレジスタ回路部61のノードND12からのLレベルのシフト出力信号SR11が入力されるので、トランジスタNT2およびNT3がオフ状態になる。また、ノードND1およびND2がLレベルに保持される。

10

【0108】

また、2段目のシフトレジスタ回路部62の第2回路部62bでは、トランジスタNT12およびNT13のゲートに、第1回路部62aのノードND2からのLレベルの信号が入力されるので、トランジスタNT12およびNT13がオフ状態になる。また、トランジスタNT14のゲートに、1段目のシフトレジスタ回路部61のノードND11からのLレベルのシフト信号SR1が入力されるので、トランジスタNT14がオフ状態になる。これにより、ノードND11がHレベル($VDD + V$)に保持されるとともに、トランジスタNT11がオン状態に保持されるので、ノードND12がHレベルに保持される。

20

【0109】

また、3段目のシフトレジスタ回路部63の第1回路部63aでは、トランジスタNT2およびNT3のゲートに、2段目のシフトレジスタ回路部62のノードND12からのHレベルのシフト出力信号SR12が入力されるので、トランジスタNT2およびNT3がオン状態に保持される。これにより、ノードND1およびND2がLレベルに保持される。この際、トランジスタNT4のゲートに、4段目のシフトレジスタ回路部64のノードND11からのLレベルのシフト信号SR4が入力されているので、トランジスタNT4がオフ状態に保持されている。

【0110】

また、3段目のシフトレジスタ回路部63の第2回路部63bでは、トランジスタNT12およびNT13に、第1回路部63aのノードND2からのLレベルの信号が入力されるので、トランジスタNT12およびNT13がオフ状態に保持される。また、トランジスタNT14のゲートには、2段目のシフトレジスタ回路部62のノードND11からのHレベル($VDD + V$)のシフト信号SR2が入力されているので、トランジスタNT14がオン状態になる。そして、トランジスタNT14を介してHレベル(VDD)のクロック信号CKV1が供給されることにより、ノードND11がHレベルになる。これにより、トランジスタNT11がオン状態になるとともに、トランジスタNT11を介して正側電位VDDが供給されるので、ノードND12がHレベルになる。この際、ノードND11の電位は、容量C11によりブートされることによって、VDDよりもしきい値電圧(V_t)以上の所定の電圧(V)分高い電位($VDD + V$)まで上昇する。

30

40

【0111】

また、4段目のシフトレジスタ回路部64の第1回路部64aでは、トランジスタNT2およびNT3のゲートに、3段目のシフトレジスタ回路部63のノードND12からのHレベルのシフト出力信号SR13が入力されるので、トランジスタNT2およびNT3がオン状態になる。この際、オン状態のトランジスタNT3により、ノードND1がLレベルになるとともに、トランジスタNT1がオフ状態になる。また、オン状態のトランジスタNT2により、ノードND2がLレベルになる。

【0112】

また、4段目のシフトレジスタ回路部64の第2回路部64bでは、トランジスタNT

50

14のゲートに、3段目のシフトレジスタ回路部63のノードND11からのHレベル($V_{DD} + V$)のシフト信号SR3が入力されるので、トランジスタNT14がオン状態になる。また、トランジスタNT12およびNT13のゲートに、第1回路部64aのノードND2からのLレベルの信号が入力されるので、トランジスタNT12およびNT13がオフ状態になる。このとき、クロック信号CKV2がLレベルであるので、ノードND11の電位が初期状態(Lレベル)に保持されるとともに、トランジスタNT11がオフ状態に保持される。これにより、ノードND12の電位が初期状態(Lレベル)に保持される。このように4段目のシフトレジスタ回路部64のノードND12が初期状態(Lレベル)に保持された状態では、5段目以降のシフトレジスタ回路部65および66が初期状態に保持される。

10

【0113】

このとき、ダミーゲート線(DG)に接続される論理合成回路部161では、トランジスタNT21のゲートに1段目のシフトレジスタ回路部61のノードND11からのLレベルのシフト信号SR1が入力されるとともに、トランジスタNT22のゲートに2段目のシフトレジスタ回路部62のノードND11からのHレベル($V_{DD} + V$)のシフト信号SR2が入力される。これにより、トランジスタNT21がオフ状態になるとともに、トランジスタNT22がオン状態になる。また、トランジスタ23のゲートに、3段目のシフトレジスタ回路部63のノードND12からのHレベルのシフト出力信号SR13がトランジスタNT25を介して入力されるので、トランジスタNT23がオン状態になる。これにより、ノードND21がLレベルに保持されるので、ダミーゲート線(DG)にノードND21からLレベルの出力信号DGが供給される。この際、容量C21が充電されるので、次にトランジスタNT24がオン状態になることにより負側電位VBBが供給されるまで、トランジスタNT23がオン状態に保持される。

20

【0114】

また、1段目のゲート線(G1)に接続される論理合成回路部162では、トランジスタNT21のゲートに2段目のシフトレジスタ回路部62のノードND11からのHレベル($V_{DD} + V$)のシフト信号SR2が入力されるとともに、トランジスタNT22のゲートに3段目のシフトレジスタ回路部63のノードND11からのHレベル($V_{DD} + V$)のシフト信号SR3が入力される。これにより、トランジスタNT21およびNT22がオン状態になる。また、トランジスタNT23がオフ状態に保持されている。この後、イネーブル信号ENBがHレベル(V_{DD})になることによって、トランジスタNT21およびNT22を介してHレベル(V_{DD})のイネーブル信号ENBが供給されるので、ノードND21がHレベルになるとともに、ノードND21からのHレベル(V_{DD})の出力信号G1が1段目のゲート線(G1)に供給される。なお、ノードND21からのHレベル(V_{DD})の出力信号G1は、トランジスタNT24のゲートにも入力される。このため、トランジスタNT24がオン状態になるとともに、そのオン状態のトランジスタNT24により、ノードND22がLレベルになる。これにより、トランジスタNT23がオフ状態に保持される。

30

【0115】

また、2段目のゲート線(G2)に接続される論理合成回路部163では、トランジスタNT21のゲートに3段目のシフトレジスタ回路部63のノードND11からのHレベル($V_{DD} + V$)のシフト信号SR3が入力されるとともに、トランジスタNT22のゲートに4段目のシフトレジスタ回路部64のノードND11からのLレベルのシフト信号SR3が入力される。このため、イネーブル信号ENBがHレベル(V_{DD})になっても、2段目のゲート線(G2)にHレベルの出力信号G2が供給されずに、Lレベルの出力信号G2が供給される。

40

【0116】

また、3段目および4段目のゲート線(G3およびG4)に接続される論理合成回路部164および165では、トランジスタNT21およびNT22のゲートに、4段目~6段目のシフトレジスタ回路部64~66のLレベルのシフト信号SR4~SR6が入力さ

50

れている。このため、3段目～4段目のゲート線（G3およびG4）には、2段目のゲート線（G2）と同様、ノードND21からのLレベルの出力信号G3およびG4が供給される。

【0117】

この後、イネーブル信号ENBがLレベルになることによって、1段目のゲート線（G1）に接続される論理合成回路部162では、オン状態のトランジスタNT21およびNT22により、ノードND21がLレベルになる。これにより、1段目のゲート線（G1）には、ノードND21からのLレベルの出力信号G1が供給される。なお、このときのノードND21の電位レベル（Lレベル）は、1フレーム期間保持される。すなわち、1段目のゲート線（G1）には、ノードND21からのLレベルの出力信号G1が1フレーム期間供給され続ける。また、上記したように、ダミーゲート線（DG）に供給されるHレベルの出力信号DGおよび1段目のゲート線（G1）に供給されるHレベルの出力信号G1は、イネーブル信号ENBがLレベルになることにより強制的にLレベルになる。このため、ダミーゲート線（DG）に供給される出力信号DGと1段目のゲート線（G1）に供給される出力信号G1とのHレベルの期間が重なるのが抑制される。

10

【0118】

この後、上記した1段目のシフトレジスタ回路部61と同様の動作が、2段目～6段目のシフトレジスタ回路部62～66においても行われる。また、上記したダミーゲート線（DG）に接続される論理合成回路部161と同様の動作が、1段目～4段目のゲート線（G1～G4）に接続される論理合成回路部162～165においても行われる。すなわち、1段目のゲート線（G1）に供給される出力信号G1がLレベルになった後、イネーブル信号ENBに同期して、2段目～4段目のゲート線（G2～G4）に供給される出力信号G2～G4が順次Hレベルになる。この後、イネーブル信号ENBに同期して、2段目～4段目のゲート線（G2～G4）に供給される出力信号G2～G4が順次Lレベルになる。この場合、イネーブル信号ENBに同期してゲート線に出力信号が供給されるので、隣接するゲート線に供給される出力信号のHレベルの期間が重なるのが抑制される。また、ゲート線に供給される出力信号がHレベルからLレベルになった後の出力信号の電位レベル（Lレベル）は、1フレーム期間保持される。

20

【0119】

また、第1実施形態では、1段目のゲート線（G1）に接続される論理合成回路部162のノードND21からの出力信号G1は、1段目のゲート線（G1）を介して、ダミー補助容量線（SC1-DおよびSC2-D）に接続される信号供給回路部71にも供給される。そして、出力信号G1がHレベルになるときは、以下のような動作が行われる。

30

【0120】

すなわち、ダミー補助容量線（SC1-DおよびSC2-D）に接続される信号供給回路部71の第1信号生成回路部71aでは、トランジスタNT32およびNT33のゲートにHレベルのクロック信号CKVSCが入力されているので、トランジスタNT32およびNT33がオン状態になっている。このため、オン状態のトランジスタNT33により、ノードND31がLレベルになっている。このとき、トランジスタNT34のゲートに、Lレベルの反転クロック信号XCKVSCが入力されているので、トランジスタNT34がオフ状態になっている。これにより、トランジスタNT33がオン状態であったとしても、1段目のゲート線（G1）と負側電位VBBとの間に貫通電流が流れるのが抑制される。また、オン状態のトランジスタNT32により、ノードND32もLレベルになっている。このとき、ノードND31がLレベルになっていることにより、トランジスタNT31がオフ状態になっている。これにより、トランジスタNT32がオン状態であったとしても、正側電位VDDと負側電位VBBとの間に貫通電流が流れるのが抑制される。

40

【0121】

そして、ダミー補助容量線（SC1-DおよびSC2-D）に接続される信号供給回路部71の第2信号生成回路部71bでは、トランジスタNT42およびNT43のゲート

50

に、第1信号生成回路部71aのノードND32からのLレベルの信号が入力されているので、トランジスタNT42およびNT43がオフ状態になっている。また、トランジスタNT44のゲートに、Hレベルのクロック信号CKVSCが入力されているので、トランジスタNT44がオン状態になっている。このため、トランジスタNT44およびNT45を介してHレベルの出力信号G1が供給されるので、ノードND41がHレベルになる。これにより、トランジスタNT41がオン状態になるとともに、トランジスタNT41を介して正側電位VDDが供給されるので、ノードND42がHレベルになる。この際、ノードND41の電位は、容量C41によりトランジスタNT41のゲート-ソース間電圧が維持されるように、ノードND42の電位(トランジスタNT41のソース電位)の上昇に伴ってブートされて上昇する。これにより、トランジスタNT41が確実にオン状態に保持される。

10

【0122】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第3信号生成回路部71cでは、トランジスタNT52およびNT53のゲートに、第2信号生成回路部71bのノードND42からのHレベルの信号が入力されているので、トランジスタNT52およびNT53がオン状態になっている。このため、オン状態のトランジスタNT53により、ノードND51がLレベルになっている。このとき、トランジスタNT54のゲートに、Lレベルの反転クロック信号XCKVSCが入力されているので、トランジスタNT54がオフ状態になっている。これにより、トランジスタNT53がオン状態であったとしても、1段目のゲート線(G1)と負側電位VBBとの間に貫通電流が流れるのが抑制される。また、オン状態のトランジスタNT52により、ノードND52もLレベルになっている。このとき、ノードND51がLレベルになっていることにより、トランジスタNT51がオフ状態になっている。これにより、トランジスタNT52がオン状態であったとしても、正側電位VDDと負側電位VBBとの間に貫通電流が流れるのが抑制される。

20

【0123】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の信号切替回路部71dでは、トランジスタNT61およびNT64のゲートに、第2信号生成回路部71bのノードND42からのHレベルの信号が入力されているので、トランジスタNT61およびNT64がオン状態になっている。その一方、トランジスタNT62およびNT63のゲートに、第3信号生成回路部71cのノードND52からのLレベルの信号が入力されているので、トランジスタNT62およびNT63がオフ状態になっている。これにより、トランジスタNT61を介して、ダミー補助容量線(SC1-D)にプラス極性であるHレベルの出力信号SC1-D(High側(高電圧側)電位VSC H)が供給されるとともに、トランジスタNT64を介して、ダミー補助容量線(SC2-D)にマイナス極性であるLレベルの出力信号SC2-D(Low側(低電圧側)電位VSC L)が供給される。

30

【0124】

また、1段目のゲート線(G1)に供給される出力信号G1がHレベルからLレベルになるときは、以下のような動作が行われる。すなわち、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第1信号生成回路部71aでは、トランジスタNT32およびNT33のゲートにHレベルのクロック信号CKVSCが入力され続けるので、トランジスタNT32およびNT33がオン状態に保持される。これにより、ノードND31およびND32がLレベルに保持される。

40

【0125】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第2信号生成回路部71bでは、トランジスタNT42およびNT43のゲートに、第1信号生成回路部71aのノードND32からのLレベルの信号が入力され続けるので、トランジスタNT42およびNT43がオフ状態に保持される。また、トランジスタNT44のゲートに、Hレベルのクロック信号CKVSCが入力され続けるので、トラン

50

ジスタNT44がオン状態に保持される。このとき、ダイオード接続されたトランジスタNT45によりLレベルの出力信号G1が逆流しないので、ノードND41がHレベルに保持される。このため、トランジスタNT41がオン状態に保持されるので、トランジスタNT41を介して正側電位VDDが供給され続ける。これにより、ノードND42がHレベルに保持される。

【0126】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第3信号生成回路部71cでは、トランジスタNT52およびNT53のゲートに、第2信号生成回路部71bのノードND42からのHレベルの信号が入力され続けるので、トランジスタNT52およびNT53がオン状態に保持される。これにより、ノードND51およびND52がLレベルに保持される。

10

【0127】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の信号切替回路部71dでは、トランジスタNT61およびNT64のゲートに、第2信号生成回路部71bのノードND42からのHレベルの信号が入力され続けるので、トランジスタNT61およびNT64がオン状態に保持される。また、トランジスタNT62およびNT63のゲートに、第3信号生成回路部71cのノードND52からのLレベルの信号が入力され続けるので、トランジスタNT62およびNT63がオフ状態に保持される。これにより、トランジスタNT61を介して、ダミー補助容量線(SC1-D)にプラス極性であるHレベルの出力信号SC1-D(High側(高電圧側)電位VSC H)が供給され続けるとともに、トランジスタNT64を介して、ダミー補助容量線(SC2-D)にマイナス極性であるLレベルの出力信号SC2-D(Low側(低電圧側)電位VSC L)が供給され続ける。なお、ダミー補助容量線(SC1-D)およびダミー補助容量線(SC2-D)にそれぞれ供給される出力信号SC1-D(Hレベル)およびSC2-D(Lレベル)の電位レベルは、1フレーム期間保持される。

20

【0128】

そして、1段目～3段目の補助容量線(SC1-1～SC1-3)および補助容量線(SC2-1～SC2-3)に接続される信号供給回路部72～74においても、上記したダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71と同様の動作が行われる。すなわち、2段目のゲート線(G2)に供給される出力信号G2がHレベルになることにより、1段目の補助容量線(SC1-1)および補助容量線(SC2-1)に、それぞれ、HレベルおよびLレベルの出力信号SC1-1(High側(高電圧側)電位VSC H)およびSC2-1(Low側(低電圧側)電位VSC L)が供給される。また、3段目のゲート線(G3)に供給される出力信号G3がHレベルになることにより、2段目の補助容量線(SC1-2)および補助容量線(SC2-2)に、それぞれ、HレベルおよびLレベルの出力信号SC1-2(High側(高電圧側)電位VSC H)およびSC2-2(Low側(低電圧側)電位VSC L)が供給される。また、4段目のゲート線(G4)に供給される出力信号G4がHレベルになることにより、3段目の補助容量線(SC1-3)および補助容量線(SC2-3)に、それぞれ、HレベルおよびLレベルの出力信号SC1-3(High側(高電圧側)電位VSC H)およびSC2-3(Low側(低電圧側)電位VSC L)が供給される。また、1段目～3段目の補助容量線(SC1-1～SC1-3)および補助容量線(SC2-1～SC2-3)にそれぞれ供給される出力信号SC1-1～SC1-3(Hレベル)およびSC2-1～SC2-3(Lレベル)の電位レベルは、1フレーム期間保持される。

30

40

【0129】

そして、上記のような動作が4段目以降の一对の補助容量線に接続される信号供給回路部においても行われる。すなわち、所定段のゲート線に対応する所定段の一对の補助容量線には、それぞれ、所定段の次段のゲート線にHレベルの出力信号が供給されることと同期して、プラス極性であるHレベル(High側(高電圧側)電位VSC H)およびマイナス極性であるLレベル(Low側(低電圧側)電位VSC L)の出力信号が供給される

50

。また、一对の補助容量線にそれぞれ供給されるHレベル(High側(高電圧側)電位VSC_H)およびLレベル(Low側(低電圧側)電位VSC_L)の出力信号の電位レベルは、1フレーム期間保持される。

【0130】

また、図1に示した表示部2では、たとえば、以下のような動作が行われる。すなわち、まず、映像信号線(VIDEO1)には、Hレベル側の映像信号VIDEO1が供給されるとともに、映像信号線(VIDEO2)には、Lレベル側の映像信号VIDEO2が供給される。そして、トランジスタ4aおよび4bのゲートに、Hドライバ5からHレベルの信号が順次供給されることにより、トランジスタ4aおよび4bが順次オン状態になる。これにより、画素部3aのドレイン線(D1)には、映像信号線(VIDEO1)からのHレベル側の映像信号VIDEO1が供給されるとともに、画素部3bのドレイン線(D2)には、映像信号線(VIDEO2)からのLレベル側の映像信号VIDEO2が供給される。この後、上記したように、1段目のゲート線(G1)に、Hレベルの出力信号G1が供給される。

10

【0131】

この際、画素部3aにおいて、トランジスタ32がオン状態になることにより、画素部3aにHレベル側の映像信号VIDEO1が書き込まれる。すなわち、図5に示すように、画素電位Vp1が、映像信号VIDEO1の電位にまで上昇する。次に、1段目のゲート線(G1)に供給される出力信号G1がLレベルになることによって、トランジスタ32がオフ状態になる。これにより、画素部3aへのHレベル側の映像信号VIDEO1の書き込みが終了する。このとき、画素電位Vp1は、1段目のゲート線(G1)に供給される出力信号G1がLレベルになることに起因して、V1だけ降下する。なお、対向電極35の電位COMは、画素電位Vp1がV1だけ降下することを考慮して、予め、映像信号VIDEO1の電位のセンターレベルCLよりもV1だけ降下した電位に設定されている。

20

【0132】

ここで、第1実施形態では、1段目のゲート線(G1)に供給される出力信号G1がLレベルになった後、補助容量線(SC1-1)にプラス極性であるHigh側(高電圧側)電位VSC_Hが供給されることによって、補助容量33の他方の電極37a(図1参照)にHレベル側の出力信号SC1-1(High側(高電圧側)電位VSC_H)が供給されるとともに、補助容量33の電位がHレベル側に上昇する。これにより、液晶層31と補助容量33との間で電荷の再分配が生じるので、図5に示すように、画素電位Vp1は、V2だけ上昇する。このV2だけ上昇した画素電位Vp1が、1フレーム期間(トランジスタ32が再びオン状態になるまでの期間)保持される。なお、画素電位Vp1は、リーク電流などの影響により、時間の経過と共に若干変動する。

30

【0133】

また、画素部3b(図1参照)では、トランジスタ32がオン状態になることにより、画素部3bにLレベル側の映像信号VIDEO2が書き込まれる。すなわち、図6に示すように、画素電位Vp2が、映像信号VIDEO2の電位にまで降下する。次に、1段目のゲート線(G1)に供給される出力信号G1がLレベルになることによって、トランジスタ32がオフ状態になる。これにより、画素部3bへのLレベルの映像信号VIDEO2の書き込みが終了するとともに、画素電位Vp2がV1だけ降下する。また、1段目のゲート線(G1)に供給される出力信号G1がLレベルになった後、補助容量線(SC2-1)にマイナス極性であるLow側(低電圧側)電位VSC_Lが供給されることによって、補助容量33の他方の電極37b(図1参照)にLレベル側の出力信号SC2-1(Low側(低電圧側)電位VSC_L)が供給されるとともに、補助容量33の電位がLレベル側に降下する。これにより、画素電位Vp2がV2だけ降下するとともに、このV2だけ降下した画素電位Vp2が1フレーム期間保持される。

40

【0134】

2段目以降のゲート線(G2~G4)(図2参照)に沿って配置された画素部において

50

も、1段目のゲート線(G1)に沿って配置された画素部3aおよび3bと同様の動作が順次行われる。

【0135】

次に、1フレーム目の動作が終了した後、2フレーム目では、映像信号線(VIDEO1)に供給する映像信号VIDEO1の黒電位と白電位とを、対向電極35の電位COMに対して反転するとともに、映像信号線(VIDEO2)に供給する映像信号VIDEO2の黒電位と白電位とを、対向電極35の電位COMに対して反転する。

【0136】

そして、2フレーム目では、信号供給回路7に供給するクロック信号CKVSCをLレベルに切り換えるとともに、反転クロック信号XCKVSCをHレベルに切り替える。この場合、1段目のゲート線(G1)に供給される出力信号G1がHレベルになるときは、以下のような動作が行われる。

【0137】

すなわち、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第1信号生成回路部71aでは、トランジスタNT32およびNT33のゲートに、Lレベルのクロック信号CKVSCが入力されるので、トランジスタNT32およびNT33がオフ状態になる。また、トランジスタNT34のゲートに、Hレベルの反転クロック信号XCKVSCが入力されるので、トランジスタNT34がオン状態になる。このため、トランジスタNT34およびNT35を介してHレベルの出力信号G1が供給されるので、ノードND31がHレベルになる。これにより、トランジスタNT31がオン状態になるとともに、トランジスタNT31を介して正側電位VDDが供給されるので、ノードND32がHレベルになる。この際、ノードND31の電位は、容量C31によりトランジスタNT31のゲート-ソース間電圧が維持されるように、ノードND32の電位(トランジスタNT31のソース電位)の上昇に伴ってブートされて上昇する。これにより、トランジスタNT31が確実にオン状態に保持される。

【0138】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第2信号生成回路部71bでは、トランジスタNT42およびNT43のゲートに、第1信号生成回路部71aのノードND32からのHレベルの信号が入力されるので、トランジスタNT42およびNT43がオン状態になる。このため、オン状態のトランジスタNT43により、ノードND41がLレベルになる。このとき、トランジスタNT44のゲートに、Lレベルのクロック信号CKVSCが入力されるので、トランジスタNT44がオフ状態になる。これにより、トランジスタNT43がオン状態であったとしても、1段目のゲート線(G1)と負側電位VBBとの間に貫通電流が流れるのが抑制される。また、オン状態のトランジスタNT42により、ノードND42もLレベルになる。このとき、ノードND41がLレベルになることにより、トランジスタNT41がオフ状態になる。これにより、トランジスタNT42がオン状態であったとしても、正側電位VDDと負側電位VBBとの間に貫通電流が流れるのが抑制される。

【0139】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第3信号生成回路部71cでは、トランジスタNT52およびNT53のゲートに、第2信号生成回路部71bのノードND42からのLレベルの信号が入力されるので、トランジスタNT52およびNT53がオフ状態になる。また、トランジスタNT54のゲートに、Hレベルの反転クロック信号XCKVSCが入力されるので、トランジスタNT54がオン状態になる。このため、トランジスタNT54およびNT55を介してHレベルの出力信号G1が供給されるので、ノードND51がHレベルになる。これにより、トランジスタNT51がオン状態になるとともに、トランジスタNT51を介して正側電位VDDが供給されるので、ノードND52がHレベルになる。この際、ノードND51の電位は、容量C51によりトランジスタNT51のゲート-ソース間電圧が維持されるように、ノードND52の電位(トランジスタNT51のソース電位)の上昇に伴ってブ

10

20

30

40

50

ートされて上昇する。これにより、トランジスタNT51が確実にオン状態に保持される。

【0140】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の信号切替回路部71dでは、トランジスタNT61およびNT64のゲートに、第2信号生成回路部71bのノードND42からのLレベルの信号が入力されるので、トランジスタNT61およびNT64がオフ状態になる。その一方、トランジスタNT62およびNT63のゲートに、第3信号生成回路部71cのノードND52からのHレベルの信号が入力されるので、トランジスタNT62およびNT63がオン状態になる。これにより、トランジスタNT62を介して、ダミー補助容量線(SC1-D)にマイナス極性であるLレベルの出力信号SC1-D(Low側(低電圧側)電位V_{SC L})が供給されるとともに、トランジスタNT63を介して、ダミー補助容量線(SC2-D)にプラス極性であるHレベルの出力信号SC2-D(High側(高電圧側)電位V_{SC H})が供給される。

10

【0141】

また、1段目のゲート線(G1)に供給される出力信号G1がHレベルからLレベルになるときは、以下のような動作が行われる。すなわち、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第1信号生成回路部71aでは、トランジスタNT32およびNT33のゲートに、Lレベルのクロック信号CKVSCが入力され続けるので、トランジスタNT32およびNT33がオフ状態に保持される。また、トランジスタNT34のゲートに、Hレベルの反転クロック信号XCKVSCが入力され続けるので、トランジスタNT34がオン状態に保持される。このとき、ダイオード接続されたトランジスタNT35によりLレベルの出力信号G1が逆流しないので、ノードND31がHレベルに保持される。このため、トランジスタNT31もオン状態に保持されるので、トランジスタNT31を介して正側電位VDDが供給され続ける。これにより、ノードND32がHレベルに保持される。

20

【0142】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第2信号生成回路部71bでは、トランジスタNT42およびNT43のゲートに、第1信号生成回路部71aのノードND32からのHレベルの信号が入力され続けるので、トランジスタNT42およびNT43がオン状態に保持される。これにより、ND41およびND42がLレベルに保持される。

30

【0143】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第3信号生成回路部71cでは、トランジスタNT52およびNT53のゲートに、第2信号生成回路部71bのノードND42からのLレベルの信号が入力され続けるので、トランジスタNT52およびNT53がオフ状態に保持される。また、トランジスタNT54のゲートに、Hレベルの反転クロック信号XCKVSCが入力され続けるので、トランジスタNT54がオン状態に保持される。このとき、ダイオード接続されたトランジスタNT55によりLレベルの出力信号G1が逆流しないので、ノードND51がHレベルに保持される。このため、トランジスタNT51がオン状態に保持されるので、トランジスタNT51を介して正側電位VDDが供給され続ける。これにより、ノードND52がHレベルに保持される。

40

【0144】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号切替回路部71dでは、トランジスタNT61およびNT64のゲートに、第2信号生成回路部71bのノードND42からのLレベルの信号が入力され続けるので、トランジスタNT61およびNT64がオフ状態に保持される。また、トランジスタNT62およびNT63のゲートに、第3信号生成回路部71cのノードND52からのHレベルの信号が入力され続けるので、トランジスタNT62およびNT63がオン状態に保持される。これにより

50

、トランジスタNT62を介して、ダミー補助容量線(SC1-D)にマイナス極性であるLレベルの出力信号SC1-D(Low側(低電圧側)電位V_{SC L})が供給され続けるとともに、トランジスタNT63を介して、ダミー補助容量線(SC2-D)にプラス極性であるHレベルの出力信号SC2-D(High側(高電圧側)電位V_{SC H})が供給され続ける。なお、ダミー補助容量線(SC1-D)およびダミー補助容量線(SC2-D)にそれぞれ供給される出力信号SC1-D(Lレベル)およびSC2-D(Hレベル)の電位レベルは、1フレーム期間保持される。

【0145】

そして、1段目～3段目の補助容量線(SC1-1～SC1-3)および補助容量線(SC2-1～SC2-3)に接続される信号供給回路部72～74においても、上記したダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71と同様の動作が行われる。すなわち、2段目のゲート線(G2)に供給される出力信号G2がHレベルになることにより、1段目の補助容量線(SC1-1)および補助容量線(SC2-1)に、それぞれ、LレベルおよびHレベルの出力信号SC1-1(Low側(低電圧側)電位V_{SC L})およびSC2-1(High側(高電圧側)電位V_{SC H})が供給される。また、3段目のゲート線(G3)に供給される出力信号G3がHレベルになることにより、2段目の補助容量線(SC1-2)および補助容量線(SC2-2)に、それぞれ、LレベルおよびHレベルの出力信号SC1-2(Low側(低電圧側)電位V_{SC L})およびSC2-2(High側(高電圧側)電位V_{SC H})が供給される。また、4段目のゲート線(G4)に供給される出力信号G4がHレベルになることにより、3段目の補助容量線(SC1-3)および補助容量線(SC2-3)に、それぞれ、LレベルおよびHレベルの出力信号SC1-3(Low側(低電圧側)電位V_{SC L})およびSC2-3(High側(高電圧側)電位V_{SC H})が供給される。また、1段目～3段目の補助容量線(SC1-1～SC1-3)および補助容量線(SC2-1～SC2-3)にそれぞれ供給される出力信号SC1-1～SC1-3(Lレベル)およびSC2-1～SC2-3(Hレベル)の電位レベルは、1フレーム期間保持される。

【0146】

これにより、2フレーム目では、画素部3aにおいて、図6に示した動作が行われるとともに、画素部3bにおいて、図5に示した動作が行われる。そして、3フレーム目以降においても、1フレーム期間毎に、映像信号線(VIDEO1)に供給する映像信号VIDEO1の黒電位と白電位とを、対向電極35の電位COMに対して反転するとともに、映像信号線(VIDEO2)に供給する映像信号VIDEO2の黒電位と白電位とを、対向電極35の電位COMに対して反転する。また、1フレーム期間毎に、信号供給回路7に供給するクロック信号CKVSCを、HレベルおよびLレベルに交互に切り換える。このようにして、1段目～3段目の補助容量線(SC1-1～SC1-3およびSC2-1～SC2-3)にそれぞれ供給される出力信号SC1-1～SC1-3およびSC2-1～SC2-3の電位レベルを、1フレーム期間毎に、Hレベル(High側(高電圧側)電位V_{SC H})およびLレベル(Low側(低電圧側)電位V_{SC L})の一方および他方に交互に切り換える。これにより、第1実施形態による液晶表示装置が駆動される。

【0147】

第1実施形態では、上記のように、画素部3aに対応する補助容量線(SC1-1～SC1-3)および画素部3bに対応する補助容量線(SC2-1～SC2-3)に、それぞれ、プラス極性であるHレベル(High側(高電圧側)電位V_{SC H})の信号およびマイナス極性であるLレベル(Low側(低電圧側)電位V_{SC L})の信号の一方および他方を供給するための信号供給回路部71～74を含む信号供給回路7を設けることによって、たとえば、画素部3aに対応する補助容量線からの出力信号SC1-1～SC1-3がHレベル(High側(高電圧側)電位V_{SC H})であるとともに、画素部3bに対応する補助容量線からの出力信号SC2-1～SC2-3がLレベル(Low側(低電圧側)電位V_{SC L})であるとする、画素部3aの補助容量33の他方の電極37aにHレベル(High側(高電圧側)電位V_{SC H})の出力信号SC1-1～SC1-3が供

10

20

30

40

50

給されるので、画素部 3 a の補助容量 3 3 の電位を H レベル側に立ち上げることができる。また、画素部 3 b の補助容量 3 3 の他方の電極 3 7 b に L レベル (L o w 側 (低電圧側)) 電位 V S C L) の出力信号 S C 2 - 1 ~ S C 2 - 3 が供給されるので、画素部 3 b の補助容量 3 3 の電位を L レベル側に立ち下げることができる。これにより、画素部 3 a に H レベル側の映像信号 V I D E O 1 を書き終えた後に、画素部 3 a の補助容量 3 3 の他方の電極 3 7 a に H レベル (H i g h 側 (高電圧側)) 電位 V S C H) の出力信号 S C 1 - 1 ~ S C 1 - 3 を供給すれば、画素部 3 a の画素電位 V p 1 を、映像信号 V I D E O 1 を書き終えた直後の状態よりも高くすることができる。また、画素部 3 b に L レベル側の映像信号 V I D E O 2 を書き終えた後に、画素部 3 b の補助容量 3 3 の他方の電極 3 7 b に L レベル (L o w 側 (低電圧側)) 電位 V S C L) の出力信号 S C 2 - 1 ~ S C 2 - 3 を供給すれば、画素部 3 b の画素電位 V p 2 を、映像信号 V I D E O 2 を書き終えた直後の状態よりも低くすることができる。これにより、映像信号 V I D E O 1 および V I D E O 2 の電圧を大きくする必要がないので、消費電力を低減することができる。

10

【 0 1 4 8 】

また、第 1 実施形態では、画素部 3 a および 3 b を、互いに隣接するように配置することによって、容易に、ドット反転駆動を行うことができる。このように、ドット反転駆動を行うことによって、ライン反転駆動を行う場合と異なり、フリッカが線状 (ライン状) に発生することがないので、容易に、フリッカを視認しにくくすることができる。

【 0 1 4 9 】

また、第 1 実施形態では、ゲート線駆動回路 6 を、同一の導電型 (n 型) の複数のトランジスタにより構成するとともに、信号供給回路 7 を、ゲート線駆動回路 6 を構成するトランジスタと同一の導電型 (n 型) の複数のトランジスタにより構成することによって、ゲート線駆動回路 6 および信号供給回路 7 をそれぞれ構成する複数のトランジスタを形成する際に、イオン注入工程の回数およびイオン注入マスクの枚数が増加するのを抑制することができる。これにより、製造プロセスが複雑化するのを抑制できるとともに、製造コストが増大するのを抑制することができる。

20

【 0 1 5 0 】

また、第 1 実施形態では、複数段のゲート線 (G 1 ~ G 3) の各々に対応して一对の補助容量線 (S C 1 - 1 ~ S C 1 - 3 および S C 2 - 1 ~ S C 2 - 3) を 1 段ずつ設けるとともに、複数段の一对の補助容量線 (S C 1 - 1 ~ S C 1 - 3 および S C 2 - 1 ~ S C 2 - 3) の各々に信号供給回路部 7 2 ~ 7 4 を接続することによって、複数段のゲート線 (G 1 ~ G 3) の画素部 3 a および 3 b に順次映像信号 V I D E O 1 および V I D E O 2 が書き込まれた後に、複数段のゲート線 (G 1 ~ G 3) に対応する各々の信号供給回路部 7 2 ~ 7 4 により、容易に、H レベル (H i g h 側 (高電圧側)) 電位 V S C H) の信号および L レベル (L o w 側 (低電圧側)) 電位 V S C L) の信号の一方および他方を複数段の一对の補助容量線 (S C 1 - 1 ~ S C 1 - 3 および S C 2 - 1 ~ S C 2 - 3) に順次供給することができる。この場合、所定段の次段のゲート線に供給される出力信号に応答して、所定段の信号供給回路部から一对の補助容量線に H レベル (H i g h 側 (高電圧側)) 電位 V S C H) の信号および L レベル (L o w 側 (低電圧側)) 電位 V S C L) の信号の一方および他方を供給することによって、所定段の次段のゲート線に供給される出力信号は、所定段のゲート線に出力信号が供給された後に供給されるので、容易に、所定段のゲート線に沿って配置された画素部 3 a および 3 b に映像信号 V I D E O 1 および V I D E O 2 が書き込まれた後に、所定段のゲート線に対応する一对の補助容量線に、それぞれ、H レベル (H i g h 側 (高電圧側)) 電位 V S C H) の信号および L レベル (L o w 側 (低電圧側)) 電位 V S C L) の信号の一方および他方を供給することができる。

30

40

【 0 1 5 1 】

また、第 1 実施形態では、信号供給回路部 7 1 ~ 7 4 を、一对の補助容量線にそれぞれ供給される H レベル (H i g h 側 (高電圧側)) 電位 V S C H) の信号および L レベル (L o w 側 (低電圧側)) 電位 V S C L) の信号を切り替えるための信号切替回路部 7 1 d ~ 7 4 d を含むように構成することによって、1 フレーム期間毎に、画素部 3 a および 3 b の

50

画素電極 3 4 に書き込む映像信号 V I D E O 1 および V I D E O 2 の電位を、対向電極 3 5 の電位に対して反転させるドット反転駆動を行う場合に、容易に、信号切替回路部 7 2 ~ 7 4 により、画素部 3 a および 3 b の容量 3 3 にそれぞれ接続される補助容量線 (S C 1 - 1 ~ S C 1 - 3) および補助容量線 (S C 2 - 1 ~ S C 2 - 3) に供給される H レベル (H i g h 側 (高電圧側) 電位 V S C H) の信号および L レベル (L o w 側 (低電圧側) 電位 V S C L) の信号を、1 フレーム期間毎に切り替えることができる。これにより、ドット反転駆動を行う場合に、容易に、画素部 3 a および 3 b に映像信号 V I D E O 1 および V I D E O 2 を書き終えた後に、画素部 3 a および 3 b の画素電極 3 4 の電位を、それぞれ、一对の補助容量線から出力される出力信号 S C 1 - 1 ~ S C 1 - 3 および S C 2 - 1 ~ S C 2 - 3 により、映像信号 V I D E O 1 および V I D E O 2 を書き終えた直後の状態よりも高くまたは低くすることができる。

10

【 0 1 5 2 】

また、第 1 実施形態では、信号供給回路部 7 2 ~ 7 4 を、ソースが補助容量線 (S C 1 - 1 ~ S C 1 - 3) に接続されるとともに、ドレインに H i g h 側 (高電圧側) 電位 V S C H が供給されるトランジスタ N T 6 1 と、ソースが補助容量線 (S C 1 - 1 ~ S C 1 - 3) に接続されるとともに、ドレインに L o w 側 (低電圧側) 電位 V S C L が供給されるトランジスタ N T 6 2 と、ソースが補助容量線 (S C 2 - 1 ~ S C 2 - 3) に接続されるとともに、ドレインに H i g h 側 (高電圧側) 電位 V S C H が供給されるトランジスタ N T 6 3 と、ソースが補助容量線 (S C 2 - 1 ~ S C 2 - 3) に接続されるとともに、ドレインに L o w 側 (低電圧側) 電位 V S C L が供給されるトランジスタ N T 6 3 とを含むように構成し、かつ、トランジスタ N T 6 1 および N T 6 4 とトランジスタ N T 6 2 および N T 6 3 とのオン状態の期間が重ならないように制御することによって、補助容量線 (S C 1 - 1 ~ S C 1 - 3) および補助容量線 (S C 2 - 1 ~ S C 2 - 3) の各々に H レベル (H i g h 側 (高電圧側) 電位 V S C H) の信号および L レベル (L o w 側 (低電圧側) 電位 V S C L) の信号を供給する場合には、トランジスタ N T 6 1 および N T 6 4 をオン状態にすることにより、容易に、オン状態のトランジスタ N T 6 1 および N T 6 4 を介して、補助容量線 (S C 1 - 1 ~ S C 1 - 3) および補助容量線 (S C 2 - 1 ~ S C 2 - 3) の各々に H レベル (H i g h 側 (高電圧側) 電位 V S C H) の信号および L レベル (L o w 側 (低電圧側) 電位 V S C L) の信号を供給することができる。また、補助容量線 (S C 1 - 1 ~ S C 1 - 3) および補助容量線 (S C 2 - 1 ~ S C 2 - 3) の各々に L レベル (L o w 側 (低電圧側) 電位 V S C L) の信号および H レベル (H i g h 側 (高電圧側) 電位 V S C H) の信号を供給する場合には、トランジスタ N T 6 2 および N T 6 3 をオン状態にすることにより、容易に、オン状態のトランジスタ N T 6 2 および N T 6 3 を介して、補助容量線 (S C 1 - 1 ~ S C 1 - 3) および補助容量線 (S C 2 - 1 ~ S C 2 - 3) の各々に L レベル (L o w 側 (低電圧側) 電位 V S C L) の信号および H レベル (H i g h 側 (高電圧側) 電位 V S C H) の信号を供給することができる。

20

30

【 0 1 5 3 】

また、第 1 実施形態では、直列に順次接続された第 1 信号生成回路部 7 1 a ~ 7 4 a 、第 2 信号生成回路部 7 1 b ~ 7 4 b および第 3 信号生成回路部 7 1 c ~ 7 4 c を含む信号供給回路部 7 1 ~ 7 4 において、第 2 信号生成回路部 7 1 b ~ 7 4 b の出力信号を、信号切替回路部 7 1 d ~ 7 4 d のトランジスタ N T 6 1 および N T 6 4 のゲートに供給するとともに、第 3 信号生成回路部 7 1 c ~ 7 4 c の出力信号を、信号切替回路部 7 1 d ~ 7 4 d のトランジスタ N T 6 2 および N T 6 3 のゲートに供給し、かつ、トランジスタ N T 6 1 および N T 6 4 とトランジスタ N T 6 2 および N T 6 3 とのオン状態の期間が重ならないように、第 2 信号生成回路部 7 1 b ~ 7 4 b および第 3 信号生成回路部 7 1 c ~ 7 4 c からそれぞれ出力される出力信号を制御することによって、トランジスタ N T 6 1 および N T 6 4 とトランジスタ N T 6 2 および N T 6 3 とのオン状態の期間が重ならないので、補助容量線 (S C 1 - 1 ~ S C 1 - 3) および補助容量線 (S C 2 - 1 ~ S C 2 - 3) の各々に H レベル (H i g h 側 (高電圧側) 電位 V S C H) の信号および L レベル (L o w 側 (低電圧側) 電位 V S C L) の信号を供給する場合には、容易に、トランジスタ N T 6 1

40

50

およびNT64のみがオン状態になるように制御することができる。また、補助容量線（SC1-1～SC1-3）および補助容量線（SC2-1～SC2-3）の各々にLレベル（Low側（低電圧側）電位V_{SC L}）の信号およびHレベル（High側（高電圧側）電位V_{SC H}）の信号を供給する場合に、容易に、トランジスタNT62およびNT63のみがオン状態になるように制御することができる。

【0154】

また、第1実施形態では、一对のダミー補助容量線に接続される信号供給回路部71のトランジスタNT31～NT35を含む第1信号生成回路部71aにおいて、トランジスタNT33のオン状態の期間と重ならないオン状態の期間が得られるクロック信号XCKVSCにตอบสนองしてオンするようにトランジスタNT34を接続することによって、トランジスタNT33とトランジスタNT34とのオン状態の期間が重ならないので、トランジスタNT33およびNT34を介して貫通電流が流れるのを抑制することができる。また、トランジスタNT33がオン状態のときに、トランジスタNT32がオン状態になるとともに、トランジスタNT31がオフ状態になるように接続することによって、トランジスタNT31とトランジスタNT32とのオン状態の期間が重なることがないので、トランジスタNT31およびNT32を介して貫通電流が流れるのを抑制することができる。なお、第2信号生成回路部71bおよび第3信号生成回路部71cにおいても、同様の効果を得ることができる。また、信号供給回路部72～74においても、同様の効果を得ることができる。

【0155】

また、トランジスタNT41～NT45を含む第2信号生成回路部71bと、トランジスタNT51～NT55を含む第3信号生成回路部71cとにおいて、第2信号生成回路部71bのノードND42からの出力信号を信号切替回路部71dのトランジスタNT61およびNT64のゲートに供給するとともに、第3信号生成回路部71cのノードND52からの出力信号を信号切替回路部71dのトランジスタNT62およびNT63のゲートに供給することによって、第2信号生成回路部71bのノードND42と第3信号生成回路部71cのノードND52との電位レベルが同時にHレベル（Lレベル）になることがないので、信号切替回路部71dにおいて、容易に、トランジスタNT61およびNT64がオン状態のときには、トランジスタNT62およびNT63をオフ状態にすることができる。また、トランジスタNT62およびNT63がオン状態のときには、トランジスタNT61およびNT64をオフ状態にすることができる。なお、信号供給回路部72～74においても、同様の効果を得ることができる。

【0156】

また、第1実施形態では、一对のダミー補助容量線に接続される信号供給回路部71のトランジスタNT31～NT35を含む第1信号生成回路部71aにおいて、トランジスタNT31のゲートとトランジスタNT34との間に、ダイオード接続されたトランジスタNT35を設けることによって、トランジスタNT31のゲートとゲート線（G1）との間で電流が逆流することがないので、トランジスタNT31がオン状態のときのトランジスタNT31のゲート電位が変動するのを抑制することができる。これにより、確実に、トランジスタNT31をオン状態に保持することができる。また、トランジスタNT31のゲートとソースとの間に、容量C31を接続することによって、容量C31が接続されたトランジスタNT31のゲート-ソース間電圧を維持するように、トランジスタNT31のソース電位の上昇に伴ってトランジスタNT31のゲート電位を上昇させることができる。これにより、より確実に、トランジスタNT31をオン状態に保持することができる。また、トランジスタNT33を、互いに電氣的に接続された2つのゲート電極を有するように構成することによって、トランジスタNT33に印加される電圧を、2つのゲート電極により各ゲート電極に対応するソース-ドレイン間に分配することができる。この場合、トランジスタNT33の各ゲート電極に対応するソース-ドレイン間に印加される電圧を小さくすることができるので、トランジスタNT33に大きい電圧が印加されることに起因する特性の劣化を抑制することができる。なお、第2信号生成回路部71bお

10

20

30

40

50

よび第3信号生成回路部71cにおいても、同様の効果を得ることができる。また、信号供給回路部72～74においても、同様の効果を得ることができる。

【0157】

また、第1実施形態では、1フレーム期間毎に、補助容量線(SC1-1～1-3およびSC2-1～SC2-3)にそれぞれ供給されるHレベル(High側(高電圧側)電位V_{SC_H})の信号およびLレベル(Low側(低電圧側)電位V_{SC_L})の信号の一方および他方を交互に切り換えることによって、1フレーム期間毎に、画素部3aおよび3bに書き込む映像信号VIDEO1およびVIDEO2の電位を、対向電極35の電位COMに対して反転させることにより、より容易に、ドット反転駆動を行うことができる。この場合、容易に、焼き付き(残像現象)を抑制することができる。

10

【0158】

(第2実施形態)

図7は、本発明の第2実施形態による液晶表示装置を示した平面図であり、図8は、図7に示した第2実施形態による液晶表示装置のVドライバ内部の回路図である。図7および図8を参照して、この第2実施形態では、上記第1実施形態のVドライバをpチャンネルトランジスタで構成する場合について説明する。

【0159】

まず、図7を参照して、この第2実施形態では、基板101上に、表示部102が設けられている。表示部102には、画素部103aおよび103bが配置されている。なお、図7では、図面の簡略化のため、1段目のゲート線(G1)と、1段目のゲート線(G1)に交差する2本のドレイン線(D1およびD2)とを図示するとともに、1段目のゲート線(G1)に沿って配置された画素部103aおよび103bをそれぞれ1つずつのみ図示しているが、実際には、複数のゲート線と複数のドレイン線とが互いに交差するように配置されているとともに、画素部103aおよび103bが互いに隣接するようにマトリクス状に配置されている。なお、画素部103aおよび103bは、それぞれ、本発明の「第1画素部」および「第2画素部」の一例である。

20

【0160】

また、画素部103aおよび103bには、それぞれ、図1に示した第1実施形態のnチャンネルトランジスタ32に代えて、pチャンネルトランジスタ132(以下、トランジスタ132)が設けられている。そして、画素部103aのトランジスタ132のソースは、ドレイン線(D1)に接続されているとともに、画素部103bのトランジスタ132のソースは、ドレイン線(D2)に接続されている。画素部103aおよび103bのトランジスタ132のドレインは、それぞれ、画素電極34に接続されている。

30

【0161】

なお、第2実施形態の表示部102のその他の構成は、上記第1実施形態の表示部2と同様である。

【0162】

また、基板101上には、図1に示した第1実施形態のHドライバ5に代えて、図示しない複数のpチャンネルトランジスタからなるHドライバ105が設けられている。また、基板101上には、図1に示した第1実施形態のnチャンネルトランジスタ(Hスイッチ)4aおよび4bに代えて、pチャンネルトランジスタ(Hスイッチ)104aおよび104b(以下、トランジスタ104aおよび104bという)が設けられている。そして、画素部103aに対応するトランジスタ104aは、映像信号線(VIDEO1)に接続されているとともに、画素部103bに対応するトランジスタ104bは、映像信号線(VIDEO2)に接続されている。

40

【0163】

ここで、第2実施形態では、図1に示した第1実施形態のVドライバ8に代えて、複数のpチャンネルトランジスタからなるゲート線駆動回路106(図8参照)および信号供給回路107を含むVドライバ108が設けられている。

【0164】

50

また、基板 101 の外部には、図 1 に示した第 1 実施形態と同様、駆動 IC 9 が設置されている。

【0165】

次に、図 8 を参照して、V ドライバ 108 の内部構成について説明する。ゲート線駆動回路 106 は、複数段のシフトレジスタ回路部 601 ~ 606 と、複数段の論理合成回路部 261 ~ 265 とを含む。なお、図 8 では、図面の簡略化のため、6 段分のシフトレジスタ回路部 601 ~ 606 および 5 段分の論理合成回路部 261 ~ 265 のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【0166】

そして、1 段目のシフトレジスタ回路部 601 は、第 1 回路部 601 a と第 2 回路部 601 b とによって構成されている。第 1 回路部 601 a は、p チャネルトランジスタ PT1、PT2、PT3 および PT4 と、ダイオード接続された p チャネルトランジスタ PT5 と、容量 C1 とを含む。また、第 2 回路部 601 b は、p チャネルトランジスタ PT11、PT12、PT13 および PT14 と、ダイオード接続された p チャネルトランジスタ PT15 と、容量 C11 とを含む。以下、p チャネルトランジスタ PT1 ~ PT5 および PT11 ~ PT15 は、それぞれ、トランジスタ PT1 ~ PT5 および PT11 ~ PT15 と称する。

【0167】

ここで、第 2 実施形態では、第 1 回路部 601 a および第 2 回路部 601 b に設けられたトランジスタ PT1 ~ PT5 および PT11 ~ PT15 は、すべて p 型の MOS トランジスタ（電界効果型トランジスタ）からなる TFT（薄膜トランジスタ）により構成されている。

【0168】

また、1 段目のシフトレジスタ回路部 601 を構成するトランジスタ PT1 ~ PT5 および PT11 ~ PT15 は、それぞれ、図 3 に示した第 1 実施形態の 1 段目のシフトレジスタ回路部 61 のトランジスタ NT1 ~ NT5 および NT11 ~ NT15 に対応した位置に接続されている。ただし、上記第 1 実施形態と異なり、トランジスタ PT1 および PT11 のドレインは、負側電位 VBB に接続されている。また、トランジスタ PT2、PT3、PT12 および PT13 のソースは、正側電位 VDD に接続されている。

【0169】

また、2 段目 ~ 6 段目のシフトレジスタ回路部 602 ~ 606 は、上記した 1 段目のシフトレジスタ回路部 601 と同様の回路構成を有する。すなわち、2 段目 ~ 6 段目のシフトレジスタ回路部 602 ~ 606 は、それぞれ、1 段目のシフトレジスタ回路部 601 の第 1 回路部 601 a と同様の回路構成を有する第 1 回路部 602 a ~ 606 a と、1 段目のシフトレジスタ回路部 601 の第 2 回路部 601 b と同様の回路構成を有する第 2 回路部 602 b ~ 606 b とによって構成されている。

【0170】

また、論理合成回路部 261 ~ 265 は、それぞれ、ダミーゲート線 (DG) および 1 段目 ~ 4 段目のゲート線 (G1 ~ G4) に接続されている。

【0171】

そして、ダミーゲート線 (DG) に接続される論理合成回路部 261 は、p チャネルトランジスタ PT21、PT22、PT23 および PT24 と、ダイオード接続された p チャネルトランジスタ PT25 と、容量 C21 とを含む。以下、p チャネルトランジスタ PT21 ~ PT25 は、それぞれ、トランジスタ PT21 ~ PT25 と称する。

【0172】

ここで、第 2 実施形態では、論理合成回路部 261 に設けられたトランジスタ PT21 ~ PT25 は、すべて p 型の MOS トランジスタからなる TFT により構成されている。

【0173】

また、ダミーゲート線 (DG) に接続される論理合成回路部 261 を構成するトランジ

10

20

30

40

50

スタPT21～PT25は、それぞれ、図3に示した第1実施形態のダミーゲート線(DG)に接続される論理合成回路部161のトランジスタNT21～NT25に対応した位置に接続されている。ただし、上記第1実施形態と異なり、トランジスタPT23のソースは、正側電位VDDに接続されている。

【0174】

また、1段目～4段目のゲート線(G1～G4)にそれぞれ接続される論理合成回路部262～265は、上記したダミーゲート線(DG)に接続される論理合成回路部261と同様の回路構成を有する。

【0175】

また、信号供給回路107は、複数段の信号供給回路部701～704を含む。そして、信号供給回路部701は、ダミー補助容量線(SC1-DおよびSC2-D)に接続されている。また、信号供給回路部702は、1段目の補助容量線(SC1-1およびSC2-1)に接続されているとともに、信号供給回路部703は、2段目の補助容量線(SC1-2およびSC2-2)に接続されている。また、信号供給回路部704は、3段目の補助容量線(SC1-3およびSC2-3)に接続されている。なお、図8では、図面の簡略化のため、4段分の信号供給回路部701～704のみを図示しているが、実際は画素数に応じた数の信号供給回路部が設けられている。

【0176】

そして、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701は、第1信号生成回路部701aと、第2信号生成回路部701bと、第3信号生成回路部701cと、信号切替回路部701dとによって構成されている。ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701の第1信号生成回路部701aは、pチャネルトランジスタPT31、PT32、PT33およびPT34と、ダイオード接続されたpチャネルトランジスタPT35と、容量C31とを含む。なお、pチャネルトランジスタPT31、PT32、PT33およびPT34は、それぞれ、本発明の「第5トランジスタ」、「第6トランジスタ」、「第7トランジスタ」および「第8トランジスタ」の一例であり、pチャネルトランジスタPT35は、本発明の「ダイオード」の一例である。以下、pチャネルトランジスタPT31～PT35は、それぞれ、トランジスタPT31～PT35と称する。

【0177】

ここで、第2実施形態では、第1信号生成回路部701aに設けられたトランジスタPT31～PT35は、すべてp型のMOSトランジスタからなるTFETにより構成されている。

【0178】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701の第1信号生成回路部701aを構成するトランジスタPT31～PT35は、それぞれ、図3に示した第1実施形態のダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第1信号生成回路部71aのトランジスタNT31～NT35に対応した位置に接続されている。ただし、トランジスタPT31のドレインは、負側電位VBBに接続されているとともに、トランジスタPT32およびPT33のソースは、正側電位VDDに接続されている。

【0179】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701の第2信号生成回路部701bは、pチャネルトランジスタPT41、PT42、PT43およびPT44と、ダイオード接続されたpチャネルトランジスタPT45と、容量C41とを含む。なお、pチャネルトランジスタPT41、PT42、PT43およびPT44は、それぞれ、本発明の「第5トランジスタ」、「第6トランジスタ」、「第7トランジスタ」および「第8トランジスタ」の一例であり、pチャネルトランジスタPT45は、本発明の「ダイオード」の一例である。以下、pチャネルトランジスタPT41～PT45は、それぞれ、トランジスタPT41～PT45と称する。

10

20

30

40

50

【0180】

ここで、第2実施形態では、第2信号生成回路部701bに設けられたトランジスタPT41~PT45は、すべてp型のMOSトランジスタからなるTFETにより構成されている。

【0181】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701の第2信号生成回路部701bを構成するトランジスタPT41~PT45は、それぞれ、図3に示した第1実施形態のダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第2信号生成回路部71bのトランジスタNT41~NT45に対応した位置に接続されている。ただし、トランジスタPT41のドレインは、負側電位VBBに接続されているとともに、トランジスタPT42およびPT43のソースは、正側電位VDDに接続されている。

10

【0182】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701の第3信号生成回路部701cは、pチャネルトランジスタPT51、PT52、PT53およびPT54と、ダイオード接続されたpチャネルトランジスタPT55と、容量C51とを含む。なお、pチャネルトランジスタPT51、PT52、PT53およびPT54は、それぞれ、本発明の「第5トランジスタ」、「第6トランジスタ」、「第7トランジスタ」および「第8トランジスタ」の一例であり、pチャネルトランジスタPT55は、本発明の「ダイオード」の一例である。以下、pチャネルトランジスタPT51~PT55は、それぞれ、トランジスタPT51~PT55と称する。

20

【0183】

ここで、第2実施形態では、第3信号生成回路部701cに設けられたトランジスタPT51~PT55は、すべてp型のMOSトランジスタからなるTFETにより構成されている。

【0184】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701の第3信号生成回路部701cを構成するトランジスタPT51~PT55は、それぞれ、図3に示した第1実施形態のダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の第3信号生成回路部71cのトランジスタNT51~NT55に対応した位置に接続されている。ただし、トランジスタPT51のドレインは、負側電位VBBに接続されているとともに、トランジスタPT52およびPT53のソースは、正側電位VDDに接続されている。

30

【0185】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701の信号切替回路部701dは、pチャネルトランジスタPT61、PT62、PT63およびPT64を含む。なお、pチャネルトランジスタPT61、PT62、PT63およびPT64は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」および「第4トランジスタ」の一例である。以下、pチャネルトランジスタPT61~PT64は、それぞれ、トランジスタPT61~PT64と称する。

40

【0186】

ここで、第2実施形態では、信号切替回路部701dに設けられたトランジスタPT61~PT64は、すべてp型のMOSトランジスタからなるTFETにより構成されている。

【0187】

また、ダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部701の信号切替回路部701dを構成するトランジスタPT61~PT64は、それぞれ、図3に示した第1実施形態のダミー補助容量線(SC1-DおよびSC2-D)に接続される信号供給回路部71の信号切替回路部71dのトランジスタNT61~NT64

50

に対応した位置に接続されている。

【0188】

また、1段目～3段目の補助容量線（SC1-1～SC1-3）および補助容量線（SC2-1～SC2-3）に接続される信号供給回路部702～704は、上記したダミー補助容量線（SC1-DおよびSC2-D）に接続される信号供給回路部701と同様の回路構成を有する。すなわち、1段目～3段目の補助容量線（SC1-1～SC1-3）および補助容量線（SC2-1～SC2-3）に接続される信号供給回路部702～704は、それぞれ、ダミー補助容量線（SC1-DおよびSC2-D）に接続される信号供給回路部71と同様の回路構成を有する第1信号生成回路部702a～704aと、第2信号生成回路部702b～704bと、第3信号生成回路部702c～704cと、信号切替回路部702d～704dとによって構成されている。

10

【0189】

図9は、本発明の第2実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図8および図9を参照して、第2実施形態によるVドライバ108の動作を説明する。この第2実施形態のVドライバ108では、図4に示した第1実施形態のスタート信号STV、クロック信号CKV1、クロック信号CKV2、クロック信号CKVSCおよびイネーブル信号ENBのHレベルとLレベルとを反転させた波形の信号を、それぞれ、スタート信号STV、クロック信号CKV1、クロック信号CKV2、クロック信号CKVSCおよびイネーブル信号ENBとして入力する。これにより、第2実施形態の論理合成回路部261～265からは、上記第1実施形態の論理合成回路部161～165からの出力信号DGおよびG1～G4のHレベルとLレベルとを反転させた波形を有する信号が出力される。また、第2実施形態の信号供給回路部701～704からは、上記第1実施形態の信号供給回路部71～74から出力される出力信号SC1-D、SC1-1～SC1-3、SC2-DおよびSC2-1～SC2-3のHレベルとLレベルとを反転させた波形を有する信号が出力される。この第2実施形態のVドライバ108のこれ以外の動作は、上記第1実施形態のVドライバ8と同様である。

20

【0190】

第2実施形態では、上記のように構成することによって、上記第1実施形態と同様、ドット反転駆動を行うことによりフリッカを視認しにくくすることができ、かつ、消費電力を低減することができる。

30

【0191】

また、第2実施形態では、ゲート線駆動回路106を、同一の導電型（p型）の複数のトランジスタにより構成するとともに、信号供給回路107を、ゲート線駆動回路106を構成するトランジスタと同一の導電型（p型）の複数のトランジスタにより構成することによって、nチャンネルトランジスタを用いた第1実施形態と同様、ゲート線駆動回路106および信号供給回路107をそれぞれ構成する複数のトランジスタを形成する際に、イオン注入工程の回数およびイオン注入マスクの枚数が増加するのを抑制することができる。これにより、製造プロセスが複雑化するのを抑制することができるのと同時に、製造コストが増大するのを抑制することができる。

【0192】

なお、第2実施形態のその他の効果は、上記第1実施形態と同様である。

40

【0193】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0194】

たとえば、上記第1および第2実施形態では、信号供給回路部の回路構成を、図3または図8に示した回路構成にしたが、本発明はこれに限らず、少なくとも一対の補助容量線に、それぞれ、Hレベル側の信号およびLレベル側の信号の一方および他方を供給するこ

50

とが可能であればよい。また、1フレーム期間毎に、少なくとも一対の補助容量線にそれぞれ供給されるHレベル側の信号およびLレベル側の信号の一方および他方を交互に切り換えることが可能であればよい。

【0195】

また、上記第1および第2実施形態では、第1画素部(画素部3aおよび103a)および第2画素部(画素部3bおよび103b)を、互いに隣接するように配置することによりドット反転駆動を行うようにしたが、本発明はこれに限らず、一方のブロックを複数の第1画素部のみで構成するとともに、他方のブロックを複数の第2画素部のみで構成し、かつ、一方のブロックと他方のブロックとを隣接するように配置することにより、ブロック反転駆動を行うようにしてもよい。

10

【0196】

また、上記第1および第2実施形態では、ドレイン線を駆動するためのnチャネルトランジスタが順次オン状態になるように構成したが、本発明はこれに限らず、ドレイン線を駆動するための全てのnチャネルトランジスタが同時にオン状態になるように構成してもよい。

【0197】

また、上記第1および第2実施形態では、所定段の次段のゲート線に沿った画素部に映像信号を書き込むタイミングと同様のタイミングで、所定段のゲート線に対応する少なくとも一対の補助容量線に、それぞれ、Hレベル側の信号およびLレベル側の信号の一方および他方を供給するようにしたが、本発明はこれに限らず、所定段のゲート線に対応する少なくとも一対の補助容量線に所定の信号を供給するタイミングは、次段のゲート線に沿った画素部に映像信号を書き込むタイミングでなくてもよい。

20

【図面の簡単な説明】

【0198】

【図1】本発明の第1実施形態による液晶表示装置を示した平面図である。

【図2】図1に示した第1実施形態による液晶表示装置のVドライバのブロック図である。

【図3】図1に示した第1実施形態による液晶表示装置のVドライバ内部の回路図である。

【図4】図3に示した第1実施形態による液晶表示装置のVドライバの動作を説明するためのタイミングチャートである。

30

【図5】図1に示した第1実施形態による液晶表示装置の画素部の動作を説明するための波形図である。

【図6】図1に示した第1実施形態による液晶表示装置の画素部の動作を説明するための波形図である。

【図7】本発明の第2実施形態による液晶表示装置を示した平面図である。

【図8】図7に示した第2実施形態による液晶表示装置のVドライバ内部の回路図である。

【図9】本発明の第2実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。

40

【図10】従来のライン反転駆動法を用いて液晶表示装置を駆動させる場合の波形図である。

【図11】従来のドット反転駆動法を用いて液晶表示装置を駆動させる場合の波形図である。

【符号の説明】

【0199】

3a、103a 画素部(第1画素部)

3b、103b 画素部(第2画素部)

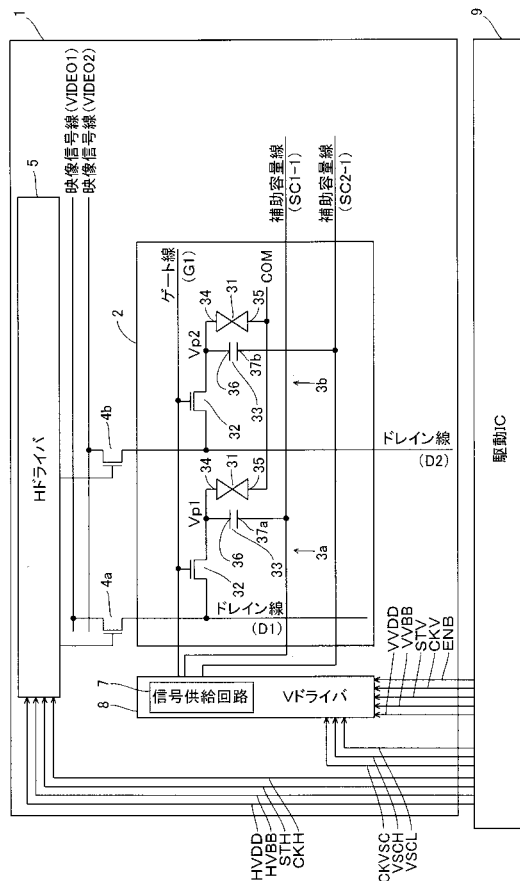
6、106 ゲート線駆動回路

7、107 信号供給回路

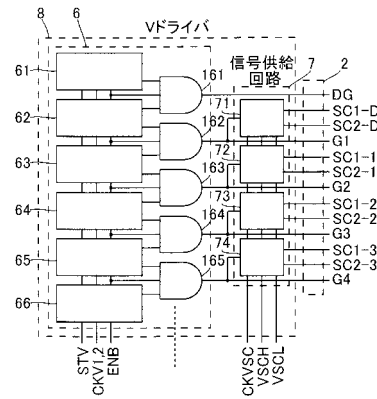
50

- 3 3 補助容量
- 3 4 画素電極
- 3 6 電極（第1電極）
- 3 7 a、3 7 b 電極（第2電極）
- 7 1、7 2、7 3、7 4、7 0 1、7 0 2、7 0 3、7 0 4 信号供給回路部
- 7 1 a、7 2 a、7 3 a、7 4 a 第1信号生成回路部
- 7 1 b、7 2 b、7 3 b、7 4 b 第2信号生成回路部
- 7 1 c、7 2 c、7 3 c、7 4 c 第3信号生成回路部
- 7 1 d、7 2 d、7 3 d、7 4 d 信号切替回路部

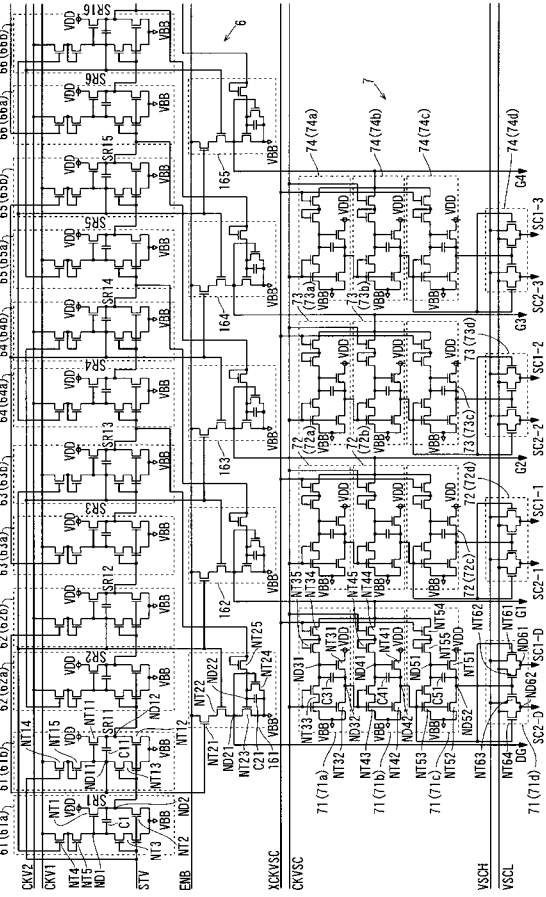
【図1】



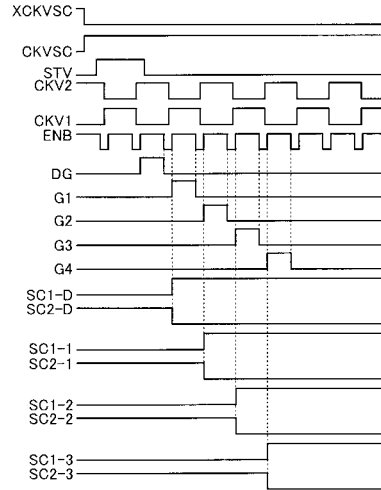
【図2】



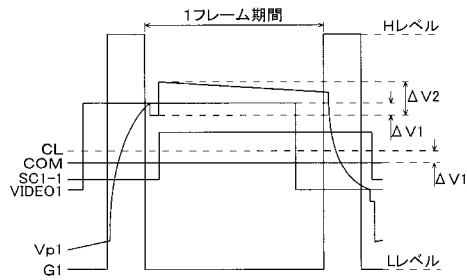
【図3】



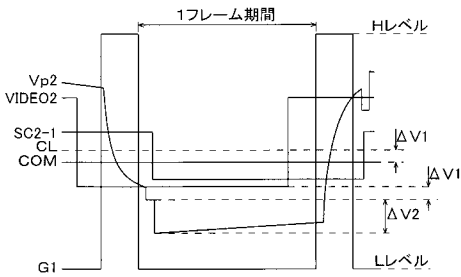
【図4】



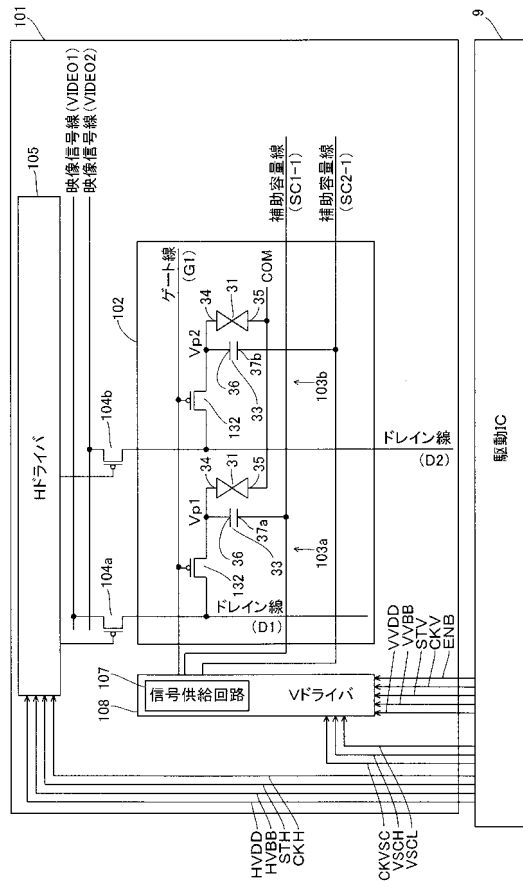
【図5】



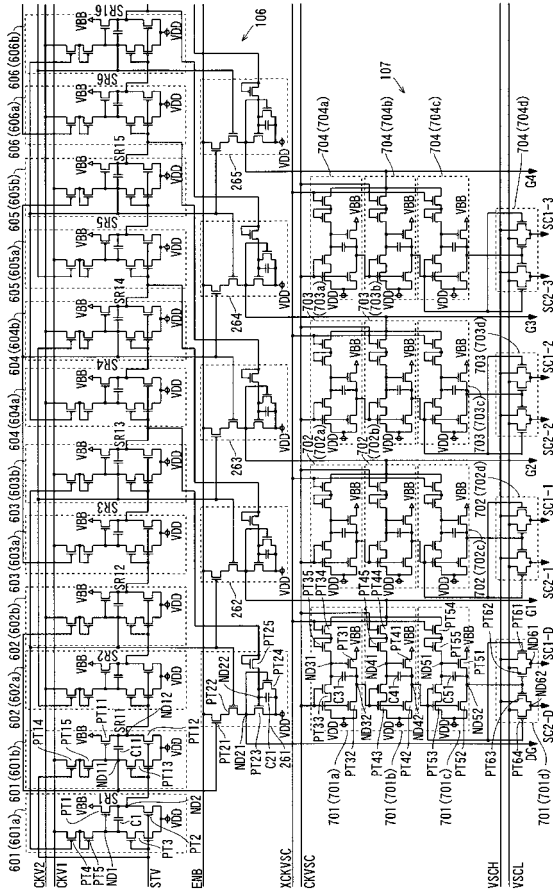
【図6】



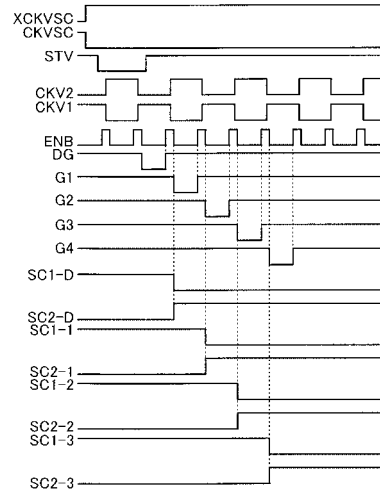
【図7】



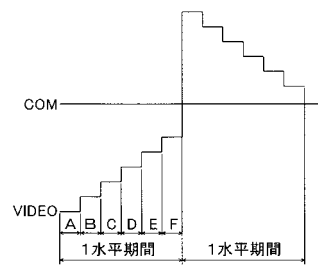
【 図 8 】



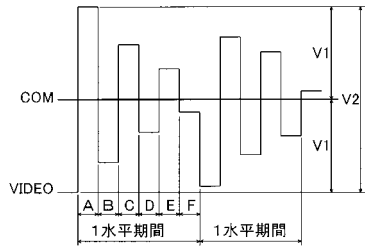
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 2 G

G 0 9 G 3/20 6 2 4 B

(56)参考文献 特開2003 - 150127 (JP, A)

特開2003 - 150080 (JP, A)

特開2003 - 228345 (JP, A)

特開2004 - 258485 (JP, A)

特開2001 - 282205 (JP, A)

特開2001 - 174784 (JP, A)

特開2003 - 114651 (JP, A)

特開2003 - 101394 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8