

圖 1

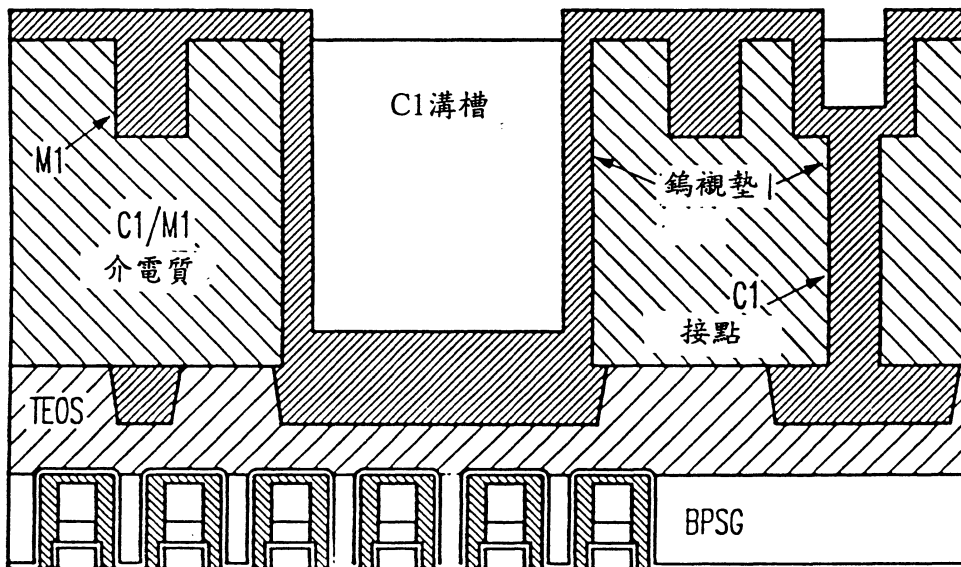


圖 2

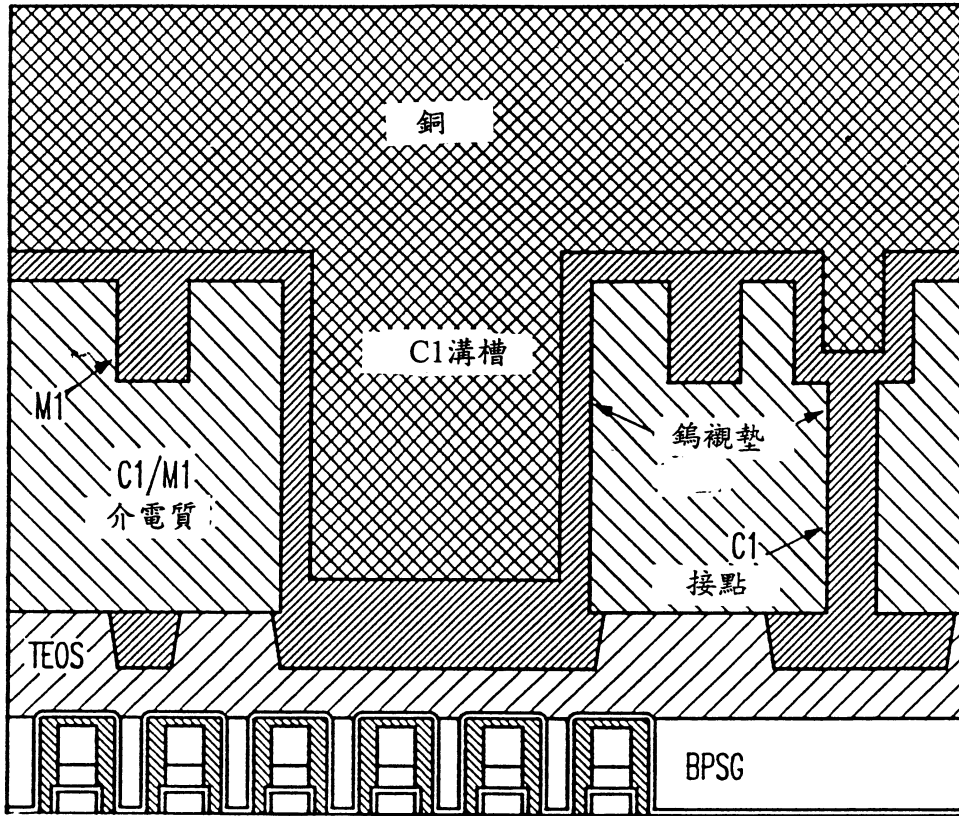


圖 3

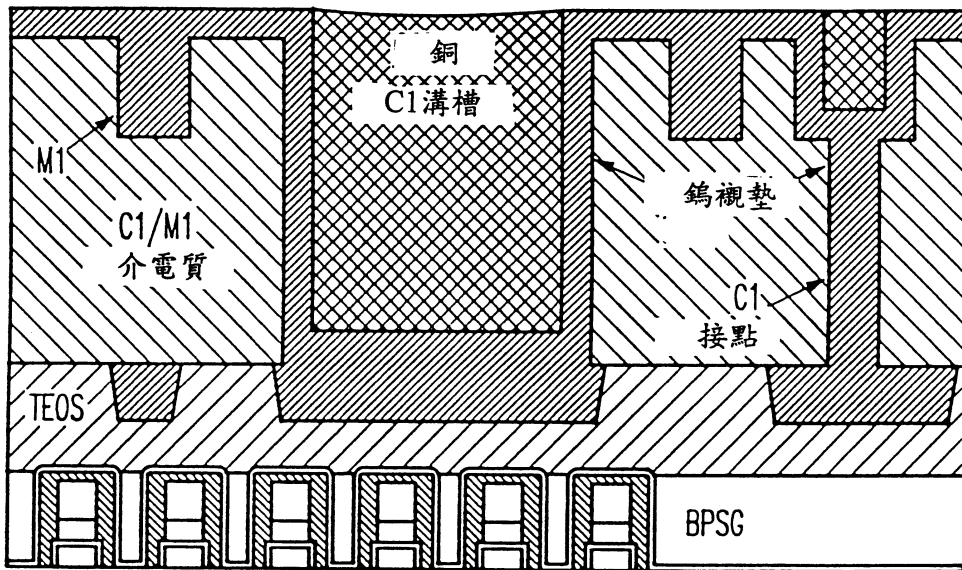


圖 4

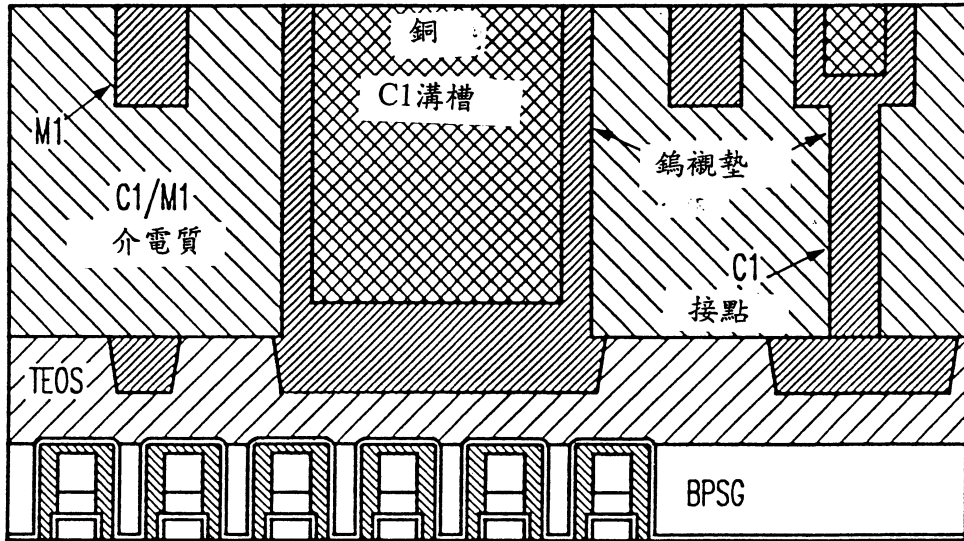


圖 5

公告本

96年5月25日修正 I289901

申請日期	91.01.28
案號	091101380
類別	H01L 21/768

A4
C4

中文說明書替換本(96年5月)

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	用以製造雙鑲嵌互連之方法及藉此所製造之結構
	英文	METHOD FOR PRODUCING DUAL DAMASCENE INTERCONNECTIONS AND STRUCTURE PRODUCED THEREBY
二、發明人	姓名	1. 樓倫斯 A. 克萊文葛 LAWRENCE A. CLEVINGER 2. 賴利 A. 尼斯比 LARRY A. NESBIT
	國籍	均美國U.S.A.
三、申請人	住、居所	1. 美國紐約州拉葛蘭吉維爾市安德魯路90號 90 ANDREWS ROAD, LAGRANGEVILLE, NY 12540 2. 美國維蒙特州威利斯頓市野花圓環458號 458 WILDFLOWER CIRCLE, WILLISTON, VT 05495
	姓名(名稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
三、申請人	國籍	美國 U.S.A.
	住、居所(事務所)	美國紐約州阿蒙市新果園路 NEW ORCHARD ROAD, ARMONK, NEW YORK 10504, UNITED STATES OF AMERICA
三、申請人	代表人姓名	傑拉德 羅森賽 GERALD ROSENTHAL

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 2001年01月31日 09/772,920 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

發明背景

發明領域

本發明一般而言關於一種形成一半導體裝置之方法(及所得到的結構)，更特定而言，係關於一種形成一雙鑲嵌互連之方法(及所得到的結構)。

相關技藝說明

目前，很難在低於280 nm的接點尺寸下適當地襯墊銅填充的接點，並且在少於320 nm的接觸開口尺寸之下可靠地襯墊接點。此對於動態隨機存取記憶體的線背末端(DRAM BEOL)製程成為主要的挑戰，其將在最近遷移到一銅背末端。

此外，在習用方法中，有許多種導電材料必須實施在一BEOL製程中。

再者，該習用方法需要一分開的方法來產生DRAM BEOL，及一分開的方法來產生該邏輯BEOL，所以其需要不同的生產線利用相同形式與數目的工具來製造DRAM或邏輯。

最後，該習用方法基本上嘗試以銅來填入大小結構，因此須要額外及昂貴的製程，像是多重CVD，及先進的PVD擴散阻障及襯墊，其可促成銅(Cu)電鍍。

發明概要

在瞭解了前述習用方法的問題，不利點及缺陷之後，本發明的目的即在於提供一種用以製造一雙鑲嵌結構的結構與方法。

五、發明說明 (2)

另一個目的在於利用一高度可靠的材料填滿小接點，而利用像是銅來填滿較寬的金屬線。

在本發明第一方面，為一種在一半導體基板上形成一互連之方法，其包含在一形成在一半導體基板上的介電質中形成一第一結構，在該形成在該半導體基板上介電質中形成一第二結構，其中該第一結構比該第二結構為窄，在該第一及第二結構中形成一襯墊，使得該第一結構填滿，而該第二結構未填滿，並形成一金屬化在該襯墊之上來完全地填滿該第二結構。

在第二方面，為一種在一半導體基板上形成一互連之方法，其包含形成一接點，包含一溝槽，在一形成在一半導體基板上的介電質中，在該介電質中形成溝渠，藉此來形成一雙鑲嵌結構(請注意這些層級遮罩及蝕刻的順序可以相反)，沉積一厚導電材料在該介電質上，沉積一金屬在該導電材料上來完全地填滿該溝槽及金屬溝渠，移除該金屬到該導電材料，或該金屬及導電材料皆同時移除回到該介電質，並選擇性地移除該導電材料。

在第三方面，為一種半導體裝置，其包含一半導體基板，一雙鑲嵌結構，其形成在一形成在該半導體基板上的至少一介電膜中，其包含一第一結構，及一第二結構，其中該第一結構比該第二結構為窄，一襯墊形成在該第一及第二結構中，使得該第一結構填滿，而該第二結構未填滿，並形成一金屬化在該襯墊之上來完全地填滿該第二結構。

藉由本發明的獨特及不明顯的好處，小接點(例如C1接

五、發明說明 (3)

點)可用一高度可靠的材料填滿，而較寬的金屬線(例如C1溝槽)利用像是銅來填滿。

再者，本發明提供一種方法用以簡單地及適當地在低於280 nm的接點尺寸下來襯墊銅填滿的接點，並可靠地襯墊在低於小於320 nm的接觸開口大小來襯墊接點。

另外，本發明提供一種方法，其由製造的觀點而言有好處，其中必須實施在一BEOL製程中的導電材料種類之數目可最小化。同時，相同的方法可用於製作該DRAM BEOL及該邏輯BEOL。因此，一相同的生產線可利用相同形式及數目的工具來生產DRAM或邏輯裝置。

圖式簡單說明

前述及其它目的，方面及好處將可由以下本發明較佳具體實施例的詳細說明，並參考所附圖面而更加地瞭解，其中：

圖1所示為根據本發明一半導體晶片的橫截面架構圖；

圖2所示為在一鎢填滿之後該晶片(一晶圓)的橫截面；

圖3為該半導體晶片的橫截面，其顯示銅正形成在該鎢之上；

圖4為該半導體晶片的橫截面，其顯示移除在該鎢之上的銅，除了在一溝渠中(例如C1溝槽)；及

圖5為在選擇性移除該鎢之後的一晶圓橫截面，其係藉由一選擇性蝕刻或化學機械研磨(CMP)。

發明之較佳具體實施例詳細說明

現在請參考圖面，特別是圖1-5，其所示為根據本發明

五、發明說明 (4)

之方法及結構的較佳具體實施例。

一般而言，本發明係關於形成一雙鑲嵌互連之方法(及所得到的結構)。

請參考圖1，在該方法的第一步驟中，接點101(例如在第一及第二金屬層級M0及M1之間的C1接點)，包含C1溝槽102蝕刻到該C1/M1介電質103。此介電質可為一氮化物/氧化物，低K聚合物或其組合。

在步驟2中，M1溝渠104可蝕刻到該C1/M1 TEOS(或介電質)103。較佳地是，這種蝕刻係藉由反應離子蝕刻(RIE)來執行。其要注意到，這些層級受遮罩及蝕刻的順序可以相反。

因此，圖1所示為一半導體晶片的橫截面，其顯示出該C1接點，C1溝槽，及M1溝渠受蝕刻到該C1/M1 TEOS或介電質來形成一雙鑲嵌結構。

現在請參考圖2，一厚的(例如 $<2000\text{\AA}$)可靠導電材料，例如一化學氣相沉積(CVD)金屬(例如鎢)沉積在該晶圓上。除了鎢之外，也可使用氮化鈦，鋁等。僅為了說明的目的，其係假設使用鎢。

可調整該導電材料的厚度，藉以完全地填滿該小的C1接點。該小C1接點基本上係由約2000到約8000 Å的厚度。因此，圖2所示為在該鎢填滿之後的該晶圓。

然後，如圖3所示，一金屬，例如銅或其它不同於該第一金屬沉積的導電材料，即藉由電鍍，物理氣相沉積，或化學氣相沉積來沉積在該鎢之上，藉以完全地填滿該較寬

五、發明說明 (5)

的線(例如C1溝槽及該M1金屬溝渠)。

之後在圖4中，該銅藉由CMP進行回研磨到該接點填滿材料(例如鎢)，或該銅及該接點填滿材料皆同時地回研磨到該介電質。

然後，如圖5所示，該鎢可選擇性移除，其藉由一選擇性蝕刻或藉由一選擇性CMP。後續的介電薄膜及金屬層可沉積在所得到的結構上。因此，圖5所示為在選擇性移除該鎢之後的該晶圓橫截面，其係藉由選擇性蝕刻或CMP。

藉由本發明的獨特及不明顯的好處，小接點(例如C1接點)可用一高度可靠的材料(例如CVD金屬)來填滿，而較寬的金屬線(例如C1溝槽)利用像是銅來填滿。因此，本發明以CVD金屬填滿該較小的區域/結構，而該較寬的區域/結構可利用銅金屬化來填滿。

再者，本發明提供一種用以簡單地及適當地在低於280 nm的接點尺寸下來襯墊銅填滿的接點，並可靠地襯墊在低於小於320 nm的接觸開口大小來襯墊接點。

另外，本發明提供一種方法，其由製造的觀點而言有好處，其中必須實施在一BEOL製程中的導電材料種類之數目可最小化。同時，相同的方法可用於製作該DRAM BEOL及該邏輯BEOL。因此，一相同的生產線可利用相同形式及數目的工具來生產DRAM或邏輯裝置。

當本發明已經藉由較佳具體實施例來說明時，本技藝的專業人士將可瞭解到在所附申請專利範圍的精神及範圍之下，可進行修正。

四、中文發明摘要(發明之名稱：用以製造雙鑲嵌互連之方法及藉此所製造之結構)

本發明揭示一種形成一互連在一半導體基板上之方法(及結構)，其包含在一形成在一半導體基板上的介電質中形成一第一結構，在該形成在該半導體基板上介電質中形成一第二結構，其中該第一結構比該第二結構為窄，在該第一及第二結構中形成一襯墊，使得該第一結構填滿，而該第二結構未填滿，並形成一金屬化在該襯墊之上來完全地填滿該第二結構。

英文發明摘要(發明之名稱：METHOD FOR PRODUCING DUAL DAMASCENE INTERCONNECTIONS AND STRUCTURE PRODUCED THEREBY)

A method (and structure) of forming an interconnect on a semiconductor substrate, includes forming a relatively narrow first structure in a dielectric formed on a semiconductor substrate, forming a relatively wider second structure in the dielectric formed on the semiconductor substrate, forming a liner in the first and second structures such that the first structure is substantially filled and the second structure is substantially unfilled, and forming a metallization over the liner to completely fill the second structure.

六、申請專利範圍

1. 一種用以在一半導體基板上形成一互連之方法，其包含：

在一形成在一半導體基板上的介電質中形成一第一結構；

在該形成在該半導體基板上介電質中形成一第二結構，其中該第一結構比該第二結構為窄；

在該第一及第二結構中形成一襯墊，使得該第一結構填滿，而該第二結構未填滿；及

形成一金屬化在該襯墊之上來完全地填滿該第二結構。

2. 如申請專利範圍第1項之方法，其中該襯墊包含一化學氣相沉積(CVD)金屬，一物理氣相沉積(PVD)金屬，及一電鍍的襯墊之一。

3. 如申請專利範圍第1項之方法，其中該襯墊包含鎢，鋁及氮化鈦中至少之一。

4. 如申請專利範圍第1項之方法，其中該金屬化包含銅。

5. 一種用以在一半導體基板上形成一互連之方法，其包含：

形成一接點，包含一溝槽，在一形成在一半導體基板上的介電質中；

形成溝渠到該介電質中，藉此來形成一雙鑲嵌結構；

沉積一導電材料在該介電質上；

沉積一金屬在該導電材料上來完全地填滿該溝槽及

六、申請專利範圍

溝渠；

移除該金屬到該導電材料，或該金屬及導電材料皆同時移除回到該介電質；及

選擇性地移除該導電材料。

6. 如申請專利範圍第5項之方法，其中該介電質包含TEOS (tetraethylorthosilicate)，矽甲烷及其它低K聚合物介電質之一。
7. 如申請專利範圍第6項之方法，其中該接點包含形成在形成在該半導體基板上第一及第二金屬層級之間的接點。
8. 如申請專利範圍第5項之方法，其中該導電材料包含鎢。
9. 如申請專利範圍第8項之方法，其中該鎢包含化學氣相沉積(CVD)的鎢，一物理氣相沉積(PVD)的鎢及一電鍍的鎢。
10. 如申請專利範圍第5項之方法，其中該導電材料的厚度可調整，藉以完全地填滿該雙鑲嵌結構之下部。
11. 如申請專利範圍第5項之方法，其中該金屬包含銅。
12. 如申請專利範圍第5項之方法，其中該金屬藉由化學機械研磨(CMP)來移除。
13. 如申請專利範圍第5項之方法，其中該選擇性移除包含藉由一選擇性蝕刻來選擇性地移除該導電材料。
14. 如申請專利範圍第5項之方法，其中該選擇性移除包含藉由一選擇性CMP來選擇性地移除該導電材料。

六、申請專利範圍

15.如申請專利範圍第5項之方法，進一步包含：

在所得到的結構上沉積後續的介電薄膜及金屬層。

16.一種用以在一半導體基板上形成一互連之方法，其包含：

在第一及第二金屬層級之間形成溝渠，其包含一溝槽，其位在形成在一半導體基板上的一介電質中；

形成接點在該介電質中，藉此來形成一雙鑲嵌結構；

沉積一導電材料在該介電質上；

沉積一金屬在該導電材料之上來完全地填滿該溝槽及該溝渠；

移除該金屬到該導電材料，或該金屬及導電材料皆同時移除回到該介電質；及

選擇性地移除該導電材料。

17.一種半導體裝置，其包含：

一半導體基板；

一雙鑲嵌結構，其形成在一形成在該半導體基板上的至少一介電膜中，其包含一第一結構，及一第二結構，其中該第一結構比該第二結構為窄；

一襯墊，其形成在該第一及第二結構中，使得該第一結構填滿，而該第二結構未填滿；及

一金屬化，其形成在該襯墊之上來完全地填滿該第二結構。