

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 93/3/1775

※申請日期： 93/10/20

※IPC 分類：H01L 23/367

一、發明名稱：(中文/英文)

散熱型封裝結構及其製法

HEAT DISSIPATING PACKAGE STRUCTURE AND METHOD FOR FABRICATING
THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

矽品精密工業股份有限公司

SILICONWARE PRECISION INDUSTRIES CO., LTD.

指定 為應受送達人

代表人：(中文/英文)(簽章) 林文伯 / LIN, WEN-PO

住居所或營業所地址：(中文/英文)

台中縣潭子鄉大豐路三段 123 號

No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/R.O.C.

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 黃建屏 / HUANG, CHIEN PING K101101962

2. 蕭承旭 / HSIAO, CHENG-HSU M120011617

國籍：(中文/英文) 1.2. 中華民國/R.O.C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種半導體封裝件及其製法，尤指一種具散熱件之球柵陣列式(BGA)封裝結構及其製作方法。

【先前技術】

球柵陣列式(Ball Grid Array, BGA)為一種先進的半導體晶片封裝技術，其特點在於採用一基板來安置半導體晶片，並於該基板背面植置複數個成柵狀陣列排列之錫球(Solder Ball)，使相同單位面積之半導體晶片承載件上可以容納更多輸入／輸出連接端(I/O Connection)以符合高度集積化(Integration)之半導體晶片所需，以藉由此些錫球將整個封裝單元錫結及電性連接至外部之印刷電路板。

惟高度集積化半導體晶片運作時，將伴隨大量的熱量產生，又包覆半導體晶片之封裝膠體實係一導熱係數僅 0.8 w/m-k 之不良傳熱樹脂材質所形成，致使熱量之逸散效率不佳而危及半導體晶片之性能及使用壽命。

因此，為提高 BGA 半導體封裝件之散熱效率，遂有於封裝件中增設散熱結構之構想應運而生。

請參閱第 1 圖所示，係為美國專利第 5,726,079 號所揭露之半導體封裝件。該種習知之半導體封裝件 1 乃在晶片 10 上直接黏設有一散熱片 11，使該散熱片 11 之頂面 11a 外露出用以包覆該晶片 10 之封裝膠體 12 而直接與大氣接觸，藉以提供晶片 10 產生之熱量得傳遞至散熱片 11 而逸散至大氣中，而毋須經過導熱性差之封裝膠體 12。

然而，該種半導體封裝件 1 在製造上存在有若干之缺點。首先，該散熱片 11 與晶片 10 黏接後，置入封裝模具之模穴中以進行形成該封裝膠體 12 之模壓作業(Molding)時，該散熱片 11 之頂面 11a 必須頂抵至模穴之頂壁，倘若該散熱片 11 之頂面 11a 未能有效地頂抵至模穴之頂壁，而於兩者間形成有間隙時，即會溢膠於散熱片 11 之頂面 11a 上，一旦散熱片 11 之頂面 11a 上形成有溢膠，除會影響該散熱片 11 之散熱效率外，並會造成製成品外觀上的不良，故往往須予去膠(Deflash)之處理；然而，去膠處理不惟耗時，增加封裝成本，且亦會導致製成品之受損。此外，若散熱片 11 頂抵住模穴之頂壁的力量過大，則往往會使質脆之晶片 10 因過度之壓力而裂損。

易言之，若散熱片 11 之頂面 11a 至基板 13 之上表面的距離大於模壓作業時之模穴深度，則模具合模後，模具會壓迫散熱片 11 而導致與散熱片 11 直接黏結之晶片 10 為散熱片 11 壓裂；反之，若散熱片 11 之頂面 11a 至基板 13 之上表面的距離小於模穴的深度，則封裝膠體會溢膠於散熱片 11 之頂面 11a 上，而溢膠之形成除影響製成品之外觀外，復會減少散熱片 11 之頂面 11a 外露於大氣中的面積，致使散熱效能因之變差，故往往須進行一遂額外之清除程序以去除散熱片 11 之頂面 11a 上的溢膠。然而，清除程序之進行會增加整體封裝製程的複雜度，復會導致成本的提高。

此外，為使散熱片 11 之頂面 11a 至基板 13 之上表面

的距離能恰等於模具之模穴的深度，散熱片 11 與晶片 10 之黏接、晶片 10 與基板 13 之黏接以及散熱片 11 之厚度即須精準控制與製作，然此種精密度上的要求，會使封裝成本增加並提高製程複雜度，故在實務上有其實施之困難性。

再而，由於散熱片 11 與晶片 10 黏結後之高度須予精確控制以避免前述問題的發生，該半導體封裝件 1 之封裝即無法以批次(Batch-type)方式黏結晶片 10 與散熱片 11；亦即，散熱片 11 須與對應之晶片 10 逐一黏接，而增加整體封裝製程之複雜性與所需之時程，故不利封裝成本的降低與封裝效率的提升。

此外，該半導體封裝件 1 之散熱效率乃與其使用之散熱片 11 外露之頂面 11a 的面積成正比，亦即，在半導體封裝件 1 之大小不變的情況下，散熱片 11 與封裝件的面積相同時得具有最大之外露面積，使散熱片 11 能提供最大之散熱效率。然而，將散熱片之面積擴大至與封裝件相等時，表示散熱片之大小亦須與封裝模具之模穴的邊壁切齊或嵌接，而若散熱片製作精度不足，在散熱片過大時，將使散熱片無法順利置入模穴中，然在散熱片過小時，其頂面及側面即易形成溢膠。所以，該結構會有良率上之顧慮而使實施上具有相當之難度。

請參閱第 2A 至 2C 圖以及第 3 圖所示，鑑於前項習知技術之缺失，美國專利第 6,458,626 及 6,444,498 號案(專利權人同於本申請案之申請人)係揭露一種散熱片能直接黏置於晶片上而不會產生壓損晶片或溢膠形成於散熱片外

露表面上之問題的半導體封裝件。該半導體封裝件乃在散熱片 21 欲外露於大氣中之表面上形成一與封裝膠體 24 間之黏結性差或與散熱片 21 間之黏結性差之材料層 25，再將該散熱片 21 直接黏置於一接置在基板 23 之晶片 20 上，繼而進行模壓製程俾以封裝膠體 24 完全包覆該散熱片 21 及晶片 20，並使封裝膠體 24 覆蓋於散熱片 21 之材料層 25 上(如第 2A 圖所示)，如此，模壓製程所使用之模具之模穴的深度乃大於晶片 20 與散熱片 21 之厚度和，故在模具合模後，模具不會觸及散熱片 21 而使晶片 20 無受壓導致裂損之虞；接著，進行切單(Singulation)程序(如第 2B 圖所示)，並將散熱片 21 上方之封裝膠體 24 去除，其中當形成於散熱片 21 上之材料層 25(例如為鍍金層)與散熱片 21 間之黏結性大於其與封裝膠體 24 間之黏結性時，將封裝膠體 24 剝除後，該材料層 25 仍存留於散熱片 21 上，但因材料層 25 與封裝膠體 24 間之黏結性差，封裝膠體 24 不致殘留於散熱片 21 上(如第 2C 圖所示)，故無溢膠之問題。相對地，當形成於散熱片 21 上之材料層 25(例如為聚亞醯胺樹脂製成之膠黏片)與散熱片 21 間之黏結性小於其與封裝膠體 24 間之黏結性時，將封裝膠體 24 剝除後，該材料層 25 會黏附於封裝膠體 24 上而隨之去除(如第 3 圖所示)，故該散熱片 21 上亦不會形成溢膠。

惟前述半導體封裝件中，為使該散熱片 21 有效接著於半導體晶片 20 上，在該半導體晶片 20 與散熱片 21 間必須填充有黏著層 26，而為增加晶片 20 之散熱性通常係採

用導熱膠(Thermal Grease)來黏著該晶片與散熱片，其中雖該導熱膠之導熱係數(約 3 w/m-k)較封裝膠體(約 0.8 w/m-k)為高，然而相對於銅質散熱片之導熱係數約 400 w/m-k 而言仍明顯偏小，因此晶片運作時所產生之熱量，仍需經由該導熱係數較小之導熱膠再傳遞至散熱片，之後再逸散至大氣，如此將增加熱阻，而不利於散熱。

另外，請參閱第 4A 至 4C 圖所示，美國專利第 6,699,731 號案(專利權人亦同於本申請案之申請人)係揭露一種裸晶式半導體裝件，其係在一接置於基板 43 之晶片 40 上透過膠片 42 而接著有一模組板 41，繼而進行模壓製程俾以封裝膠體 44 完全包覆該模組片 41 及晶片 40(如第 4A 圖所示)；之後，進行切單(Singulation)程序(如第 4B 圖所示)，並將該晶片 40 上之膠片 42、模組板 41 及其上方之封裝膠體 44 去除，藉以形成裸晶式半導體封裝件，俾使該晶片 40 運作時產生之熱量得以直接逸散至大氣。

惟於實際操作前述半導體裝件製程中，先前所暫時接置於該晶片 40 上之膠片 42 於撕除時，容易使膠片 42 之黏著材料殘留於封裝膠體 44 上，不僅影響封裝成品之外觀，同時往往須進行額外之清除作業，增加整體封裝製程的複雜度與成本的提高。

【發明內容】

鑒於以上所述習知技術之缺點，本發明之主要目的在於提供一種散熱型封裝結構及其製法，使散熱片與晶片得直接接合以提升散熱效率，且不致於模壓製程中造成晶片

之裂損與溢膠問題，進而提升製成品之良率。

本發明之另一目的在於提供一種散熱型封裝結構及其製法，得以使晶片部分直接顯露於外界，以提升散熱效率。

本發明之再一目的在於提供一種散熱型封裝結構及其製法，避免晶片與散熱片接著時受限於黏著材料之設置，而影響晶片散熱效率。

本發明之又一目的在於提供一種散熱型封裝結構及其製法，避免黏著材料殘於半導體封裝件表面，而影響外觀及增加移除步驟及成本。

本發明之又一目的在於提供一種散熱型封裝結構及其製法，使整合有散熱片與晶片之半導體封裝件得以批次方式為之，而可簡化製程，減少封裝之耗時，以及降低成本。

本發明之又一目的在提供一種散熱型封裝結構及其製法，使散熱片與晶片黏接之作業無高度控制之顧慮，而可降低封裝成本及提升良率。

本發明之又一目的在提供一種散熱型封裝結構及其製法，俾使所使用之封裝模具得應用於具不同尺寸之產品，而毋須隨產品尺寸之改變而更換封裝模具，故可降低封裝成本及機具之管理成本。

為達上揭及其它目的，本發明之散熱型封裝結構製法，係包括：將半導體晶片接置並電性連接於晶片承載件上，另在一介面層上接著一具鏤空結構之散熱片，俾將該

附有介面層之散熱片固著於該半導體晶片上，其中該半導體晶片之尺寸係大於該散熱片之鏤空結構尺寸；然後進行封裝模壓製程，以利用封裝膠體完整包覆住位於該晶片承載件上之半導體晶片及該附有介面層之散熱片；接著進行切割製程，以去除完成封裝模壓製程後封裝元件四周非電性作用部分，以顯露出該散熱片側邊，並移除該介面層及位在該介面層上之封裝膠體，藉以外露出該散熱片並使該半導體晶片非主動面得以部分顯露於該散熱片之鏤空結構。

於本發明之製程中，該晶片承載件係可採用基板或導線架型式，且半導體晶片係可以覆晶或打線方式而電性連接至該晶片承載件，其中，於採用覆晶方式電性連接晶片與晶片承載件時，係可直接將該具鏤空結構之散熱片接置於該晶片之非主動面，相對在採用打線方式電性連接晶片與晶片承載件時，係可先於該晶片主動面上未影響鐸線設置處接置一與晶片熱膨脹係數(CTE, Coefficient of Thermal Expansion)相當之緩衝墊片(Buffer Pad)後，再於該緩衝墊片上接置該具鏤空結構之散熱片，並使該緩衝墊片得以部分顯露於該鏤空結構，以避免散熱片與晶片直接之黏接會碰觸至鐸線，同時可降低散熱片與晶片之CTE之不同而在兩者直接黏接之情況下散熱片對晶片所產生之熱應力效應。

另外，復可在該散熱片上藉由一導熱之黏著層以接置一散熱結構，並使該散熱結構得以延伸接觸至顯露於該散

熱片鏤空結構之晶片或緩衝墊片上，以藉由該散熱結構逸散晶片運作時之熱量。

此外，本發明之該封裝結構製法係可採用批次方式製程，藉由將複數半導體晶片接置於一矩陣式晶片承載件模組片上，再進行接置具有介面層之散熱片及封裝製程後，即可利用切單形成複數整合有散熱片之封裝結構，以利於大量製造生產。

本發明亦揭露一種散熱型封裝結構，係包括：晶片承載件；半導體晶片，係接置並電性連接至該晶片承載件上；具鏤空結構之散熱片，係接置於該半導體晶片上，且該晶片尺寸係大於該鏤空結構尺寸，藉以使該晶片得以部分顯露於該散熱片之鏤空結構；封裝膠體，係形成於該散熱片與晶片承載件之間，用以包覆該半導體晶片。其中該散熱片之鏤空結構係可為一任意形狀，且並不侷限僅具單一鏤空結構，另於該散熱片與封裝膠體接觸部分係可形成有表面凹凸之不平整結構及/或進行黑化處理，藉以增加散熱片與封裝膠體間之接著力。此外，於該晶片與該具鏤空結構之散熱片間係可間隔一緩衝墊片，並使該緩衝墊片得以部分顯露於該鏤空結構，以降低散熱片與晶片之CTE之不同而在兩者直接黏接之情況下散熱片對晶片所產生之熱應力效應。

在本發明之一較佳具體例中，該晶片承載件為球柵陣列式(BGA)基板，且在該基板上開設有至少一開孔以供鐳線通過該開孔而電性連接該基板與晶片，該基板位於晶片

下方之表面上並植接有多數錫球以作為晶片與外界裝置電性連接之介質。

在本發明之另一較佳具體例中，該晶片承載件為覆晶式(Flip Chip)基板，亦即基板之上表面具有多數成陣列方式排列之錫墊，以供用以電性連接晶片與基板之多數導電凸塊連接，同時，該基板之下表面上則植接有多數錫球以供晶片與外界裝置電性連接。

在本發明之另一較佳具體例中，該晶片承載件為 QFN 導線架，以將半導體晶片以覆晶方式接置並電性連接至該 QFN 導線架之導腳上，以供後續經由該導腳而電性連接至外部裝置。

在本發明之另一較佳具體例中，該晶片承載件為 LGA(LAND GRID ARRAY)基板，以將半導體晶片之非主動面接置於該 LGA 基板上，並透過錫線將電性連接至該 LGA 基板，以供後續經由複數排列於該基板底面之金屬接點進而電性連接至外部裝置。

在本發明之另一較佳具體例中，該晶片承載件為 BGA 基板，以將半導體晶片之非主動面接置於該 BGA 基板上，並透過錫線將電性連接至該 BGA 基板，以供後續經由複數排列於該基板底面之錫球進而電性連接至外部裝置。

在本發明之另一較佳具體例中，該晶片承載件為 QFN 導線架，以將半導體晶片以其非主動面接置於 QFN 導線架之晶片座上，並透過錫線將電性連接至該 QFN 導線架之導腳部分，以供後續經由該導腳而電性連接至外部裝置。

在此應特別注意者，係本發明之散熱型封裝結構及其製法中，該晶片承載件之選擇，以及晶片與晶片承載件間所使用之電性連接方式，在不違背本發明之精神及範疇下，係可加以組合變化，且其均係為本發明所涵蓋之特徵所在。

因此，本發明之散熱型封裝結構及其製法主要係將晶片接著並電性連接至晶片承載件，另將具鏤空結構之散熱片與介面層相互接著，藉以使該介面層封閉住該散熱片鏤空結構之一側，而後將附有介面層之散熱片，黏著於該晶片上，且該晶片之尺寸係大於該散熱片之鏤空結構尺寸，較佳係使該晶片周圍與該散熱片黏著，俾供後續該晶片之中心部分面積顯露於該鏤空結構，而減少晶片與散熱片間黏著層之熱阻影響，同時提供晶片直接與大氣接觸之機會而得增加散熱效率，接著即可進行模壓製程以利用封裝膠體完整包覆住位於該晶片承載件上之半導體晶片及接著有介面層之散熱片，再進行切割製程，以去除先前進行封裝製程時封裝元件四周非電性作用部分，接著移除散熱片上之封裝膠體，透過該介面層與封裝膠體之接著力係大於其與散熱片之接著力，因此將可同時移除該介面層及該介面層上之封裝膠體，而不致使介面層殘留於封裝結構上，俾直接外露出該散熱片並使該半導體晶片得以部分顯露於該散熱片之鏤空結構，如此將可提供晶片直接與大氣接觸而增加散熱效率。此外，本發明中係得以批次方式為之，而可簡化製程，減少封裝之耗時，以及降低成本，且不致於

模壓製程中造成晶片裂損或溢膠問題而影響外觀及增加移除步驟及成本，更毋需使散熱片與晶片黏接之作業受高度控制之顧慮，而隨產品尺寸之改變而更換封裝模具，故可降低封裝成本及機具之管理成本。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

[第一實施例]

請參閱第 5A 至 5H 圖，係為本發明之散熱型封裝結構製法第一實施例之製造流程示意圖。

如第 5A 圖所示，首先，係提供一矩陣式基板模組片 50A，該基板模組片 50A 包含有複數個基板單元 50 以陣列方式排列所構成者。該等基板單元 50 各具有一上表面 500、一下表面 501、並開設有一貫穿之開孔 502。其中應注意者該基板單元 50 除以陣列方式排列外，亦可以直條方式排列，且如製程條件許可亦可採用單顆基板單元方式進行。

如第 5B 圖所示，於各基板單元 50 之上表面 500 上預設位置處透過一例如銀膠之黏著層 55 而將一晶片 51 之主動面 51a 接置其上，並使該晶片 51 封閉住該開孔 502 之一

端，復以多數之鐳線 52 通經該開孔 502 分別鐳接至該晶片 51 之主動面 51a 及基板單元 50 之下表面 501 上，以使該晶片 51 電線連接至該基板單元 50。此一鐳線製程(Wire Bonding)與習知者相同，故在此不予贅述。

如第 5C 圖所示，另在一例如為膠片之介面層 54 上接著一具鏤空結構 530 之散熱片 53，於本圖式中，該散熱片 53 之鏤空結構 530 位置係對應於晶片 51 中心部分位置，且該散熱片 53 之鏤空結構 530 尺寸係小於半導體晶片 51 尺寸，俾將該附有介面層 54 之散熱片 53 得以藉由導熱之黏著層 56 而黏著於該半導體晶片 51 非主動面 51b 之周圍部分，俾供後續該晶片 51 非主動面 51b 之中心部分面積顯露於該鏤空結構 530，而減少晶片 51 與散熱片 53 間黏著層 56 之熱阻影響，同時提供晶片 51 直接與大氣接觸之機會而得增加散熱效率。

該散熱片 53 之大小須足以完全遮覆住與之藉晶片 51 相接之基板單元 50，亦即，該散熱片 53 之側邊須延伸出任一位於外側之基板單元 50 的側邊 503(如第 5A 圖中虛線所示者)。另該散熱片 53 係可由銅、鋁、銅合金或鋁合金等金屬材料製成，另該散熱片 53 之鏤空結構 530 係可為任意形狀，且並不侷限僅具單一鏤空結構。

該介面層 54 係可例如為以聚亞醯胺(Polyimide)為底材之膠片(P.I. tape)，或以金屬(如銅、鋁)為底材之金屬貼片，或以高耐熱性之有機材(如 FR4、BT)為底材之貼片，抑或以高耐熱性紙材為底材之紙貼片，其中，該介面層 54

與包覆晶片 51 用之封裝膠體間之黏結性需大於散熱片 53 之頂面與該介面層 54 間之黏結性，且使該介面層 54 與散熱片 53 間之黏結性小於該散熱片 53 與封裝膠體間的黏結性。

如第 5D 圖所示，將該結合有介面層 54、具鏤空結構 530 之散熱片 53、晶片 51 及基板模組片 50A 之結構體置入封裝模具之模穴(未圖示)中，以進行模壓作業，以形成一用以包覆該附有介面層 54 之散熱片 53、晶片 51 及鐸線 52 之封裝膠體 57。由於該結構體之高度使散熱片 53 上之介面層 54 與模穴之頂壁間有一適當之距離，故在封裝模具合模後，晶片 51 不會遭受封裝模具或散熱片 53 而來之壓力，故無裂損之虞，且散熱片 53 與晶片 51 之黏接亦無精確控制高度的需要，故可有效提升製成品之良率與信賴性。

如第 5E 圖所示，於基板模組片 50A 之各基板單元 50 的下表面 501 上植接多數個例如鐸球 58 之導電元件，以供該晶片 51 藉之與外界裝置形成電性連接關係。該鐸球 58 之植接係以習知之植球方式為之，故不另贅述。另外，該例如鐸球 58 之導電元件之設置亦可於後續完成基板單元切割製程後再予進行。

如第 5F 圖所示，進行切割製程，其係以治具(未圖示)真空吸附住植球完成之半成品於介面層 54 上所形成的封裝膠體 57，俾使切單作業進行時及完成後，經切單後之各半成品仍能吸附於治具上。由於該介面層 54 上封裝膠體 57 得藉由該介面層 54 與該散熱片 53 黏結，故切單作業進

行時，該封裝膠體 57 不致與半成品之其餘部分脫離。

該切單作業係可去除完成模壓製程後封裝元件四周非電性作用部分，藉以構成各封裝單元，同時使該散熱片的側面 531 係外露出所形成之封裝膠體 57，並與該封裝膠體 57 之側面 571 切齊，而令該散熱片 53 的側面 531 上不會有溢膠之產生，且亦達成該散熱片 53 與基板單元 50 具有相同之面積的目的，而無散熱片 53 須與封裝模具之模穴大小精準配合的需要。同時，各該散熱片 53 與晶片 51 之接合係以批次方式為之，故可簡化製程，減少耗時及降低成本。

如第 5G 圖所示，進行各切單後半成品之介面層 54 及殘留於該介面層 54 上之封裝膠體 57 的去除作業。利用該散熱片 53 及介面層 54 間的黏結性小於該介面層 54 與形成於介面層 54 上之封裝膠體 57 間之黏結性的特性，使該介面層 54 得於剝除殘留其上之封裝膠體 57 時而隨之脫離散熱片 53；同時，由於散熱片 53 與封裝膠體 57 間的黏結性復大於介面層 54 與散熱片 53 間之黏結性，故將該介面層 54 自散熱片 53 上去除時，不會影響至散熱片 53 與封裝膠體 57 間之黏結，亦不會於散熱片 53 及封裝膠體 57 上殘留任何黏著材料，使該散熱片 53 得外露出該封裝膠體 57 而直接與大氣接觸，同時使半導體晶片 51 之非主動面 51b 部分面積得以顯露於該散熱片 53 之鏤空結構 530，而減少晶片 51 與散熱片 53 間黏著層之熱阻影響，另得以提供晶片 51 直接與大氣接觸之機會而得增加散熱效率，同時毋須

進行任何去除溢膠及殘留黏著材料之後處理，而可降低封裝成本並確保製成之半導體封裝結構外觀之良好。

此外，如第 6A 圖所示，為提升散熱片 53 與封裝膠體 57 間之接著力，可於該散熱片 53 上用以與封裝膠體 57 接觸之部分形成有表面凹凸之不平整結構 60 及/或進行黑化處理。另外，本發明亦可在該散熱片 53 上藉由一導熱之黏著層 62 以接置一散熱結構 61(如第 6B 圖所示)，並使該散熱結構 61 得以延伸接觸至該半導體晶片 51 顯露於該散熱片 53 鏤空結構 530 之非主動面 51b 上，以藉由該散熱結構 61 逸散晶片 51 運作時之熱量。

[第二實施例]

請參閱第 7A 至 7G 圖所示，係為本發明之散熱型封裝結構製法第二實施例之製造流程示意圖。於本發明第二實施例之製程係與第一實施例大致相同，其主要差異係在於第二實施例中半導體晶片係以覆晶式方式接置並電性連接至基板上。

如第 7A 圖所示，首先，係提供一矩陣式基板模組片 70A，該基板模組片 70A 包含有複數個基板單元 70 以陣列方式排列所構成者。該等基板單元 70 各具有一上表面 700、一下表面 701。其中應注意者該基板單元 70 除以陣列方式排列外，亦可以直條方式排列，且如製程條件許可亦可採用單顆基板單元方式進行。

如第 7B 圖所示，於各基板單元 70 之上表面 700 上預設位置處將半導體晶片 71 以覆晶方式透過接置導電凸塊

72 而以其主動面 71a 接置並電性連接至該基板單元 70。另外復可在該覆晶式晶片 71 與基板單元 70 間進行覆晶底部填膠(未圖示)。此一覆晶製程與習知者相同，故在此不予贅述。

如第 7C 圖所示，另在一例如為膠片之介面層 74 上接著一具鏤空結構 730 之散熱片 73，於本圖式中，該散熱片 73 之鏤空結構 730 位置係對應於晶片 51 中心部分位置，且該散熱片 73 之鏤空結構 730 尺寸係小於半導體晶片 71 尺寸，俾將該附有介面層 74 之散熱片 73 得以藉由導熱之黏著層 76 而黏著於該半導體晶片 71 非主動面 71b 之周圍部分，俾供後續該晶片 71 非主動面 71b 之中心部分面積顯露於該鏤空結構 730，而減少晶片 71 與散熱片 73 間黏著層 76 之熱阻影響，同時提供晶片 71 直接與大氣接觸之機會而得增加散熱效率。

該散熱片 73 之大小須足以完全遮覆住與之藉晶片 71 相接之基板單元 70，亦即，該散熱片 73 之側邊須延伸出任一位於外側之基板單元 70 的側邊 703(如第 7A 圖中虛線所示者)。另該散熱片 73 係可由銅、鋁、銅合金或鋁合金等金屬材料製成，另該散熱片 73 之鏤空結構 730 係可為任意形狀，且並不侷限僅具單一鏤空結構。

該介面層 74 係可例如為以聚亞醯胺(Polyimide)為底材之膠片(P.I. tape)，或以金屬(如銅、鋁)為底材之金屬貼片，或以高耐熱性之有機材(如 FR4、BT)為底材之貼片，抑或以高耐熱性紙材為底材之紙貼片。

如第 7D 圖所示，將該結合有介面層 74、具鏤空結構 730 之散熱片 73、晶片 71 及基板模組片 70A 之結構體置入封裝模具之模穴(未圖示)中，以進行模壓作業，以形成一用以包覆該附有介面層 74 之散熱片 73、晶片 71 及導電凸塊 72 之封裝膠體 77。由於該結構體之高度使散熱片 73 上之介面層 74 與模穴之頂壁間有一適當之距離，故在封裝模具合模後，晶片 71 不會遭受封裝模具或散熱片 73 而來之壓力，故無裂損之虞，且散熱片 73 與晶片 71 之黏接亦無精確控制高度的需要，故可有效提升製成品之良率與信賴性。

如第 7E 圖所示，於基板模組片 70A 之各基板單元 70 的下表面 701 上植接多數個例如錫球 78 之導電元件，以供該晶片 71 藉之與外界裝置形成電性連接關係。該錫球 78 之植接係以習知之植球方式為之，故不另贅述。另外，該例如錫球 78 之導電元件之設置亦可於後續完成基板單元切割製程後再予進行。

如第 7F 圖所示，進行切割製程，其係以治具(未圖示)真空吸附住植球完成之半成品於介面層 74 上所形成的封裝膠體 77，俾使切單作業進行時及完成後，經切單後之各半成品仍能吸附於治具上。由於該介面層 74 上之封裝膠體 77 得藉由該介面層 74 與該散熱片 73 黏結，故切單作業進行時，該封裝膠體 77 不致與半成品之其餘部分脫離。

經切單後該散熱片的側面 731 係外露出所形成之封裝膠體 77，並與該封裝膠體 77 之側面 771 切齊，而令該散

熱片 73 的側面 731 上不會有溢膠之產生，且亦達成該散熱片 73 與基板單元 70 具有相同之面積的目的，而無散熱片 73 須與封裝模具之模穴大小精準配合的需要。同時，各該散熱片 73 與晶片 71 之黏結係以批次方式為之，故可簡化製程，減少耗時及降低成本。

如第 7G 圖所示，進行各切單後半成品之介面層 74 及殘留於該介面層 74 上之封裝膠體 77 的去除作業。利用該散熱片 73 及介面層 74 間的黏結性小於該介面層 74 與形成於介面層 74 上之封裝膠體 77 間之黏結性的特性，使該介面層 74 得於剝除殘留其上之封裝膠體 77 時而隨之脫離散熱片 73；同時，由於散熱片 73 與封裝膠體 77 間的黏結性復大於介面層 74 與散熱片 73 間之黏結性，故將該介面層 74 自散熱片 73 上去除時，不會影響至散熱片 73 與封裝膠體 77 間之黏結，亦不會於散熱片 73 及封裝膠體 77 上殘留任何黏著材料，使該散熱片 73 得外露出該封裝膠體 77 而直接與大氣接觸，同時使半導體晶片 71 之非主動面 71b 部分面積得以顯露於該散熱片 73 之鏤空結構 730，而減少晶片 71 與散熱片 73 間黏著層之熱阻影響，另得以提供晶片 71 直接與大氣接觸之機會而得增加散熱效率，同時毋須進行任何去除溢膠及殘留黏著材料之後處理，而可降低封裝成本並確保製成之半導體封裝結構外觀之良好。

此外，如第 8A 圖所示，為提升散熱片 73 與封裝膠體 77 間之接著力，可於該散熱片 73 上用以與封裝膠體 77 接觸之部分形成有表面凹凸之不平整結構 80 及/或進行黑化

處理。另外，本發明亦可在該散熱片 73 上藉由一導熱之黏著層 82 以接置一散熱結構 81(如第 8B 圖所示)，並使該散熱結構 81 得以延伸接觸至該半導體晶片 71 顯露於該散熱片 73 鏤空結構 730 之非主動面 71b 上，以藉由該散熱結構 81 逸散晶片 71 運作時之熱量。

[第三實施例]

請參閱第 9a 圖所示，係為參照本發明前述之散熱型封裝結構製法所製成之半導體封裝結構第三實施例之剖面示意圖。本發明之該半導體封裝結構係由相似於製備第一及第二實施例之半導體結構之方法而製成者，其不同處在於本實施例之半導體封裝結構係以 QFN 導線架 90 作為半導體晶片 91 之晶片承載件，以將半導體晶片 91 以覆晶方式接置並電性連接至該 QFN 導線架之導腳 90a 上，以供後續經由該導腳 90a 而電性連接至外部裝置，且於該晶片 91 之非主動面 91b 上係可藉由一例如導熱黏著層 95 以接置有一具鏤空結構 930 之散熱片 93，該晶片 91 尺寸係大於該鏤空結構 930 尺寸，藉以使該晶片非主動面 91b 得以部分顯露於該散熱片 93 之鏤空結構 930，另於該散熱片 93 與 QFN 導線架 90 間係形成有用以包覆該半導體晶片之封裝膠體 97，同時令導腳 90a 之底面及側面均外露出該封裝膠體 97，以及使該散熱片 93 的側面外露出所形成之封裝膠體 97，並與該封裝膠體 97 之側面切齊。

另請參閱第 9b 圖，本發明亦可於該散熱片 93 上用以與封裝膠體 97 接觸之部分形成有表面凹凸之不平整結構

93a 及/或進行黑化處理，以提升散熱片 93 與封裝膠體 97 間之接著力；另可在該散熱片 97 上藉由一導熱之黏著層以接置一散熱結構 93b，並使該散熱結構 93b 得以延伸接觸至該半導體晶片 91 顯露於該散熱片 93 鏤空結構 930 之非主動面 91b 上，以藉由該散熱結構 93b 逸散晶片 91 運作時之熱量。

[第四實施例]

請參閱第 10a 圖所示，係為參照本發明前述之散熱型封裝結構製法所製成之半導體封裝結構第四實施例之剖面示意圖。本發明之該半導體封裝結構係由相似於製備第一及第二實施例之半導體結構之方法而製成者，其不同處在於本實施例之半導體封裝結構係以 LGA(LAND GRID ARRAY)基板 100 作為半導體晶片 101 之晶片承載件，以將半導體晶片 101 之非主動面 101b 接置於該 LGA 基板 100 上，並透過錫線 102 將電性連接至該 LGA 基板 100，以供後續經由複數排列於該 LGA 基板 100 底面之金屬接點 100a 進而電性連接至外部裝置；且於該晶片 101 之主動面 101a 上未影響錫線 102 設置處得接置一與晶片 101 之熱膨脹係數(CTE)相當之緩衝墊片(Buffer Pad)109，並於該緩衝墊片 109 上設置一具鏤空結構 1030 之散熱片 103，且該緩衝墊片 109 之尺寸係大於該鏤空結構 1030 尺寸，藉以使該緩衝墊片 109 得以部分顯露於該散熱片 103 之鏤空結構 1030，另於該散熱片 103 與 LGA 基板 100 之間係形成有用以包覆該半導體晶片 101 之封裝膠體 107，且該散熱片 103

的側面係外露出所形成之封裝膠體 107，並與該封裝膠體 107 之側面切齊。其中，該緩衝墊片 109 之大小係限制在不致干涉至鉚線 102 之範圍內，且其厚度須略高於鉚線 102 之線弧的頂點，俾在該緩衝墊片 109 上接置散熱片 103 時，該散熱片 103 不致碰觸至鉚線 102，同時，該緩衝墊片 109 得消釋在高溫環境下散熱片 103 因熱膨脹係數的不同而對該晶片 101 所產生之熱應力效應，而可確保該晶片 101 不致受壓而裂損，但仍能令該晶片 101 所產生之熱量藉由該緩衝墊片 109 傳遞至該散熱片 103，或直接透過顯露於該鏤空結構 1030 之緩衝墊片 109 部分，而將熱量逸散至大氣。

另請參閱第 10b 圖，本發明亦可於該散熱片 103 上用以與封裝膠體 107 接觸之部分形成有表面凹凸之不平整結構 103a 及/或進行黑化處理，以提升散熱片 103 與封裝膠體 107 間之接著力；復可在該散熱片 103 上藉由一導熱之黏著層以接置一散熱結構 103b，並使該散熱結構 103b 得以延伸接觸至顯露於該鏤空結構 1030 之緩衝墊片 109 上，以藉由該散熱結構 103b 逸散晶片 101 運作時之熱量。該導熱緩衝墊片 109 可為廢棄晶片 (Dummy die)，另若材料許可，亦可採用銅、鋁等金屬材質。

[第五實施例]

請參閱第 11a 圖所示，係為參照本發明前述之散熱型封裝結構製法所製成之半導體封裝結構第五實施例之剖面示意圖。本發明之該半導體封裝結構係由相似於製備第一及第二實施例之半導體結構之方法而製成者，其不同處在

於本實施例之半導體封裝結構係以 BGA(BALL GRID ARRAY)基板 110 作為半導體晶片 111 之晶片承載件，以將半導體晶片 111 之非主動面 111b 接置於該 BGA 基板 110 上，並透過錫線 112 電性連接至該 BGA 基板 110，以供後續經由複數排列於該 BGA 基板 110 底面之錫球 118 進而電性連接至外部裝置；另於該晶片 111 之主動面 111a 上未影響錫線 112 設置處得接置一與晶片 111 之熱膨脹係數相當之緩衝墊片 119，並於該緩衝墊片 119 上設置一具鏤空結構 1130 之散熱片 113，且該緩衝墊片 119 之尺寸係大於該鏤空結構 1130 尺寸，藉以使該緩衝墊片 119 得以部分顯露於該鏤空結構 1130，復在該散熱片 113 與 BGA 基板 110 之間係形成有用以包覆該半導體晶片 111 之封裝膠體 117，且該散熱片 113 的側面係外露出所形成之封裝膠體 117，並與該封裝膠體 117 之側面切齊。其中，該緩衝墊片 119 之大小係限制在不致干涉至錫線 112 之範圍內，且其厚度須略高於錫線 112 之線弧的頂點，俾在該緩衝墊片 119 上接置散熱片 113 時，該散熱片 113 不致碰觸至錫線 112，同時，該緩衝墊片 119 得消釋在高溫環境下散熱片 113 因熱膨脹係數的不同而對該晶片 111 所產生之熱應力效應，而可確保該晶片 111 不致受壓而裂損，但仍能令該晶片 111 所產生之熱量藉由該緩衝墊片 119 傳遞至該散熱片 113，或直接透過顯露於該鏤空結構 1130 之緩衝墊片 119 部分，而將熱量逸散至大氣。

另請參閱第 11b 圖，本發明亦可於該散熱片 113 上用

以與封裝膠體 117 接觸之部分形成有表面凹凸之不平整結構及 113a/或進行黑化處理，以提升散熱片 113 與封裝膠體 117 間之接著力；復可在該散熱片 113 上藉由一導熱之黏著層以接置一散熱結構 113b，並使該散熱結構 113b 得以延伸接觸至顯露於該散熱片 113 鏤空結構 1130 之緩衝墊片 119 上，以藉由該散熱結構 113b 逸散晶片 111 運作時之熱量。

[第六實施例]

請參閱第 12a 圖所示，係為參照本發明前述之散熱型封裝結構製法所製成之半導體封裝結構第六實施例之剖面示意圖。本發明之該半導體封裝結構係由相似於製備第一及第二實施例之半導體結構之方法而製成者，其不同處在於本實施例之半導體封裝結構係以 QFN 導線架 120 作為半導體晶片 121 之晶片承載件，以將半導體晶片 121 以其非主動面 121b 接置於 QFN 導線架 120 之晶片座 120b 上，並透過錫線 122 電性連接至該 QFN 導線架 120 之導腳 120a 部分，以供後續經由該導腳 120a 而電性連接至外部裝置；另於該晶片 121 之主動面 121a 上未影響錫線 122 設置處得接置一與晶片 121 之熱膨脹係數相當之緩衝墊片 129，並於該緩衝墊片 129 上設置一具鏤空結構 1230 之散熱片 123，且該緩衝墊片 129 之尺寸係大於該鏤空結構 1230 尺寸，藉以使該緩衝墊片 129 得以部分顯露於該鏤空結構 1230，復在該散熱片 123 與 QFN 導線架 120 之間係形成有用以包覆該半導體晶片 121 之封裝膠體 127，且該散熱片

123 的側面係外露出所形成之封裝膠體 127，並與該封裝膠體 127 之側面切齊。其中，該緩衝墊片 129 之大小係限制在不致干涉至鐳線 122 之範圍內，且其厚度須略高於鐳線 122 之線弧的頂點，俾在該緩衝墊片 129 上接置散熱片 123 時，該散熱片 123 不致碰觸至鐳線 122，同時，該緩衝墊片 129 得消釋在高溫環境下散熱片 123 因熱膨脹係數的不同而對該晶片 121 所產生之熱應力效應，而可確保該晶片 121 不致受壓而裂損，但仍能令該晶片 121 所產生之熱量藉由該緩衝墊片 129 傳遞至該散熱片 123，或直接透過顯露於該散熱片 123 鏤空結構 1230 之緩衝墊片 129 部分，而將熱量逸散至大氣。

另請參閱第 12b 圖，本發明亦可於該散熱片 123 上用與封裝膠體 127 接觸之部分形成有表面凹凸之不平整結構 123a 及/或進行黑化處理，以提升散熱片 123 與封裝膠體 127 間之接著力；復可在該散熱片 123 上藉由一導熱之黏著層以接置一散熱結構 123b，並使該散熱結構 123b 得以延伸接觸至顯露於該散熱片 123 鏤空結構 1230 之緩衝墊片 129 上，以藉由該散熱結構 123b 逸散晶片 121 運作時之熱量。請參閱第 10a 圖。

因此，本發明之散熱型封裝結構及其製法主要係將晶片接著並電性連接至晶片承載件，另將具鏤空結構之散熱片與介面層相互接著，藉以使該介面層封閉住該散熱片鏤空結構之一側，而後將附有介面層之散熱片，黏著於該晶片上，且該晶片之尺寸係大於該散熱片之鏤空結構尺寸，

較佳係使該晶片周圍與該散熱片黏著，俾供後續該晶片之中心部分面積顯露於該鏤空結構，而減少晶片與散熱片間黏著層之熱阻影響，同時提供晶片直接與大氣接觸之機會而得增加散熱效率，接著即可進行模壓製程以利用封裝膠體完整包覆住位於該晶片承載件上之半導體晶片及接著有介面層之散熱片，再進行切割製程，以去除先前進行封裝製程時封裝元件四周非電性作用部分，接著移除散熱片上之封裝膠體，透過該介面層與封裝膠體之接著力係大於其與散熱片之接著力，因此將可同時移除該介面層及該介面層上之封裝膠體，而不致使介面層殘留於封裝結構上，俾直接外露出該散熱片並使該半導體晶片得以部分顯露於該散熱片之鏤空結構，如此將可提供晶片直接與大氣接觸而增加散熱效率。此外，本發明中係得以批次方式為之，而可簡化製程，減少封裝之耗時，以及降低成本，且不致於模壓製程中造成晶片裂損或溢膠問題而影響外觀及增加移除步驟及成本，更毋需使散熱片與晶片黏接之作業受高度控制之顧慮，而隨產品尺寸之改變而更換封裝模具，故可降低封裝成本及機具之管理成本。

上述實施例僅例示性說明本發明之原理及其功效，而非用於限制本發明。尤其應特別注意者，係該晶片承載件之選擇，以及晶片與晶片承載件之電性連接方式之採用，任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖係為美國專利第 5,726,079 號案所揭露之半導體封裝件剖面示意圖；

第 2A 至 2C 圖係為美國專利第 6,458,626 號案所揭露之半導體封裝件剖面示意圖；

第 3 圖係為美國專利第 6,444,498 號案所揭露之半導體封裝件剖面示意圖；

第 4A 至 4C 圖係為美國專利第 6,699,731 號案所揭露之半導體封裝件剖面示意圖；

第 5A 至 5G 圖係為本發明之散熱型封裝結構製法第一實施例之剖面示意圖；

第 6A 圖係為本發明第一實施例之散熱型封裝結構中強化散熱片與封裝膠體接合之剖面示意圖；

第 6B 圖係為本發明第一實施例之散熱型封裝結構中於散熱片上增設散熱結構之剖面示意圖；

第 7A 至 7G 圖係為本發明之散熱型封裝結構製法第二實施例之剖面示意圖；

第 8A 圖係為本發明第二實施例之散熱型封裝結構中強化散熱片與封裝膠體接合之剖面示意圖；

第 8B 圖係為本發明第二實施例之散熱型封裝結構中於散熱片上增設散熱結構之剖面示意圖；

第 9A 及 9B 圖係為應用本發明之散熱型封裝結構製法所形成之第三實施例之封裝結構；

第 10A 及 10B 圖係為應用本發明之散熱型封裝結構製

法所形成之第四實施例之封裝結構；

第 11A 及 11B 圖係為應用本發明之散熱型封裝結構製法所形成之第五實施例之封裝結構；以及

第 12A 及 12B 圖係為應用本發明之散熱型封裝結構製法所形成之第六實施例之封裝結構。

【主要元件符號說明】

1	半導體封裝件
10,20,40	半導體晶片
11,21,41	散熱片
11a	頂面
12,24,44	封裝膠體
23,43	基板
25	材料層
26	黏著層
42	膠片
50A,70A	基板模組片
50,70	基板單元
500,700	上表面
501,701	下表面
502	開孔
503,703	側邊
51,71,91,101,111,121	半導體晶片
51a,71a,101a,111a,121a	主動面
51b,71b,91b,101b,111b,121b	非主動面

52,102,112,122	鐳線
53,73,93,103,113,123	散熱片
530,730,930,1030,1130,1230	鏤空結構
531,731	散熱片側面
54,74	介面層
55,56,62,76,82,95	黏著層
57,77,97,107,117,127	封裝膠體
571,771	封裝膠體側面
58,78,118	鐳球
72	導電凸塊
60,80,93a,103a,113a,123a	不平整結構
61,81,93b,103b,113b,123b	散熱結構
90,120	QFN 導線架
90a,120a	導腳
100	LGA 基板
100a	金屬接點
109,119,129	緩衝墊片
110	BGA 基板
120b	晶片座

五、中文發明摘要：

一種散熱型封裝結構，其係包括晶片承載件；接置並電性連接至該晶片承載件之半導體晶片；具第一表面及相對第二表面並形成有鏤空結構之散熱片，該散熱片以其第二表面與該晶片黏接，且該晶片尺寸係大於該鏤空結構尺寸，藉以使該晶片得以部分顯露於該散熱片之鏤空結構；一成形於該散熱片及晶片承載件間以包覆該晶片之封裝膠體，且使該散熱片之第一表面及環接於該第一表面之側表面外露於大氣中，而能令晶片所產生之熱量由該散熱片直接逸散至外界；以及多數佈設於該晶片承載件上之導電元件，俾供晶片藉之與外界裝置電性連接。本發明並提供一種製造該散熱型封裝結構的方法。

六、英文發明摘要：

A heat dissipating package structure and a method for fabricating the same are proposed, wherein a chip carrier and a chip mounted and electrically connected thereon are provided. A heat spreader having a first and a corresponding second surface and formed with a hollow structure is adhered on the chip with the second surface, wherein the size of the chip is larger than the hollow structure for disposing the chip partial portions out of the hollow structure. An encapsulating resin is formed between the heat spreader and the chip carrier for covering the chip but disposing the first surface and side surface of the heat spreader around the first surface to outside for dissipating heat produced from the chip. A plurality of conductive elements are disposed on the chip carrier for the chip electrically connecting to outside.

十、申請專利範圍：

1. 一種散熱型封裝結構製法，係包括：

將半導體晶片接置並電性連接於晶片承載件上，另在一介面層上接著一具鏤空結構之散熱片，俾將該附有介面層之散熱片固著於該半導體晶片上，其中該半導體晶片之尺寸係大於該散熱片之鏤空結構尺寸；

進行封裝模壓製程，以利用封裝膠體完整包覆住位於該晶片承載件上之半導體晶片及該附有介面層之散熱片；

進行切割製程，以去除完成封裝模壓製程後封裝元件四周非電性作用部分，而顯露出該散熱片側邊；以及

移除該介面層及位在該介面層上之封裝膠體，藉以外露出該散熱片，並使該半導體晶片得以部分顯露於該散熱片之鏤空結構。

2. 如申請專利範圍第 1 項之散熱型封裝結構製法，其中，該介面層與封裝膠體之黏結性大於該介面層與散熱片間之黏結性，且該介面層與散熱片間之黏結性小於該散熱片與該封裝膠體間之黏結性。

3. 如申請專利範圍第 1 項之散熱型封裝結構製法，其中，該介面層與該散熱片間之黏結性須足以在切割作業時，使該散熱片不致與該介面層分離。

4. 如申請專利範圍第 1 項之散熱型封裝結構製法，其中，該晶片承載件係為基板及導線架型式之其中一者，且其型態係採用矩陣式排列、條狀排列及單顆型態之其中一

者。

5. 如申請專利範圍第 1 項之散熱型封裝結構製法，其中，該晶片係以鉚線及覆晶之其中一方式電性連接至該晶片承載件。
6. 如申請專利範圍第 1 項之散熱型封裝結構製法，其中，經切割後該散熱片的側面係外露出所形成之封裝膠體，並與該封裝膠體之側面切齊。
7. 如申請專利範圍第 1 項之散熱型封裝結構製法，其中，該晶片承載件之下表面上設置有複數導電元件，藉以供該晶片藉之與外界裝置形成電性連接關係。
8. 如申請專利範圍第 1 項之散熱型封裝結構製法，其中，該介面層係為以聚亞醯胺(Polyimide)為底材之膠片(P.I. tape)，金屬為底材之金屬貼片，高耐熱性之有機材為底材之貼片，以及高耐熱性紙材為底材之紙貼片之其中之一者。
9. 如申請專利範圍第 1 項之散熱型封裝結構製法，其中，於該半導體片接置並電性連接至該晶片承載件後，復可先在該晶片上接置一緩衝墊片，再於該緩衝墊片上接置該附介面層且具鏤空結構之散熱片，其中該緩衝墊片尺寸係大於該鏤空結構尺寸，藉以供後續該緩衝墊片得以部分顯露於該鏤空結構。
10. 如申請專利範圍第 9 項之散熱型封裝結構製法，其中，該緩衝墊片之材質係為廢棄晶片(Dummy die)及金屬之其中之一者。

- 11.如申請專利範圍第 1 或 9 項之散熱型封裝結構製法，其中，該散熱片與封裝膠體相接觸處得以選擇性形成有凹凸結構及黑化處理層。
- 12.如申請專利範圍第 1 或 9 項之散熱型封裝結構製法，復包括於該散熱片上藉由導熱黏著層以接置一散熱結構，並使該散熱結構得以延伸接觸至顯露於該散熱片鏤空結構之半導體晶片部分。
- 13.一種散熱型封裝結構製法，係包括：
- 準備一矩陣式晶片承載件模組片，該晶片承載件模組片乃由多數呈陣列方式排列之晶片承載件所構成者；
- 接置至少一晶片於各該晶片承載件之預設位置處，並使該晶片電性連接至該晶片承載件；
- 提供一具有一上表面及一下表面之散熱片，且該散熱片形成有鏤空結構，以在其上表面接著一介電層，並黏接該下表面至該晶片上；
- 形成封裝膠體，藉以包覆該散熱片及該晶片；
- 進行切單作業，藉以形成個別半導體封裝件之半成品；以及
- 去除形成於該介面層上之封裝膠體及該介面層。
- 14.如申請專利範圍第 13 項之散熱型封裝結構製法，其中，該介面層與封裝膠體之黏結性大於該介面層與散熱片間之黏結性，且該介面層與散熱片間之黏結性小於該散熱片與該封裝膠體間之黏結性。
- 15.如申請專利範圍第 13 項之散熱型封裝結構製法，其

中，該散熱片之面積係足以完全遮覆住該晶片承載件模組片之晶片承載件。

16.如申請專利範圍第 13 項之散熱型封裝結構製法，其中，於該半導體片接置並電性連接至該晶片承載件模組片後，復可先在該晶片上接置一緩衝墊片，再於該緩衝墊片上接置該附介面層且具鏤空結構之散熱片，其中該緩衝墊片尺寸係大於該鏤空結構尺寸，藉以供後續該緩衝墊片得以部分顯露於該鏤空結構。

17.如申請專利範圍第 16 項之散熱型封裝結構製法，其中，該緩衝墊片之材質係為廢棄晶片 (Dummy die) 及金屬之其中之一者。

18.一種散熱型封裝結構，係包括：

晶片承載件；

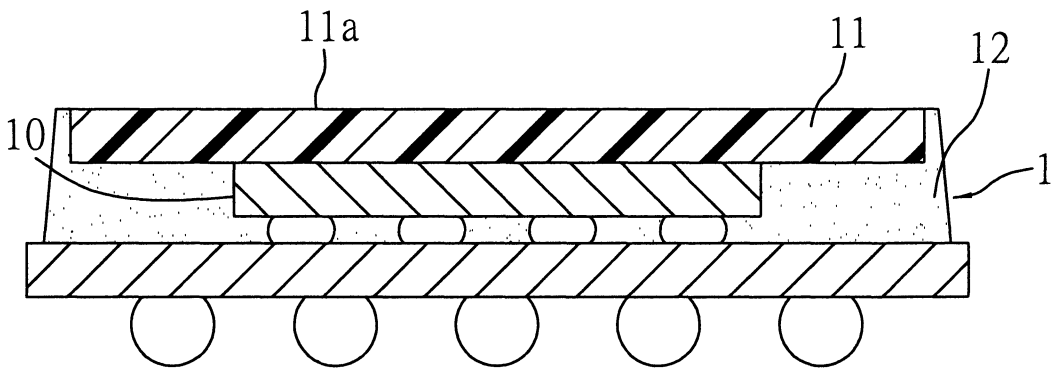
半導體晶片，係接置並電性連接至該晶片承載件上；

具鏤空結構之散熱片，係接置於該半導體晶片上，且該晶片尺寸係大於該鏤空結構尺寸，藉以使該晶片非主動面得以部分顯露於該散熱片之鏤空結構；以及

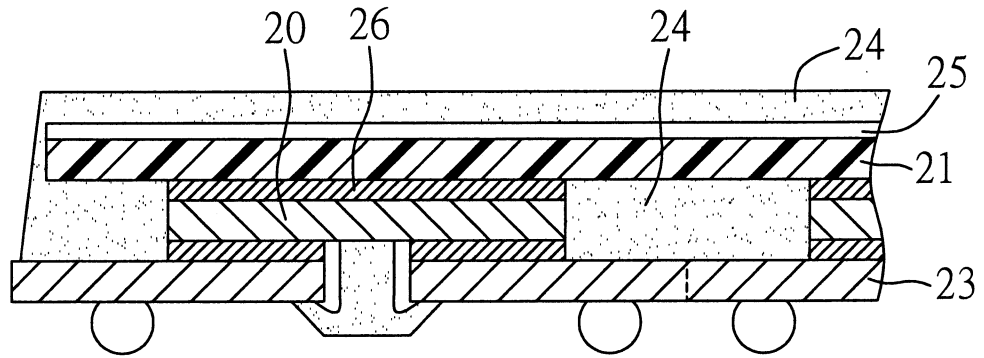
封裝膠體，係形成於該散熱片與晶片承載件之間，用以包覆該半導體晶片。

19.如申請專利範圍第 18 項之散熱型封裝結構，其中，該晶片承載件係為基板及導線架型式之其中之一者，且其型態係採用矩陣式排列、條狀排列及單顆型態之其中之一者。

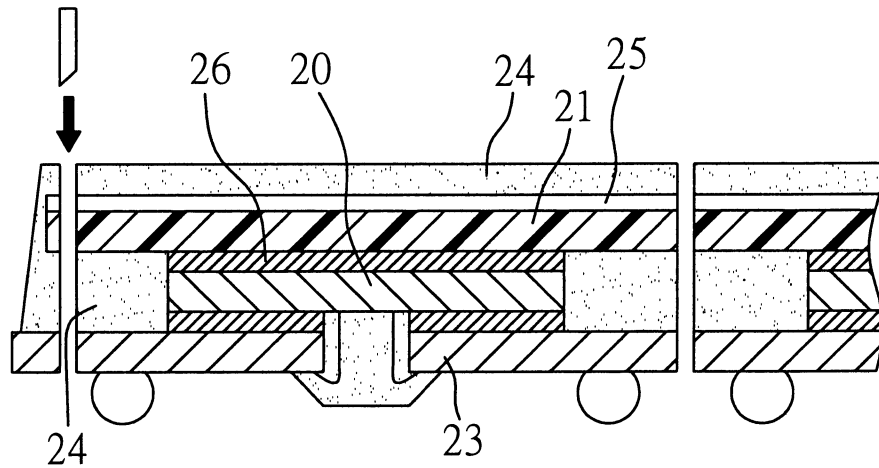
- 20.如申請專利範圍第 18 項之散熱型封裝結構，其中，該晶片係以鐳線及覆晶之其中一方式電性連接至該晶片承載件。
- 21.如申請專利範圍第 18 項之散熱型封裝結構，其中，該散熱片的側面係外露出所形成之封裝膠體，並與該封裝膠體之側面切齊。
- 22.如申請專利範圍第 18 項之散熱型封裝結構，其中，該晶片承載件之下表面上設置有複數導電元件，藉以供該晶片藉之與外界裝置形成電性連接關係。
- 23.如申請專利範圍第 18 項之散熱型封裝結構，復包含一設置於該半導體晶片與該具鏤空結構之散熱片間之緩衝墊片，其中該緩衝墊片尺寸係大於該鏤空結構尺寸，藉以使該緩衝墊片得以部分顯露於該鏤空結構。
- 24.如申請專利範圍第 23 項之散熱型封裝結構，其中，該緩衝墊片之材質係為廢棄晶片(Dummy die)及金屬之其中一者。
- 25.如申請專利範圍第 18 或 23 項之散熱型封裝結構，其中，該散熱片與封裝膠體相接觸處得以選擇性形成有凹凸結構及黑化處理層。
- 26.如申請專利範圍第 18 或 23 項之散熱型封裝結構，復包括形成於該散熱片上之散熱結構，且該散熱結構得以延伸接觸至顯露於該散熱片鏤空結構之該半導體晶片。



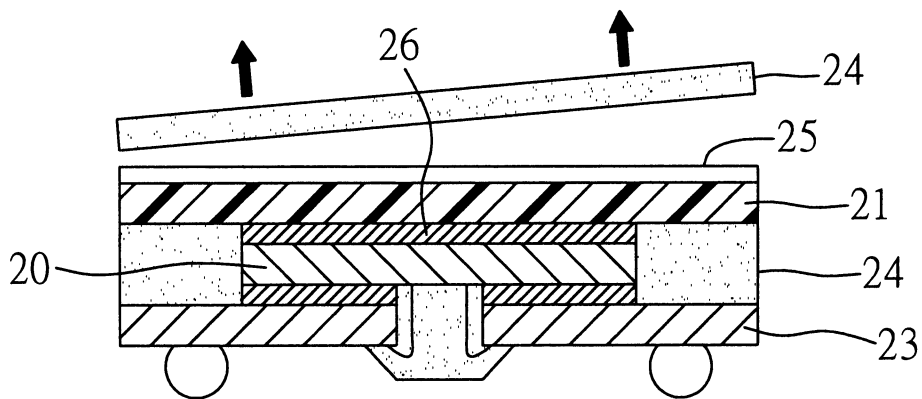
第 1 圖



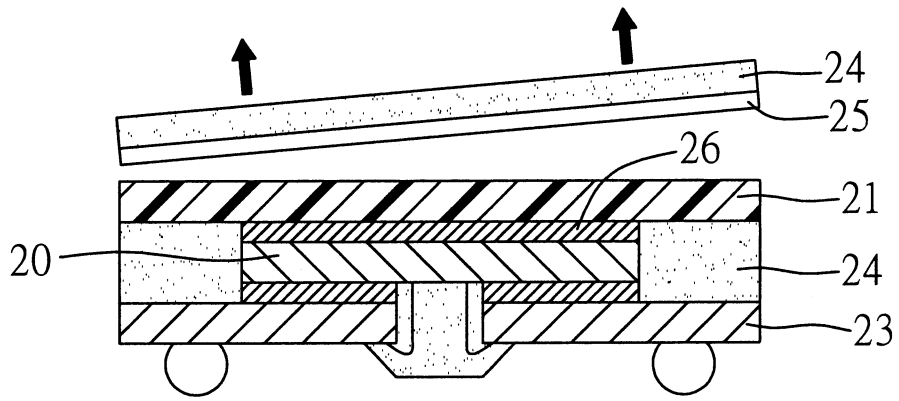
第 2A 圖



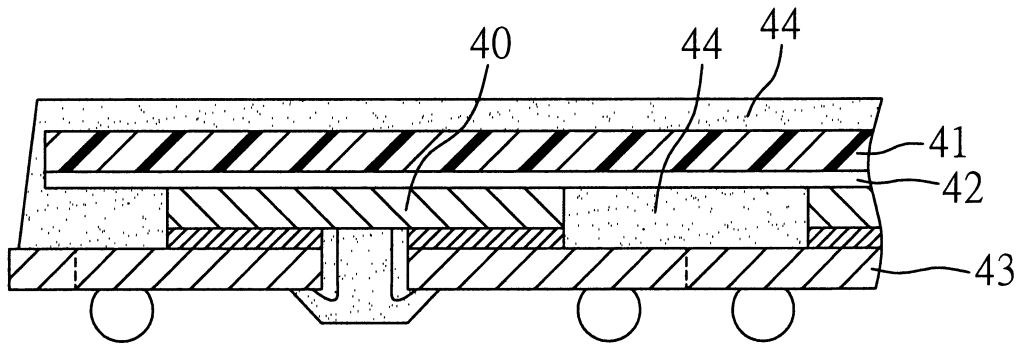
第 2B 圖



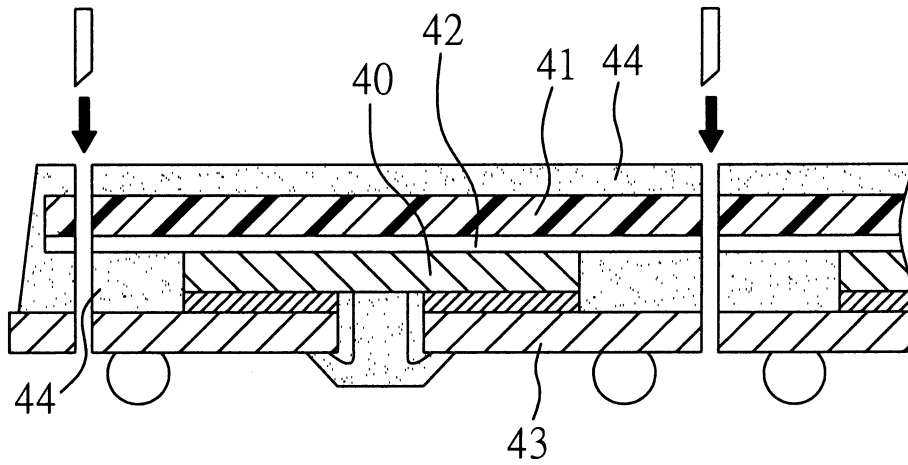
第 2C 圖



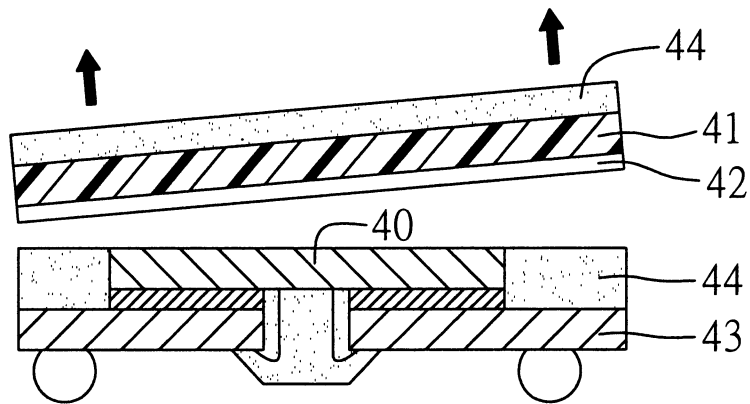
第 3 圖



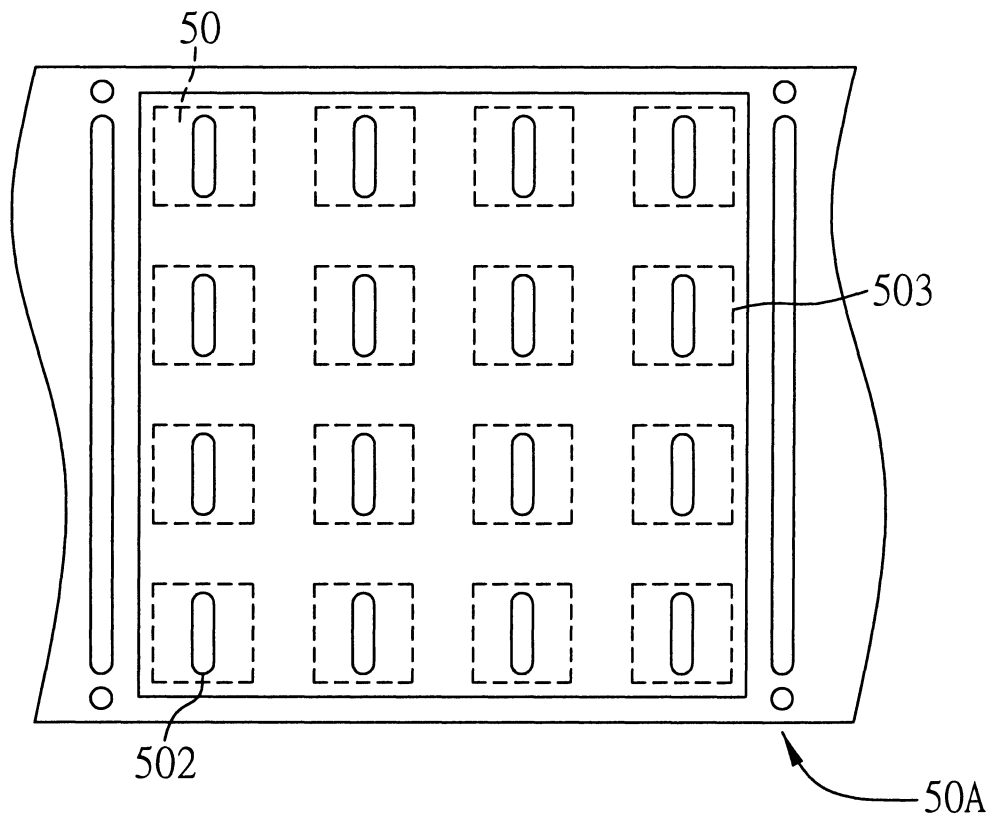
第 4A 圖



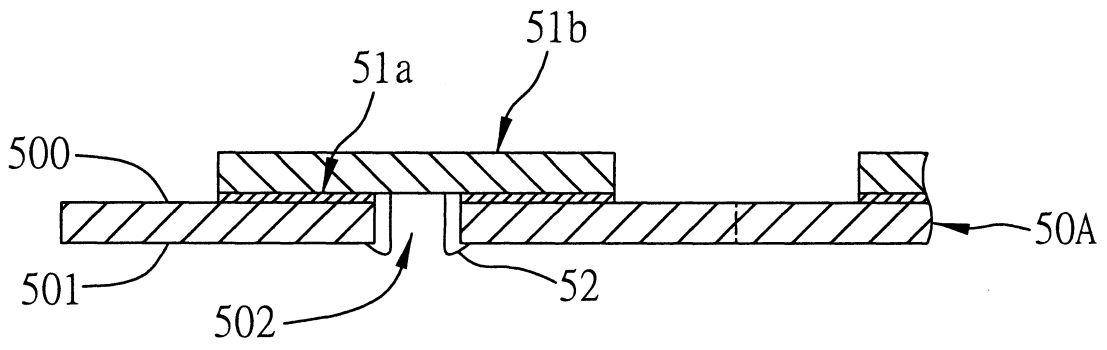
第 4B 圖



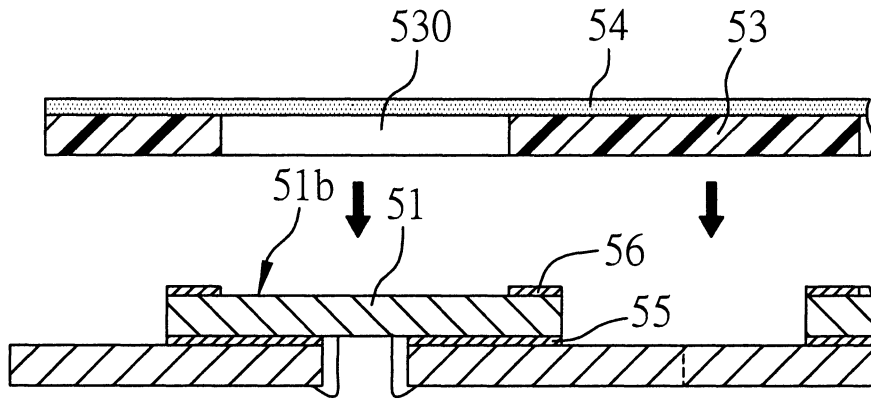
第 4C 圖



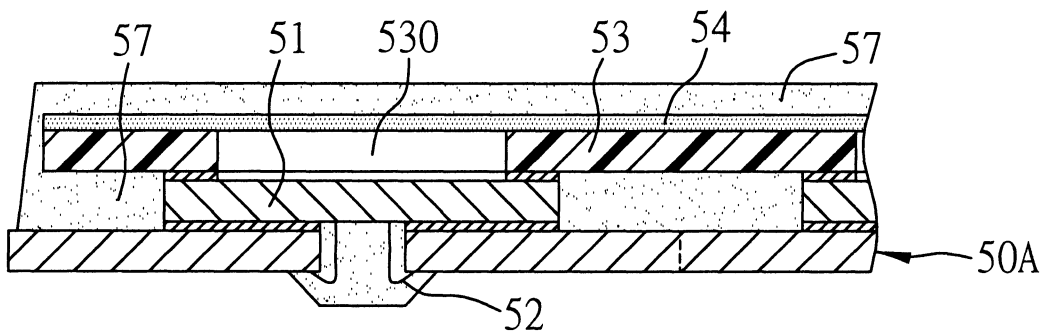
第 5A 圖



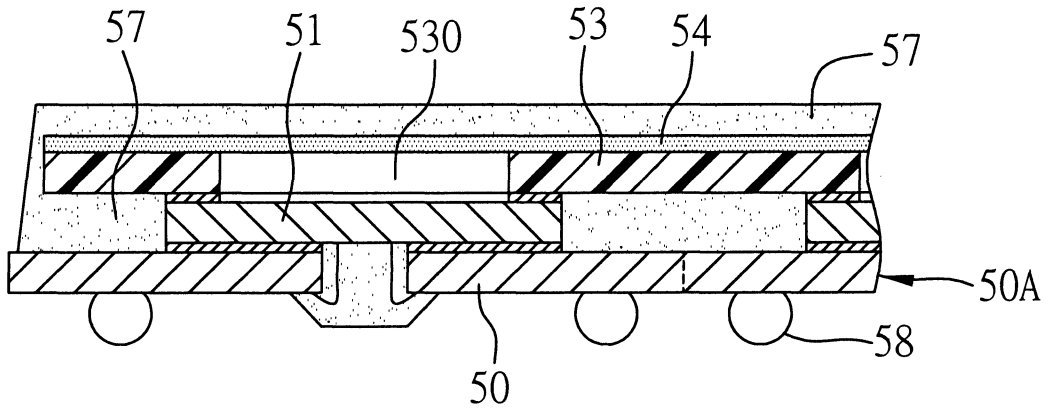
第 5B 圖



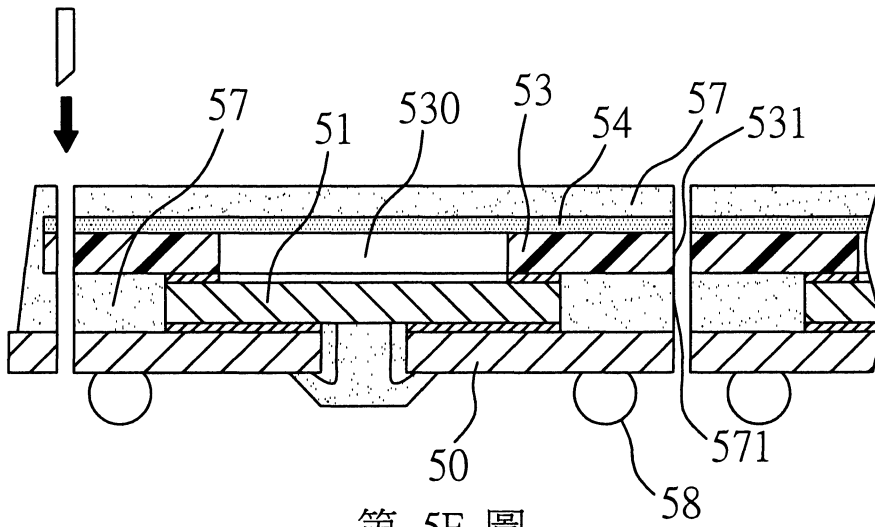
第 5C 圖



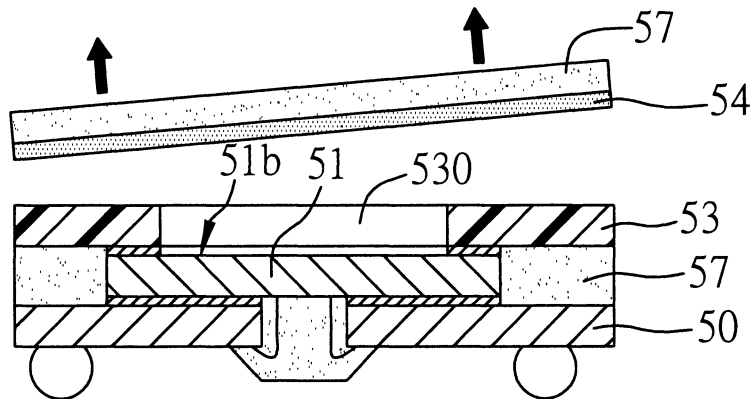
第 5D 圖



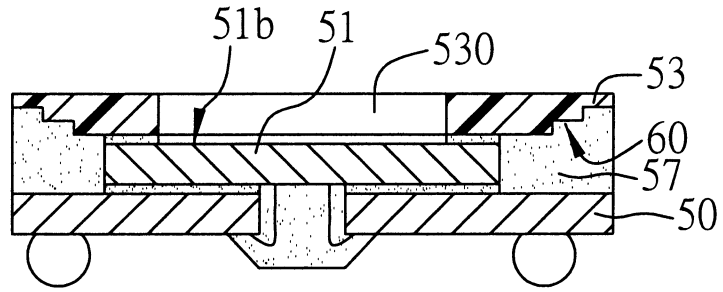
第 5E 圖



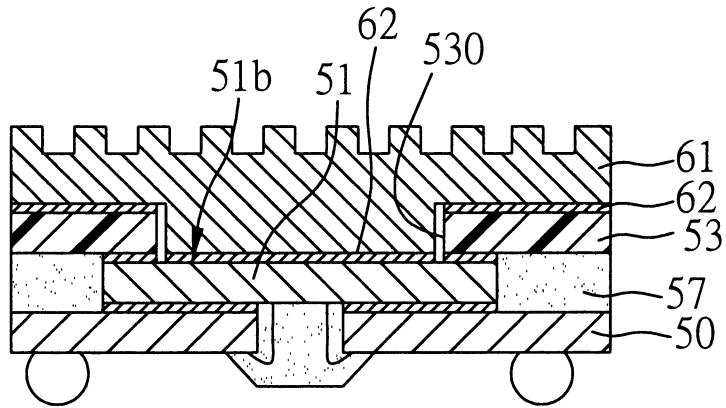
第 5F 圖



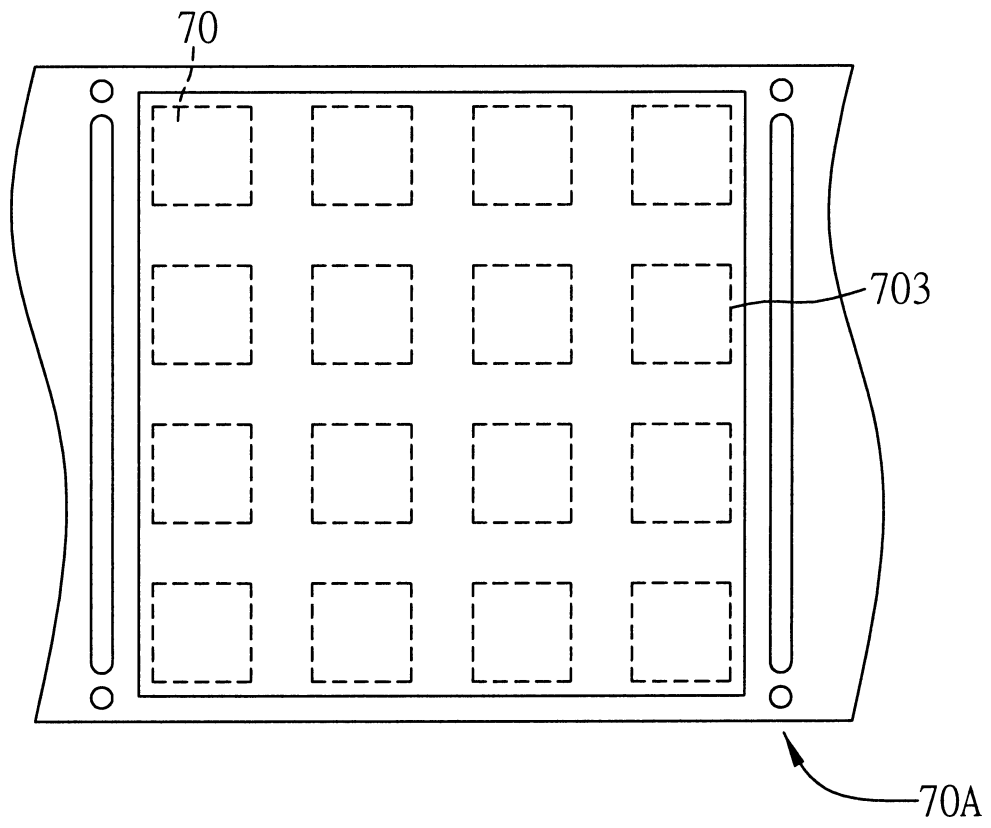
第 5G 圖



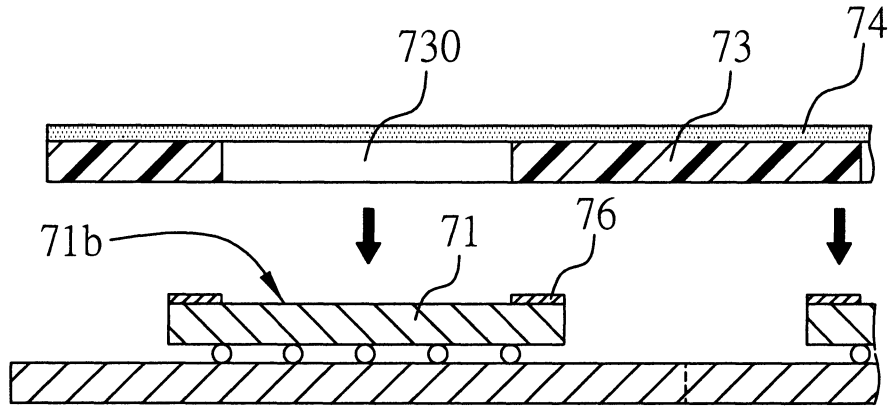
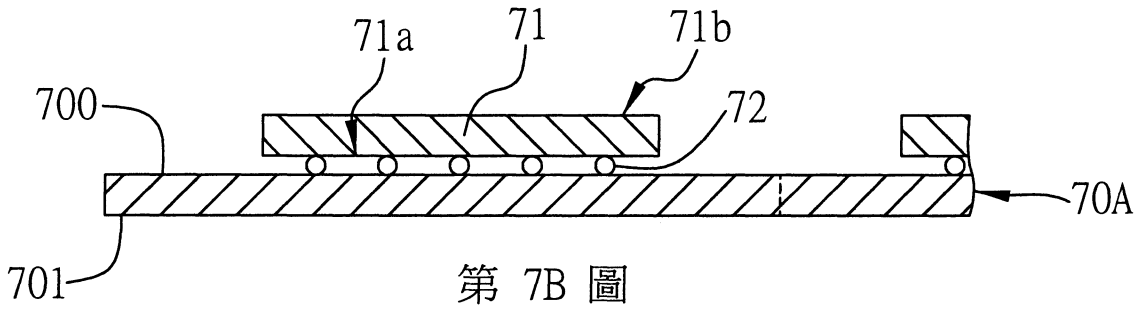
第 6A 圖



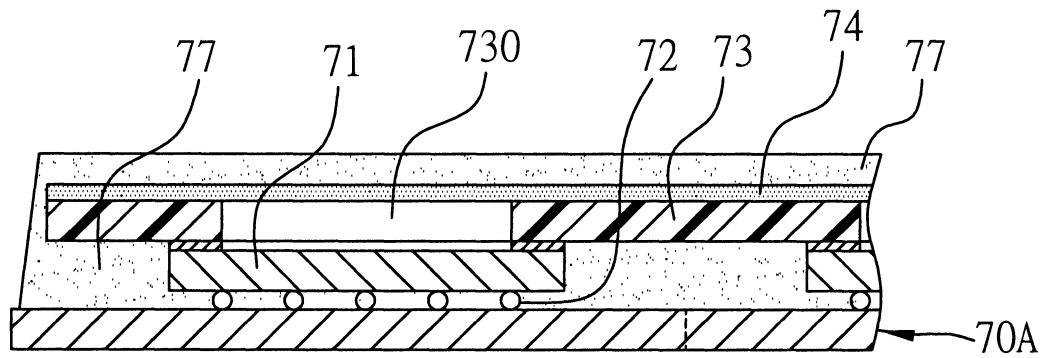
第 6B 圖



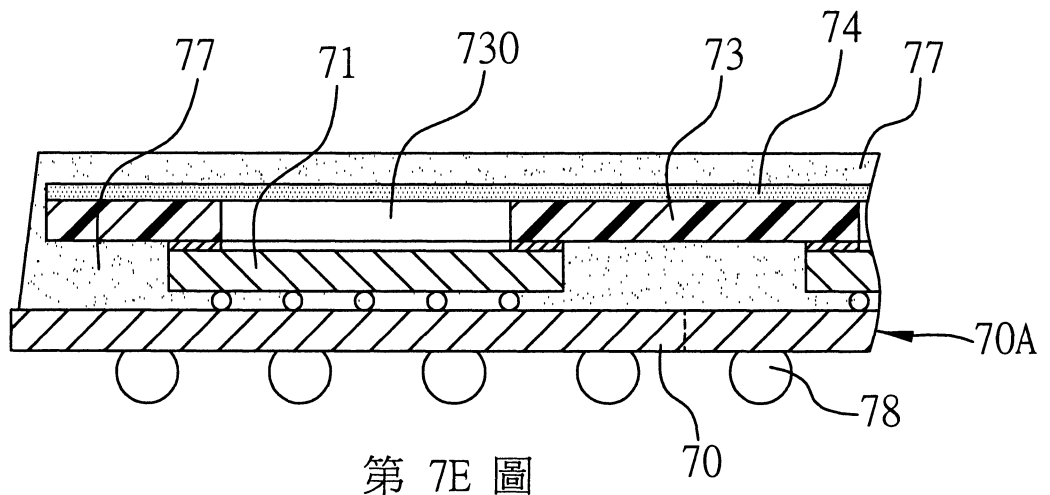
第 7A 圖



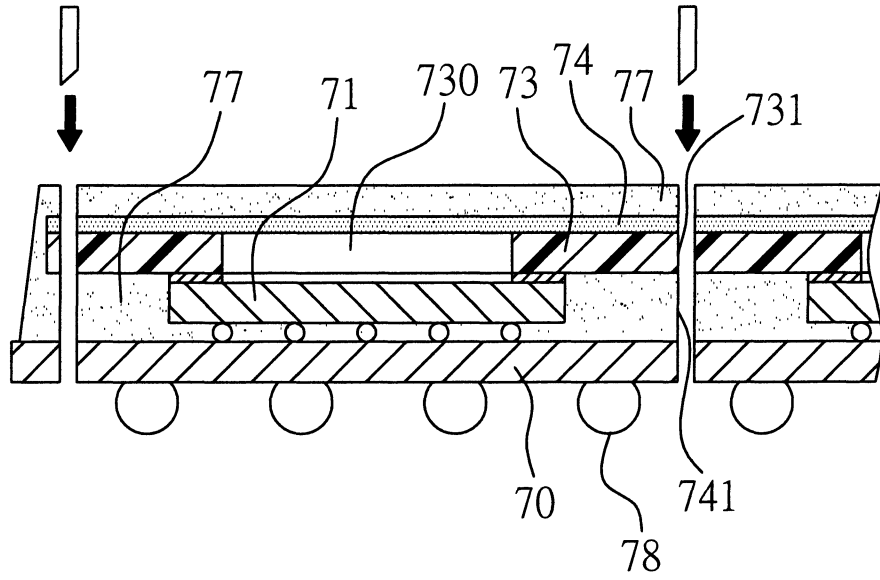
第 7C 圖



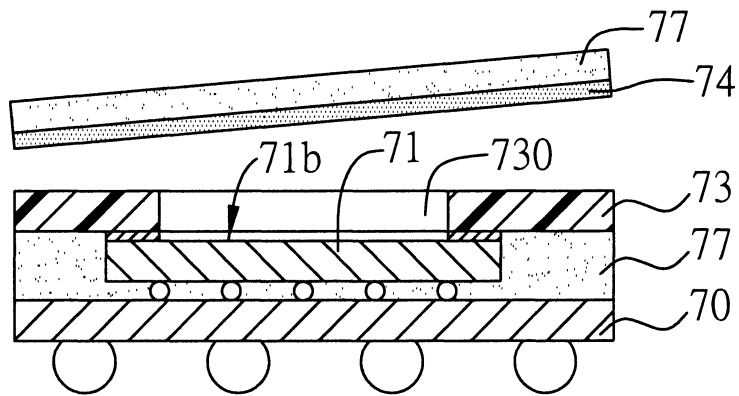
第 7D 圖



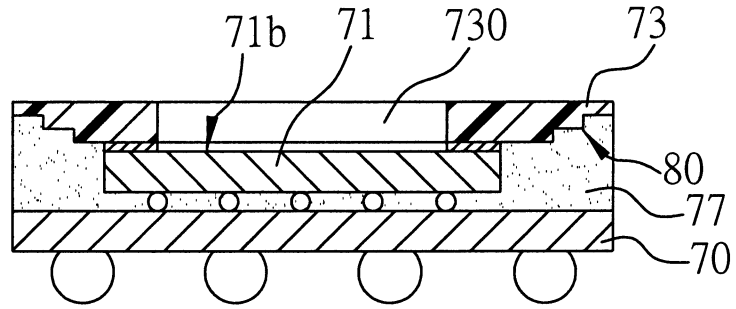
第 7E 圖



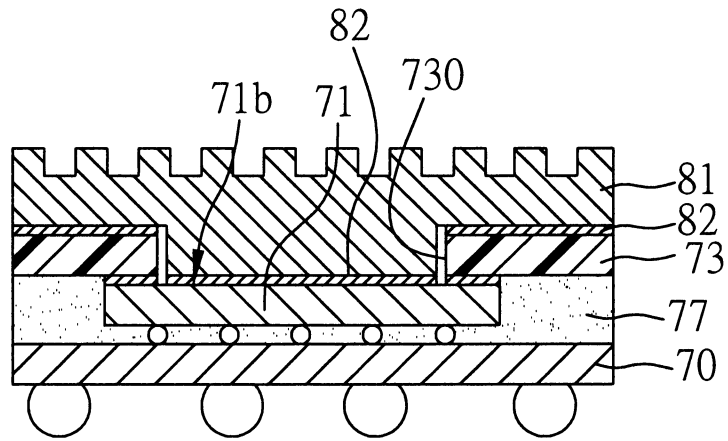
第 7F 圖



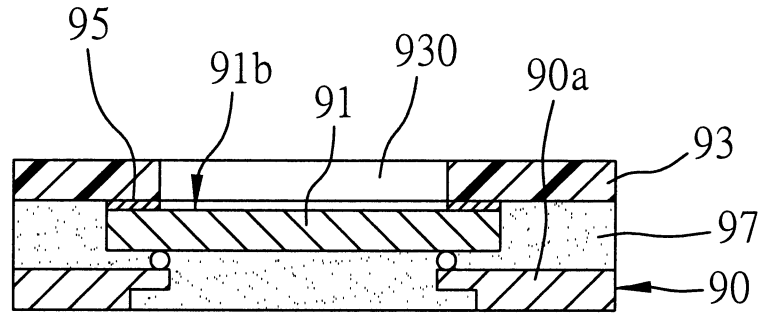
第 7G 圖



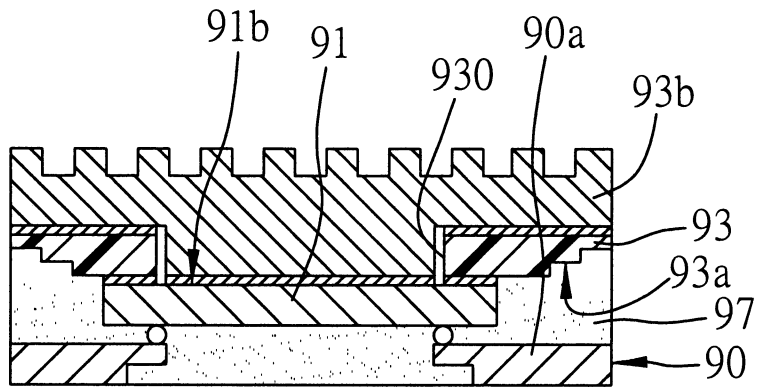
第 8A 圖



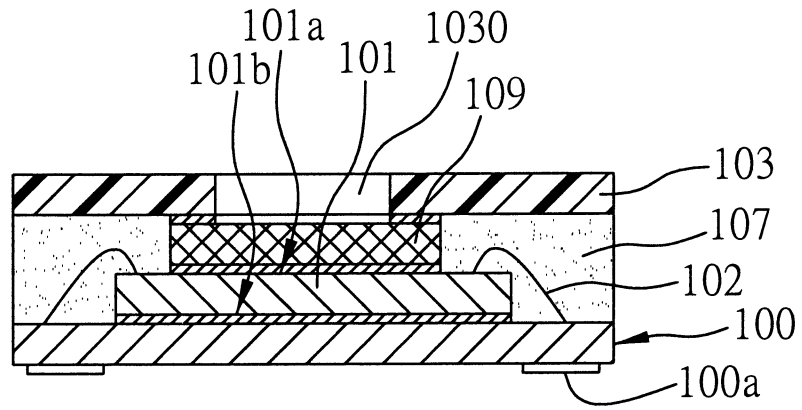
第 8B 圖



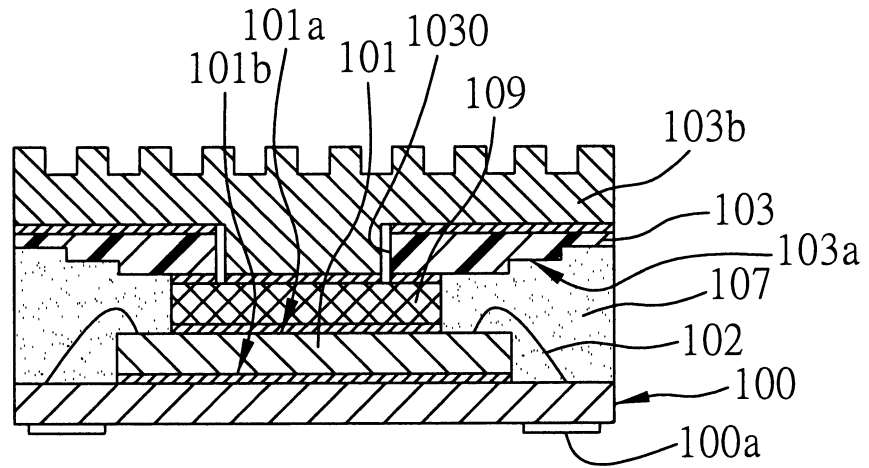
第 9A 圖



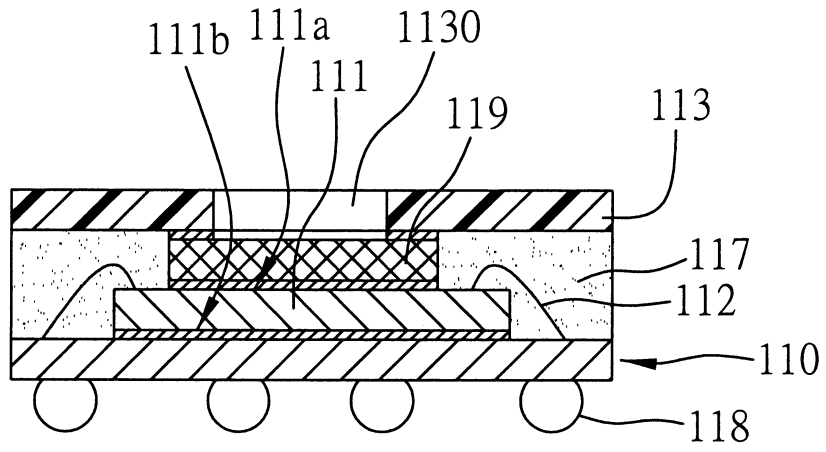
第 9B 圖



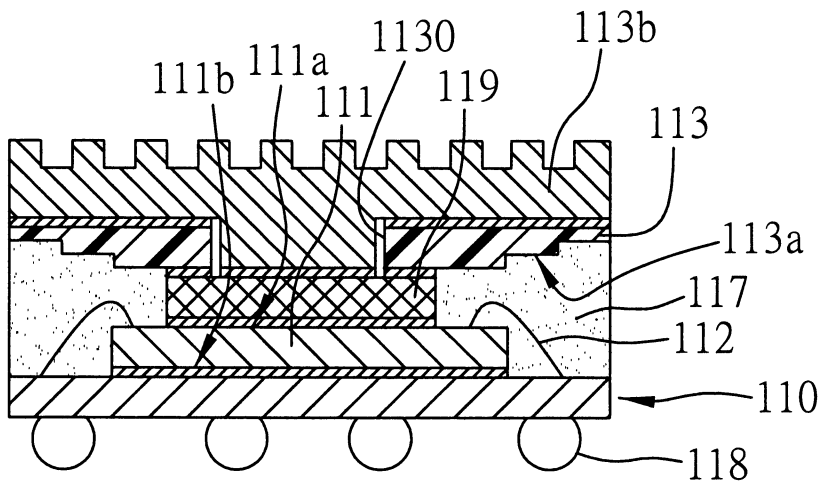
第 10A 圖



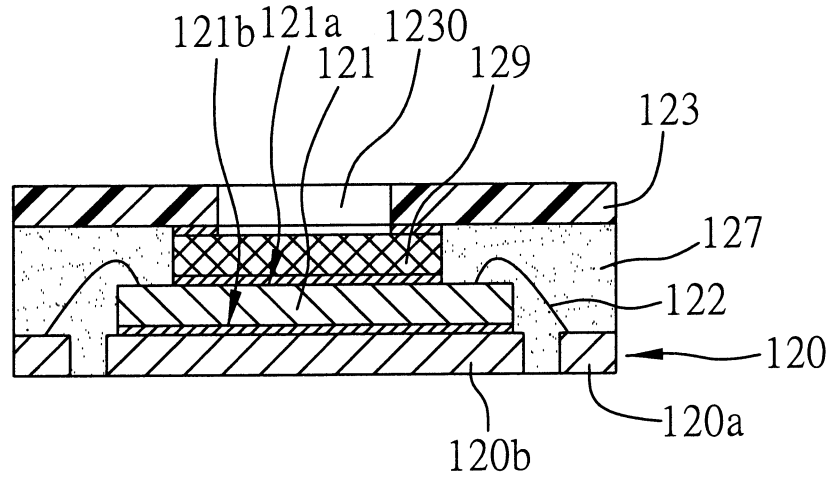
第 10B 圖



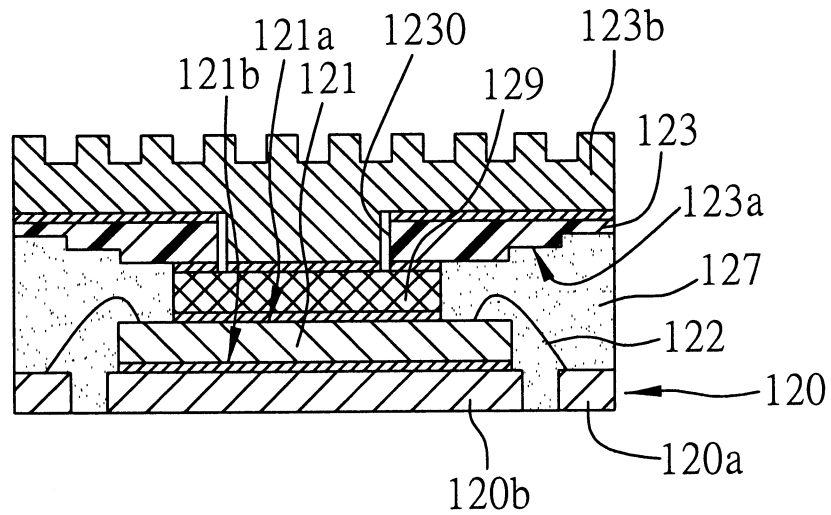
第 11A 圖



第 11B 圖



第 12A 圖



第 12B 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (5G) 圖。

(二)本代表圖之元件代表符號簡單說明：

50 基板單元

51 半導體晶片

51b 非主動面

53 散熱片

530 鏤空結構

54 介面層

57 封裝膠體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。