

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>7</sup> H04L 7/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년06월07일 10-0493026 2005년05월25일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0054256 2002년09월09일	(65) 공개번호 (43) 공개일자	10-2004-0022644 2004년03월16일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자                    삼성전자주식회사  
   경기도 수원시 영통구 매탄동 416

(72) 발명자                        황성현  
   경기도수원시장안구울전동394-13번지203호

(74) 대리인                        이영필

심사관 : 김병성

(54) 전화선 모뎀을 위한 강건한 심벌 타이밍 복구 회로

요약

전화선 모뎀을 위한 강건한 심벌 타이밍 복구 회로가 개시된다. 본 발명의 심벌 타이밍 복구 회로는 타이밍 추정기 및 보 간기를 구비한다. 타이밍 추정기는 입력 샘플들을 연산하여 수신 심벌의 타이밍 오프셋을 추정하는 회로로서, 첫 윈도우 구간 동안은 매 심벌마다 추정한 타이밍 오프셋을 출력하고, 그 이후부터는 바로 이전 윈도우 구간에서 추정한 타이밍 오프셋을 다음 윈도우 구간동안 출력한다. 보간기는 입력 샘플들을 보간하는 회로로서, 직렬로 연결되며, 입력 샘플들을 순차적으로 입력 샘플 주기만큼 지연하여 출력함으로써 입력 샘플들을 복수개씩 병렬로 출력하는 복수의 쉬프트 레지스터 들, 정수 타이밍 오프셋에 응답하여 복수개의 입력 샘플들 중 소정 위치의 연속하는 4개의 입력 샘플들을 선택하는 제어부 및 소수 타이밍 오프셋에 응답하여, 제어부에 의해 선택된 입력 샘플들을 보간하여 출력 샘플들을 출력하는 인터플레이션 부를 포함한다. 본 발명의 타이밍 복구 회로는 클럭 불안정도에 민감하지 않으며 안정적인 타이밍 오프셋 추정 방식을 사 용하므로, 심벌 타이밍을 강건하고 신뢰성 있게 복구할 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 전화선 모뎀의 수신기를 개략적으로 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 심벌 타이밍 복구 회로를 나타내는 블록도이다.

도 3은 도 2에 도시된 타이밍 추정기의 타이밍 오프셋 추정부의 구성을 상세하게 나타내는 도면이다.

도 4는 도 3에 도시된 타이밍 오프셋 추정부에 입력되는 클럭 신호들을 나타내는 도면이다.

도 5는 도 2에 도시된 타이밍 추정기의 제어 신호 발생부를 나타내는 블록도이다.

도 6은 도 2에 도시된 후처리기의 일 구현예를 나타내는 도면이다.

도 7은 후처리기의 입력 신호(타이밍 오프셋)와 출력 신호(필터링된 타이밍 오프셋)를 나타내는 그래프이다.

도 8은 다양한 타이밍 오프셋에 대한 정수 타이밍 오프셋과 소수 타이밍 오프셋 그리고 샘플링 포인트와의 관계를 나타내는 테이블이다.

도 9는 도 2에 도시된, 발명의 일 실시예에 따른 보간기를 나타내는 회로도이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 전화선 모뎀(modem)에 관한 것으로, 전화선 모뎀 수신기에서의 심벌 타이밍 복구 회로에 관한 것이다.

최근에 이르러 홈 네트워킹(home networking)에 대한 관심이 높아지면서 다양한 방식으로의 접근이 시도되고 있다. 그 중에서 향후 높은 수요가 예상되는 방식 중에 하나가 바로 전화선을 이용하여 홈 네트워킹(home networking)을 구현하는 방법이다.

전화선 모뎀(modem)을 구성하는 핵심 요소 기술 중의 하나가 심벌 동기 알고리즘이다. 심벌 동기란 심벌 타이밍을 복구 하는 것으로서, 수신되는 아날로그 신호를 디지털 신호로 샘플링하는데 있어서 가장 최적의 샘플링 시간을 결정해 주는 것을 의미한다.

도 1은 일반적인 전화선 모뎀의 수신기를 개략적으로 나타내는 블록도이다.

일반적으로, 전화선 모뎀의 수신기에 입력되는 수신 신호는 아날로그 신호로서, 대역통과필터(BPF)(102)를 거치고 자동 이득 조절기(AGC)(104)에서 이득이 조절된다. 자동 이득 조절기(104)의 출력 신호는 아날로그-디지털 변환기(A/D)(106)에서 샘플링 주파수(Fs)로 샘플링되어 디지털 신호로 변환되고, 믹서(108)에서 중심 주파수(Fc)를 가지는 신호와 곱해짐으로써 기저대역으로 변환된다. 저역 통과 필터(LPF)(110)에서 필터링된 기저 대역 신호는 심벌 타이밍 복구회로(112), 프레임 동기부(114), 등화기(116), 반송파 복원 회로(118), 프리앰플 발생기/슬라이서(120), 채널 디코더(122) 및 디프레임 프로세서(124)를 거쳐 최종적으로 정보 데이터로서 복원된다.

일반적인 전화선 모뎀 수신기를 구성하는 상기의 블록의 기능 및 동작에 대해서는 당업자에게 널리 알려져 있으므로, 여기서 상세한 설명은 생략된다.

본 발명은 전화선 모뎀 수신기를 구성하는 상기 블록들 중 심벌 타이밍 복구 회로에 관한 것이다.

기존에도 심벌 동기 알고리즘에 관하여는 몇 가지 알고리즘이 알려져 있다. 또한, 알려진 심벌 동기 알고리즘을 전화선 모뎀에 단순히 적용하여 구현한 종래 기술에 따른 심벌 타이밍 복구 회로도 있다. 그런데 종래 기술에 따른 심벌 타이밍 복구 회로는 클럭 불안정도(clock instability)에 취약할 뿐만 아니라, 심벌 타이밍의 복원에 있어서 안정성이 결여되는 단점이 있다. 전화선 채널에서 주파수 오프셋이 발생할 가능성은 매우 낮은 편이므로, 송수신단 오실레이터에서 발생하는 클럭 불안정도가 주파수 오프셋의 많은 부분을 차지한다.

그러므로, 클럭 불안정도에 둔감하며, 타이밍 오프셋을 안정적으로 추정할 수 있는 타이밍 복구 회로가 요구된다.

**발명이 이루고자 하는 기술적 과제**

따라서 본 발명이 이루고자 하는 기술적 과제는 전화선 모뎀을 위한 안정된 타이밍 오프셋을 추정하는 타이밍 추정기를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 클럭 불안정도를 해결하여 수신되는 신호를 누락이나 반복없이 보간하는 보간기를 제공하는 것이다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 상기 타이밍 추정기 및 보간기를 구비하는, 전화선 모뎀을 위한 타이밍 복구 회로를 제공하는 것이다.

**발명의 구성 및 작용**

상기 기술적 과제를 달성하기 위한 본 발명의 심벌 타이밍 추정 회로는 전화선 모뎀의 수신기에서 심벌 타이밍 오프셋을 추정하는 회로로서, 수신되는 샘플 신호를 연산하여 타이밍 오프셋을 추정하여 출력하는 타이밍 오프셋 추정부로서, 제어 신호에 응답하여 소정의 윈도우 크기 단위로 상기 타이밍 오프셋을 추정하며 첫 윈도우 구간 동안은 매 심벌마다 추정된 타이밍 오프셋을 출력하고, 그 이후부터는 바로 이전 윈도우 구간에서 추정된 타이밍 오프셋을 다음 윈도우 구간동안 출력하는 상기 타이밍 오프셋 추정부; 및 캐리어 감지 신호에 응답하여 상기 타이밍 오프셋 추정부의 동작을 제어하기 위한 상기 제어 신호를 발생하는 제어 신호 발생부를 구비한다.

바람직하기로는, 상기 타이밍 오프셋 추정부는 상기 수신되는 샘플 신호의 제곱승을 계산하여 출력하는 연산기; 리셋 신호에 응답하여 상기 윈도우 크기 단위로 상기 연산기의 출력의 평균치를 계산하는 평균치 추정기; 및 홀드 신호에 응답하여 상기 평균치 추정기에서 출력되는 평균값을 유지하는 메모리수단을 포함하며, 상기 제어 신호 발생부는 캐리어 감지 신호의 발생시점부터 카운팅을 시작하여 상기 카운트 값이 상기 윈도우 크기의 배수가 될 때마다 상기 리셋 신호를 활성화하고, 상기 카운트 값이 상기 윈도우 크기 보다 크고 상기 리셋 신호가 비활성화된 경우에 상기 홀드 신호를 활성화한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 보간기 회로는 전화선 모뎀의 수신기에서 입력 샘플들을 보간하는 회로로서, 직렬로 연결되며, 상기 입력 샘플들을 순차적으로 입력 샘플 주기만큼 지연하여 출력함으로써 상기 입력 샘플들을 복수개씩 병렬로 출력하는 복수의 쉬프트 레지스터들; 정수 타이밍 오프셋에 응답하여 상기 복수개의 입력 샘플들 중 소정 위치의 연속하는 4개의 입력 샘플들을 선택하는 제어기; 및 소수 타이밍 오프셋에 응답하여, 상기 제어기에 의해 선택된 입력 샘플들을 보간하여 출력 샘플들을 출력하는 인터플레이터를 구비한다.

바람직하기로는, 상기 입력 샘플들은 한 심벌당 4개이다. 또한 바람직하기로는, 상기 제어기는 상기 정수 타이밍 오프셋이 1에서 2로 변하는 경우에는 현재 위치에서 4샘플 앞선 상기 연속하는 4개의 입력 샘플들을 선택하고, 상기 정수 타이밍 오프셋이 2에서 1로 변하는 경우에는 상기 현재 위치에서 4샘플 뒤진 상기 연속하는 4개의 입력 샘플들을 선택한다.

상기 또 다른 기술적 과제를 달성하기 위한 본 발명의 심벌 타이밍 복구 회로는 입력 샘플들을 연산하여 수신 심벌의 타이밍 오프셋을 추정하는 타이밍 추정기로서, 첫 윈도우 구간 동안은 매 심벌마다 추정된 타이밍 오프셋을 출력하고, 그 이후부터는 바로 이전 윈도우 구간에서 추정된 타이밍 오프셋을 다음 윈도우 구간동안 출력하는 상기 타이밍 추정기; 및 상기 입력 샘플들을 보간하는 보간기를 구비하며, 상기 보간기는 직렬로 연결되며, 상기 입력 샘플들을 순차적으로 입력 샘플 주기만큼 지연하여 출력함으로써 상기 입력 샘플들을 복수개씩 병렬로 출력하는 복수의 쉬프트 레지스터들; 정수 타이밍 오프셋에 응답하여 상기 복수개의 입력 샘플들 중 소정 위치의 연속하는 4개의 입력 샘플들을 선택하는 제어부; 및 소수 타이밍 오프셋에 응답하여, 상기 제어부에 의해 선택된 입력 샘플들을 보간하여 출력 샘플들을 출력하는 인터플레이션 부를 포함한다.

바람직하기로는, 상기 타이밍 추정기는 제어 신호에 응답하여 소정의 윈도우 크기 단위로 상기 타이밍 오프셋을 추정하는 타이밍 오프셋 추정부; 및 캐리어 감지 신호에 응답하여 상기 타이밍 오프셋 추정부의 동작을 제어하기 위한 제어 신호를 발생하는 제어 신호 발생부를 포함한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명의 일 실시예에 따른 심벌 타이밍 복구 회로(1000)를 나타내는 블록도이다. 이를 참조하면, 본 발명의 일 실시예에 따른 심벌 타이밍 복구 회로(1000)는 순방향(feedforward) 방식에 기초하여 설계된다. 순방향 심벌 동기 방식을 선택한 이유는 다음과 같다.

첫째, HomePNA(Home Phoneline Networking Alliance) 2.0을 비롯한 10Mbps 급 전화선 홈 네트워킹(home networking) 시스템은 주어진 프리앰블(preamble) 동안 안정되고 신속한 포착을 수행해야 하는 버스트(burst) 모드로 전송하므로 버퍼를 이용한 일종의 일괄추적 복조방식(block demodulation)을 사용함으로써 뒤따르는 다른 동기부들에 포착(acquisition) 시간의 부담을 줄여 줄 수 있다. 둘째, 역방향(feedback) 심벌 동기 방식보다 신속한 초기 동기를 수행할 수 있어 버스트 모드 수신기에서는 보편적으로 순방향 방식을 선호하고 있다. 셋째, 순방향 심벌 동기 방식은 역방향 방식에서 사용되는 루프필터나 VCO(Voltage Controlled Oscillator)가 없으므로 하드웨어 구조가 간단하고 저렴한 비용으로 구현할 수 있다. 마지막으로, 프리앰블을 이용하지 않는 nondecision-directed(NDD) 방식으로 동작할 경우 일반적인 영점 검출 방식과 비교해서 순방향 방식은 특정 프리앰블 패턴에 덜 민감한 장점이 있다.

심벌 타이밍 복구 회로(1000)는 버퍼(200), 타이밍 추정기(300), 후처리기(4030), 보간기(500) 및 데시메이터(600)를 포함한다.

버퍼(200)는 타이밍 오프셋을 추정하는데 걸리는 시간 동안 심벌을 저장하는 메모리이다. 수신 신호( $r(t)$ )는 아날로그-디지털 변환기(110)에서 디지털 신호( $r(mT_{sa})$ )로 변환되고 정합 필터(matched filter)(120)를 거쳐 버퍼(200)로 입력된다.

타이밍 추정기(300)는 nondecision-directed(NDD) DFT(Discrete Fourier Transform) 타이밍 추정 방식을 사용한다. 이 방식은 Oerder와 Meyr에 의해 제안된 것으로, 논문(IEEE Trans. Commun., 1998년 5월 "Digital Filter and Square Timing Recovery")에 기술되어 있다.

타이밍 추정기(300)는 타이밍 오프셋(timing offset)을 추정하는 타이밍 오프셋 추정부(310)와 타이밍 오프셋 추정부(310)의 동작을 제어하기 위한 제어 신호를 발생하는 제어 신호 발생부(350)를 포함한다. 타이밍 오프셋 추정부(310)와 제어 신호 발생부(350)의 상세한 구성 및 동작은 도 3 및 도 5를 참조하여 후술된다.

NDD DFT 타이밍 추정 방식을 이용하여 타이밍 오프셋을 추정하는 식은 다음의 수학적 식 1과 같다.

수학식 1

$$\tau_k = \frac{1}{2\pi} \arctan \left[ \frac{\sum_{m=0}^{LM-1} X(mT_{sa}) X^*(mT_{sa}) \sin(2\pi m/M)}{\sum_{m=0}^{LM-1} X(mT_{sa}) X^*(mT_{sa}) \cos(2\pi m/M)} \right]$$

여기서,  $\tau_k$  는 타이밍 오프셋,  $X(mT_{sa})$ 는 입력 샘플,  $X^*(mT_{sa})$  는  $X(mT_{sa})$ 의 켄주게이트(conjugate) 신호,  $M$ 은 심벌당 샘플수,  $L$ 은 타이밍 오프셋을 추정하는 윈도우 크기이다.

$M=4$ 를 사용하면 심벌 당 4 샘플로 동작하므로,  $m=0,1,2,3...$ 에 따라 cosine값은 1, 0, -1, 0이 되고, sine 값은 0, 1, 0, -1과 같이 되므로, 상기 수학식 1의 동작 구현이 간단해진다.

도 3은 도 2에 도시된 타이밍 추정기(300)의 타이밍 오프셋 추정부(310)의 구성을 상세하게 나타내는 도면이다.

도 3을 참조하면, 타이밍 오프셋 추정부(310)는 수학식 1에 나타난 NDD DFT 타이밍 추정 방식을 구현한 회로로서, 신호 왜곡을 최소화하기 위해 첫 윈도우 구간 동안은 매 심벌마다 추정된 타이밍 오프셋을 출력하고, 그 이후부터는 바로 이전 윈도우 구간에서 추정된 타이밍 오프셋을 다음 윈도우 구간동안 출력한다.

타이밍 오프셋 추정부(310)는 입력 샘플( $X(mT_{sa})$ )을 연산하는 연산기(320), 리셋 신호(RS)에 응답하여 소정의 윈도우 크기 단위로 연산기(320)의 출력의 평균치를 계산하는 평균치 추정기(Mean Estimator)(330a, 330b) 및 홀드 신호(HOLD)에 응답하여 평균치 추정기(330a, 330b)에서 출력되는 평균값을 유지하는 메모리수단(332a, 332b), 롬 테이블(334)을 포함한다.

하나의 심벌로부터 샘플링된 4개의 입력 샘플들( $X(mT_{sa})$ )은 각각 4개의 제공승 계산기(324a~324d)로 입력되어 입력 샘플의 제공값들( $X(mT_{sa})X^*(mT_{sa})$ )이 구해진다. 제1 가산기(335a)는 첫 번째 제공승 계산기(324a)의 출력에서 세 번째 제공승 계산기(324c)의 출력을 뺀다. 따라서, 제1 가산기(335a)의 출력은 하나의 심벌 구간에 대한 수학식 1의 분모값이 된다. 그리고, 제2 가산기(335b)는 두 번째 제공승 계산기(324b)의 출력에서 네 번째 제공승 계산기(324d)의 출력을 뺀다. 따라서, 제2 가산기(335b)의 출력은 하나의 심벌 구간에 대한 수학식 1의 분자 값이 된다.

제1 및 제2 평균치 추정기(330a, 330b)는 각각 리셋 신호(RS)에 응답하여 제1 가산기 및 제2 가산기(325a, 325b)의 출력을 윈도우 크기 동안 평균한다. 메모리 수단(332a, 332b)은 플립 플롭(flip-flop)으로서, 홀드 신호(HOLD)에 응답하여 평균치 추정기(330a, 330b)에서 출력되는 평균값을 유지한다. 즉, 메모리 수단(332a, 332b)은 홀드 신호(HOLD)가 제1 레벨(여기서는 하이레벨)인 경우 이전 신호를 계속 유지하고, 제2 레벨(여기서는, 로우레벨)인 경우 평균치 추정기(330a, 330b)에서 출력되는 평균값으로 업데이트된다.

롬 테이블(334)은 arctan 값을 표로 저장해놓은 메모리로서, 메모리 수단(332a, 332b)으로부터 출력되는 두 값에 따른 arctan 값을 타이밍 오프셋( $\tau_k$ )으로 출력한다.

타이밍 오프셋( $\tau_k$ )을 샘플 주기( $T_{sa}$ )로 출력하기 위한 플립플롭(336)이 더 구비되는 것이 바람직하다.

도 4는 도 3에 도시된 타이밍 오프셋 추정부(310)에 입력되는 클럭 신호들을 나타내는 도면이다. 클럭 신호들( $T_{sa}, T_0 \sim T_3$ )은 타이밍 오프셋 추정부(310)의 플립플롭들(321, 322a~322d, 323a~323d, 336)을 제어하기 위한 신호들이다.

도 3 및 도 4를 함께 참조하면, 연산기(320)의 제1 플립플롭(321)은 샘플 주기( $T_{sa}$ )를 가지는 제1 클럭 신호( $T_{sa}$ )에 응답하여 입력 샘플들( $X(mT_{sa})$ )을 수신하여 출력한다. 제2 내지 제5 플립플롭들(322a~322d)은 각각 제2 내지 제5 클럭 신호( $T_0 \sim T_3$ )에 응답한다. 제2 내지 제5 클럭 신호( $T_0 \sim T_3$ )는 도 4에 도시된 바와 같이 샘플 주기( $T_{sa}$ )\*4의 주기를 가지며, 1 샘플 주기 만큼 차이를 두고 순차적으로 하이레벨이 되었다가 반 샘플 주기 후에 로우레벨이 되는 신호들이다.

따라서, 제2 플립플롭(322a)은 심벌당 4개씩 입력되는 샘플들( $X(mT_{sa})$ ) 중 첫 번째 입력 샘플을 수신하여 출력하고, 제3 플립플롭(322b)은 심벌당 4개씩 입력되는 샘플들( $X(mT_{sa})$ ) 중 두 번째 입력 샘플을 수신하여 출력하고, 제4 플립플롭(322c)은 심벌당 4개씩 입력되는 샘플들( $X(mT_{sa})$ ) 중 세 번째 입력 샘플을 수신하여 출력하며, 제5 플립플롭(322d)은 심벌당 4개씩 입력되는 샘플들( $X(mT_{sa})$ ) 중 네 번째 입력 샘플을 수신하여 출력하게 된다. 제6 내지 제9 플립플롭들(323a~323d)은 각각 제1 클럭 신호( $T_{sa}$ )에 응답하므로, 입력되는 각 샘플들을 동시에 출력하게 된다. 그러므로, 심벌당 4개씩 입력되는 샘플들( $X(mT_{sa})$ )이 4 샘플 단위로 병렬로 연산된다.

도 5는 도 2에 도시된 타이밍 추정기(300)의 제어 신호 발생부(350)를 나타내는 블록도이다.

이를 참조하면, 제어 신호 발생부(350)는 타이밍 오프셋 추정부(310)를 제어하기 위한 제어 신호들, 즉 리셋 신호(RS)와 홀드 신호(HOLD)를 발생하는 블록으로서, 카운터(352), 모듈로 계산기(354), 제1 및 제2 판단기(356, 358) 그리고 논리 연산기(AND, OR) 등을 포함한다.

카운터(352)는 캐리어 감지 신호(CS)의 활성화 시점부터 카운팅을 시작하여 심벌 주기마다 업데이트된 카운트 값을 출력한다. 캐리어 감지 신호(CS)는 수신 신호가 존재하는지 여부를 나타내는 신호로서, 수신 신호의 레벨이 소정의 임계값 이상이면 활성화되는 신호이다. 모듈로 계산기(354)는 카운터(352)로부터 출력되는 카운트 값이 윈도우 크기의 배수가 될 때마다 0을 출력한다. 제1 판단기(356)는 모듈로 계산기(354)의 출력이 0일 때마다 판단 결과로서, '1'을 발생한다. 리셋 신호(RS)는 제1 판단기(356)의 판단 결과와 캐리어 감지 신호(CS)의 반전 신호의 논리합에 의해 발생된다. 따라서, 캐리어 감지 신호(CS)가 활성화된 후에는 윈도우 크기의 배수가 되는 시점마다 리셋 신호(RS)가 활성화된다.

제2 판단기(358)는 카운터(352)로부터 출력되는 카운트 값이 윈도우 크기 보다 큰 경우 하이레벨 신호('1')를 발생한다. 따라서, 제어 신호 발생부(350)는 카운터(352)로부터 출력되는 카운트 값이 윈도우 크기 보다 크고 리셋 신호(RS)가 활성화되지 않은 경우(RS='0'인 경우)에 활성화되는 홀드 신호(HOLD)를 발생한다.

도 3을 다시 참조하면, 타이밍 오프셋 추정부의 평균치 추정기(330a, 330b)는 리셋 신호(RS)에 응답하여 리셋되므로, 결국, 평균치 추정기(330a, 330b)는 윈도우 크기 단위로 연산기(320)의 출력의 평균치를 계산하게 된다. 그리고, 평균치를 저장하는 메모리 수단(332a, 332b)은 홀드 신호(HOLD)에 의하여 제어되는데, 홀드 신호(HOLD)는 첫 번째 윈도우 이후로 리셋 신호(RS)가 활성화되지 않는 때에 활성화된다. 따라서, 상술한 바와 같이, 첫 윈도우 구간 동안은 매 심벌마다 추정된 타이밍 오프셋을 출력하고, 그 이후부터는 바로 이전 윈도우 구간에서 추정된 타이밍 오프셋을 다음 윈도우 구간 동안 출력한다.

후처리기(400)는 타이밍 오프셋( $\tau_k$ )을 필터링 처리하는 역할을 한다.

정규화된(normalized) 타이밍 오프셋이 0.5일 경우 타이밍 추정기의 arctan 특성으로 인해 +0.5와 -0.5를 번갈아서 추정하면서 진동할 수 있다. 이 경우 보간기는 +2 샘플과 -2 샘플을 반복적으로 보상하게 되어 정확한 복조가 이루어지지 않고 진동하는 현상이 발생할 수 있다. 따라서 일관된 타이밍 추정값을 출력할 수 있는 장치가 요구되는데 이 기능을 후처리기(400)가 담당한다. 정규화된 타이밍 오프셋이란 시간 단위로 표시되는 타이밍 오프셋을 심벌 주기( $T_s$ )로 나눈 것이다. 본 명세서에서 기술되는 타이밍 오프셋은 정규화된 타이밍 오프셋인 것으로 가정한다.

도 6은 도 2에 도시된 후처리기(400)의 일 구현예를 나타내는 도면이다. 이를 참조하면, 후처리기(400)는 필터(420), 승산기(430), 가산기(410, 440), 지연기(450)로 구성될 수 있다.

후처리기의 출력을 필터링된 타이밍 오프셋( $\tilde{\tau}_k$ )이라 한다.

도 6에 도시된 후처리기(400)는 타이밍 오프셋( $\tau_k$ )을 필터링된 타이밍 오프셋의 이전 값( $\tilde{\tau}_{k-1}$ )으로 뺀 다음, 소정 범위 내의 값으로 필터링하고 소정의 계수(a)를 곱한 다음, 다시 필터링된 타이밍 오프셋의 이전 값( $\tilde{\tau}_{k-1}$ )과 가산함으로써, 필터링된 타이밍 오프셋( $\tilde{\tau}_k$ )을 구한다.

도 7은 후처리기의 입력 신호(타이밍 오프셋( $\tau_k$ ))와 출력 신호(필터링된 타이밍 오프셋( $\tilde{\tau}_k$ ))를 나타내는 그래프로서, +0.5와 -0.5 사이에서 진동하던 타이밍 오프셋( $\tau_k$ )이 후처리기를 통과하면 어느 정도 일관된 값으로 출력됨을 알 수 있다.

보간기는 일반적으로 구현 차원에서 크게 계수 실시간 계산 방식과 계수 저장 방식으로 분류된다.

본 발명의 일 실시예에 따른 심벌 타이밍 복구 회로(1000)에 사용되는 보간기(500)는 구조가 비교적 간단하고 성능 또한 우수한 계수 실시간 계산 방식을 이용한다. 이 방식은 보간에 사용할 유한 임펄스 응답(Finite Impulse Response, 이하 FIR 이라 함) 필터 계수를 추정된 타이밍 오프셋을 이용하여 실시간으로 계산하는 방식이다. 따라서 FIR 필터 계수를 저장할 메모리가 별도로 요구되지 않고 타이밍 추정값을 양자화할 필요가 없어 타이밍 지터를 줄일 수 있는 장점이 있다.

보간기는 다항식(polynomial) 형태의 필터구조로서 디지털 모델에서는 Lagrange 공식에 기초한 선형(linear), 불연속-패러볼릭(piecewise-parabolic), 큐빅(cubic) 방식이 주로 사용되며 주로 Farrow 구조를 이용하여 구현된다. 본 발명의 일 실시예에 따른 보간기(500)는 Farrow 구조를 갖는 Cubic 보간 방식을 이용하여 구현된다. Farrow 구조를 갖는 Cubic 보간 방식을 Cubic Farrow 보간 방식이라 하며, 이 방식은 논문(IEEE Trans. Commun., 1993년 6월 "Interpolation in Digital Modems-Part II: Implementation and Performance")에 기술되어 있다.

보간기(500)의 출력 신호는 입력 신호와 FIR 필터의 컨볼루션(convolution)으로 표현될 수 있는데, 수학식 2와 같다.

$$\text{수학식 2}$$

$$y(kT_i) = y[(m_k + \tau_k)T_{sa}] = \sum_{j=1}^{L_s} x[(m_k - j)T_{sa}] h[(j + \tau_k)T_{sa}]$$

여기서,  $T_i$ 는 보간기 출력 주기를 나타내고  $T_{sa}$ 는 샘플 신호의 주기를 의미하며 심벌 당 샘플수가 4인 경우  $T(\text{심벌 주기}) = 4T_{sa}$ 의 관계를 만족한다.

본 발명의 일 실시예에 따른 보간기(500)의 특징 중의 하나는 추정된 타이밍 오프셋을 정수 타이밍 오프셋(integer timing offset)과 소수 타이밍 오프셋(fraction timing offset)으로 구분하여 보상함으로써 타이밍 지터를 보다 줄일 수 있다는 점이다. 정합 필터(matched filter)(도 2의 120)의 출력 신호, 즉 입력 샘플( $X(mT_{sa})$ )이 심벌당 4 샘플이므로 타이밍 오프셋에 4를 곱하면 수신단의 샘플 수 단위의 타이밍 오프셋 추정값을 얻을 수 있다. 이러한 관계는 수학적 식 3에 나타난다.

수학적 식 3

$$timing\ offset \times 4 = int[timing\ offset] + (timing\ offset - int[timing\ offset])$$

$$= integer\ timing\ offset + fraction\ timing\ offset$$

여기서, *timing offset*은 상기 기술한 바와 같이 정규화된 타이밍 오프셋이다.

도 8은 다양한 타이밍 오프셋에 대한 정수 타이밍 오프셋과 소수 타이밍 오프셋 그리고 샘플링 포인트와의 관계를 나타내는 테이블이다.

본 발명에 따른 보간기의 특징 중의 다른 하나는 전화선 모뎀에서 발생할 수 있는 최대 +/-200ppm의 클럭 불안정성(clock instability)으로 인해 타이밍 오프셋 추정값이 일정하게 증가하거나 감소하는 현상을 해결하는 것이다.

도 9는 도 2에 도시된, 발명의 일 실시예에 따른 보간기(500)를 나타내는 회로도이다.

이를 참조하면, 보간기(500)는 복수의 쉬프트 레지스터들(510), 제어기(540), 타이밍 오프셋 분류기(550) 및 Cubic Farrow 인터폴레이터(560)를 포함한다. 데시메이터(600)가 보간기(500)에 포함될 수 있다.

복수의 쉬프트 레지스터들(510)은 직렬로 연결되며, 입력되는 샘플을 수신하여 입력 샘플 주기( $T_{sa}$ )만큼 각각 지연하여 출력함으로써, 입력 샘플 주기 간격의 일련의 입력 샘플들( $S_0 \sim S_{19}$ )을 병렬로 출력한다.

즉, 제1 쉬프트 레지스터(511)는 입력 샘플( $S_{19}$ )을 수신하여 입력 샘플 주기만큼 지연하여 출력한다. 제2 내지 제19 쉬프트 레지스터들(512~529)은 각각 이전 쉬프트 레지스터들(제1 내지 제18 쉬프트 레지스터들)로부터 출력되는 샘플들( $S_{18} \sim S_1$ )을 수신하여 입력 샘플 주기만큼 지연하여 출력한다.

제어기(540)는 제1 쉬프트 레지스터(511)의 입력 샘플( $S_{19}$ ) 및 제1 내지 제19 쉬프트 레지스터(512~529)의 출력 샘플들( $S_{18} \sim S_0$ ) 중에서 연속하는 4개의 샘플들을 선택하여 Cubic Farrow 인터폴레이터(560)로 제공한다. 제어기(540)는 초기에는 스타트 위치(P3)의 4개의 샘플들을 Cubic Farrow 인터폴레이터(560)로 제공한다. 그리고, 제어기(540)는 정수 타이밍 오프셋이 1에서 2로 변하면, 현재의 위치에서 4샘플 앞선 4개의 샘플들을 선택하여 Cubic Farrow 인터폴레이터(560)로 제공하고, 정수 타이밍 오프셋이 2에서 1로 변하면, 현재의 위치에서 4샘플 뒤진 4개의 샘플들을 선택하여 Cubic Farrow 인터폴레이터(560)로 제공한다.

예를 들어, 현재의 위치가 스타트 위치(P3)인 경우에, 정수 타이밍 오프셋이 1에서 2로 변하면 스타트 위치(P3)에서 4 샘플 앞선 위치(P2)의 4개의 샘플들이 선택되고, 이 상태에서 다시 정수 타이밍 오프셋이 1에서 2로 변하면 다시 4 샘플 앞선 위치(P1)의 4개의 샘플들이 선택된다. 그리고, 현재의 위치가 스타트 위치(P3)인 경우에, 정수 타이밍 오프셋이 2에서 1로 변하면 스타트 위치(P3)에서 4 샘플 뒤진 위치(P4)의 4개의 샘플들이 선택되고, 이 상태에서 다시 정수 타이밍 오프셋이 2에서 1로 변하면 다시 4 샘플 뒤진 위치(P5)의 4개의 샘플들이 선택된다.

타이밍 오프셋 분류기(550)는 타이밍 오프셋에 4를 곱한 값을 정수와 소수로 분리하여 정수 타이밍 오프셋과 소수 타이밍 오프셋을 발생한다.

Cubic Farrow 인터폴레이터(560)는 소수 타이밍 오프셋에 응답하여, 제어기(540)에 의해 선택된 4개의 샘플들을 보간(interpolation)하여, 보간기 출력 샘플( $y(kT_i)$ )을 출력한다.

데시메이터(600)는 정수 타이밍 오프셋에 응답하여, 보간기 출력 샘플( $y(kT_i)$ )을 4-1로 데시메이트, 즉 4개당 1개의 샘플을 선택하여 출력한다. 정수 타이밍 오프셋에 따라 선택되는 샘플의 위치가 도 8에 나타나 있는 샘플링 포인트이다. 도 8을 참조하면, 정수 타이밍 오프셋이 0, 1, 2, 3인 경우의 샘플링 포인트는 각각 2, 3, 0, 1이다. 심벌 당 샘플 수가 4개이므로, 샘플링 포인트의 수 역시 4이다. 샘플링 포인트가 0, 1, 2, 3이라는 것은 각각 심벌당 출력되는 4개의 보간기 출력 샘플( $y(kT_i)$ )들 중 첫 번째, 두 번째, 세 번째, 네 번째 샘플을 선택한다는 것을 의미한다.

따라서, 정수 타이밍 오프셋은 데시메이터(600)가 보간기 출력 샘플들( $y(kT_i)$ ) 중에서 적당한 샘플을 선택함으로써 보상할 수 있고, 소수 타이밍 오프셋은 Cubic Farrow 인터폴레이터(560)를 이용하여 보상할 수 있다.

본 발명의 일 실시예에 따른 보간기(500)는 클럭 불안정성으로 인해 심벌이 반복되거나 누락되는 현상을 방지한다.

클럭 불안정성으로 인해 정수 타이밍 오프셋이 1에서 2로 변할 경우 동일한 심벌이 반복(reiterating)되고 2에서 1로 변할 경우 한 심벌이 누락(dropping)되는 현상이 발생한다. 예를 들어 10Mbps급 HomePNA 2.0 시스템은 최대 1,526 bytes를 전송하므로 최대 +/-200ppm의 주파수 오프셋에 의해 +/-1.2208T의 타이밍 차이가 발생할 수 있다. 이러한 점을 모두 고려할 때 한 프레임을 수신하는 동안 정수 타이밍 오프셋이 1에서 2로 바뀌는 회수와, 2에서 1로 바뀌는 회수는 각각 최대 2회이다. 따라서 정수 타이밍 오프셋이 1에서 2로 변할 경우 동일한 심벌이 반복되는 현상을 해결하기 위해서는 현재 수행되고 있는 보간 샘플의 위치를 앞으로(미래로) 4 샘플 이동시킴으로써 해결할 수 있고, 타이밍 오프셋이 2에서 1로 변할 경우 한 심벌이 누락되는 현상을 해결하기 위해서는 현재 수행되고 있는 보간 샘플의 위치를 뒤로(과거로) 4 샘플 이동시킴으로써 해결할 수 있다.

도 9에 도시된 보간기(500)는 시작 위치(At the start, P3)에서 가져온 4 샘플들을 이용하여 보간하고 정수 타이밍 오프셋이 1에서 2로 변할 경우 현재의 위치에서 4샘플 앞선 4개의 샘플들을 이용하여 보간하고 다시 1에서 2로 변할 경우 다시 4 샘플 앞으로 이동하여 보간한다. 또한 정수 타이밍 오프셋이 2에서 1로 변할 경우 현재의 위치에서 4샘플 뒤진 4개의 샘플들을 이용하여 보간하고 정수 타이밍 오프셋이 다시 2에서 1로 변할 경우 다시 4 샘플 뒤로 이동하여 보간한다.

상술한 바와 같이, 클럭 불안정성으로 인해 타이밍 오프셋이 단조 증감하는 현상을 보상하기 위해서 현재 보간 위치의 4 샘플 이외에 앞으로 8 샘플과 뒤로 8 샘플을 포함한 총 20 샘플을 저장해야 한다. 따라서, 본 발명의 일 실시예에 따른 보간기(500)는 적어도 19개의 쉬프트 레지스터들(511~529)을 구비하는 것이 바람직하다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**발명의 효과**

본 발명의 타이밍 추정기에 의하면, 전화선 모델 수신기에서 심벌 타이밍 오프셋을 안정적으로 추정할 수 있다. 본 발명의 보간기에 의하면, 송수신단 사이의 클럭의 불안정도에 둔감하며, 수신되는 신호를 누락이나 반복없이 보간할 수 있다.

따라서, 본 발명의 타이밍 추정기와 보간기를 구비하는 타이밍 복구 회로는 클럭 불안정도에 민감하지 않으며 안정적인 타이밍 오프셋 추정 방식을 사용하므로, 심벌 타이밍을 강건하고 신뢰성 있게 복구할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

전화선 모델의 수신기에서 심벌 타이밍 오프셋을 추정하는 회로에 있어서,

수신되는 샘플 신호를 연산하여 타이밍 오프셋을 추정하여 출력하는 타이밍 오프셋 추정부로서, 제어 신호에 응답하여 소정의 윈도우 크기 단위로 상기 타이밍 오프셋을 추정하며 첫 윈도우 구간 동안은 매 심벌마다 추정한 타이밍 오프셋을 출력하고, 그 이후부터는 바로 이전 윈도우 구간에서 추정한 타이밍 오프셋을 다음 윈도우 구간동안 출력하는 상기 타이밍 오프셋 추정부; 및

캐리어 감지신호에 응답하여 상기타이밍 오프셋 추정부의 동작을 제어하기 위한 상기제어신호를 발생하는 제어신호 발생부를 구비하는 심벌 타이밍 추정회로.

**청구항 2.**

제 1항에 있어서, 상기 타이밍 오프셋 추정부는

상기 수신되는 샘플 신호의 제공승을 계산하여 출력하는 연산기;

리셋 신호에 응답하여 상기 윈도우 크기 단위로 상기 연산기의 출력의 평균치를 계산하는 평균치 추정기; 및

홀드 신호에 응답하여 상기 평균치 추정기에서 출력되는 평균값을 유지하는 메모리수단을 포함하는 것을 특징으로 하는 심벌 타이밍 추정 회로.

**청구항 3.**

제 2항에 있어서, 상기 연산기는

상기 수신되는 샘플 신호를 4개씩 병렬 처리하는 것을 특징으로 하는 심벌 타이밍 추정 회로.

#### 청구항 4.

제 1항에 있어서, 상기 제어 신호 발생부는

캐리어 감지 신호의 발생시점부터 카운팅을 시작하여 상기 카운트 값이 상기 윈도우 크기의 배수가 될 때마다 상기 리셋 신호를 활성화하고, 상기 카운트 값이 상기 윈도우 크기 보다 크고 상기 리셋 신호가 비활성화된 경우에 상기 홀드 신호를 활성화하는 것을 특징으로 하는 심벌 타이밍 추정 회로.

#### 청구항 5.

전화선 모델의 수신기에서 입력 샘플들을 보간하는 보간기 회로에 있어서,

직렬로 연결되며, 상기 입력 샘플들을 순차적으로 입력 샘플 주기만큼 지연하여 출력함으로써 상기 입력 샘플들을 복수 개씩 병렬로 출력하는 복수의 쉬프트 레지스터들;

정수 타이밍 오프셋에 응답하여 상기 복수개의 입력 샘플들 중 소정 위치의 연속하는 4개의 입력 샘플들을 선택하는 제어기; 및

소수 타이밍 오프셋에 응답하여, 상기 제어기에 의해 선택된 입력 샘플들을 보간하여 출력 샘플들을 출력하는 인터플레이터를 구비하는 보간기 회로.

#### 청구항 6.

제 5항에 있어서, 상기 입력 샘플들은

한 심벌당 4개인 것을 특징으로 하는 보간기 회로.

#### 청구항 7.

제 6항에 있어서, 상기 제어기는

상기 정수 타이밍 오프셋이 1에서 2로 변하는 경우에는 현재 위치에서 4샘플 앞선 상기 연속하는 4개의 입력 샘플들을 선택하고, 상기 정수 타이밍 오프셋이 2에서 1로 변하는 경우에는 상기 현재 위치에서 4샘플 뒤진 상기 연속하는 4개의 입력 샘플들을 선택하는 것을 특징으로 하는 보간기 회로.

#### 청구항 8.

제 6항에 있어서, 상기 복수의 쉬프트 레지스터들의 수는

19개인 것을 특징으로 하는 보간기 회로.

#### 청구항 9.

제 6항에 있어서, 상기 보간기 회로는

상기 출력 샘플들을 4대 1로 데시메이션하는 데시메이터를 더 구비하는 것을 특징으로 하는 보간기 회로.

#### 청구항 10.

제 6항에 있어서, 상기 보간기 회로는

소정의 타이밍 오프셋에 4를 곱한 값을 정수와 소수로 각각 분리하여 상기 정수 타이밍 오프셋과 상기 소수 타이밍 오프셋을 출력하는 타이밍 오프셋 분류기를 더 구비하는 것을 특징으로 하는 보간기 회로.



### 청구항 11.

전화선 모뎀의 수신기에서 심벌 타이밍을 복구하는 회로에 있어서,

입력 샘플들을 연산하여 수신 심벌의 타이밍 오프셋을 추정하는 타이밍 추정기로서, 첫 윈도우 구간 동안은 매 심벌마다 추정된 타이밍 오프셋을 출력하고, 그 이후부터는 바로 이전 윈도우 구간에서 추정된 타이밍 오프셋을 다음 윈도우 구간 동안 출력하는 상기 타이밍 추정기; 및

상기 입력 샘플들을 보간하는 보간기를 구비하며,

상기 보간기는

직렬로 연결되며, 상기 입력 샘플들을 순차적으로 입력 샘플 주기만큼 지연하여 출력함으로써 상기 입력 샘플들을 복수 개씩 병렬로 출력하는 복수의 쉬프트 레지스터들;

정수 타이밍 오프셋에 응답하여 상기 복수개의 입력 샘플들 중 소정 위치의 연속하는 4개의 입력 샘플들을 선택하는 제어부; 및

소수 타이밍 오프셋에 응답하여, 상기 제어부에 의해 선택된 입력 샘플들을 보간하여 출력 샘플들을 출력하는 인터폴레이션부를 포함하는 것을 특징으로 하는 심벌 타이밍 복구 회로.

### 청구항 12.

제 11항에 있어서, 상기 타이밍 추정기는

제어 신호에 응답하여 소정의 윈도우 크기 단위로 상기 타이밍 오프셋을 추정하는 타이밍 오프셋 추정부; 및

캐리어 감지 신호에 응답하여 상기 타이밍 오프셋 추정부의 동작을 제어하기 위한 제어 신호를 발생하는 제어 신호 발생부를 포함하는 것을 특징으로 하는 심벌 타이밍 복구 회로.

### 청구항 13.

제 12항에 있어서, 상기 타이밍 오프셋 추정부는

상기 입력 샘플들의 제공율을 계산하여 출력하는 연산기;

리셋 신호에 응답하여 상기 윈도우 크기 단위로 상기 연산기의 출력의 평균치를 계산하는 평균치 추정기; 및

홀드 신호에 응답하여 상기 평균치 추정기에서 출력되는 평균값을 유지하는 메모리수단을 포함하는 것을 특징으로 하는 심벌 타이밍 복구 회로.

### 청구항 14.

제 12항에 있어서, 상기 제어 신호 발생부는

캐리어 감지 신호의 발생시점부터 카운팅을 시작하여 상기 카운트 값이 상기 윈도우 크기의 배수가 될 때마다 상기 리셋 신호를 활성화하고, 상기 카운트 값이 상기 윈도우 크기 보다 크고 상기 리셋 신호가 비활성화된 경우에 상기 홀드 신호를 활성화하는 것을 특징으로 하는 심벌 타이밍 복구 회로.

### 청구항 15.

제 11항에 있어서, 상기 입력 샘플들은

한 심벌당 4개인 것을 특징으로 하는 심벌 타이밍 복구 회로.

### 청구항 16.

제 15항에 있어서, 상기 제어부는

상기 정수 타이밍 오프셋이 1에서 2로 변하는 경우에는 현재 위치에서 4샘플 앞선 상기 연속하는 4개의 입력 샘플들을 선택하고, 상기 정수 타이밍 오프셋이 2에서 1로 변하는 경우에는 상기 현재 위치에서 4샘플 뒤진 상기 연속하는 4개의 입력 샘플들을 선택하는 것을 특징으로 하는 심벌 타이밍 복구 회로.

### 청구항 17.

제 15항에 있어서, 상기 복수의 쉬프트 레지스터들의 수는

19개인 것을 특징으로 하는 심벌 타이밍 복구 회로.

### 청구항 18.

제 15항에 있어서, 상기 보간기는

상기 출력 샘플들을 4대 1로 데시메이션하는 데시메이터를 더 구비하는 것을 특징으로 하는 심벌 타이밍 복구 회로.

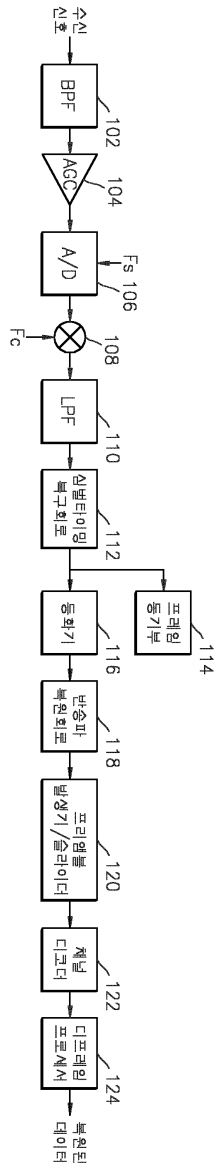
### 청구항 19.

제 15항에 있어서, 상기 보간기는

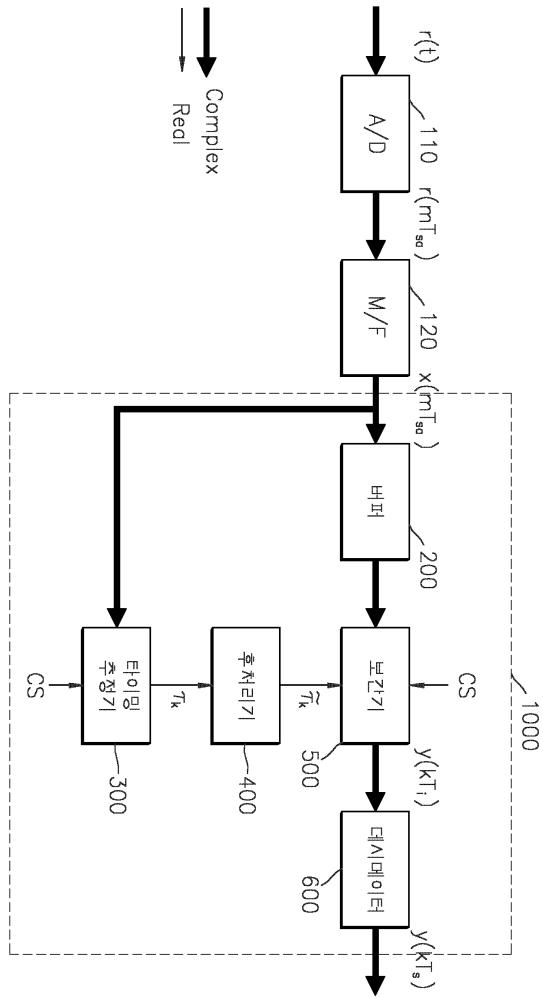
소정의 타이밍 오프셋에 4를 곱한 값을 정수와 소수로 각각 분리하여 상기 정수 타이밍 오프셋과 상기 소수 타이밍 오프셋을 출력하는 타이밍 오프셋 분류기를 더 구비하는 것을 특징으로 하는 심벌 타이밍 복구 회로.

도면

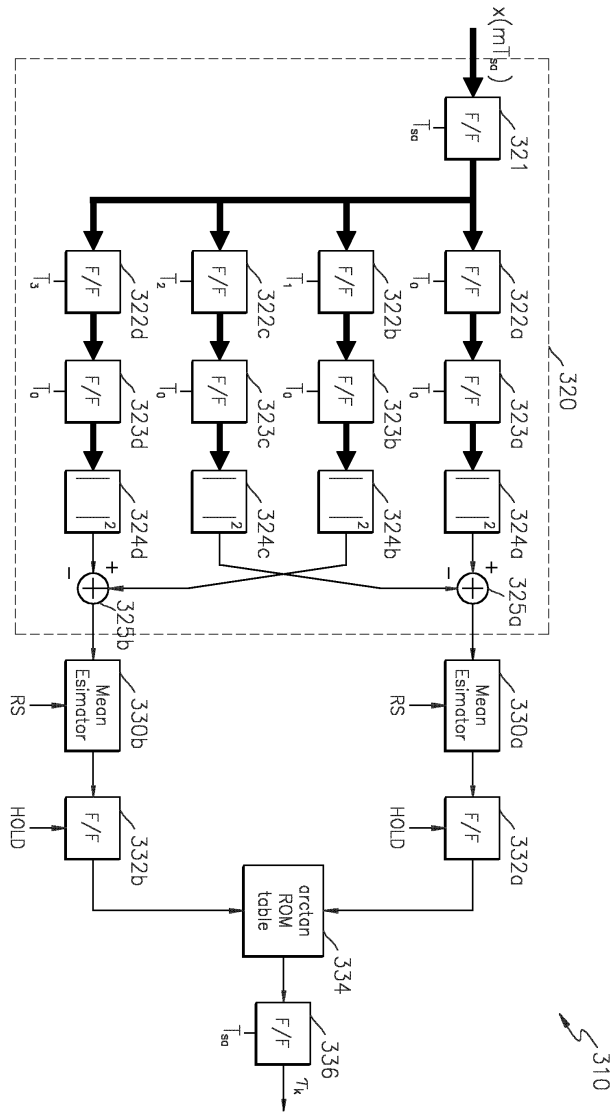
도면1



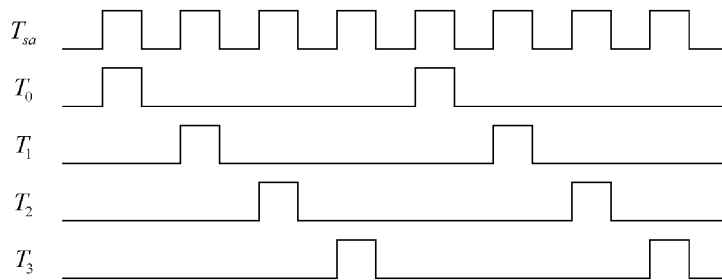
도면2



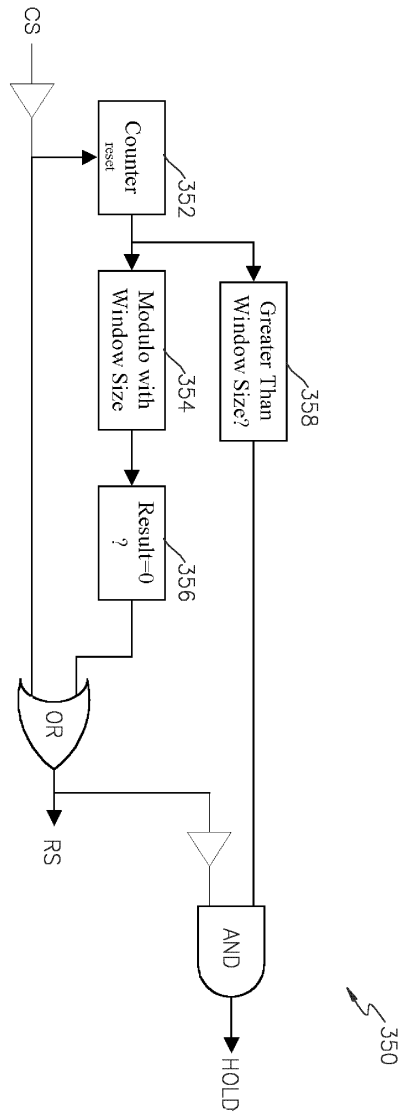
도면3



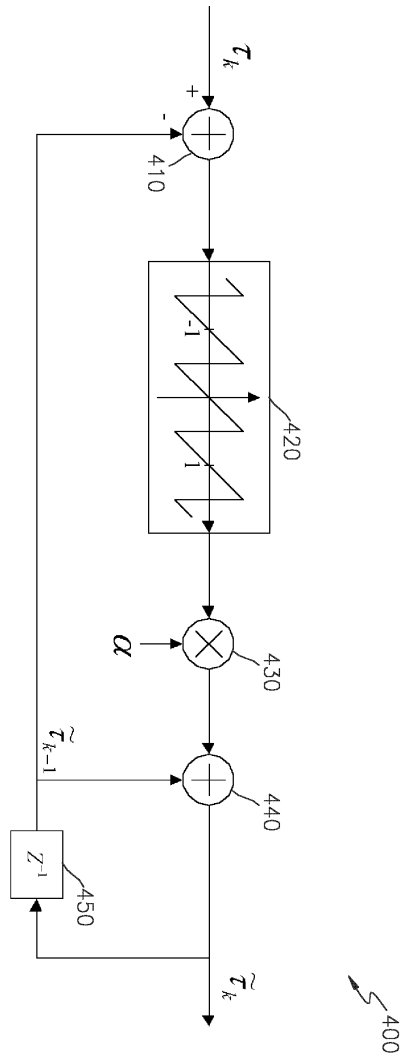
도면4



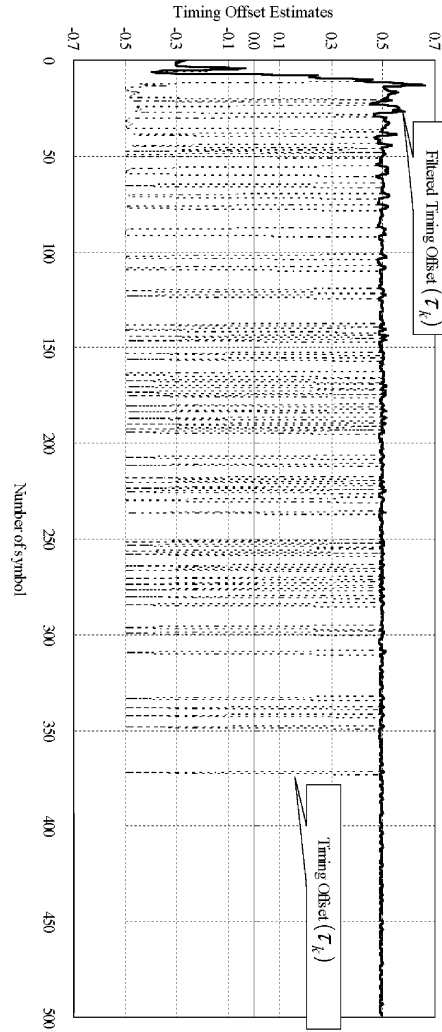
도면5



도면6



도면7



도면8

샘플	타이밍 오프셋	타이밍 오프셋 $\times 4$	정수 타이밍 오프셋	소수 타이밍 오프셋	샘플링 포인트
0	0	0	0	0.0	2
1	0.0625	0.25	0	0.25	2
2	0.125	0.5	0	0.5	2
3	0.1875	0.75	0	0.75	2
4	0.25	1.0	1	0.0	3
5	0.3125	1.25	1	0.25	3
6	0.375	1.5	1	0.5	3
7	0.4375	1.75	1	0.75	3
8	0.5	2.0	2	0.0	0
9	0.5625	2.25	2	0.25	0
10	0.625	2.5	2	0.5	0
11	0.6875	2.75	2	0.75	0
12	0.75	3.0	3	0.0	1
13	0.8125	3.25	3	0.25	1
14	0.875	3.5	3	0.5	1
15	0.9375	3.75	3	0.75	1



도면9

