



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0011545  
(43) 공개일자 2021년02월02일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 27/12 (2006.01)  
H01L 51/52 (2006.01)  
(52) CPC특허분류  
H01L 27/3262 (2013.01)  
H01L 27/1214 (2013.01)  
(21) 출원번호 10-2019-0088340  
(22) 출원일자 2019년07월22일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
이승찬  
경기도 화성시 동탄숲속로 66, 동탄숲속마을자연  
엔데시아아파트 871동 1004호 (능동)  
김건희  
서울특별시 송파구 송파대로 345, 헬리오시티 41  
8동 201호 (가락동)  
(74) 대리인  
특허법인가산

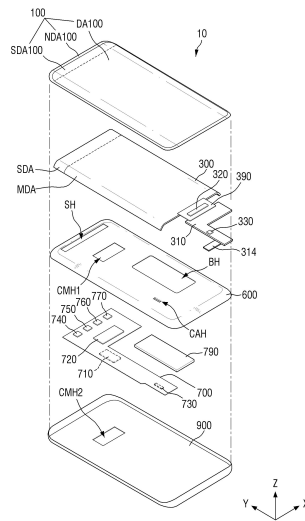
전체 청구항 수 : 총 33 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치가 제공된다. 표시 장치는 일반 영역과 센서 영역을 포함하는 표시 패널, 및 상기 표시 패널의 두께 방향에서 상기 표시 패널의 센서 영역에 중첩하는 센서 장치를 구비하고, 상기 표시 패널은 상기 센서 영역에 배치되는 제1 서브 화소들, 및 상기 일반 영역에 배치되는 제2 서브 화소들을 더 포함하며, 상기 제1 서브 화소들 각각의 트랜지스터들의 개수는 상기 제2 서브 화소들 각각의 트랜지스터들의 개수의 상이하다.

대표도 - 도2



(52) CPC특허분류

*H01L 27/3211* (2013.01)

*H01L 27/3276* (2013.01)

*H01L 51/52* (2013.01)

(72) 발명자

**홍성진**

서울특별시 서초구 서초대로38길 12,  
마제스타시티, 힐스테이트서리풀 101동 502호 (서초  
동)

**고유민**

경기도 수원시 권선구 권광로 55, 권선자이이편한  
세상 120동 1104호 (권선동)

## 명세서

### 청구범위

#### 청구항 1

일반 영역과 센서 영역을 포함하는 표시 패널; 및

상기 표시 패널의 두께 방향에서 상기 표시 패널의 센서 영역에 중첩하는 센서 장치를 구비하고,

상기 표시 패널은,

상기 센서 영역에 배치되는 제1 서브 화소들; 및

상기 일반 영역에 배치되는 제2 서브 화소들을 더 포함하며,

상기 제1 서브 화소들 각각의 트랜지스터들의 개수는 상기 제2 서브 화소들 각각의 트랜지스터들의 개수의 상이한 표시 장치.

#### 청구항 2

제1 항에 있어서,

상기 제1 서브 화소들 중 제1 서브 화소의 상기 트랜지스터들의 개수는 상기 제2 서브 화소들 중 제2 서브 화소의 상기 복수의 트랜지스터들의 개수보다 적은 표시 장치.

#### 청구항 3

제2 항에 있어서,

상기 표시 패널은 스캔 라인들, 데이터 라인들, 및 발광 라인들을 더 포함하며,

상기 제1 서브 화소와 상기 제2 서브 화소 각각은,

게이트 전극에 인가된 데이터 전압에 따라 제1 전극으로부터 제2 전극으로 흐르는 구동 전류를 제어하는 구동 트랜지스터;

상기 구동 트랜지스터의 제2 전극에 접속되는 발광 소자;

상기 스캔 라인들 중 어느 한 스캔 라인의 스캔 신호에 의해 턴-온되어 상기 구동 트랜지스터의 상기 게이트 전극과 초기화 전압이 인가되는 초기화 전압 라인을 접속시키는 제1 트랜지스터;

상기 스캔 라인들 중 또 다른 스캔 라인의 스캔 신호에 의해 턴-온되어 상기 구동 트랜지스터의 상기 제1 전극과 상기 데이터 라인들 중 어느 한 데이터 라인을 접속시키는 제2 트랜지스터;

상기 또 다른 스캔 라인의 스캔 신호에 의해 턴-온되어 상기 구동 트랜지스터의 상기 제1 전극과 상기 구동 트랜지스터의 상기 제2 전극을 접속시키는 제3 트랜지스터;

상기 발광 라인들 중 어느 한 발광 라인의 발광 신호에 의해 턴-온되어 상기 구동 트랜지스터의 상기 제1 전극과 제1 구동 전압이 인가되는 제1 구동 전압 라인을 접속시키는 제4 트랜지스터; 및

상기 어느 한 발광 라인의 발광 신호에 의해 턴-온되어 상기 구동 트랜지스터의 제2 전극과 상기 발광 소자를 접속시키는 제5 트랜지스터를 포함하는 표시 장치.

#### 청구항 4

제3 항에 있어서,

상기 제2 서브 화소는 상기 또 다른 스캔 라인의 스캔 신호에 의해 턴-온되어 상기 발광 소자의 제1 전극과 상기 초기화 전압 라인을 접속시키는 제6 트랜지스터를 더 포함하는 표시 장치.

#### 청구항 5

제1 항에 있어서,

상기 표시 패널은 상기 제1 서브 화소들 및 상기 제2 서브 화소들과 중첩하며, 스캔 신호들이 인가되는 스캔 라인들을 더 포함하며,

상기 제1 서브 화소들 각각에 중첩하는 스캔 라인들의 개수는 상기 제2 서브 화소들 각각에 중첩하는 스캔 라인들의 개수와 상이한 표시 장치.

#### 청구항 6

제5 항에 있어서,

상기 제1 서브 화소들 각각에 중첩하는 스캔 라인들의 개수는 상기 제2 서브 화소들 각각에 중첩하는 스캔 라인들의 개수보다 적은 표시 장치.

#### 청구항 7

제6 항에 있어서,

상기 표시 패널은 상기 센서 영역에 배치되며, 상기 제1 서브 화소들과 중첩하지 않는 투과부를 더 포함하는 표시 장치.

#### 청구항 8

제7 항에 있어서,

상기 투과부는 상기 제1 서브 화소들에 의해 둘러싸인 표시 장치.

#### 청구항 9

제7 항에 있어서,

상기 표시 패널은 상기 투과부와 상기 제1 서브 화소들 사이에 배치된 배선 영역에서 상기 스캔 라인들 중 어느 한 스캔 라인에 접속되며, 상기 스캔 라인들과 다른 층에 배치되는 제1 스캔 연결 라인을 더 포함하는 표시 장치.

#### 청구항 10

제9 항에 있어서,

상기 표시 패널은 상기 어느 한 스캔 라인과 상기 제1 스캔 연결 라인 사이에 배치되는 절연막을 포함하며,

상기 제1 스캔 연결 라인은 상기 절연막을 관통하는 콘택홀을 통해 상기 어느 한 스캔 라인에 접속되는 표시 장치.

#### 청구항 11

제9 항에 있어서,

상기 표시 패널은,

상기 제1 서브 화소들 및 상기 제2 서브 화소들과 중첩하며, 초기화 전압이 인가되는 초기화 전압 라인들;

상기 제1 서브 화소들 및 상기 제2 서브 화소들과 중첩하며, 데이터 전압들이 인가되는 데이터 라인들; 및

상기 제1 서브 화소들 및 상기 제2 서브 화소들과 중첩하며, 제1 구동 전압이 인가되는 제1 구동 전압 라인들을 포함하는 표시 장치.

#### 청구항 12

제11 항에 있어서,

상기 표시 패널은 상기 배선 영역에서 상기 제1 구동 전압 라인들 중 어느 한 제1 구동 전압 라인에 접속되며, 상기 제1 구동 전압 라인들과 상이한 층에 배치되는 전원 연결 라인을 더 포함하는 표시 장치.

**청구항 13**

제11 항에 있어서,

상기 데이터 라인들 중 어느 한 데이터 라인은 상기 배선 영역에서 상기 초기화 전압 라인들 중 어느 한 초기화 전압 라인 또는 상기 제1 스캔 연결 라인과 중첩하는 표시 장치.

**청구항 14**

제12 항에 있어서,

상기 전원 연결 라인은 상기 스캔 라인들 중 또 다른 스캔 라인과 중첩하는 표시 장치.

**청구항 15**

제12 항에 있어서,

상기 표시 패널은 상기 어느 한 제1 구동 전압 라인과 상기 전원 연결 라인 사이에 배치되는 절연막을 포함하며,

상기 전원 연결 라인은 상기 절연막을 관통하는 콘택홀을 통해 상기 어느 한 제1 구동 전압 라인에 접속되는 표시 장치.

**청구항 16**

제12 항에 있어서,

상기 전원 연결 라인은 상기 데이터 라인들과 상기 제1 구동 전압 라인들 상에 배치되고, 상기 데이터 라인들과 상기 제1 구동 전압 라인들은 상기 초기화 전압 라인들과 상기 제1 스캔 연결 라인 상에 배치되며, 상기 초기화 전압 라인들과 상기 제1 스캔 연결 라인은 상기 스캔 라인들 상에 배치되는 표시 장치.

**청구항 17**

제12 항에 있어서,

상기 표시 패널은 상기 배선 영역에서 상기 초기화 전압 라인들 중 어느 한 초기화 전압 라인에 접속되며, 상기 초기화 전압 라인들과 상이한 층에 배치되는 초기화 연결 라인을 더 포함하는 표시 장치.

**청구항 18**

제17 항에 있어서,

상기 데이터 라인들 중 어느 한 데이터 라인은 상기 배선 영역에서 상기 초기화 연결 라인 또는 상기 제1 스캔 연결 라인과 중첩하는 표시 장치.

**청구항 19**

제17 항에 있어서,

상기 표시 패널은 상기 어느 한 초기화 전압 라인과 상기 초기화 연결 라인 사이에 배치되는 절연막을 포함하며,

상기 초기화 연결 라인은 상기 절연막을 관통하는 콘택홀을 통해 상기 어느 한 초기화 전압 라인에 접속되는 표시 장치.

**청구항 20**

제17 항에 있어서,

상기 전원 연결 라인은 상기 데이터 라인들과 상기 제1 구동 전압 라인들 상에 배치되고, 상기 데이터 라인들과 상기 제1 구동 전압 라인들은 상기 스캔 라인들 상에 배치되며, 상기 스캔 라인들은 상기 초기화 연결 라인과 상기 제1 스캔 연결 라인 상에 배치되는 표시 장치.

**청구항 21**

제12 항에 있어서,

상기 표시 패널은,

상기 스캔 라인들 중 또 다른 스캔 라인에 접속되며, 상기 스캔 라인들과 상이한 층에 배치되는 제2 스캔 연결 라인;

상기 제1 서브 화소들 및 상기 제2 서브 화소들과 중첩하며, 발광 신호들이 인가되는 발광 라인들; 및

상기 발광 라인들 중 어느 한 발광 라인에 접속되며, 상기 발광 라인들과 상이한 층에 배치되는 발광 연결 라인을 더 포함하는 표시 장치.

**청구항 22**

제21 항에 있어서,

상기 데이터 라인들 중 어느 한 데이터 라인은 상기 배선 영역에서 상기 제2 스캔 연결 라인과 중첩하고, 또 다른 데이터 라인은 상기 발광 연결 라인과 중첩하는 표시 장치.

**청구항 23**

제21 항에 있어서,

상기 제2 스캔 연결 라인과 상기 발광 연결 라인은 동일한 층에 배치되는 표시 장치.

**청구항 24**

제21 항에 있어서,

상기 전원 연결 라인은 상기 데이터 라인들과 상기 제1 구동 전압 라인들 상에 배치되고, 상기 데이터 라인들과 상기 제1 구동 전압 라인들은 상기 초기화 전압 라인들과 상기 제1 스캔 연결 라인 상에 배치되며, 상기 초기화 전압 라인들과 상기 제1 스캔 연결 라인은 상기 스캔 라인들과 상기 발광 라인들 상에 배치되며, 상기 스캔 라인들과 상기 발광 라인들은 상기 제2 스캔 연결 라인과 상기 발광 연결 라인 상에 배치되는 표시 장치.

**청구항 25**

제11 항에 있어서,

상기 표시 패널은 상기 제1 구동 전압 라인들과 연결되는 전압 연결 라인을 더 포함하는 표시 장치.

**청구항 26**

제25 항에 있어서,

상기 제1 구동 전압 라인들은 제1 방향으로 연장되고, 상기 전압 연결 라인은 제2 방향으로 연장되는 표시 장치.

**청구항 27**

제25 항에 있어서,

상기 전압 연결 라인은 상기 제1 구동 전압 라인들 상에 배치되는 표시 장치.

**청구항 28**

제25 항에 있어서,

상기 제1 구동 전압 라인들은 상기 전압 연결 라인 상에 배치되는 표시 장치.

**청구항 29**

제28항에 있어서,

상기 전압 연결 라인은 상기 초기화 전압 라인들과 동일한 층에 배치되고, 상기 스캔 라인들 상에 배치되는 표시 장치.

**청구항 30**

제28항에 있어서,

상기 초기화 전압 라인들은 상기 전압 연결 라인 상에 배치되고, 상기 스캔 라인들과 동일한 층에 배치되는 표시 장치.

**청구항 31**

제25 항에 있어서,

상기 제1 구동 전압 라인들은 상기 전압 연결 라인과 동일한 층에 배치되는 표시 장치.

**청구항 32**

일반 영역과 센서 영역을 포함하는 표시 패널; 및

상기 표시 패널의 두께 방향에서 상기 표시 패널의 센서 영역에 중첩하는 센서 장치를 구비하고,

상기 표시 패널은,

상기 센서 영역에 배치되는 제1 서브 화소들;

상기 일반 영역에 배치되는 제2 서브 화소들;

상기 제1 서브 화소들과 중첩하며, 제1 구동 전압이 인가되는 제1 구동 전압 라인; 및

상기 제1 구동 전압 라인에 접속되며, 상기 제1 구동 전압 라인과 상이한 층에 배치되는 전원 연결 라인을 구비하는 표시 장치.

**청구항 33**

투과부;

상기 투과부를 둘러싸는 복수의 서브 화소들;

상기 서브 화소들에 연결되는 제1 도전 라인; 및

상기 투과부와 상기 복수의 서브 화소들 사이에 배치되는 배선 영역에서 상기 제1 도전 라인에 연결되는 제2 도전 라인을 구비하고,

상기 제1 도전 라인은 상기 제2 도전 라인과 상이한 층에 배치되는 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시 장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있다. 예를 들어, 표시 장치는 스마트폰, 디지털 카메라, 노트북 컴퓨터, 네비게이션, 및 스마트 텔레비전과 같이 다양한 전자기기에 적용되고 있다. 표시 장치는 영상을 표시하기 위해 스캔 라인들, 데이터 라인들, 및 전원 라인들에 연결되는 복수의 화소들을 포함하는 표시 패널을 포함할 수 있다. 또한, 표시 장치는 사용자가 표시 장치의 전면(前面)에 근접하게 위치하는지를 감지하기 위한 근접 센서, 표시 장치의 전면(前面)의 조도를 감지하기 위한 조도 센서, 사용자의 홍채를 인식하기 위한 홍채 센서 등 다양한 센서 장치들을 포함할 수 있다. 센서 장치들은 표시 패널과 중첩하지 않는 표시 장치의 전면(前面)에 배치되는 홀들에 각각 배치될 수 있다.

[0003] 표시 장치가 다양한 전자기기에 적용됨에 따라, 다양한 디자인을 갖는 표시 장치가 요구되고 있다. 예를 들어,

스마트폰의 경우, 표시 장치의 전면(前面)에 배치되는 홀들을 삭제함으로써, 표시 영역을 넓힐 수 있는 표시 장치가 요구되고 있다. 이 경우, 표시 장치의 전면(前面)에 배치되는 홀에 배치되었던 센서 장치들은 표시 패널에 중첩하여 배치될 수 있다. 하지만, 센서 장치들이 표시 패널에 중첩하여 배치되는 경우, 표시 패널의 화소들, 스캔 라인들, 데이터 라인들, 및 전원 라인들에 의해 가려지므로, 센서 장치들 각각의 감지 능력은 낮아질 수 있다.

### 발명의 내용

#### 해결하려는 과제

- [0004] 본 발명이 해결하고자 하는 과제는 센서 장치들이 표시 패널에 중첩하여 배치되는 경우에도 센서 장치들 각각의 감지 능력이 낮아지는 것을 방지하거나 줄일 수 있는 표시 장치를 제공하고자 하는 것이다.
- [0005] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

#### 과제의 해결 수단

- [0006] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 일반 영역과 센서 영역을 포함하는 표시 패널, 및 상기 표시 패널의 두께 방향에서 상기 표시 패널의 센서 영역에 중첩하는 센서 장치를 구비하고, 상기 표시 패널은 상기 센서 영역에 배치되는 제1 서브 화소들, 및 상기 일반 영역에 배치되는 제2 서브 화소들을 더 포함하며, 상기 제1 서브 화소들 각각의 트랜지스터들의 개수는 상기 제2 서브 화소들 각각의 트랜지스터들의 개수의 상이하다.
- [0007] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 일반 영역과 센서 영역을 포함하는 표시 패널, 및 상기 표시 패널의 두께 방향에서 상기 표시 패널의 센서 영역에 중첩하는 센서 장치를 구비하고, 상기 표시 패널은 상기 센서 영역에 배치되는 제1 서브 화소들, 상기 일반 영역에 배치되는 제2 서브 화소들, 상기 제1 서브 화소들과 중첩하며, 제1 구동 전압이 인가되는 제1 구동 전압 라인, 및 상기 제1 구동 전압 라인에 접속되며, 상기 제1 구동 전압 라인과 상이한 층에 배치되는 전원 연결 라인을 구비한다.
- [0008] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 투과부, 상기 투과부를 둘러싸는 복수의 서브 화소들, 상기 서브 화소들에 연결되는 제1 도전 라인, 및 상기 투과부와 상기 복수의 서브 화소들 사이에 배치되는 배선 영역에서 상기 제1 도전 라인에 연결되는 제2 도전 라인을 구비하고, 상기 제1 도전 라인은 상기 제2 도전 라인과 상이한 층에 배치된다.
- [0009] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

#### 발명의 효과

- [0010] 실시예들에 따른 표시 장치에 의하면, 표시 패널의 센서 영역이 광을 투과시키는 투과 영역들을 포함하므로, 센서 장치들이 표시 패널의 두께 방향에서 센서 영역에 중첩하게 배치되더라도, 표시 장치의 상면으로부터의 광은 투과 영역들을 통해 표시 패널의 하면 상에 배치되는 센서 장치들에 입사될 수 있다. 그러므로, 센서 장치들 각각의 감지 능력이 낮아지는 것을 방지하거나 줄일 수 있다.
- [0011] 실시예들에 따른 표시 장치에 의하면, 제1 서브 화소에서는 제6 트랜지스터가 생략되므로, 배선 영역이 제6 트랜지스터가 생략된 영역에 배치될 수 있으므로, 투과 영역이 넓어질 수 있다.
- [0012] 실시예들에 따른 표시 장치에 의하면, 배선 영역에서 서로 인접한 배선들이 다른 층에 배치되는 경우, 서로 인접한 배선들의 간격은 배선 영역에서 서로 인접한 배선들이 동일한 층에 배치될 때에 비해, 좁게 형성될 수 있으므로, 투과 영역이 넓어질 수 있다.
- [0013] 실시예들에 따른 표시 장치에 의하면, 제1 구동 전압 라인들을 전압 연결 라인에 연결함으로써, 투과 영역의 일 측에 배치된 화소 영역의 제1 구동 전압 라인들이 배선 영역을 통해 투과 영역의 타 측에 배치된 화소 영역의 제1 구동 전압 라인들과 연결될 필요가 없다. 그러므로, 배선 영역에서 제1 구동 전압 라인들이 생략될 수 있으므로, 배선들의 배치가 간소화될 수 있다.
- [0014] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.



**도면의 간단한 설명**

[0015]

- 도 1은 일 실시예에 따른 표시 장치를 보여주는 사시도이다.
- 도 2는 일 실시예에 따른 표시 장치를 보여주는 분해 사시도이다.
- 도 3은 일 실시예에 따른 표시 패널을 보여주는 평면도이다.
- 도 4는 일 실시예에 따른 표시 패널과 표시 구동 회로를 보여주는 블록도이다.
- 도 5는 센서 영역의 제1 서브 화소들, 스캔 라인들, 데이터 라인들, 및 제1 구동 전압 라인들의 일 예를 보여주는 평면도이다.
- 도 6은 일반 영역의 제2 서브 화소들, 스캔 라인들, 데이터 라인들, 및 제1 구동 전압 라인들의 일 예를 보여주는 평면도이다.
- 도 7은 제1 서브 화소의 일 예를 보여주는 회로도이다.
- 도 8은 제2 서브 화소의 일 예를 보여주는 회로도이다.
- 도 9는 도 7의 제1 서브 화소의 일 예를 보여주는 평면도이다.
- 도 10은 도 8의 제2 서브 화소의 일 예를 보여주는 평면도이다.
- 도 11은 도 9와 도 10의 I-I'의 일 예를 보여주는 단면도이다.
- 도 12는 도 9의 II-II'의 일 예를 보여주는 단면도이다.
- 도 13은 도 10의 III-III'의 일 예를 보여주는 단면도이다.
- 도 14는 도 5의 A 영역의 일 예를 보여주는 평면도이다.
- 도 15는 도 14의 IV-IV'의 일 예를 보여주는 단면도이다.
- 도 16은 도 5의 A 영역의 일 예를 보여주는 평면도이다.
- 도 17은 도 16의 VIII-VIII'의 일 예를 보여주는 단면도이다.
- 도 18은 도 5의 A 영역의 일 예를 보여주는 평면도이다.
- 도 19는 도 18의 V-V'의 일 예를 보여주는 단면도이다.
- 도 20은 도 5의 A 영역의 일 예를 보여주는 평면도이다.
- 도 21은 도 20의 VI-VI'의 일 예를 보여주는 단면도이다.
- 도 22는 센서 영역의 화소들, 스캔 라인들, 데이터 라인들, 및 제1 구동 전압 라인들의 일 예를 보여주는 평면도이다.
- 도 23은 도 22의 B 영역의 일 예를 보여주는 평면도이다.
- 도 24는 도 23의 VII-VII'의 일 예를 보여주는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0016]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0017]

소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다.

- [0018] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0019] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0020] 이하 첨부된 도면을 참조하여 구체적인 실시예들에 대해 설명한다.
- [0021] 도 1은 일 실시예에 따른 표시 장치를 보여주는 사시도이다. 도 2는 일 실시예에 따른 표시 장치의 분해 사시도이다.
- [0022] 도 1 및 도 2를 참조하면, 일 실시예에 따른 표시 장치(10)는 커버 윈도우(100), 표시 패널(300), 표시 회로 보드(310), 표시 구동 회로(320), 연성 필름(390), 브라켓(bracket, 600), 메인 회로 보드(700), 센서 장치들(740, 750, 760, 770), 및 하부 커버(900)를 포함한다.
- [0023] 본 명세서에서, “상부”는 표시 패널(300)을 기준으로 커버 윈도우(100)가 배치되는 방향, 즉 Z축 방향을 가리키고, “하부”는 표시 패널(300)을 기준으로 브라켓(600)이 배치되는 방향, 즉 Z축 방향의 반대 방향을 가리킨다. 또한, “좌”, “우”, “상”, “하”는 표시 패널(300)을 평면에서 바라보았을 때의 방향을 가리킨다. 예를 들어, “좌”는 X축 방향의 반대 방향, “우”는 X축 방향, “상”은 Z축 방향, “하”는 Z축 방향의 반대 방향을 가리킨다.
- [0024] 표시 장치(10)는 동영상이나 정지영상을 표시하는 장치로서, 모바일 폰(mobile phone), 스마트 폰(smart phone), 태블릿 PC(tablet personal computer), 및 스마트 워치(smart watch), 워치 폰(watch phone), 이동 통신 단말기, 전자 수첩, 전자 책, PMP(portable multimedia player), 네비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기뿐만 아니라, 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷(internet of things, IOT) 등의 다양한 제품의 표시 화면으로 사용될 수 있다.
- [0025] 표시 장치(10)는 평면 상 직사각형 형태로 이루어질 수 있다. 예를 들어, 표시 장치(10)는 도 1 및 도 2와 같이 제1 방향(X축 방향)의 단변과 제2 방향(Y축 방향)의 장변을 갖는 직사각형의 평면 형태를 가질 수 있다. 제1 방향(X축 방향)의 단변과 제2 방향(Y축 방향)의 장변이 만나는 코너(corner)는 소정의 곡률을 갖도록 둥글게 형성되거나 직각으로 형성될 수 있다. 표시 장치(10)의 평면 형태는 직사각형에 한정되지 않고, 다른 다각형, 원형 또는 타원형으로 형성될 수 있다.
- [0026] 표시 장치(10)는 평탄하게 형성된 제1 영역(DR1)과 제1 영역(DR1)의 좌우 측들로부터 연장된 제2 영역(DR2)을 포함할 수 있다. 제2 영역(DR2)은 평탄하게 형성되거나 곡면으로 형성될 수 있다. 제2 영역(DR2)이 평탄하게 형성되는 경우, 제1 영역(DR1)과 제2 영역(DR2)이 이루는 각도는 둔각일 수 있다. 제2 영역(DR2)이 곡면으로 형성되는 경우, 일정한 곡률을 갖거나 변화하는 곡률을 가질 수 있다.
- [0027] 도 1에서는 제2 영역(DR2)이 제1 영역(DR1)의 좌우 측들 각각에서 연장된 것을 예시하였으나, 이에 한정되지 않는다. 즉, 제2 영역(DR2)은 제1 영역(DR1)의 좌우 측들 중 어느 한 측에서만 연장될 수 있다. 또는, 제2 영역(DR2)은 제1 영역(DR1)의 좌우 측들뿐만 아니라 상하 측들 중 적어도 어느 하나에서도 연장될 수 있다. 이하에서는, 제2 영역(DR2)이 표시 장치(10)의 좌우 측 가장자리에 배치된 것을 중심으로 설명한다.
- [0028] 커버 윈도우(100)는 표시 패널(300)의 상면을 커버하도록 표시 패널(300)의 상부에 배치될 수 있다. 이로 인해, 커버 윈도우(100)는 표시 패널(300)의 상면을 보호하는 기능을 할 수 있다.
- [0029] 커버 윈도우(100)는 제1 영역(DR1)과 제2 영역(DR2)들에 배치될 수 있다. 커버 윈도우(100)는 표시 패널(300)에 대응하는 제1 투과부(DA100)와 제2 투과부(SDA100), 및 표시 패널(300) 이외의 영역에 대응하는 차광부(NDA100)를 포함할 수 있다. 제2 투과부(SDA100)는 제1 투과부(DA100)의 일 측, 예를 들어 도 1 및 도 2와 같이 상 측에 배치될 수 있다. 제1 투과부(DA100)와 제2 투과부(SDA100)는 제1 영역(DR1)과 제2 영역(DR2)에 배치될 수 있다. 차광부(NDA100)는 불투명하게 형성될 수 있다. 또는, 차광부(NDA100)는 화상을 표시하지 않는 경우에 사용자에게 보여줄 수 있는 패턴이 형성된 테코층으로 형성될 수 있다.
- [0030] 표시 패널(300)은 커버 윈도우(100)의 하부에 배치될 수 있다. 표시 패널(300)은 제1 영역(DR1)과 제2 영역(DR2)들에 배치될 수 있다. 이로 인해, 표시 패널(300)이 표시하는 영상은 커버 윈도우(100)를 통해 제1 영역

(DR1)뿐만 아니라 제2 영역(DR2)들에서도 보일 수 있다. 즉, 표시 패널(300)이 표시하는 영상은 커버 윈도우(100)를 통해 표시 장치(10)의 상면과 좌우측 가장자리에서 보일 수 있다.

- [0031] 표시 패널(300)은 일반 영역(MDA)과 센서 영역(SDA)을 포함할 수 있다. 일반 영역(MDA)은 커버 윈도우(100)의 제1 투과부(DA100)와 중첩하게 배치될 수 있다. 센서 영역(SDA)은 커버 윈도우(100)의 제2 투과부(SDA100)와 중첩되게 배치될 수 있다. 센서 영역(SDA)은 일반 영역(MDA)의 일 측, 예를 들어 도 2와 같이 상 측에 배치될 수 있으나, 이에 한정되지 않는다. 예를 들어, 센서 영역(SDA)은 일반 영역(MDA)에 의해 둘러싸이도록 배치될 수 있고, 표시 패널(300)의 코너에 인접하게 배치될 수 있다. 또한, 도 2에서는 표시 패널(300)이 하나의 센서 영역(SDA)을 포함하는 것을 예시하였으나, 이에 한정되지 않는다. 예를 들어, 표시 패널(300)은 복수의 센서 영역(SDA)들을 포함할 수 있다.
- [0032] 표시 패널(300)은 발광 소자(light emitting element)를 포함하는 발광 표시 패널일 수 있다. 예를 들어, 표시 패널(300)은 유기 발광층을 포함하는 유기 발광 다이오드(organic light emitting diode)를 이용하는 유기 발광 표시 패널, 및 초소형 발광 다이오드(micro LED)를 이용하는 초소형 발광 다이오드 표시 패널, 양자점 발광층을 포함하는 양자점 발광 소자(Quantum dot Light Emitting Diode)를 이용하는 양자점 발광 표시 패널, 또는 무기 반도체를 포함하는 무기 발광 소자를 이용하는 무기 발광 표시 패널일 수 있다. 이하에서는, 표시 패널(300)이 유기 발광 표시 패널인 것을 중심으로 설명한다.
- [0033] 표시 패널(300)의 일 측에는 표시 회로 보드(310)와 표시 구동 회로(320)가 부착될 수 있다. 표시 회로 보드(310)의 일 단은 이방성 도전 필름을 이용하여 표시 패널(300)의 일 측에 마련된 패드들 상에 부착될 수 있다. 표시 회로 보드(310)는 구부러질 수 있는 연성 인쇄 회로 보드(flexible printed circuit board), 단단하여 잘 구부러지지 않는 강성 인쇄 회로 보드(rigid printed circuit board), 또는 강성 인쇄 회로 보드와 연성 인쇄 회로 보드를 모두 포함하는 복합 인쇄 회로 보드일 수 있다.
- [0034] 표시 구동 회로(320)는 표시 회로 보드(310)를 통해 제어 신호들과 전원 전압들을 인가받고, 표시 패널(300)을 구동하기 위한 신호들과 전압들을 생성하여 출력한다. 표시 구동 회로(320)는 집적회로로 형성되어 표시 패널(300) 상에 COG(chip on glass) 방식, COP(chip on plastic) 방식 또는 초음파 방식으로 부착될 수 있으나, 이에 한정되지 않는다. 예를 들어, 표시 구동 회로(320)는 표시 회로 보드(310) 상에 부착될 수 있다.
- [0035] 표시 회로 보드(310) 상에는 터치 구동 회로(330)가 배치될 수 있다. 터치 구동 회로(330)는 집적회로로 형성되어 표시 회로 보드(310)의 상면에 부착될 수 있다. 터치 구동 회로(330)는 표시 회로 보드(310)를 통해 표시 패널(300)의 터치 센서층의 터치 전극들에 전기적으로 연결될 수 있다. 터치 구동 회로(330)는 터치 전극들 중 구동 전극들에 터치 구동 신호들을 인가하고, 터치 전극들 중 감지 전극들을 통해 구동 전극들과 감지 전극들 사이의 정전 용량들의 차지 변화량들을 감지함으로써, 사용자의 터치 좌표를 포함하는 터치 데이터를 출력할 수 있다. 또한, 표시 회로 보드(310) 상에는 표시 구동 회로(320)를 구동하기 위한 표시 구동 전압들을 공급하기 위한 전원 공급부(도 3의 340)가 추가로 배치될 수 있다.
- [0036] 연성 필름(390)의 일 측은 이방성 도전 필름(anisotropic conductive film)을 이용하여 표시 패널(300)의 하 측에서 표시 패널(300)의 상면 상에 부착될 수 있다. 연성 필름(390)의 타 측은 이방성 도전 필름을 이용하여 표시 회로 보드(310)의 상 측에서 표시 회로 보드(310)의 상면 상에 부착될 수 있다. 연성 필름(390)은 구부러질 수 있는 플렉시블 필름(flexible film)일 수 있다.
- [0037] 한편, 연성 필름(390)은 생략될 수 있으며, 표시 회로 보드(310)가 표시 패널(300)의 일 측에 직접 부착될 수 있다. 이 경우, 표시 패널(300)의 일 측은 표시 패널(300)의 하면으로 구부러져 배치될 수 있다.
- [0038] 표시 패널(300)의 하부에는 브라켓(600)이 배치될 수 있다. 브라켓(600)은 플라스틱, 금속, 또는 플라스틱과 금속을 모두 포함할 수 있다. 브라켓(600)에는 제1 카메라 센서(720)가 삽입되는 제1 카메라 홀(CMH1), 배터리가 배치되는 배터리 홀(BH), 표시 회로 보드(310)에 연결된 케이블(314)이 통과하는 케이블 홀(CAH), 및 센서 장치들(740, 750, 760, 770)이 배치되는 센서 홀(SH)이 형성될 수 있다. 또는, 브라켓(600)은 센서 홀(SH)을 포함하지 않는 대신에, 표시 패널(300)의 센서 영역(SDA)과 중첩하지 않도록 형성될 수 있다.
- [0039] 브라켓(600)의 하부에는 메인 회로 보드(700)와 배터리(790)가 배치될 수 있다. 메인 회로 보드(700)는 인쇄 회로 기판(printed circuit board) 또는 연성 인쇄 회로 기판일 수 있다.
- [0040] 메인 회로 보드(700)는 메인 프로세서(710), 제1 카메라 센서(720), 메인 커넥터(730), 및 센서 장치들(740, 750, 760, 770)을 포함할 수 있다. 제1 카메라 센서(720)는 메인 회로 보드(700)의 상면과 하면 모두에 배치되고, 메인 프로세서(710)는 메인 회로 보드(700)의 상면에 배치되며, 메인 커넥터(730)는 메인 회로 보드(700)의

하면에 배치될 수 있다. 센서 장치들(740, 750, 760, 770)은 메인 회로 보드(700)의 상면에 배치될 수 있다.

- [0041] 메인 프로세서(710)는 표시 장치(10)의 모든 기능을 제어할 수 있다. 예를 들어, 메인 프로세서(710)는 표시 패널(300)이 영상을 표시하도록 디지털 비디오 데이터를 표시 회로 보드(310)를 통해 표시 구동 회로(320)로 출력할 수 있다. 또한, 메인 프로세서(710)는 터치 구동 회로(330)로부터 터치 데이터를 입력 받고 사용자의 터치 좌표를 판단한 후, 사용자의 터치 좌표에 표시된 아이콘이 지시하는 어플리케이션을 실행할 수 있다.
- [0042] 메인 프로세서(710)는 센서 장치들(740, 750, 760, 770)로부터 입력되는 센서 신호들에 따라 표시 장치(10)를 제어할 수 있다. 예를 들어, 메인 프로세서(710)는 근접 센서(740)로부터 입력되는 근접 센서 신호에 따라 물체가 표시 장치(10)의 상면에 근접하게 위치하였는지를 판단할 수 있다. 메인 프로세서(710)는 사용자가 표시 장치(10)를 이용하여 상대방과 통화하는 통화 모드에서 물체가 표시 장치(10)의 상면에 근접하게 위치한 경우, 사용자에게 의해 터치가 실행되더라도 터치 좌표에 표시된 아이콘이 지시하는 어플리케이션을 실행하지 않을 수 있다.
- [0043] 메인 프로세서(710)는 조도 센서(750)로부터 입력되는 조도 센서 신호에 따라 표시 장치(10)의 상면의 밝기를 판단할 수 있다. 메인 프로세서(710)는 표시 장치(10)의 상면의 밝기에 따라 표시 패널(300)이 표시하는 영상의 휘도를 조절할 수 있다.
- [0044] 메인 프로세서(710)는 홍채 센서(760)로부터 입력되는 홍채 센서 신호에 따라 사용자의 홍채 이미지가 메모리에 미리 저장된 홍채 이미지와 동일한지를 판단할 수 있다. 메인 프로세서(710)는 사용자의 홍채 이미지가 메모리에 미리 저장된 홍채 이미지와 동일한 경우 표시 장치(10)의 잠금을 해제하고, 표시 패널(300)에 홈 화면을 표시할 수 있다.
- [0045] 제1 카메라 센서(720)는 이미지 센서에 의해 얻어지는 정지 영상 또는 동영상 등의 화상 프레임을 처리하여 메인 프로세서(710)로 출력한다. 제1 카메라 센서(720)는 CMOS 이미지 센서 또는 CCD 센서일 수 있다. 제1 카메라 센서(720)는 제2 카메라 홀(CMH2)에 의해 하부 커버(900)의 하면으로 노출될 수 있으며, 그러므로 표시 장치(10)의 하부에 배치된 사물이나 배경을 촬영할 수 있다.
- [0046] 메인 커넥터(730)에는 브라켓(600)의 케이블 홀(CAH)을 통과한 케이블(314)이 연결될 수 있다. 이로 인해, 메인 회로 보드(700)는 표시 회로 보드(310)에 전기적으로 연결될 수 있다.
- [0047] 센서 장치들(740, 750, 760)은 근접 센서(740), 조도 센서(750), 홍채 센서(760), 및 제2 카메라 센서(770)를 포함할 수 있다. 센서 장치들(740, 750, 760, 770)은 도 2에 도시된 바에 한정되지 않는다.
- [0048] 근접 센서(740)는 물체가 표시 장치(10)의 상면에 근접하게 위치하는지를 감지하기 위한 센서이다. 근접 센서(740)는 광을 출력하는 광원과 물체에 의해 반사된 광을 수신하는 광 수신부를 포함할 수 있다. 근접 센서(740)는 물체에 의해 반사된 광량에 따라 표시 장치(10)의 상면에 근접하게 위치하는 물체가 존재하는지를 판단할 수 있다. 근접 센서(740)는 표시 패널(300)의 두께 방향(Z축 방향)에서 센서 홀(SH), 표시 패널(300)의 센서 영역(SDA), 및 커버 윈도우(100)의 제2 투과부(SDA100)에 중첩하게 배치되므로, 표시 장치(10)의 상면에 근접하게 위치하는 물체가 존재하는지에 따라 근접 센서 신호를 생성하여 메인 프로세서(710)로 출력할 수 있다.
- [0049] 조도 센서(750)는 표시 장치의 상면의 밝기를 감지하기 위한 센서이다. 조도 센서(750)는 입사되는 광의 밝기에 따라 저항 값이 변하는 저항을 포함할 수 있다. 조도 센서(750)는 저항의 저항 값에 따라 표시 장치의 상면의 밝기를 판단할 수 있다. 조도 센서(750)는 표시 패널(300)의 두께 방향(Z축 방향)에서 센서 홀(SH), 표시 패널(300)의 센서 영역(SDA), 및 커버 윈도우(100)의 제2 투과부(SDA100)에 중첩하게 배치되므로, 표시 장치의 상면의 밝기에 따라 조도 센서 신호를 생성하여 메인 프로세서(710)로 출력할 수 있다.
- [0050] 홍채 센서(760)는 사용자의 홍채를 촬영한 이미지가 메모리에 미리 저장된 홍채 이미지와 동일한지를 감지하기 위한 센서이다. 홍채 센서(760)는 사용자의 홍채 이미지가 메모리에 미리 저장된 홍채 이미지와 동일한지에 따라 홍채 센서 신호를 생성하여 메인 프로세서(710)로 출력할 수 있다.
- [0051] 제2 카메라 센서(770)는 이미지 센서에 의해 얻어지는 정지 영상 또는 동영상 등의 화상 프레임을 처리하여 메인 프로세서(710)로 출력한다. 제2 카메라 센서(770)는 CMOS 이미지 센서 또는 CCD 센서일 수 있다. 제2 카메라 센서(770)의 화소 수는 제1 카메라 센서(720)의 화소 수보다 적을 수 있으며, 제2 카메라 센서(770)의 크기는 제1 카메라 센서(720)의 크기보다 작을 수 있다. 제2 카메라 센서(770)는 표시 패널(300)의 두께 방향(Z축 방향)에서 센서 홀(SH), 표시 패널(300)의 센서 영역(SDA), 및 커버 윈도우(100)의 제2 투과부(SDA100)에 중첩하게 배치되므로, 표시 장치(10)의 상부에 배치된 사물이나 배경을 촬영할 수 있다.

- [0052] 배터리(790)는 제3 방향(Z축 방향)에서 메인 회로 보드(700)와 중첩하지 않도록 배치될 수 있다. 배터리(790)는 브라켓(600)의 배터리 홀(BH)에 중첩할 수 있다.
- [0053] 이외, 메인 회로 보드(700)에는 이동 통신망 상에서 기지국, 외부의 단말, 서버 중 적어도 하나와 무선 신호를 송수신할 수 있는 이동 통신 모듈이 더 장착될 수 있다. 무선 신호는 음성 신호, 화상 통화 신호, 또는 문자/멀티미디어 메시지 송수신에 따른 다양한 형태의 데이터를 포함할 수 있다.
- [0054] 하부 커버(900)는 메인 회로 보드(700)와 배터리(790)의 하부에 배치될 수 있다. 하부 커버(900)는 브라켓(600)과 체결되어 고정될 수 있다. 하부 커버(900)는 표시 장치(10)의 하면 외관을 형성할 수 있다. 하부 커버(900)는 플라스틱, 금속, 또는 플라스틱과 금속을 모두 포함할 수 있다.
- [0055] 하부 커버(900)에는 제1 카메라 센서(720)의 하면이 노출되는 제2 카메라 홀(CMH2)이 형성될 수 있다. 제1 카메라 센서(720)의 위치와 제1 카메라 센서(720)에 대응되는 제1 및 제2 카메라 홀들(CMH1, CMH2)의 위치는 도 2에 도시된 실시예에 한정되지 않는다.
- [0056] 도 3은 일 실시예에 따른 표시 패널을 보여주는 평면도이다. 도 4는 일 실시예에 따른 표시 패널과 표시 구동 회로를 보여주는 블록도이다.
- [0057] 도 3 및 도 4를 참조하면, 표시 패널(300)은 제1 서브 화소(SP1)들을 포함하는 센서 영역(SDA), 제2 서브 화소(SP2)들을 포함하는 일반 영역(MDA), 및 서브 화소들(SP1, SP2)을 포함하지 않는 비표시 영역(NDA)을 포함할 수 있다. 센서 영역(SDA)과 일반 영역(MDA)에는 제1 및 제2 서브 화소들(SP1, SP2) 뿐만 아니라, 제1 및 제2 서브 화소들(SP1, SP2)에 접속되는 스캔 라인(SL)들, 발광 라인(ECL)들, 데이터 라인(DL)들, 및 제1 구동 전압 라인(VDDL)들이 배치될 수 있다. 스캔 라인(SL)들과 발광 라인(ECL)들은 제1 방향(X축 방향)으로 나란하게 형성되고, 데이터 라인(DL)들은 제1 방향(X축 방향)과 교차하는 제2 방향(Y축 방향)으로 나란하게 형성될 수 있다. 제1 구동 전압 라인(VDDL)들은 표시 영역(DA)에서 제2 방향(Y축 방향)으로 나란하게 형성될 수 있다. 표시 영역(DA)에서 제2 방향(Y축 방향)으로 나란하게 형성된 제1 구동 전압 라인(VDDL)들은 비표시 영역(NDA)에서 서로 연결될 수 있다.
- [0058] 제1 및 제2 서브 화소들(SP1, SP2) 각각은 스캔 라인(SL)들 중 적어도 어느 하나, 데이터 라인(DL)들 중 어느 하나, 발광 라인(ECL)들 중 적어도 하나, 제1 구동 전압 라인(VDDL)들 중 어느 하나에 접속될 수 있다. 도 3 및 도 4에서는 설명의 편의를 위해 제1 및 제2 서브 화소들(SP1, SP2) 각각이 2 개의 스캔 라인(SL)들, 1 개의 데이터 라인(DL), 1 개의 발광 라인(ECL), 및 제1 구동 전압 라인(VDDL)에 접속된 것을 예시하였지만, 이에 한정되지 않는다. 예를 들어, 제2 서브 화소(SP2)들 각각은 2 개의 스캔 라인(SL)들이 아닌 3 개의 스캔 라인(SL)들에 접속될 수도 있다.
- [0059] 제1 및 제2 서브 화소들(SP1, SP2) 각각은 구동 트랜지스터, 적어도 하나의 트랜지스터, 발광 소자, 및 커패시터를 포함할 수 있다. 구동 트랜지스터(DT)는 게이트 전극에 인가된 데이터 전압에 따라 발광 소자에 구동 전류를 공급함으로써 발광할 수 있다. 구동 트랜지스터(DT)와 적어도 하나의 트랜지스터(ST)는 박막 트랜지스터(thin film transistor)일 수 있다. 발광 소자는 구동 트랜지스터(DT)의 구동 전류에 따라 발광할 수 있다. 발광 소자는 제1 전극, 유기 발광층, 및 제2 전극을 포함하는 유기 발광 다이오드(organic light emitting diode)일 수 있다. 커패시터는 구동 트랜지스터(DT)의 게이트 전극에 인가된 데이터 전압을 일정하게 유지하는 역할을 할 수 있다.
- [0060] 비표시 영역(NDA)은 표시 패널(300)에서 일반 영역(MDA)과 센서 영역(SDA)을 제외한 나머지 영역으로 정의될 수 있다. 비표시 영역(NDA)에는 스캔 라인(SL)들에 스캔 신호들을 인가하기 위한 스캔 구동 회로(400), 및 데이터 라인(DL)들과 표시 구동 회로(320)를 연결하는 팬 아웃 라인(FL)들, 및 표시 구동 회로(320)에 연결되는 패드(DP)들이 배치될 수 있다. 표시 구동 회로(320)와 패드(DP)들은 표시 패널(300)의 일 측 가장자리에 배치될 수 있다. 패드(DP)들은 표시 구동 회로(320)보다 표시 패널(300)의 일 측 가장자리에 인접하게 배치될 수 있다.
- [0061] 스캔 구동부(410)는 복수의 제1 스캔 제어 라인들(SCL1)을 통해 표시 구동 회로(320)에 연결될 수 있다. 스캔 구동부(410)는 복수의 제1 스캔 제어 라인들(SCL1)을 통해 표시 구동 회로(320)로부터 스캔 제어 신호(SCS)를 입력 받을 수 있다. 스캔 구동부(410)는 스캔 제어 신호(SCS)에 따라 스캔 신호들을 생성하고, 스캔 신호들을 스캔 라인(SL)들에 순차적으로 출력할 수 있다.
- [0062] 발광 제어 구동부(420)는 복수의 제2 스캔 제어 라인들(SCL2)을 통해 표시 구동 회로(320)에 연결될 수 있다. 발광 제어 구동부(420)는 복수의 제2 스캔 제어 라인들(SCL2)을 통해 표시 구동 회로(320)로부터 발광 제어 신호(SCS)를 입력 받을 수 있다. 발광 제어 구동부(420)는 발광 제어 신호(SCS)에 따라 발광 신호들을 생성하고, 발광 신호들을 발광 라인(ECL)들에 순차적으로 출력할 수 있다.

호(ECS)를 입력 받을 수 있다. 발광 제어 구동부(420)는 발광 제어 신호(ECS)에 따라 발광 제어 신호들을 생성하고, 발광 제어 신호들을 발광 라인(ECL)들에 순차적으로 출력할 수 있다.

- [0063] 도 3과 같이 스캔 구동부(410)는 일반 영역(MDA)과 센서 영역(SDA)의 일측 바깥쪽에 배치되고, 발광 제어 구동부(420)는 일반 영역(MDA)과 센서 영역(SDA)의 타측 바깥쪽에 배치될 수 있다. 또는, 스캔 구동부(410)와 발광 제어 구동부(420) 모두 일반 영역(MDA)과 센서 영역(SDA)의 일측 바깥쪽에 배치될 수도 있다.
- [0064] 스캔 구동부(410)는 스캔 제어 신호(SCS)에 따라 스캔 신호들을 생성하기 위한 복수의 박막 트랜지스터들을 포함하고, 발광 제어 구동부(420)는 발광 제어 신호(ECS)에 따라 발광 제어 신호들을 생성하기 위한 복수의 박막 트랜지스터들을 포함할 수 있다. 이 경우, 스캔 구동부(410)의 박막 트랜지스터들과 발광 제어 구동부(420)의 박막 트랜지스터들은 제1 및 제2 서브 화소들(SP1, SP2)의 박막 트랜지스터들과 동일한 층에 형성될 수 있다.
- [0065] 표시 구동 회로(320)는 도 4와 같이 타이밍 제어부(321)와 데이터 구동부(322)를 포함할 수 있다.
- [0066] 타이밍 제어부(321)는 회로 보드(310)로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들을 입력 받는다. 타이밍 제어부(321)는 타이밍 신호들에 따라 스캔 구동부(410)의 동작 타이밍을 제어하기 위한 스캔 제어 신호(SCS)를 생성하고, 발광 제어 구동부(420)의 동작 타이밍을 제어하기 위한 발광 제어 신호(ECS)를 생성하며, 데이터 구동부(322)의 동작 타이밍을 제어하기 위한 데이터 제어 신호(DCS)를 생성할 수 있다. 타이밍 제어부(321)는 복수의 스캔 제어 라인(SCL)을 통해 스캔 제어 신호(SCS)를 스캔 구동부(410)로 출력하고, 발광 제어 신호(ECS)를 발광 제어 구동부(420)로 출력할 수 있다. 타이밍 제어부(321)는 디지털 비디오 데이터(DATA)와 데이터 제어 신호(DCS)를 데이터 구동부(322)로 출력할 수 있다.
- [0067] 데이터 구동부(322)는 디지털 비디오 데이터(DATA)를 아날로그 정극성/부극성 데이터 전압들로 변환하여 펜 아웃 라인(FL)들을 통해 데이터 라인(DL)들에 출력한다. 스캔 구동 회로(400)의 스캔 신호들에 의해 서브 화소(SP)들이 선택되며, 선택된 서브 화소(SP)들에 데이터 전압들이 공급된다.
- [0068] 전원 공급부(340)는 제1 구동 전압을 생성하여 제1 구동 전압 라인(VDDL)에 공급할 수 있다. 또한, 전원 공급부(340)는 제2 구동 전압을 생성하여 제1 및 제2 서브 화소들(SP1, SP2) 각각의 유기 발광 다이오드의 캐소드 전극에 공급할 수 있다. 제1 구동 전압은 유기 발광 다이오드의 구동을 위한 고전위 전압일 수 있으며, 제2 구동 전압은 유기 발광 다이오드의 구동을 위한 저전위 전압일 수 있다. 즉, 제1 구동 전압은 제2 구동 전압보다 높은 전위를 가질 수 있다. 전원 공급부(340)는 표시 구동 회로(320)와 스캔 구동 회로(400)를 구동하기 위한 구동 전압들, 예를 들어 표시 구동 전압, 게이트 하이 전압, 게이트 로우 전압 등을 생성하여 표시 구동 회로(320)에 공급할 수 있다.
- [0069] 표시 구동 회로(320)는 집적회로(integrated circuit, IC)로 형성되어 COG(chip on glass) 방식, COP(chip on plastic) 방식, 또는 초음파 접합 방식으로 표시 패널(300) 상에 부착될 수 있으나, 이에 한정되지 않는다. 예를 들어, 표시 구동 회로(320)는 회로 보드(310) 상에 부착될 수 있다.
- [0070] 도 5는 센서 영역의 제1 서브 화소들, 스캔 라인들, 데이터 라인들, 및 전원 라인들의 일 예를 보여주는 평면도이다. 도 6은 일반 영역의 제2 서브 화소들, 스캔 라인들, 데이터 라인들, 및 전원 라인들의 일 예를 보여주는 평면도이다.
- [0071] 도 5에서는 설명의 편의를 위해 스캔 라인(SL)들 중에서 제 $k-1$  ( $k$ 는 2 이상의 정수) 스캔 라인( $Sk-1$ ), 제 $k$  스캔 라인( $Sk$ ), 및 제 $k+1$  스캔 라인( $Sk+1$ )을 예시하였으며, 데이터 라인(DL)들 중에서 제 $j$  ( $j$ 는 양의 정수) 데이터 라인( $Dj$ ), 제 $j+1$  데이터 라인( $Dj+1$ ), 제 $j+2$  데이터 라인( $Dj+2$ ), 및 제 $j+3$  데이터 라인( $Dj+3$ )을 예시하였고, 발광 라인(ECL)들 중에서 제 $k$  발광 라인( $Ek$ )과 제 $k+1$  발광 라인( $Ek+1$ )을 예시하였다.
- [0072] 도 6에서는 설명의 편의를 위해 제 $p-1$  ( $p$ 는 2 이상의 정수) 스캔 라인( $Sp-1$ ), 제 $p$  스캔 라인( $Sp$ ), 제 $p+1$  스캔 라인( $Sp+1$ ), 제 $p+2$  스캔 라인( $Sp+2$ ), 및 제 $p+3$  스캔 라인( $Sp+3$ )을 예시하였으며, 데이터 라인(DL)들 중에서 제 $g$  ( $g$ 는 양의 정수) 데이터 라인( $Dg$ ), 제 $g+1$  데이터 라인( $Dg+1$ ), 제 $g+2$  데이터 라인( $Dg+2$ ), 제 $g+3$  데이터 라인( $Dg+3$ ), 제 $g+4$  데이터 라인( $Dg+4$ ), 제 $g+5$  데이터 라인( $Dg+5$ ), 제 $g+6$  데이터 라인( $Dg+6$ ), 및 제 $g+7$  데이터 라인( $Dg+7$ )을 예시하였고, 발광 라인(ECL)들 중에서 제 $p$  발광 라인( $Ep$ ), 제 $p+1$  발광 라인( $Ep+1$ ), 제 $p+2$  발광 라인( $Ep+2$ ), 및 제 $p+3$  발광 라인( $Ep+3$ )을 예시하였다.
- [0073] 도 5 및 도 6을 참조하면, 센서 영역(SDA)은 제1 서브 화소(SP1)들과 제1 서브 화소(SP1)들에 의해 둘러싸인 투과 영역(TA)을 포함한다. 일반 영역(MDA)은 제2 서브 화소(SP2)들을 포함한다. 일반 영역(MDA)은 투과 영역(TA)을 포함하지 않는다. 투과 영역(TA)으로 인하여, 센서 영역(SDA)의 제1 서브 화소(SP1)들의 개수는 일반 영역

(MDA)의 제2 서브 화소(SP2)들의 개수보다 적을 수 있다.

- [0074] 제1 서브 화소(SP1)들 각각은 제1 방향(X축 방향)의 단변과 제2 방향(Y축 방향)의 장변을 갖는 평면 상 사각 형태를 가질 수 있다. 제1 서브 화소(SP1)들 각각은 도 5와 같이 평면 상 직사각형 형태를 가질 수 있으나, 이에 한정되지 않는다.
- [0075] 제2 서브 화소(SP2)들 각각은 메인 화소부(MP), 제1 돌출 화소부(PP1), 및 제2 돌출 화소부(PP2)를 포함할 수 있다. 메인 화소부(MP)는 제1 방향(X축 방향)의 단변과 제2 방향(Y축 방향)의 장변을 갖는 평면 상 사각 형태를 가질 수 있다. 제1 돌출 화소부(PP1)와 제2 돌출 화소부(PP2) 역시 평면 상 사각 형태를 가질 수 있다. 제1 돌출 화소부(PP1)는 메인 화소부(MP)의 상측에서 돌출되고, 제2 돌출 화소부(PP2)는 메인 화소부(MP)의 하측에서 돌출될 수 있다. 제1 돌출 화소부(PP1)는 메인 화소부(MP)의 좌측에 인접한 상측에서 돌출되고, 제2 돌출 화소부(PP2)는 메인 화소부(MP)의 우측에 인접한 하측에서 돌출될 수 있다.
- [0076] 센서 영역(SDA)에서 초기화 전압 라인(VIL)들, 제k-1 내지 제k+1 스캔 라인들(Sk-1, Sk, Sk+1), 제k 및 제k+1 발광 라인들(Ek, Ek+1)은 제1 서브 화소(SP1)들과 중첩하는 화소 영역(PA)에서 제1 방향(X축 방향)으로 연장될 수 있다. 센서 영역(SDA)에서 제1 구동 전압 라인(VDDL)들, 제j 내지 제j+3 데이터 라인들(Dj, Dj+1, Dj+2, Dj+3)은 화소 영역(PA)에서 제2 방향(Y축 방향)으로 연장될 수 있다.
- [0077] 메인 영역(MDA)에서 초기화 전압 라인(VIL)들, 제p-1 내지 제p+3 스캔 라인들(Sp-1, Sp, Sp+1, Sp+2, Sp+3), 및 제p 내지 제p+3 발광 라인들(Ep, Ep+1, Ep+2, Ep+3)은 제1 방향(X축 방향)으로 연장될 수 있다. 메인 영역(MDA)에서 제1 구동 전압 라인(VDDL)들과 제g 내지 제g+7 데이터 라인들(Dg, Dg+1, Dg+2, Dg+3, Dg+4, Dg+5, Dg+6, Dg+7)은 제2 방향(Y축 방향)으로 연장될 수 있다.
- [0078] 제1 서브 화소(SP1)들 각각은 하나의 초기화 전압 라인(VIL), 두 개의 스캔 라인들, 및 하나의 발광 라인에 중첩할 수 있다. 즉, 제1 서브 화소(SP1)들 각각은 제1 방향(X축 방향)으로 배치되는 4 개의 라인들에 중첩할 수 있다.
- [0079] 제2 서브 화소(SP2)들 각각은 두 개의 초기화 전압 라인(VIL), 세 개의 스캔 라인들, 및 하나의 발광 라인에 중첩할 수 있다. 즉, 제2 서브 화소(SP2)들 각각은 제1 방향(X축 방향)으로 배치되는 6 개의 라인들에 중첩할 수 있다.
- [0080] 도 7 및 도 8과 같이 제1 서브 화소(SP1)들 각각의 트랜지스터들의 개수가 제2 서브 화소(SP2)들 각각의 트랜지스터들의 개수보다 적을 수 있다. 그러므로, 제1 서브 화소(SP1)들과 중첩하는 제1 방향(X축 방향)으로 배치되는 라인들의 개수는 제2 서브 화소(SP2)들과 중첩하는 제1 방향(X축 방향)으로 배치되는 라인들의 개수보다 적을 수 있다.
- [0081] 제1 서브 화소(SP1)들과 제2 서브 화소(SP2)들 각각은 하나의 데이터 라인과 하나의 제1 구동 전압 라인(VDDL)과 중첩할 수 있다. 즉, 제1 서브 화소(SP1)들과 제2 서브 화소(SP2)들 각각은 제2 방향(Y축 방향)으로 배치되는 2 개의 라인들에 중첩할 수 있다.
- [0082] 투과 영역(TA)은 제1 서브 화소(SP1)들에 의해 둘러싸일 수 있다. 도 5에서는 투과 영역(TA)이 평면 상 직사각형의 형태를 갖는 것을 예시하였으나, 이에 한정되지 않는다. 투과 영역(TA)은 직사각형 이외의 다른 사각형의 형태를 갖거나, 사각형 이외의 다른 다각 형태, 원 형태, 타원 형태, 또는 비정형 형태를 가질 수 있다.
- [0083] 투과 영역(TA)과 제1 서브 화소(SP1)들 사이에는 배선 영역(LA)이 배치될 수 있다. 배선 영역(LA)은 투과 영역(TA)을 둘러싸도록 배치될 수 있다.
- [0084] 배선 영역(LA)의 면적을 최소화할수록 투과 영역(TA)의 면적이 넓어질 수 있다. 그러므로, 배선 영역(LA)에서 초기화 전압 라인(VIL)들, 제k-1 내지 제k+1 스캔 라인들(Sk-1, Sk, Sk+1), 제k 및 제k+1 발광 라인들(Ek, Ek+1) 중에서 서로 인접한 두 개의 배선들의 간격은 화소 영역(PA)에서보다 좁을 수 있다. 또한, 배선 영역(LA)에서 제1 구동 전압 라인(VDDL)들과 제j 내지 제j+3 데이터 라인들(Dj, Dj+1, Dj+2, Dj+3) 중에서 서로 인접한 두 개의 배선들 간의 간격은 화소 영역(PA)에서보다 좁을 수 있다.
- [0085] 초기화 전압 라인(VIL)들, 제k-1 내지 제k+1 스캔 라인들(Sk-1, Sk, Sk+1), 제k 및 제k+1 발광 라인들(Ek, Ek+1)은 배선 영역(LA)에서 적어도 한 번 절곡될 수 있다. 예를 들어, 초기화 전압 라인(VIL)들, 제k-1 내지 제k+1 스캔 라인들(Sk-1, Sk, Sk+1), 제k 및 제k+1 발광 라인들(Ek, Ek+1)은 배선 영역(LA)에서 네 번 절곡될 수 있다.

- [0086] 제1 구동 전압 라인(VDDL)들, 제j 내지 제j+3 데이터 라인들(Dj, Dj+1, Dj+2, Dj+3)은 배선 영역(LA)에서 적어도 한 번 절곡될 수 있다. 예를 들어, 제1 구동 전압 라인(VDDL)들과 제j 내지 제j+3 데이터 라인들(Dj, Dj+1, Dj+2, Dj+3)은 배선 영역(LA)에서 네 번 절곡될 수 있다.
- [0087] 초기화 전압 라인(VIL)들, 제k-1 내지 제k+1 스캔 라인들(Sk-1, Sk, Sk+1), 제k 및 제k+1 발광 라인들(Ek, Ek+1) 각각은 제1 구동 전압 라인(VDDL)들, 제j 내지 제j+3 데이터 라인들(Dj, Dj+1, Dj+2, Dj+3) 중 적어도 어느 하나와 중첩할 수 있다. 제1 구동 전압 라인(VDDL)들, 제j 내지 제j+3 데이터 라인들(Dj, Dj+1, Dj+2, Dj+3) 각각은 초기화 전압 라인(VIL)들, 제k-1 내지 제k+1 스캔 라인들(Sk-1, Sk, Sk+1), 제k 및 제k+1 발광 라인들(Ek, Ek+1) 중 적어도 어느 하나와 중첩할 수 있다.
- [0088] 도 5 및 도 6에 도시된 실시예에 의하면, 표시 패널(300)의 센서 영역(SDA)이 광을 투과시키는 투과 영역(TA)들을 포함하므로, 센서 장치들(740, 750, 760)이 표시 패널(300)의 두께 방향인 제3 방향(Z축 방향)에서 센서 영역(SDA)에 중첩하게 배치되더라도, 표시 장치(10)의 상면으로부터의 광은 투과 영역(TA)들을 통해 표시 패널(300)의 하면 상에 배치되는 센서 장치들(740, 750, 760)에 입사될 수 있다. 그러므로, 센서 장치들(740, 750, 760) 각각의 감지 능력이 낮아지는 것을 방지하거나 줄일 수 있다.
- [0089] 도 7은 제1 서브 화소의 일 예를 보여주는 회로도이다. 도 7에서는 제k-1 스캔 라인(Sk-1), 제k 스캔 라인(Sk), 및 제j 데이터 라인(Dj)에 접속된 제1 서브 화소(SP1)를 예시하였다.
- [0090] 도 7을 참조하면, 제1 서브 화소(SP1)는 제k-1 스캔 라인(Sk-1), 제k 스캔 라인(Sk), 및 제j 데이터 라인(Dj)과 중첩할 수 있다. 또한, 제1 서브 화소(SP1)는 제1 구동 전압이 공급되는 제1 구동 전압 라인(VDDL), 초기화 전압(Vini)이 공급되는 초기화 전압 라인(VIL), 및 제2 구동 전압이 공급되는 제2 구동 전압 라인(VSSL)에 접속될 수 있다.
- [0091] 제1 서브 화소(SP1)는 구동 트랜지스터(transistor)(DT), 발광 소자(Light Emitting Element, LE), 스위치 소자들, 제1 커패시터(C1), 및 제2 커패시터(C2) 등을 포함한다. 스위치 소자들은 제1 내지 제5 트랜지스터들(ST1, ST2, ST3, ST4, ST5)을 포함할 수 있다.
- [0092] 구동 트랜지스터(DT)는 게이트 전극(DT\_G), 제1 전극, 및 제2 전극을 포함할 수 있다. 구동 트랜지스터(DT)는 게이트 전극(DT\_G)에 인가되는 데이터 전압에 따라 드레인-소스간 전류(Ids, 이하 “구동 전류”라 칭함)를 제어한다. 구동 트랜지스터(DT)의 채널을 통해 흐르는 구동 전류(Ids)는 수학식 1과 같이 구동 트랜지스터(DT)의 게이트 전극(DT\_G)과 소스 전극 간의 전압(Vgs)과 문턱전압(threshold voltage) 간의 차이의 제곱에 비례한다.

**수학식 1**

$$I_{ds} = k' \times (V_{gs} - V_{th})^2$$

- [0093]
- [0094] 수학식 1에서, k'는 구동 트랜지스터의 구조와 물리적 특성에 의해 결정되는 비례 계수, Vgs는 구동 트랜지스터의 게이트-소스간 전압, Vth는 구동 트랜지스터의 문턱전압을 의미한다.
- [0095] 발광 소자(EL)는 구동 전류(Ids)에 따라 발광한다. 발광 소자(EL)의 발광량은 구동 전류(Ids)에 비례할 수 있다.
- [0096] 발광 소자(EL)는 애노드 전극, 캐소드 전극, 및 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층을 포함하는 유기 발광 다이오드일 수 있다. 또는, 발광 소자(EL)는 애노드 전극, 캐소드 전극, 및 애노드 전극과 캐소드 전극 사이에 배치된 무기 반도체를 포함하는 무기 발광 소자일 수 있다. 또는, 발광 소자(EL)는 애노드 전극, 캐소드 전극, 및 애노드 전극과 캐소드 전극 사이에 배치된 양자점 발광층을 포함하는 양자점 발광 소자일 수 있다. 또는, 발광 소자(EL)는 마이크로 발광 다이오드(micro light emitting diode)일 수 있다.
- [0097] 발광 소자(EL)의 애노드 전극은 제5 트랜지스터(ST5)의 제2 전극에 접속되며, 캐소드 전극은 제2 구동 전압 라인(VSSL)에 접속될 수 있다. 발광 소자(EL)의 애노드 전극과 캐소드 전극 사이에는 기생 용량(Ce1)이 형성될 수 있다.
- [0098] 제1 트랜지스터(ST1)는 제1-1 트랜지스터(ST1-1)와 제1-2 트랜지스터(ST1-2)를 포함하는 듀얼 트랜지스터로 형성될 수 있다. 제1-1 트랜지스터(ST1-1)와 제1-2 트랜지스터(ST1-2)는 제k-1 스캔 라인(Sk-1)의 스캔 신호에 의



해 턴-온되어 구동 트랜지스터(DT)의 게이트 전극과 초기화 전압 라인(VIL)을 접속시킨다. 구동 트랜지스터(DT)의 게이트 전극은 초기화 전압 라인(VIL)의 초기화 전압으로 방전될 수 있다. 제1-1 트랜지스터(ST1-1)의 게이트 전극은 제k-1 스캔 라인(Sk-1)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제1-2 트랜지스터(ST1-2)의 제1 전극에 접속될 수 있다. 제1-2 트랜지스터(ST1-2)의 게이트 전극은 제k-1 스캔 라인(Sk-1)에 접속되고, 제1 전극은 제1-1 트랜지스터(ST1-1)의 제2 전극에 접속되며, 제2 전극은 초기화 전압 라인(VIL)에 접속될 수 있다.

[0099] 제2 트랜지스터(ST2)는 제k 스캔 라인(Sk)의 스캔 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 제1 전극과 제j 데이터 라인(Dj)을 접속시킨다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 스캔 라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 제1 전극에 접속되며, 제2 전극은 데이터 라인(Dj)에 접속될 수 있다.

[0100] 제3 트랜지스터(ST3)는 제3-1 트랜지스터(ST3-1)와 제3-2 트랜지스터(ST3-2)를 포함하는 듀얼 트랜지스터로 형성될 수 있다. 제3-1 트랜지스터(ST3-1)와 제3-2 트랜지스터(ST3-2)는 제k 스캔 라인(Sk)의 스캔 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 게이트 전극과 제2 전극을 접속시킨다. 즉, 제3-1 트랜지스터(ST3-1)와 제3-2 트랜지스터(ST3-2)가 턴-온되는 경우, 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 접속되므로, 구동 트랜지스터(DT)는 다이오드(diode)로 구동한다. 제3-1 트랜지스터(ST3-1)의 게이트 전극은 제k 스캔 라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 제2 전극에 접속되며, 제2 전극은 제3-2 트랜지스터(ST3-2)의 제1 전극에 접속될 수 있다. 제3-2 트랜지스터(ST3-2)의 게이트 전극은 제k 스캔 라인(Sk)에 접속되고, 제1 전극은 제3-1 트랜지스터(ST3-1)의 제2 전극에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속될 수 있다.

[0101] 제4 트랜지스터(ST4)는 제k 발광 라인(Ek)의 발광 제어 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 제1 전극과 제1 구동 전압 라인(VDDL)을 접속시킨다. 제4 트랜지스터(ST4)의 게이트 전극은 제k 발광 라인(Ek)에 접속되고, 제1 전극은 제1 구동 전압 라인(VDDL)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속된다.

[0102] 제5 트랜지스터(ST5)는 구동 트랜지스터(DT)의 제2 전극과 발광 소자(EL)의 애노드 전극 사이에 접속된다. 제5 트랜지스터(ST5)는 제k 발광 라인(Ek)의 발광 제어 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 제2 전극과 발광 소자(EL)의 애노드 전극을 접속한다. 제5 트랜지스터(ST5)의 게이트 전극은 제k 발광 라인(Ek)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 제2 전극에 접속되며, 제2 전극은 발광 소자(EL)의 애노드 전극에 접속된다. 제4 트랜지스터(ST4)와 제5 트랜지스터(ST5)가 모두 턴-온되는 경우, 구동 전류(Ids)는 발광 소자(EL)에 공급될 수 있다.

[0103] 제1 커패시터(C1)는 구동 트랜지스터(DT)의 제2 전극과 제1 구동 전압 라인(VDDL) 사이에 형성된다. 제1 커패시터(C1)의 일 전극은 구동 트랜지스터(DT)의 제2 전극에 접속되고, 타 전극은 제1 구동 전압 라인(VDDL)에 접속될 수 있다.

[0104] 제1 내지 제5 트랜지스터들(ST1, ST2, ST3, ST4, ST5), 및 구동 트랜지스터(DT) 각각의 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다. 또는, 제1 내지 제5 트랜지스터들(ST1, ST2, ST3, ST4, ST5), 및 구동 트랜지스터(DT) 각각의 제1 전극이 드레인 전극인 경우, 제2 전극은 소스 전극일 수 있다.

[0105] 제1 내지 제5 트랜지스터들(ST1, ST2, ST3, ST4, ST5), 및 구동 트랜지스터(DT) 각각의 액티브층 다결정 실리콘(Poly Silicon), 비정질 실리콘(amorphous silicon), 및 산화물 반도체(oxide) 중 어느 하나로 형성될 수도 있다. 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT) 각각의 반도체층이 다결정 실리콘으로 형성되는 경우, 그를 형성하기 위한 공정은 저온 폴리 실리콘(Low Temperature Poly Silicon: LTPS) 공정일 수 있다.

[0106] 또한, 도 7에서는 제1 내지 제5 트랜지스터들(ST1, ST2, ST3, ST4, ST5), 및 구동 트랜지스터(DT)가 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않으며, N 타입 MOSFET으로 형성될 수도 있다.

[0107] 도 8은 제2 서브 화소의 일 예를 보여주는 회로도이다. 도 8에서는 제p-1 스캔 라인(Sp-1), 제p 스캔 라인(Sp), 및 제g 데이터 라인(Dg)에 접속된 제2 서브 화소(SP2)를 예시하였다.

[0108] 도 8에 도시된 제2 서브 화소(SP2)는 제6 트랜지스터(ST6)를 추가로 포함하는 것에서 도 7에 도시된 제1 서브 화소(SP1)와 차이점이 있다. 도 8에 도시된 제2 서브 화소(SP2)에서는 도 7에 도시된 제1 서브 화소(SP1)와 중

복된 설명은 생략한다.

- [0109] 도 8을 참조하면, 제6 트랜지스터(ST6)는 제p 스캔 라인(Sp)의 스캔 신호에 의해 턴-온되어 발광 소자(EL)의 애노드 전극과 초기화 전압 라인(VIL)을 접속시킨다. 발광 소자(EL)의 애노드 전극은 초기화 전압으로 방전될 수 있다. 제6 트랜지스터(ST6)의 게이트 전극은 제p 스캔 라인(Sp)에 접속되고, 제1 전극은 발광 소자(EL)의 애노드 전극에 접속되며, 제2 전극은 초기화 전압 라인(Vini)에 접속된다.
- [0110] 도 7 및 도 8에 도시된 실시예에 의하면, 제1 서브 화소(SP1)는 6 개의 트랜지스터들을 포함하는 반면에, 제2 서브 화소(SP2)는 7 개의 트랜지스터들을 포함한다. 즉, 제1 서브 화소(SP1)의 트랜지스터들의 개수는 제2 서브 화소(SP2)의 트랜지스터들의 개수보다 적다. 이로 인해, 배선 영역(LA)이 제6 트랜지스터(ST6)가 생략된 영역에 배치될 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.
- [0111] 제2 서브 화소(SP2)의 제6 트랜지스터(ST6)는 발광 소자(EL)의 애노드 전극의 전압을 초기화 전압(Vini)으로 낮춤으로써 제5 트랜지스터(ST5)가 턴-오프되는 기간 동안 발광 소자(EL)가 블랙을 표시함에 의해 사용자가 블랙을 시인하는 것을 방지할 수 있다. 하지만, 제5 트랜지스터(ST5)가 턴-오프되는 기간은 매우 짧을 뿐만 아니라, 센서 영역(SDA)의 제1 서브 화소(SP1)들의 개수가 메인 영역(MDA)의 제2 서브 화소(SP2)들의 개수보다 적으므로, 사용자가 블랙을 시인하기 어렵다. 그러므로, 제1 서브 화소(SP1)에서는 제6 트랜지스터(ST6)를 생략하여도 무방하다.
- [0112] 도 9는 도 7의 제1 서브 화소의 일 예를 보여주는 평면도이다.
- [0113] 도 9를 참조하면, 제1 서브 화소(SP1)는 구동 트랜지스터(DT), 제1 내지 제5 트랜지스터들(ST1~ST5), 및 제1 커패시터(C1)를 포함할 수 있다.
- [0114] 구동 트랜지스터(DT)는 액티브층(DT\_ACT), 게이트 전극(DT\_G), 제1 전극(DT\_S), 및 제2 전극(DT\_D)을 포함할 수 있다. 구동 트랜지스터(DT)의 액티브층(DT\_ACT)은 구동 트랜지스터(DT)의 게이트 전극(DT\_G)과 중첩할 수 있다. 구동 트랜지스터(DT)의 게이트 전극(DT\_G)은 제1 콘택홀(CNT1)을 통해 제1 연결 전극(BE1)과 접속될 수 있다. 제1 연결 전극(BE1)은 제2 콘택홀(CNT2)을 통해 제1-1 트랜지스터(ST1-1)의 제1 전극(S1) 및 제3-2 트랜지스터(ST3-2)의 드레인 전극(D3-2)에 접속될 수 있다. 제1 연결 전극(BE1)은 제k 스캔 라인(Sk)과 교차할 수 있다. 구동 트랜지스터(DT)의 제1 전극(DT\_S)은 제2 트랜지스터(ST2)의 제1 전극(S2)에 접속될 수 있다. 구동 트랜지스터(DT)의 제2 전극(DT\_D)은 제3-1 트랜지스터(ST3-1)의 제1 전극(S3-1)과 제5 트랜지스터(ST5)의 제1 전극(S5)에 접속될 수 있다.
- [0115] 제1 트랜지스터(ST1)는 듀얼 트랜지스터로 형성될 수 있다. 제1 트랜지스터(ST1)는 제1-1 트랜지스터(ST1-1)와 제1-2 트랜지스터(ST1-2)를 포함할 수 있다.
- [0116] 제1-1 트랜지스터(ST1-1)는 액티브층(ACT1-1), 게이트 전극(G1-1), 제1 전극(S1-1), 및 제2 전극(D1-1)을 포함할 수 있다. 제1-1 트랜지스터(ST1-1)의 게이트 전극(G1-1)은 제k-1 스캔 라인(Sk-1)의 일 부분으로, 제1-1 트랜지스터(ST1-1)의 액티브층(ACT1-1)과 제k-1 스캔 라인(Sk-1)의 중첩 영역일 수 있다. 제1-1 트랜지스터(ST1-1)의 제1 전극(S1-1)은 제2 콘택홀(CNT2)을 통해 구동 트랜지스터(DT)의 제1 연결 전극(BE1)에 접속될 수 있다. 제1-1 트랜지스터(ST1-1)의 제2 전극(D1-1)은 제1-2 트랜지스터(ST1-2)의 제1 전극(S1-2)에 접속될 수 있다.
- [0117] 제1-2 트랜지스터(ST1-2)는 액티브층(ACT1-2), 게이트 전극(G1-2), 제1 전극(S1-2), 및 제2 전극(D1-2)을 포함할 수 있다. 제1-2 트랜지스터(ST1-2)의 게이트 전극(G1-2)은 제k-1 스캔 라인(Sk-1)의 일 부분으로, 제1-2 트랜지스터(ST1-2)의 액티브층(ACT1-2)과 제k-1 스캔 라인(Sk-1)의 중첩 영역일 수 있다. 제1-2 트랜지스터(ST1-2)의 제1 전극(S1-2)은 제1-1 트랜지스터(ST1-1)의 제2 전극(D1-1)에 접속될 수 있다. 제1-2 트랜지스터(ST1-2)의 제2 전극(D1-2)은 제4 콘택홀(CNT4)을 통해 초기화 연결 전극(VIE)에 접속될 수 있다.
- [0118] 제2 트랜지스터(ST2)는 액티브층(ACT2), 게이트 전극(G2), 제1 전극(S2), 및 제2 전극(D2)을 포함할 수 있다. 제2 트랜지스터(ST2)의 게이트 전극(G2)은 제k 스캔 라인(Sk)의 일 부분으로, 제2 트랜지스터(ST2)의 액티브층(ACT2)과 제k 스캔 라인(Sk)의 중첩 영역일 수 있다. 제2 트랜지스터(ST2)의 제1 전극(S2)은 구동 트랜지스터(DT)의 제1 전극(DT\_S)에 접속될 수 있다. 제2 트랜지스터(ST2)의 제2 전극(D2)은 제3 콘택홀(CNT3)을 통해 제j 데이터 라인(Dj)과 접속될 수 있다.
- [0119] 제3 트랜지스터(ST3)는 듀얼 트랜지스터로 형성될 수 있다. 제3 트랜지스터(ST3)는 제3-1 트랜지스터(ST3-1)와 제3-2 트랜지스터(ST3-2)를 포함할 수 있다.
- [0120] 제3-1 트랜지스터(ST3-1)는 액티브층(ACT3-1), 게이트 전극(G3-1), 제1 전극(S3-1), 및 제2 전극(D3-1)을 포함

할 수 있다. 제3-1 트랜지스터(ST3-1)의 게이트 전극(G3-1)은 제k 스캔 라인(Sk)의 일 부분으로, 제3-1 트랜지스터(ST3-1)의 액티브층(ACT3-1)과 제k 스캔 라인(Sk)의 중첩 영역일 수 있다. 제3-1 트랜지스터(ST3-1)의 제1 전극(S3-2)은 구동 트랜지스터(DT)의 제2 전극(DT\_D)에 접속될 수 있다. 제3-1 트랜지스터(ST3-1)의 제2 전극(D3-1)은 제3-2 트랜지스터(ST3-2)의 제1 전극(S3-1)에 접속될 수 있다.

[0121] 제3-2 트랜지스터(ST3-2)는 액티브층(ACT3-2), 게이트 전극(G3-2), 제1 전극(S3-2), 및 제2 전극(D3-2)을 포함할 수 있다. 제3-2 트랜지스터(ST3-2)의 게이트 전극(G3-2)은 제k 스캔 라인(Sk)의 일 부분으로, 제3-2 트랜지스터(ST3-2)의 액티브층(ACT3-2)과 제k 스캔 라인(Sk)의 중첩 영역일 수 있다. 제3-2 트랜지스터(ST3-2)의 제1 전극(S3-2)은 제3-1 트랜지스터(ST3-1)의 제2 전극(D3-1)에 접속될 수 있다. 제3-2 트랜지스터(ST3-2)의 제2 전극(D3-2)은 제2 콘택홀(CNT2)을 통해 제1 연결 전극(BE1)에 접속될 수 있다.

[0122] 제4 트랜지스터(ST4)는 액티브층(ACT4), 게이트 전극(G4), 제1 전극(S4), 및 제2 전극(D4)을 포함할 수 있다. 제4 트랜지스터(ST4)의 게이트 전극(G4)은 제k 발광 라인(Ek)의 일 부분으로, 제4 트랜지스터(ST4)의 액티브층(ACT4)과 제k 발광 라인(Ek)의 중첩 영역일 수 있다. 제4 트랜지스터(ST4)의 제1 전극(S4)은 제7 콘택홀(CNT7)을 통해 제1 커패시터(C1)의 제2 전극(CE12)에 접속될 수 있다. 제4 트랜지스터(ST4)의 제2 전극(D4)은 구동 트랜지스터(DT)의 제1 전극(DT\_S)에 접속될 수 있다.

[0123] 제5 트랜지스터(ST5)는 액티브층(ACT5), 게이트 전극(G5), 제1 전극(S5), 및 제2 전극(D5)을 포함할 수 있다. 제5 트랜지스터(ST5)의 게이트 전극(G5)은 제k 발광 라인(Ek)의 일 부분으로, 제5 트랜지스터(ST5)의 액티브층(ACT5)과 제k 발광 라인(Ek)의 중첩 영역일 수 있다. 제5 트랜지스터(ST5)의 제1 전극(S5)은 구동 트랜지스터(DT)의 제2 전극(DT\_D)에 접속될 수 있다. 제5 트랜지스터(ST5)의 제2 전극(D5)은 제6 콘택홀(CNT6)을 통해 발광 소자의 애노드 전극(AND)에 접속될 수 있다.

[0124] 제1 커패시터(C1)의 제1 전극(CE11)은 구동 트랜지스터(DT)의 게이트 전극(DT\_G)의 일 부분일 수 있다. 제1 커패시터(C1)의 제2 전극(CE12)은 제8 콘택홀(CNT8)을 통해 제1 구동 전압 라인(VDDL)에 연결되는 수평 구동 전압 라인(HVDDL)의 일 부분일 수 있다. 제1 전극(CE11)과 제2 전극(CE12)은 서로 중첩할 수 있다.

[0125] 도 10은 도 8의 제2 서브 화소의 일 예를 보여주는 평면도이다.

[0126] 도 10에 도시된 제2 서브 화소(SP2)는 제6 트랜지스터(ST6)가 추가로 포함된 것에서 도 9에 도시된 제1 서브 화소(SP1)와 차이점이 있다. 도 10에 도시된 제2 서브 화소(SP2)에서는 도 9에 도시된 제1 서브 화소(SP1)와 중복된 설명은 생략한다.

[0127] 제6 트랜지스터(ST6)는 액티브층(ACT6), 게이트 전극(G6), 제1 전극(S6), 및 제2 전극(D6)을 포함할 수 있다. 제6 트랜지스터(ST6)의 게이트 전극(G6)은 제k 스캔 라인(Sk)의 일 부분으로, 제6 트랜지스터(ST6)의 액티브층(ACT6)과 제k 스캔 라인(Sk)의 중첩 영역일 수 있다. 제1 애노드 연결 전극(ANDE1)은 제6 콘택홀(CNT6)을 통해 제6 트랜지스터(ST6)의 제1 전극(S4)에 접속될 수 있다. 제2 애노드 연결 전극(ANDE2)은 도 12와 같이 제1 애노드 콘택홀(AND\_CNT1)을 통해 제1 애노드 연결 전극(ANDE1)에 접속될 수 있다. 발광 소자의 제1 전극(171)은 도 12와 같이 제2 애노드 콘택홀(AND\_CNT2)을 통해 제1 애노드 연결 전극(ANDE)에 접속될 수 있다. 제6 트랜지스터(ST6)의 제2 전극(D6)은 제4 콘택홀(CNT4)을 통해 초기화 연결 전극(VIE)에 접속될 수 있다. 초기화 전압 라인(VIL)은 제5 콘택홀(CNT5)을 통해 초기화 연결 전극(VIE)에 접속되고, 초기화 연결 전극(VIE)은 제4 콘택홀(CNT4)을 통해 제1-2 트랜지스터(ST1-2)의 제2 전극(D3-2)과 제6 트랜지스터(ST6)의 제2 전극(D4)에 접속될 수 있다. 초기화 연결 전극(VIE)은 제k 스캔 라인(Sk)과 교차하도록 배치될 수 있다.

[0128] 도 9 및 도 10에 도시된 실시예에 의하면, 제1 서브 화소(SP1)에서는 제6 트랜지스터(ST6)가 생략되므로, 제1 서브 화소(SP1)는 제2 서브 화소(SP2)의 제2 돌출 화소부(PP2)를 포함하지 않는다. 즉, 제6 트랜지스터(ST6)의 생략으로 인해, 제1 서브 화소(SP1)에서는 제2 돌출 화소부(PP2)가 생략될 수 있다. 그러므로, 제2 돌출 화소부(PP2)를 포함하는 제2 서브 화소(SP2)를 센서 영역(SDA)에 적용할 때보다 제2 돌출 화소부(PP2)가 생략된 제1 서브 화소(SP1)를 센서 영역(SDA)에 적용하는 경우, 배선 영역(LA)이 제2 돌출 화소부(PP2)가 생략된 영역에 배치될 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.

[0129] 도 11은 도 9와 도 10의 I-I'의 일 예를 보여주는 단면도이다. 도 12는 도 9의 II-II'의 일 예를 보여주는 단면도이다. 도 13은 도 10의 III-III'의 일 예를 보여주는 단면도이다.

[0130] 도 11 내지 도 13을 참조하면, 제1 기관(SUB1) 상에는 박막 트랜지스터층(TFTL), 발광 소자층(EML), 봉지층(TFE)이 순차적으로 형성될 수 있다.

- [0131] 박막 트랜지스터층(TFTL)은 차광층(BML), 버퍼막(BF), 액티브층(ACT), 제1 게이트층(GTL1), 제2 게이트층(GTL2), 제1 소스 금속층(DTL1), 제2 소스 금속층(DTL2), 게이트 절연막(130), 제1 층간 절연막(141), 제2 층간 절연막(142), 보호막(150), 제1 평탄화막(160), 및 제2 평탄화막(180)을 포함한다.
- [0132] 제1 기관(SUB1)의 일면 상에는 차광층(BML)이 형성될 수 있다. 차광층(BML)은 구동 트랜지스터(DT)의 액티브층(DT\_ACT)에 광이 입사되는 경우 누설 전류가 발생하는 것을 방지하기 위해 구동 트랜지스터(DT)의 액티브층(DT\_ACT)과 중첩하여 배치될 수 있다. 도 11 내지 도 13에서는 차광층(BML)이 구동 트랜지스터(DT)의 액티브층(DT\_ACT)과 중첩하는 것만을 예시하였으나, 이에 한정되지 않는다. 예를 들어, 차광층(BML)은 구동 트랜지스터(DT)의 액티브층(DT\_ACT)뿐만 아니라, 제1 내지 제6 트랜지스터들(ST1~ST6)의 액티브층들(ACT1, ACT2, ACT3, ACT4, ACT5, ACT6)과 중첩할 수 있다. 차광층(BML)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0133] 차광층(BML) 상에는 버퍼막(BF)이 형성될 수 있다. 버퍼막(BF)은 투습에 취약한 제1 기관(SUB1)을 통해 침투하는 수분으로부터 박막 트랜지스터(120)들과 발광 소자층(EML)의 유기 발광층(172)을 보호하기 위해 제1 기관(SUB1)의 일면 상에 형성될 수 있다. 버퍼막(BF)은 교번하여 적층된 복수의 무기막들로 이루어질 수 있다. 예를 들어, 버퍼막(BF)은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 및 알루미늄옥사이드층 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 버퍼막(BF)은 생략될 수 있다.
- [0134] 제1 기관(SUB1) 또는 버퍼막(BF) 상에는 액티브층(ACT)이 형성될 수 있다. 액티브층(ACT)은 다결정 실리콘, 단결정 실리콘, 저온 다결정 실리콘, 비정질 실리콘, 또는 산화물 반도체를 포함할 수 있다. 액티브층(ACT)이 다결정 실리콘으로 이루어지는 경우, 이온 도핑된 액티브층(ACT)은 도전성을 가질 수 있다. 이로 인해, 액티브층(ACT)은 제1 및 제2 서브 화소들(SP1, SP2)의 구동 트랜지스터(DT)와 제1 내지 제6 트랜지스터들(ST1~ST6)의 액티브층들(DT\_ACT, ACT1, ACT2, ACT3, ACT4, ACT5, ACT6) 뿐만 아니라 소스 전극들(DT\_S, S1, S2-1, S2-2, S3-1, S3-2, S4, S5, S6)과 드레인 전극들(DT\_D, D1, D2-1, D2-2, D3-1, D3-2, D4, D5, D6)을 포함할 수 있다.
- [0135] 액티브층(ACT) 상에는 게이트 절연막(130)이 형성될 수 있다. 게이트 절연막(130)은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층으로 형성될 수 있다.
- [0136] 게이트 절연막(130) 상에는 제1 게이트층(GTL1)이 형성될 수 있다. 제1 게이트층(GTL1)은 제1 및 제2 서브 화소들(SP1, SP2)의 구동 트랜지스터(DT)의 게이트 전극(DT\_G) 및 제1 내지 제6 트랜지스터들(ST1~ST6)의 게이트 전극들(G1~G6)뿐만 아니라, 스캔 라인(SL)들과 발광 라인(ECL)들을 포함할 수 있다. 제1 게이트층(GTL1)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0137] 제1 게이트층(GTL1) 상에는 제1 층간 절연막(141)이 형성될 수 있다. 제1 층간 절연막(141)은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층으로 형성될 수 있다. 제1 층간 절연막(141)은 복수의 무기막을 포함할 수 있다.
- [0138] 제1 층간 절연막(141) 상에는 제2 게이트층(GTL2)이 형성될 수 있다. 제2 게이트층(GTL2)은 초기화 전압 라인(VIL)과 제1 커패시터(C1)의 제2 전극(CE12)을 포함할 수 있다. 제2 게이트층(GTL2)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0139] 제2 게이트층(GTL2) 상에는 제2 층간 절연막(142)이 형성될 수 있다. 제2 층간 절연막(142)은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층으로 형성될 수 있다. 제2 층간 절연막(142)은 복수의 무기막을 포함할 수 있다.
- [0140] 제2 층간 절연막(142) 상에는 제1 소스 금속층(DTL1)이 형성될 수 있다. 제1 소스 금속층(DTL1)은 데이터 라인(DL)들, 제1 구동 전압 라인(VDDL)들, 제1 연결 전극(BE1), 제1 애노드 연결 전극(ANDE1), 및 초기화 연결 전극(VIE)을 포함할 수 있다. 제1 소스 금속층(DTL1)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

- [0141] 제1 소스 금속층(DTL1) 상에는 액티브층(ACT), 제1 게이트층(GTL1), 제2 게이트층(GTL2), 및 제1 소스 금속층(DTL1)으로 인한 단차를 평탄하게 하기 위한 제1 평탄화막(160)이 형성될 수 있다. 제1 평탄화막(160)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0142] 제1 소스 금속층(DTL1)과 제1 평탄화막(160) 사이에는 보호막(150)이 추가로 형성될 수 있다. 보호막(150)은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층으로 형성될 수 있다.
- [0143] 제1 평탄화막(160) 상에는 제2 소스 금속층(DTL2)이 형성될 수 있다. 제2 소스 금속층(DTL2)은 제2 애노드 연결 전극(ANDE2)을 포함할 수 있다. 제2 소스 금속층(DTL2)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다층층으로 형성될 수 있다.
- [0144] 제2 소스 금속층(DTL2) 상에는 제2 평탄화막(180)이 형성될 수 있다. 제2 평탄화막(180)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0145] 제1 및 제2 서브 화소들(SP1, SP2)의 구동 트랜지스터(DT)와 제1 내지 제6 트랜지스터들(ST1~ST6)은 게이트 전극이 액티브층의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 및 제2 서브 화소들(SP1, SP2)의 구동 트랜지스터(DT)와 제1 내지 제6 트랜지스터들(ST1~ST6)은 게이트 전극이 액티브층의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식 또는 게이트 전극이 액티브층의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 방식으로 형성될 수 있다.
- [0146] 제1 콘택홀(CNT1)은 제1 층간 절연막(141)과 제2 층간 절연막(142)을 관통하여 구동 트랜지스터(DT)의 게이트 전극(DT\_G)을 노출하는 홀일 수 있다. 제1 연결 전극(BE1)은 제1 콘택홀(CNT1)을 통해 구동 트랜지스터(DT)의 게이트 전극(DT\_G)에 접속될 수 있다.
- [0147] 제2 콘택홀(CNT2)은 게이트 절연막(130), 제1 층간 절연막(141), 및 제2 층간 절연막(142)을 관통하여 제1-1 트랜지스터(ST1-1)의 제1 전극(S1-1)과 제3-1 트랜지스터(ST3-1)의 제2 전극(D3-1)을 노출하는 홀일 수 있다. 제2 연결 전극(BE2)은 제2 콘택홀(CNT2)을 통해 제1-1 트랜지스터(ST1-1)의 제1 전극(S1-1)과 제3-1 트랜지스터(ST3-1)의 제2 전극(D3-1)에 접속될 수 있다.
- [0148] 제3 콘택홀(CNT3)은 게이트 절연막(130), 제1 층간 절연막(141), 및 제2 층간 절연막(142)을 관통하여 제2 트랜지스터(ST2)의 제1 전극(S2)을 노출하는 홀일 수 있다. 제j 데이터 라인(Dj)은 제3 콘택홀(CNT3)을 통해 제2 트랜지스터(ST2)의 제1 전극(S2)에 접속될 수 있다.
- [0149] 제4 콘택홀(CNT4)은 게이트 절연막(130), 제1 층간 절연막(141), 및 제2 층간 절연막(142)을 관통하여 제1 트랜지스터(ST1)의 제2 전극(D1)과 제4 트랜지스터(ST4)의 제2 전극(D4)을 노출하는 홀일 수 있다. 초기화 연결 전극(VIE)은 제4 콘택홀(CNT4)을 통해 제1-2 트랜지스터(ST1-2)의 제1-2 전극(D1-2)과 제4 트랜지스터(ST4)의 제2 전극(D4)에 접속될 수 있다.
- [0150] 제5 콘택홀(CNT5)은 제2 층간 절연막(142)을 관통하여 초기화 전압 라인(VIL)을 노출하는 홀일 수 있다. 초기화 연결 전극(VIE)은 제5 콘택홀(CNT5)을 통해 초기화 전압 라인(VIL)에 접속될 수 있다.
- [0151] 제6 콘택홀(CNT6)은 게이트 절연막(130), 제1 층간 절연막(141), 및 제2 층간 절연막(142)을 관통하여 제5 트랜지스터(ST5)의 제2 전극(D5)을 노출하는 홀일 수 있다. 애노드 연결 전극(ANDE)은 제6 콘택홀(CNT6)을 통해 제5 트랜지스터(ST5)의 제2 전극(D5)에 접속될 수 있다.
- [0152] 제7 콘택홀(CNT7)은 게이트 절연막(130), 제1 층간 절연막(141), 및 제2 층간 절연막(142)을 관통하여 제4 트랜지스터(ST4)의 제1 전극(S4)을 노출하는 홀일 수 있다. 제1 구동 전압 라인(VDDL)은 제7 콘택홀(CNT7)을 통해 제4 트랜지스터(ST4)의 제1 전극(S4)에 접속될 수 있다.
- [0153] 제8 콘택홀(CNT8)은 제2 층간 절연막(142)을 관통하여 수평 구동 전압 라인(HVDDL)을 노출하는 홀일 수 있다. 제1 구동 전압 라인(VDDL1)은 제8 콘택홀(CNT8)을 통해 수평 구동 전압 라인(HVDDL)에 접속될 수 있다.
- [0154] 제1 애노드 콘택홀(AND\_CNT1)은 보호막(150)과 제1 평탄화막(160)을 관통하여 제1 애노드 연결 전극(ANDE1)을

노출하는 홀일 수 있다.

- [0155] 제2 애노드 콘택홀(AND\_CNT2)은 제2 평탄화막(180)을 관통하여 제2 애노드 연결 전극(ANDE2)을 노출하는 홀일 수 있다.
- [0156] 박막 트랜지스터층(TFTL) 상에는 발광 소자층(EML)이 형성된다. 발광 소자층(EML)은 발광 소자(170)들과 화소 정의막(190)을 포함한다.
- [0157] 발광 소자(170)들과 화소 정의막(190)은 평탄화막(160) 상에 형성된다. 발광 소자(170)들 각각은 제1 전극(171), 유기 발광층(172), 및 제2 전극(173)을 포함할 수 있다.
- [0158] 제1 전극(171)은 제2 평탄화막(180) 상에 형성될 수 있다. 제1 전극(171)은 제2 평탄화막(180)을 관통하는 제2 애노드 콘택홀(AND\_CNT2)을 통해 제2 애노드 연결 전극(ANDE2)에 접속될 수 있다.
- [0159] 유기 발광층(172)을 기준으로 제2 전극(173) 방향으로 발광하는 상부 발광(top emission) 구조에서 제1 전극(171)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)와 같은 반사율이 높은 금속물질로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0160] 화소 정의막(190)은 제1 및 제2 서브 화소들(SP1, SP2) 각각의 발광 영역(EA)을 정의하는 역할을 하기 위해 제2 평탄화막(180) 상에서 제1 전극(171)을 구획하도록 형성될 수 있다. 화소 정의막(190)은 제1 전극(171)의 가장 자리를 덮도록 형성될 수 있다. 화소 정의막(190)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0161] 서브 화소들(SP1, SP2) 각각의 발광 영역(EA)은 제1 전극(171), 유기 발광층(172), 및 제2 전극(173)이 순차적으로 적층되어 제1 전극(171)으로부터의 정공과 제2 전극(173)으로부터의 전자가 유기 발광층(172)에서 서로 결합되어 발광하는 영역을 나타낸다.
- [0162] 제1 전극(171)과 화소 정의막(190) 상에는 유기 발광층(172)이 형성된다. 유기 발광층(172)은 유기 물질을 포함하여 소정의 색을 발광할 수 있다. 예를 들어, 유기 발광층(172)은 정공 수송층(hole transporting layer), 유기 물질층, 및 전자 수송층(electron transporting layer)을 포함할 수 있다.
- [0163] 제2 전극(173)은 유기 발광층(172) 상에 형성된다. 제2 전극(173)은 유기 발광층(172)을 덮도록 형성될 수 있다. 제2 전극(173)은 서브 화소들(SP1, SP2, SP3)에 공통적으로 형성되는 공통층일 수 있다. 제2 전극(173) 상에는 캡핑층(capping layer)이 형성될 수 있다.
- [0164] 상부 발광 구조에서 제2 전극(173)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 전극(173)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다.
- [0165] 발광 소자층(EML) 상에는 봉지층(TFE)이 형성될 수 있다. 봉지층(TFE)은 발광 소자층(EML)에 산소 또는 수분이 침투되는 것을 방지하기 위해 적어도 하나의 무기막을 포함할 수 있다. 또한, 봉지층(TFE)은 먼지와 같은 이물질로부터 발광 소자층(EML)을 보호하기 위해 적어도 하나의 유기막을 포함할 수 있다.
- [0166] 또는, 발광 소자층(EML) 상에는 봉지층(TFE) 대신에 제2 기판이 배치되며, 발광 소자층(EML)과 제2 기판 사이의 공간은 진공 상태로 비어 있거나 충전 필름이 배치될 수 있다. 충전 필름은 에폭시 충전필름 또는 실리콘 충전필름일 수 있다.
- [0167] 도 14는 도 5의 A 영역의 일 예를 보여주는 평면도이다. 도 15는 도 11의 IV-IV'의 일 예를 보여주는 단면도이다.
- [0168] 도 14 및 도 15를 참조하면, 제k 스캔 라인(Sk)은 배선 영역(LA)에서 제2 연결 콘택홀(BCNT2)을 통해 제1 스캔 연결 라인(SCE1)에 연결될 수 있다. 제1 구동 전압 라인(VDDL)들은 배선 영역(LA)에서 제1 연결 콘택홀(BCNT1)들을 통해 전원 연결 라인들(PCE1, PCE2)에 각각 연결될 수 있다. 예를 들어, 제1 구동 전압 라인(VDDL)들 중 어느 하나는 제1 연결 콘택홀(BCNT1)을 통해 제1 전원 연결 라인(PCE1)에 연결될 수 있다. 제1 구동 전압 라인(VDDL)들 중 또 다른 하나는 제1 연결 콘택홀(BCNT1)을 통해 제1 전원 연결 라인(PCE1)에 연결될 수 있다.

- [0169] 투과 영역(TA)에서 광 투과율을 높이기 위해 투과 영역(TA)에는 도 15와 같이 배선들이 배치되지 않을 수 있다. 즉, 투과 영역(TA)에는 도 15와 같이 버퍼막(BF), 절연막들(130, 141, 142), 보호막(150), 평탄화막들(160, 180), 화소 정의막(190), 제2 전극(173), 및 봉지층(TFE)과 같이 투명한 물질들이 배치될 수 있다. 또한, 투과 영역(TA)에서 광 투과율을 높이기 위해, 버퍼막(BF), 절연막들(130, 141, 142), 보호막(150), 평탄화막들(160, 180), 화소 정의막(190), 및 봉지층(TFE)의 전부 또는 일부가 제거될 수 있다. 또한, 투과 영역(TA)에서 광 투과율을 높이기 위해, 제2 전극(173)이 제거될 수 있다.
- [0170] 배선 영역(LA)에서 제j 데이터 라인(Dj)은 초기화 전압 라인(VIL), 제k-1 스캔 라인(Sk-1), 제k 스캔 라인(Sk), 및 제k 발광 라인(Ek)과 중첩할 수 있다. 제j 데이터 라인(Dj)과 초기화 전압 라인(VIL)의 중첩 면적은 제j 데이터 라인(Dj)과 제k-1 스캔 라인(Sk-1)의 중첩 면적, 제j 데이터 라인(Dj)과 제k 스캔 라인(Sk)의 중첩 면적, 및 제j 데이터 라인(Dj)과 제k 발광 라인(Ek)의 중첩 면적보다 클 수 있다.
- [0171] 배선 영역(LA)에서 제1 전원 연결 라인(PCE1)은 초기화 전압 라인(VIL), 제k-1 스캔 라인(Sk-1), 제k 스캔 라인(Sk), 및 제k 발광 라인(Ek)과 중첩할 수 있다. 제1 전원 연결 라인(PCE1)과 제k-1 스캔 라인(Sk-1)의 중첩 면적은 제1 전원 연결 라인(PCE1)과 초기화 전압 라인(VIL)의 중첩 면적, 제1 전원 연결 라인(PCE1)과 제k 스캔 라인(Sk)의 중첩 면적, 및 제1 전원 연결 라인(PCE1)과 제k 발광 라인(Ek)의 중첩 면적보다 클 수 있다.
- [0172] 배선 영역(LA)에서 제j+1 데이터 라인(Dj+1)은 초기화 전압 라인(VIL), 제k-1 스캔 라인(Sk-1), 제k 스캔 라인(Sk), 및 제k 발광 라인(Ek)과 중첩할 수 있다. 제j+1 데이터 라인(Dj+1)과 제k 스캔 라인(Sk)의 중첩 면적은 제j+1 데이터 라인(Dj+1)과 초기화 전압 라인(VIL)의 중첩 면적, 제j+1 데이터 라인(Dj+1)과 제k-1 스캔 라인(Sk-1)의 중첩 면적, 및 제j+1 데이터 라인(Dj+1)과 제k 발광 라인(Ek)의 중첩 면적보다 클 수 있다.
- [0173] 배선 영역(LA)에서 제2 전원 연결 라인(PCE2)은 초기화 전압 라인(VIL), 제k-1 스캔 라인(Sk-1), 제k 스캔 라인(Sk), 및 제k 발광 라인(Ek)과 중첩할 수 있다. 제2 전원 연결 라인(PCE2)과 제k 발광 라인(Ek)의 중첩 면적은 제2 전원 연결 라인(PCE2)과 초기화 전압 라인(VIL)의 중첩 면적, 제2 전원 연결 라인(PCE2)과 제k-1 스캔 라인(Sk-1)의 중첩 면적, 및 제2 전원 연결 라인(PCE2)과 제k 스캔 라인(Sk)의 중첩 면적보다 클 수 있다.
- [0174] 도 14 및 도 15에서 제1 연결 콘택홀(BCNT1)들이 초기화 전압 라인(VIL)에 중첩하는 것을 예시하였으나, 이에 한정되지 않는다. 제1 연결 콘택홀(BCNT1)들은 제k-1 스캔 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중 어느 하나에 중첩할 수 있다. 또는, 제1 연결 콘택홀(BCNT1)들 중 어느 하나는 초기화 전압 라인(VIL), 제k-1 스캔 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중 어느 한 배선에 중첩하고, 제1 연결 콘택홀(BCNT1)들 중 다른 하나는 초기화 전압 라인(VIL), 제k-1 스캔 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중 다른 배선에 중첩할 수 있다.
- [0175] 배선 영역(LA)에서 제j 데이터 라인(Dj)과 제j+1 데이터 라인(Dj+1)은 제1 소스 금속층(DTL1)으로 형성될 수 있다. 배선 영역(LA)에서 제j 데이터 라인(Dj)과 제j+1 데이터 라인(Dj+1)은 제2 층간 절연막(142) 상에 배치될 수 있다. 이에 비해, 배선 영역(LA)에서 전원 연결 라인들(PCE1, PCE2) 각각은 제2 소스 금속층(DTL2)으로 형성될 수 있다. 배선 영역(LA)에서 전원 연결 라인들(PCE1, PCE2) 각각은 제1 평탄화막(160) 상에 배치될 수 있다. 즉, 배선 영역(LA)에서 제j 데이터 라인(Dj)과 제j+1 데이터 라인(Dj+1)은 전원 연결 라인들(PCE1, PCE2)과 다른 층에 배치될 수 있다.
- [0176] 배선 영역(LA)에서 제j 데이터 라인(Dj), 제j+1 데이터 라인(Dj+1), 및 전원 연결 라인들(PCE1, PCE2)이 동일한 층에 배치되는 경우, 제j 데이터 라인(Dj), 제j+1 데이터 라인(Dj+1), 및 전원 연결 라인들(PCE1, PCE2) 중에서 서로 인접한 배선들의 거리가 미리 정해진 최소 거리보다 가까운 경우 공정 오차로 인해 서로 단락될 수 있다. 그러므로, 배선 영역(LA)에서 제j 데이터 라인(Dj), 제j+1 데이터 라인(Dj+1), 및 전원 연결 라인들(PCE1, PCE2)이 동일한 층에 배치되는 경우, 제j 데이터 라인(Dj), 제j+1 데이터 라인(Dj+1), 및 전원 연결 라인들(PCE1, PCE2) 중에서 서로 인접한 배선들의 간격은 공정 오차를 고려하여 미리 정해진 최소 거리보다 크게 형성된다.
- [0177] 배선 영역(LA)에서 제j 데이터 라인(Dj)과 제j+1 데이터 라인(Dj+1)은 전원 연결 라인들(PCE1, PCE2)과 다른 층에 배치되는 경우, 제j 데이터 라인(Dj), 제j+1 데이터 라인(Dj+1), 및 전원 연결 라인들(PCE1, PCE2) 중에서 서로 인접한 배선들은 서로 다른 층에 배치될 수 있다. 그러므로, 배선 영역(LA)에서 제j 데이터 라인(Dj)과 제j+1 데이터 라인(Dj+1)이 전원 연결 라인들(PCE1, PCE2)과 다른 층에 배치되는 경우, 제j 데이터 라인(Dj), 제j+1 데이터 라인(Dj+1), 및 전원 연결 라인들(PCE1, PCE2) 중에서 서로 인접한 배선들의 간격은 공정 오차를 고려할 필요가 없으므로, 미리 정해진 최소 거리보다 작을 수 있다.

- [0178] 도 14 및 도 15에 도시된 실시예에 의하면, 배선 영역(LA)에서 제j 데이터 라인(Dj)과 제j+1 데이터 라인(Dj+1)이 전원 연결 라인들(PCE1, PCE2)과 다른 층에 배치되는 경우, 서로 인접한 제j 데이터 라인(Dj)과 제1 전원 연결 라인(PCE1)의 간격, 서로 인접한 제j+1 데이터 라인(Dj)과 제1 전원 연결 라인(PCE1)의 간격, 및 서로 인접한 제j+1 데이터 라인(Dj)과 제2 전원 연결 라인(PCE2)의 간격은 배선 영역(LA)에서 제j 데이터 라인(Dj), 제j+1 데이터 라인(Dj+1), 및 전원 연결 라인들(PCE1, PCE2)이 동일한 층에 배치될 때에 비해, 좁게 형성될 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.
- [0179] 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)은 제1 게이트 금속층(GTL1)으로 형성될 수 있다. 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)은 게이트 절연막(130) 상에 배치될 수 있다. 이에 비해, 배선 영역(LA)에서 초기화 전압 라인(VIL)과 제1 스캔 연결 라인(SCE1)은 제2 게이트 금속층(GTL2)으로 형성될 수 있다. 배선 영역(LA)에서 초기화 전압 라인(VIL)과 제1 스캔 연결 라인(SCE1)은 제1 층간 절연막(141) 상에 배치될 수 있다. 즉, 배선 영역(LA)에서 초기화 전압 라인(VIL)과 제1 스캔 연결 라인(SCE1)은 제k-1 스캔 라인(Sk-1) 및 제k 발광 라인(Ek)과 다른 층에 배치될 수 있다.
- [0180] 배선 영역(LA)에서 초기화 전압 라인(VIL), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek)이 동일한 층에 배치되는 경우, 초기화 전압 라인(VIL), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중에서 서로 인접한 배선들의 거리가 미리 정해진 최소 거리보다 가까운 경우 공정 오차로 인해 서로 단락될 수 있다. 그러므로, 배선 영역(LA)에서 초기화 전압 라인(VIL), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek)이 동일한 층에 배치되는 경우, 초기화 전압 라인(VIL), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중에서 서로 인접한 배선들의 간격은 공정 오차를 고려하여 미리 정해진 최소 거리보다 크게 형성된다.
- [0181] 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)이 초기화 전압 라인(VIL) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 초기화 전압 라인(VIL), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중에서 서로 인접한 배선들은 서로 다른 층에 배치될 수 있다. 그러므로, 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)이 초기화 전압 라인(VIL) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 초기화 전압 라인(VIL), 제k-1 스캔 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중에서 서로 인접한 배선들의 간격은 공정 오차를 고려할 필요가 없으므로, 미리 정해진 최소 거리보다 작을 수 있다.
- [0182] 도 14 및 도 15에 도시된 실시예에 의하면, 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)이 초기화 전압 라인(VIL) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 서로 인접한 초기화 전압 라인(VIL)과 제k-1 스캔 라인(Sk-1)의 간격, 서로 인접한 제k-1 스캔 라인(Sk-1)과 제1 스캔 연결 라인(SCE1)의 간격, 및 서로 인접한 제1 스캔 연결 라인(SCE1)과 제k 발광 라인(Ek)의 간격은 배선 영역(LA)에서 초기화 전압 라인(VIL), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek)이 동일한 층에 배치될 때에 비해, 좁게 형성될 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.
- [0183] 도 16은 도 5의 A 영역의 일 예를 보여주는 평면도이다. 도 17은 도 16의 VIII-VIII'의 일 예를 보여주는 단면도이다.
- [0184] 도 16 및 도 17에 도시된 실시예는 초기화 전압 라인(VIL), 제k-1 스캔 라인(Sk-1), 제j 데이터 라인(Dj), 및 제1 전원 연결 라인(PCE1)이 두께 방향(Z축 방향)에서 서로 중첩되게 배치되고, 제k 스캔 라인(Sk), 제k 발광 라인(Ek), 제j+1 데이터 라인(Dj+1), 및 제2 전원 연결 라인(PCE2)이 두께 방향(Z축 방향)에서 서로 중첩되게 배치되는 것에서 도 14 및 도 15에 도시된 실시예와 차이점이 있다.
- [0185] 도 16 및 도 17에 도시된 실시예에 의하면, 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1) 및 제k 발광 라인(Ek)을 초기화 연결 라인(VE) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치함으로써, 서로 인접한 초기화 전압 라인(VIL)과 제k-1 스캔 라인(Sk-1), 및 서로 인접한 제1 스캔 연결 라인(SCE1)과 제k 발광 라인(Ek)을 두께 방향에서 중첩하여 배치할 수 있다. 또한, 배선 영역(LA)에서 제j 데이터 라인(Dj-1) 및 제j 데이터 라인(Dj)을 제1 전원 연결 라인(PCE1) 및 제2 전원 연결 라인(PCE2)과 다른 층에 배치함으로써, 서로 인접한 제j 데이터 라인(Dj-1)과 제1 전원 연결 라인(PCE1), 및 서로 인접한 제j 데이터 라인(Dj)과 제2 전원 연결 라인(PCE2)을 두께 방향에서 중첩하여 배치할 수 있다. 따라서, 배선 영역(LA)의 폭을 도 14 및 도 15에 도시된 실시예보다 더욱 줄일 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.
- [0186] 도 18은 도 5의 A 영역의 일 예를 보여주는 평면도이다. 도 19는 도 18의 V-V'의 일 예를 보여주는 단면도이다.



다.

- [0187] 도 18 및 도 19에 도시된 실시예는 초기화 전압 라인(VIL)이 초기화 연결 라인(VE)에 연결되고, 초기화 연결 라인(VE)과 제1 스캔 연결 라인(SCE1)이 도 11과 같이 차광층(BML)으로 형성되는 것에서 도 14 및 도 15에 도시된 실시예와 차이점이 있다. 도 18 및 도 19에서는 도 14 및 도 15에 도시된 실시예와 차이점 위주로 설명한다.
- [0188] 도 18 및 도 19를 참조하면, 초기화 전압 라인(VIL)은 배선 영역(LA)에서 제3 연결 콘택홀(BCNT3)을 통해 초기화 연결 라인(VE)에 연결될 수 있다. 제k 스캔 라인(Sk)은 배선 영역(LA)에서 제4 연결 콘택홀(BCNT4)을 통해 제1 스캔 연결 라인(SCE1)에 연결될 수 있다.
- [0189] 배선 영역(LA)에서 제j 데이터 라인(Dj), 제1 전원 연결 라인(PCE1), 제j+1 데이터 라인(Dj+1), 및 제2 전원 연결 라인(PCE2) 각각은 초기화 전압 라인(VIL) 대신에 초기화 연결 라인(VE)과 중첩할 수 있다.
- [0190] 배선 영역(LA)에서 초기화 연결 라인(VE)과 제1 스캔 연결 라인(SCE1)은 차광층(BML)으로 형성될 수 있다. 배선 영역(LA)에서 초기화 연결 라인(VE)과 제1 스캔 연결 라인(SCE1)은 버퍼막(BF) 상에 배치될 수 있다. 이에 비해, 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)은 제1 게이트 금속층(GTL1)으로 형성될 수 있다. 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)은 게이트 절연막(130) 상에 배치될 수 있다.
- [0191] 차광층(BML)과 제1 게이트 금속층(GTL1) 사이의 거리가 제1 게이트 금속층(GTL1)과 제2 게이트 금속층(GTL2) 사이의 거리보다 멀다. 그러므로, 커플링으로 인해 차광층(BML)으로 형성되는 초기화 연결 라인(VE)과 제1 스캔 연결 라인(SCE1)과 제k-1 제1 게이트 금속층(GTL1)으로 형성되는 스캔 라인(Sk-1)과 제k 발광 라인(Ek)이 서로 영향을 받는 것을 줄일 수 있다.
- [0192] 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)이 초기화 연결 라인(VE) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 초기화 연결 라인(VE), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중에서 서로 인접한 배선들은 서로 다른 층에 배치될 수 있다. 그러므로, 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)이 초기화 연결 라인(VE) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 초기화 연결 라인(VE), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek) 중에서 서로 인접한 배선들의 간격은 공정 오차를 고려할 필요가 없으므로, 미리 정해진 최소 거리보다 작을 수 있다.
- [0193] 도 18 및 도 19에 도시된 실시예에 의하면, 배선 영역(LA)에서 제k-1 스캔 라인(Sk-1)과 제k 발광 라인(Ek)이 초기화 연결 라인(VE) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 서로 인접한 초기화 연결 라인(VE)과 제k-1 스캔 라인(Sk-1)의 간격, 서로 인접한 제k-1 스캔 라인(Sk-1)과 제1 스캔 연결 라인(SCE1)의 간격, 및 서로 인접한 제1 스캔 연결 라인(SCE1)과 제k 발광 라인(Ek)의 간격은 배선 영역(LA)에서 초기화 연결 라인(VE), 제k-1 데이터 라인(Sk-1), 제1 스캔 연결 라인(SCE1), 및 제k 발광 라인(Ek)이 동일한 층에 배치될 때에 비해, 좁게 형성될 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.
- [0194] 한편, 도 18 및 도 19에서 서로 인접한 초기화 연결 라인(VE)과 제k-1 스캔 라인(Sk-1), 및 서로 인접한 제1 스캔 연결 라인(SCE1)과 제k 발광 라인(Ek)을 두께 방향에서 중첩하여 배치할 수 있다. 또한, 서로 인접한 제j 데이터 라인(Dj-1)과 제1 전원 연결 라인(PCE1), 및 서로 인접한 제j 데이터 라인(Dj)과 제2 전원 연결 라인(PCE2)을 두께 방향에서 중첩하여 배치할 수 있다. 이 경우, 배선 영역(LA)의 폭을 더욱 줄일 수 있으므로, 투과 영역(TA)이 넓어질 수 있다. 도 20은 도 5의 A 영역의 일 예를 보여주는 평면도이다. 도 21은 도 20의 VI-VI'의 일 예를 보여주는 단면도이다.
- [0195] 도 20 및 도 21에 도시된 실시예는 제k-1 스캔 라인(Sk-1)이 제2 스캔 연결 라인(SCE2)에 연결되고, 제k 발광 라인(Ek)이 발광 연결 라인(ECE)에 연결되는 것에서 도 14 및 도 15에 도시된 실시예와 차이점이 있다. 도 20 및 도 21에서는 도 14 및 도 15에 도시된 실시예와 차이점 위주로 설명한다.
- [0196] 도 20 및 도 21을 참조하면, 제k-1 스캔 라인(Sk-1)은 배선 영역(LA)에서 제5 연결 콘택홀(CNT5)을 통해 제2 스캔 연결 라인(SCE2)에 연결될 수 있다. 제k 발광 라인(Ek)은 배선 영역(LA)에서 제5 연결 콘택홀(BCNT5)을 통해 발광 연결 라인(ECE)에 연결될 수 있다.
- [0197] 배선 영역(LA)에서 제j 데이터 라인(Dj), 제1 전원 연결 라인(PCE1), 제j+1 데이터 라인(Dj+1), 및 제2 전원 연결 라인(PCE2) 각각은 제k-1 스캔 라인(Sk-1) 대신에 제2 스캔 연결 라인(SCE2)과 중첩하고, 제k 발광 라인(Ek) 대신에 발광 연결 라인(ECE)과 중첩할 수 있다.

- [0198] 배선 영역(LA)에서 제2 스캔 연결 라인(SCE2)과 발광 연결 라인(ECE)은 차광층(BML)으로 형성될 수 있다. 배선 영역(LA)에서 제2 스캔 연결 라인(SCE2)과 발광 연결 라인(ECE)은 버퍼막(BF) 상에 배치될 수 있다. 이에 비해, 초기화 전압 라인(VIL)과 제1 스캔 연결 라인(SCE1)은 제2 게이트 금속층(GTL2)으로 형성될 수 있다. 배선 영역(LA)에서 초기화 전압 라인(VIL)과 제1 스캔 연결 라인(SCE1)은 제1 층간 절연막(141) 상에 배치될 수 있다.
- [0199] 차광층(BML)과 제2 게이트 금속층(GTL2) 사이의 거리가 제1 게이트 금속층(GTL1)과 제2 게이트 금속층(GTL2) 사이의 거리보다 멀다. 그러므로, 커플링으로 인해 차광층(BML)으로 형성되는 제2 스캔 연결 라인(SCE2) 및 발광 연결 라인(ECE)과 제2 게이트 금속층(GTL2)으로 형성되는 초기화 전압 라인(VIL) 및 제1 스캔 연결 라인(SCE1)이 서로 영향을 받는 것을 줄일 수 있다.
- [0200] 배선 영역(LA)에서 제2 스캔 연결 라인(SCE2)과 발광 연결 라인(ECE)이 초기화 전압 라인(VIL) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 초기화 전압 라인(VIL), 제1 스캔 연결 라인(SCE1), 제2 스캔 연결 라인(SCE2), 및 발광 연결 라인(ECE) 중에서 서로 인접한 배선들은 서로 다른 층에 배치될 수 있다. 그러므로, 배선 영역(LA)에서 제2 스캔 연결 라인(SCE2)과 발광 연결 라인(ECE)이 초기화 전압 라인(VIL) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 초기화 전압 라인(VIL), 제1 스캔 연결 라인(SCE1), 제2 스캔 연결 라인(SCE2), 및 발광 연결 라인(ECE) 중에서 서로 인접한 배선들의 간격은 공정 오차를 고려할 필요가 없으므로, 미리 정해진 최소 거리보다 작을 수 있다.
- [0201] 도 20 및 도 21에 도시된 실시예에 의하면, 배선 영역(LA)에서 제2 스캔 연결 라인(SCE2)과 발광 연결 라인(ECE)이 초기화 전압 라인(VIL) 및 제1 스캔 연결 라인(SCE1)과 다른 층에 배치되는 경우, 서로 인접한 초기화 전압 라인(VIL)과 제2 스캔 연결 라인(SCE2)의 간격, 서로 인접한 제1 스캔 연결 라인(SCE1)과 제2 스캔 연결 라인(SCE2)의 간격, 및 서로 인접한 제1 스캔 연결 라인(SCE1)과 발광 연결 라인(ECE)의 간격은 배선 영역(LA)에서 초기화 전압 라인(VIL), 제1 스캔 연결 라인(SCE1), 제2 스캔 연결 라인(SCE2), 및 발광 연결 라인(ECE)이 동일한 층에 배치될 때에 비해, 좁게 형성될 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.
- [0202] 한편, 도 20 및 도 21에서 서로 인접한 초기화 라인(VIL)과 제2 스캔 연결 라인(SCE2), 및 서로 인접한 제1 스캔 연결 라인(SCE1)과 발광 연결 라인(ECE)을 두께 방향에서 중첩하여 배치할 수 있다. 또한, 서로 인접한 제j 데이터 라인(Dj-1)과 제1 전원 연결 라인(PCE1), 및 서로 인접한 제j 데이터 라인(Dj)과 제2 전원 연결 라인(PCE2)을 두께 방향에서 중첩하여 배치할 수 있다. 이 경우, 배선 영역(LA)의 폭을 더욱 줄일 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.
- [0203] 도 22는 센서 영역의 화소들, 스캔 라인들, 데이터 라인들, 및 제1 구동 전압 라인들의 일 예를 보여주는 평면도이다.
- [0204] 도 22에 도시된 실시예는 제1 구동 전압 라인(VDDL)들과 연결되는 전압 연결 라인(VCE)들이 추가된 것에서 도 5에 도시된 실시예와 차이점이 있다. 도 22에서는 도 5에 도시된 실시예와 차이점 위주로 설명한다.
- [0205] 도 22를 참조하면, 전압 연결 라인(VCE)들은 제1 방향(X축 방향)으로 연장되고, 제1 구동 전압 라인(VDDL)들은 제2 방향(Y축 방향)으로 연장될 수 있다. 전압 연결 라인(VCE)들은 배선 영역(LA)에 배치되며, 제1 구동 전압 라인(VDDL)들은 화소 영역(PA)들과 배선 영역(LA)에 배치될 수 있다. 제1 구동 전압 라인(VDDL)은 화소 영역(PA)에서 전압 연결 라인(VCE)과 접속될 수 있다.
- [0206] 전압 연결 라인(VCE)들은 제1 방향(X축 방향)으로 연장되므로, 전압 연결 라인(VCE)들 중 어느 하나는 투과 영역(TA)의 일 측, 예를 들어 상 측에 배치되고, 전압 연결 라인(VCE)들 중 다른 하나는 투과 영역(TA)의 일 측, 예를 들어 하 측에 배치될 수 있다.
- [0207] 도 22에 도시된 실시예에 의하면, 전압 연결 라인(VCE)들로 인하여, 투과 영역(TA)의 상 측에 배치된 화소 영역(PA)의 제1 구동 전압 라인(VDDL)들은 배선 영역(LA)을 통해 투과 영역(TA)의 하 측에 배치된 화소 영역(PA)의 제1 구동 전압 라인(VDDL)들과 연결될 필요가 없다. 그러므로, 배선 영역(LA)에서 제1 구동 전압 라인(VDDL)들이 생략될 수 있다. 따라서, 배선 영역(LA)에서 배선들의 배치가 간소화될 수 있다.
- [0208] 한편, 도 22와 유사하게, 초기화 전압 라인(VIL)들과 연결되는 제2 전압 연결 라인들이 추가될 수 있으며, 이 경우 초기화 전압 라인(VIL)들이 제1 방향(X축 방향)으로 연장되므로, 제2 전압 연결 라인들은 제2 방향(Y축 방향)으로 연장될 수 있다.
- [0209] 도 23은 도 22의 B 영역의 일 예를 보여주는 평면도이다. 도 24는 도 23의 VII-VII'의 일 예를 보여주는 단면도이다.

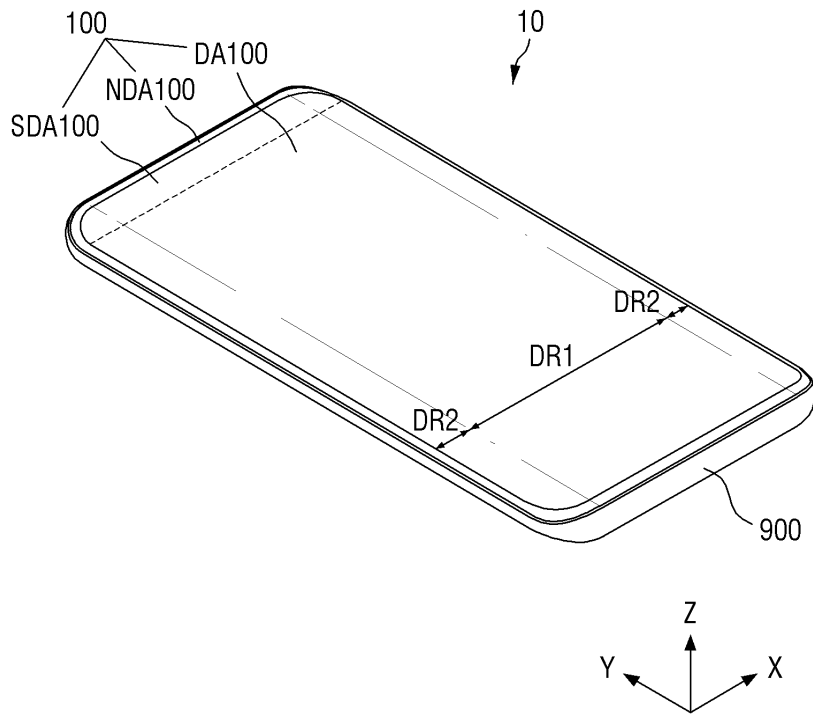
- [0210] 도 23 및 도 24에 도시된 실시예는 제1 구동 전압 라인(VDDL)들에 연결되는 전압 연결 라인(VCE)이 추가되고, 전압 연결 라인들(PCE1, PCE2)이 생략된 것에서 도 14 및 도 15에 도시된 실시예와 차이점이 있다.
- [0211] 도 23 및 도 24를 참조하면, 전압 연결 라인(VCE)은 화소 영역(PA)에서 복수의 제1 구동 전압 라인(VDDL)에 연결될 수 있다. 예를 들어, 제1 방향(X축 방향)으로 인접한 제1 서브 화소(SP1)들과 중첩하는 복수의 제1 구동 전압 라인(VDDL)들은 하나의 전압 연결 라인(VCE)에 연결될 수 있다.
- [0212] 전압 연결 라인(VCE)은 제1 구동 전압 라인(VDDL)과 다른 층에 배치될 수 있다. 이 경우, 전압 연결 라인(VCE)은 제6 연결 콘택홀(BCNT6)을 통해 제1 구동 전압 라인(VDDL)에 연결될 수 있다. 예를 들어, 전압 연결 라인(VCE)은 도 24와 같이 제2 소스 금속층(DTL2)으로 형성되며, 제1 평탄화막(160) 상에 배치될 수 있으나, 이에 한정되지 않는다. 전압 연결 라인(VCE)은 제1 게이트 금속층(GTL1)으로 형성되며, 게이트 절연막(130) 상에 배치될 수 있다. 또는, 전압 연결 라인(VCE)은 제2 게이트 금속층(GTL2)으로 형성되며, 제1 층간 절연막(141) 상에 배치될 수 있다.
- [0213] 또는, 전압 연결 라인(VCE)은 제1 구동 전압 라인(VDDL)과 동일한 층에 배치될 수 있다. 이 경우, 전압 연결 라인(VCE)은 콘택홀 없이 바로 제1 구동 전압 라인(VDDL)에 연결될 수 있다. 전압 연결 라인(VCE)은 제1 구동 전압 라인(VDDL)과 동일한 층에 배치되기 위해서, 제j 데이터 라인(Dj)과 제j+1 데이터 라인(Dj+1) 각각은 화소 영역(PA)에서 별도의 데이터 연결 전극에 연결될 수 있다. 데이터 연결 전극은 전압 연결 라인(VCE)은 제1 구동 전압 라인(VDDL)과 동일한 층에 형성되며, 제1 평탄화막(160) 상에 배치될 수 있다.
- [0214] 한편, 도 23 및 도 24에서 서로 인접한 초기화 라인(VIL)과 제k-1 스캔 라인(Sk-1), 및 서로 인접한 제1 스캔 연결 라인(SCE1)과 제k 발광 라인(Ek)을 두께 방향에서 중첩하여 배치할 수 있다. 이 경우, 배선 영역(LA)의 폭을 더욱 줄일 수 있으므로, 투과 영역(TA)이 넓어질 수 있다.
- [0215] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

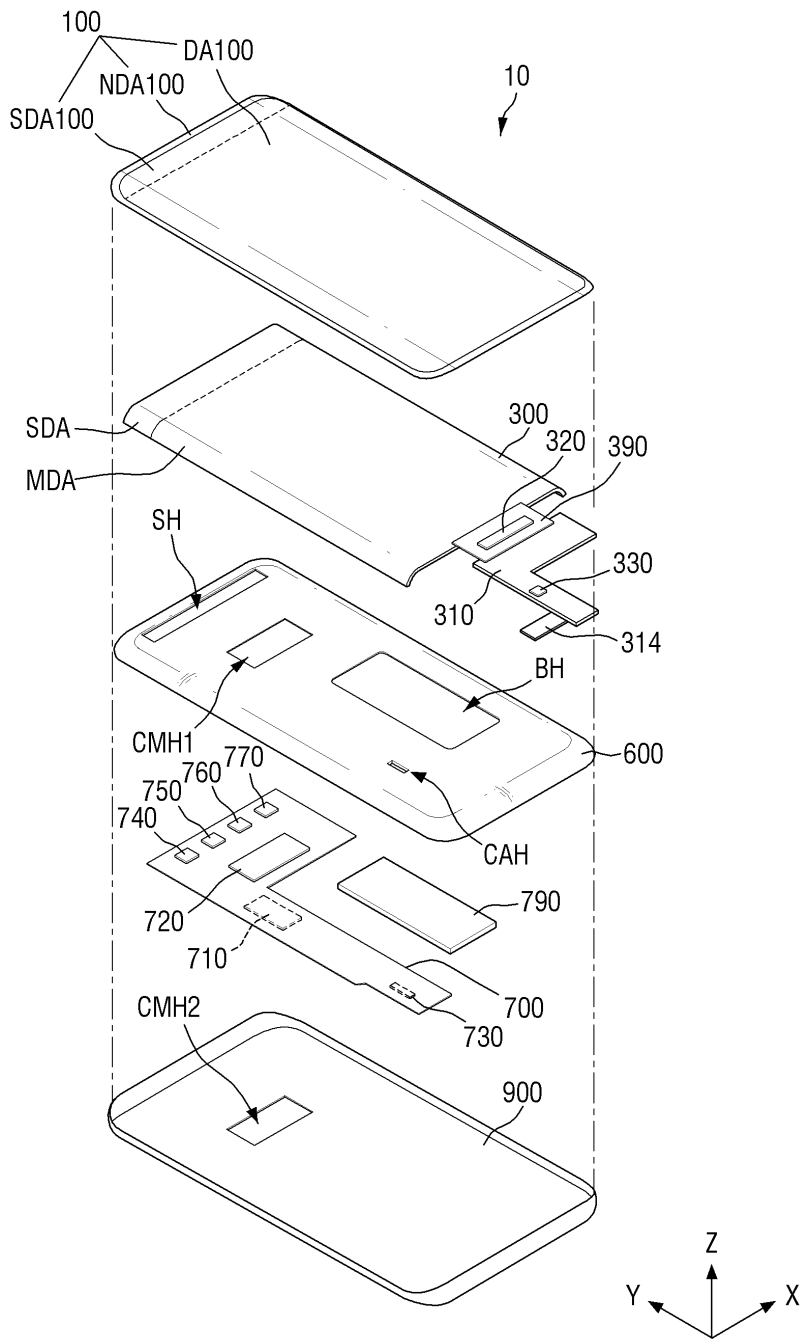
- [0216] 10: 표시 장치    100: 커버 윈도우
- 300: 표시 패널    310: 표시 회로 보드
- 320: 표시 구동 회로    321: 타이밍 제어부
- 322: 데이터 구동부    330: 터치 구동 회로
- 340: 전원 공급부    390: 연성 필름
- 410: 스캔 구동부    420: 발광 제어 구동부

도면

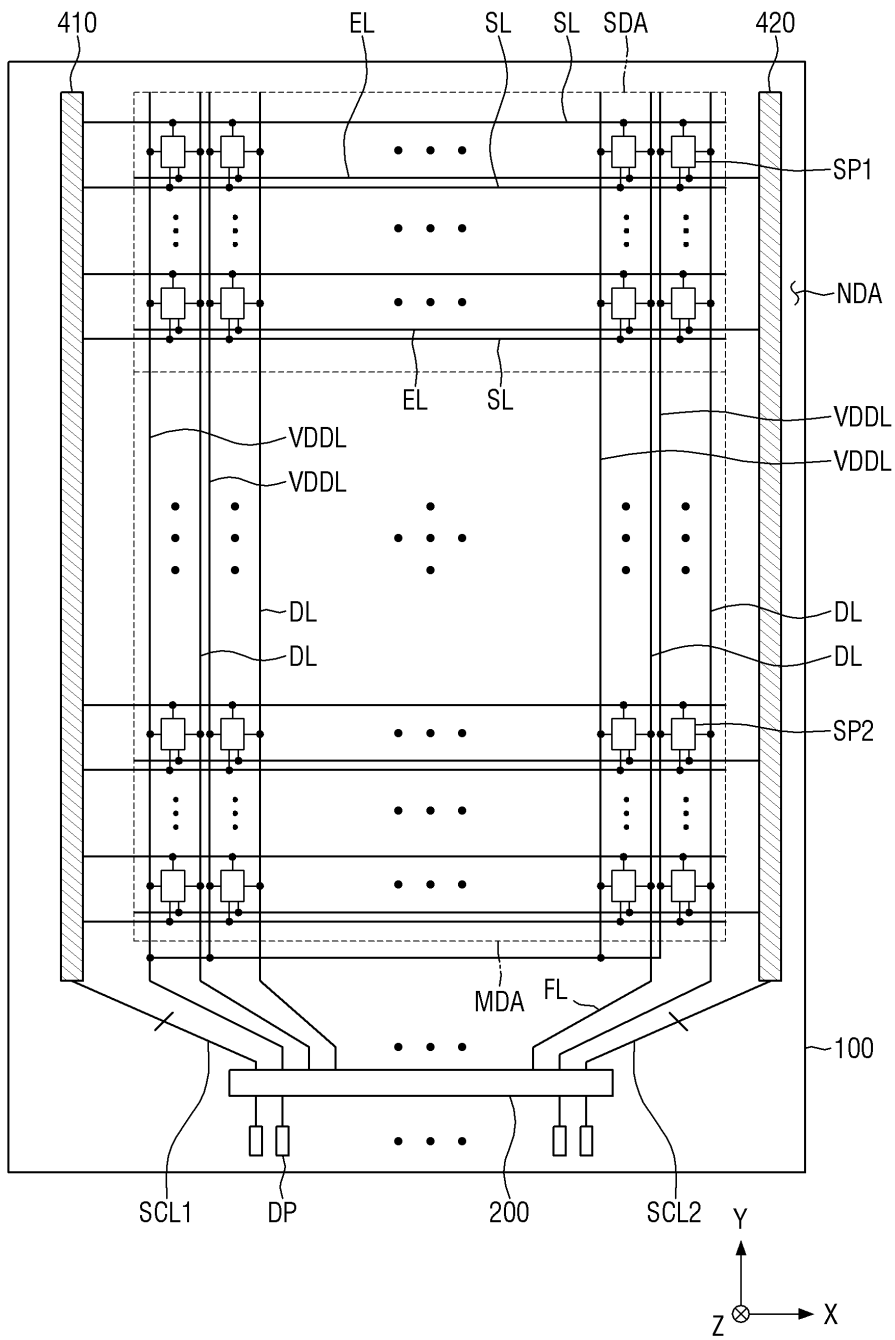
도면1



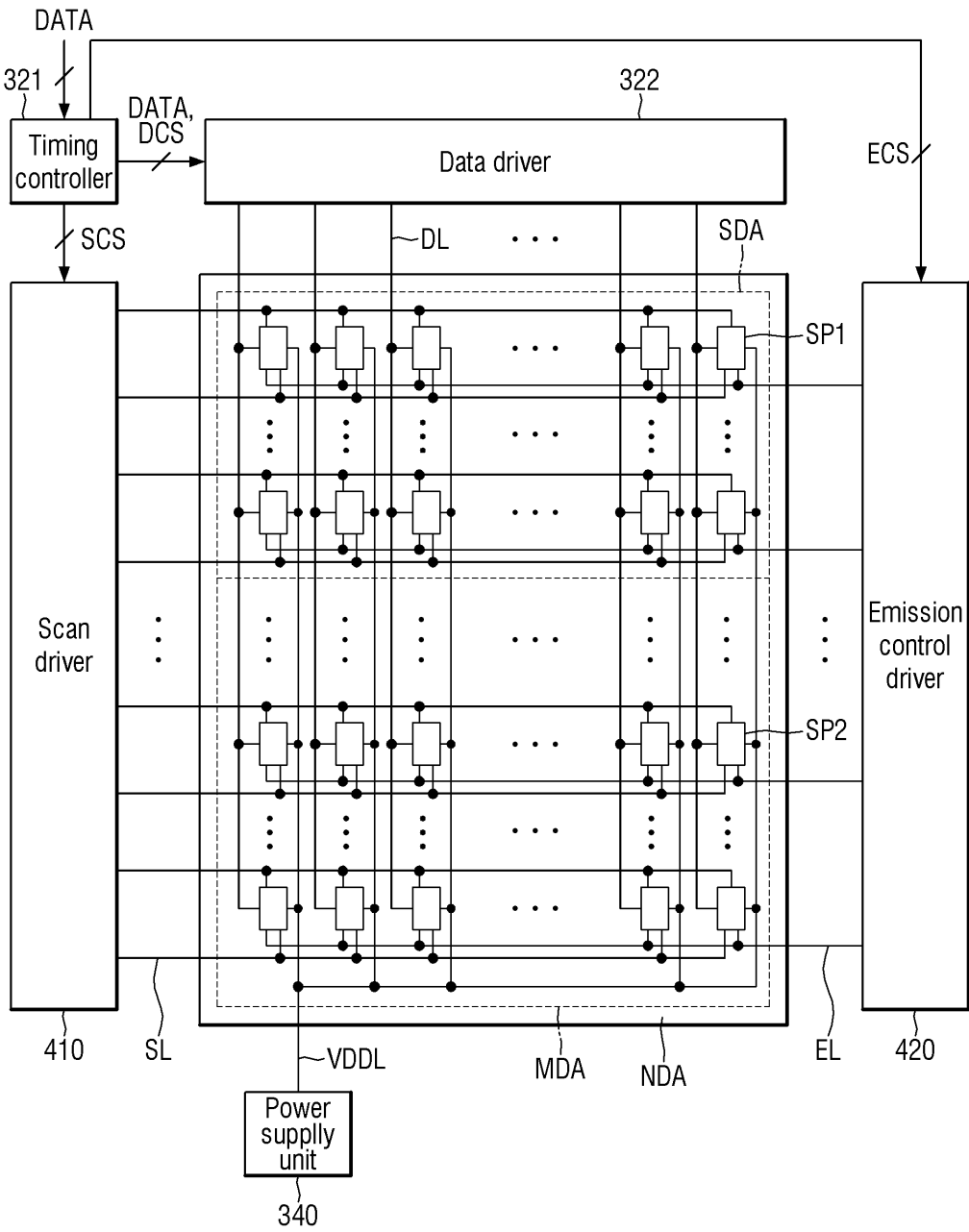
도면2



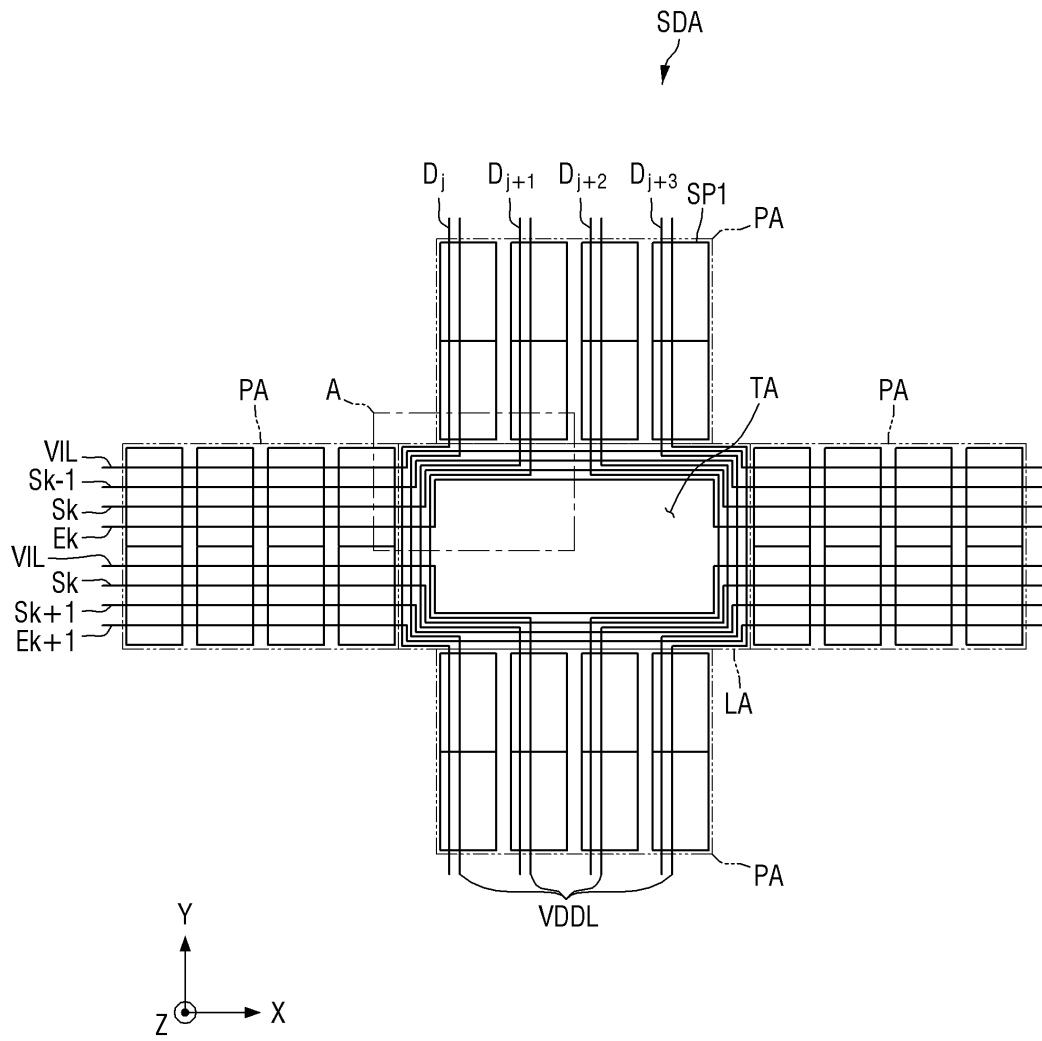
도면3



도면4

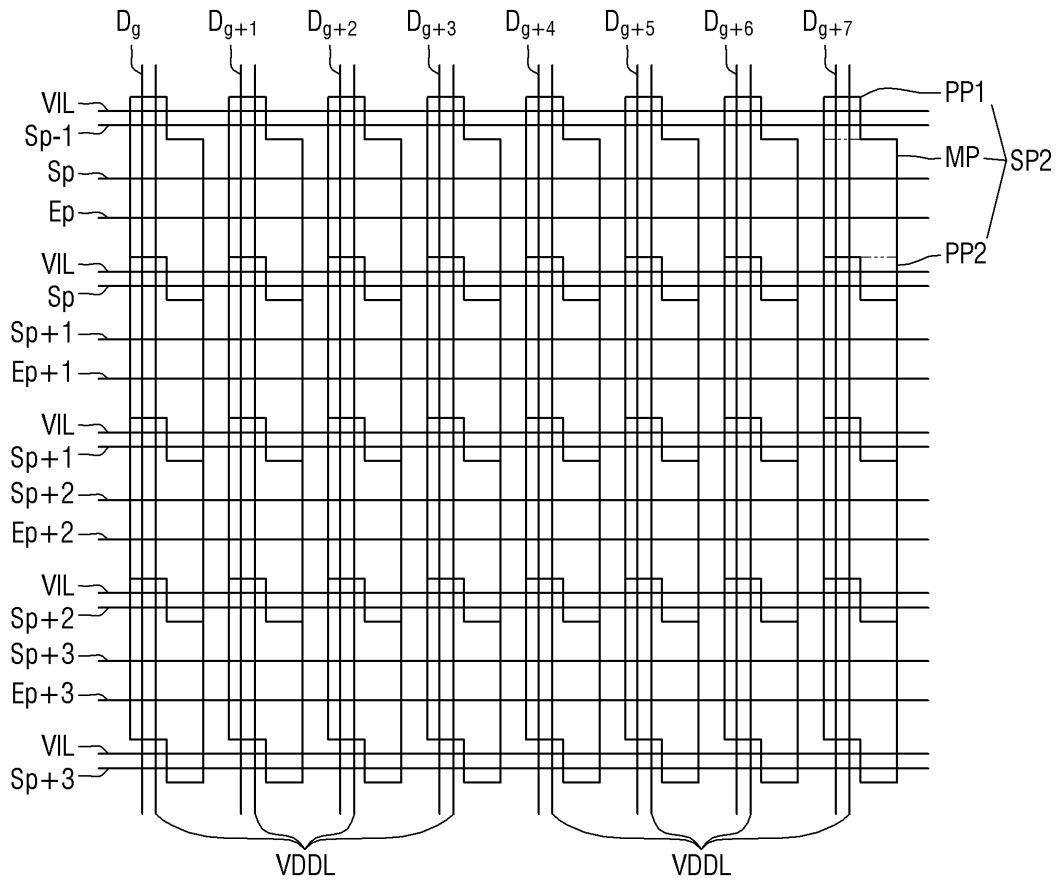


도면5

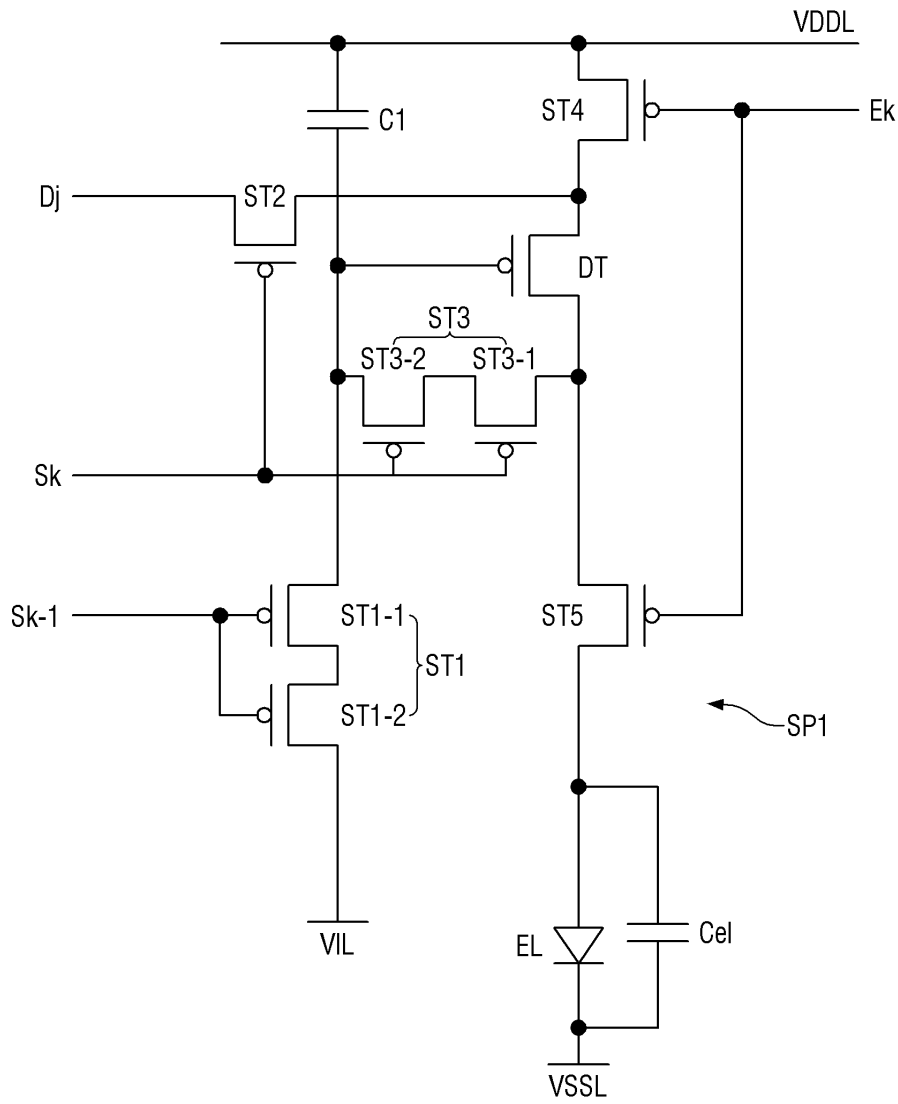




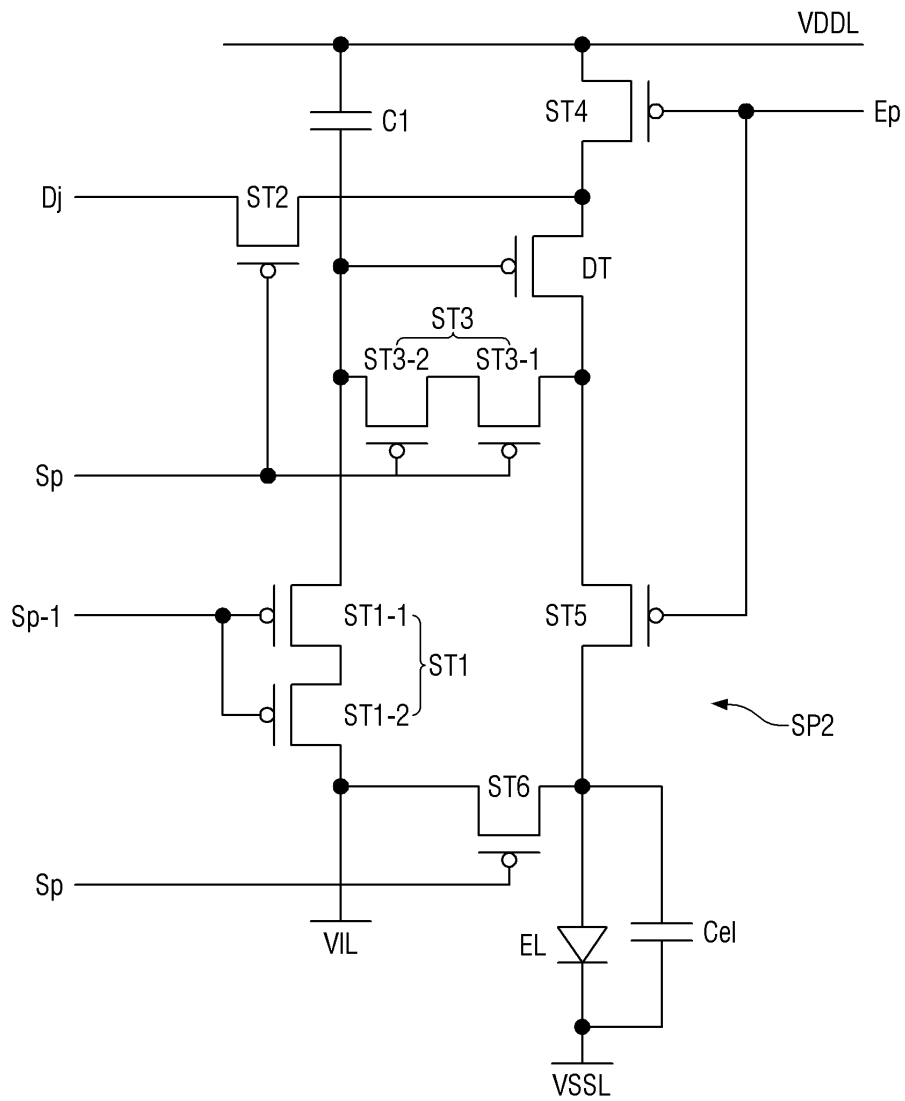
도면6



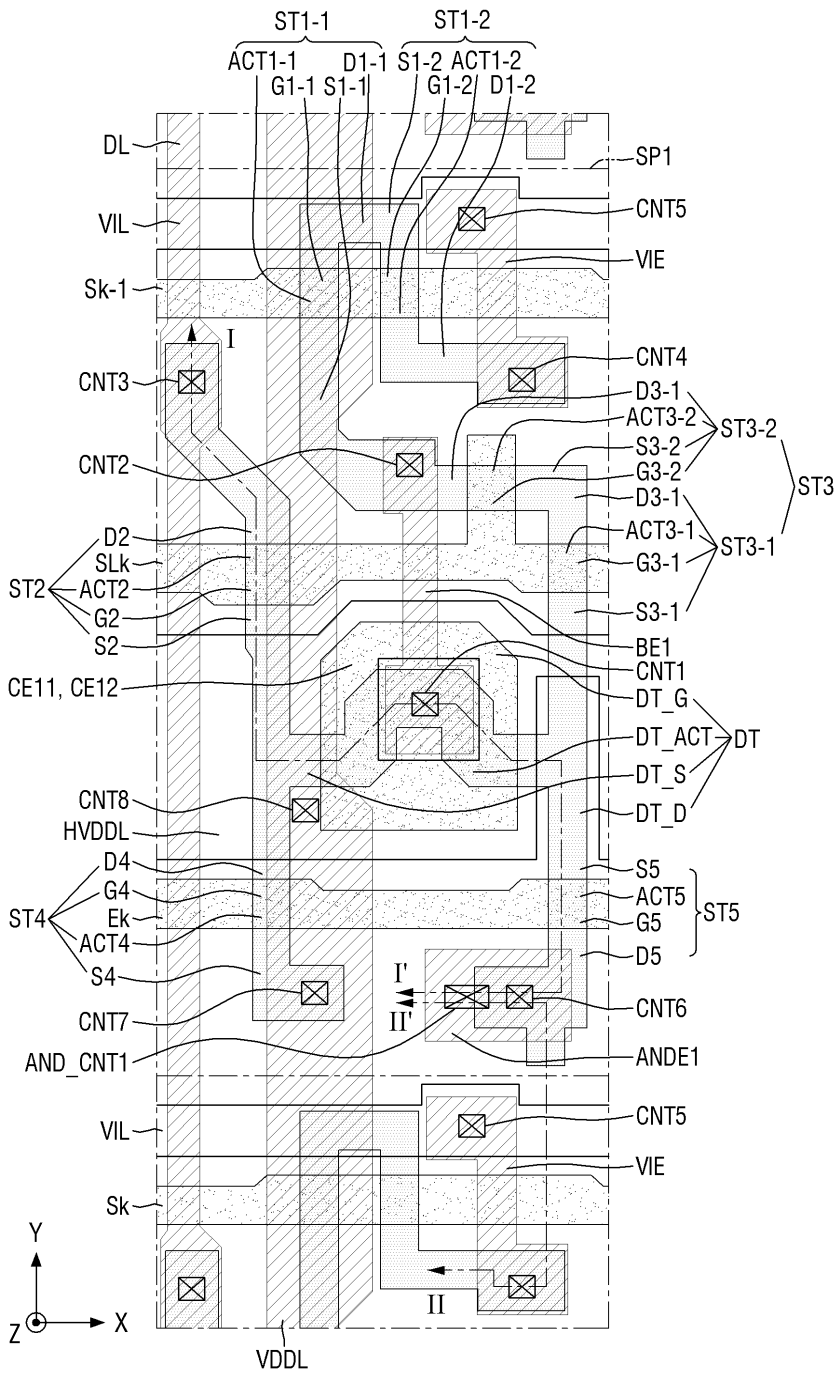
도면7



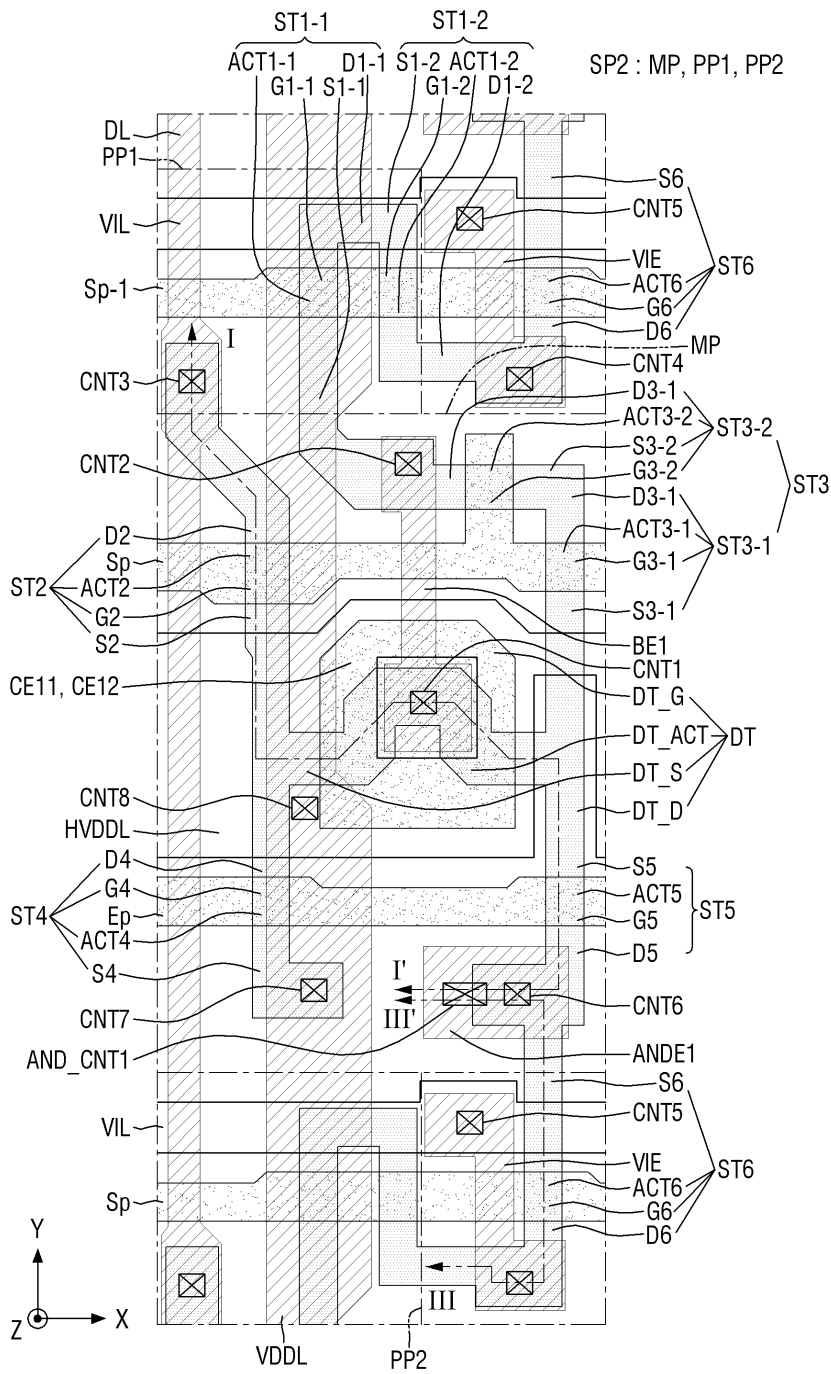
도면8



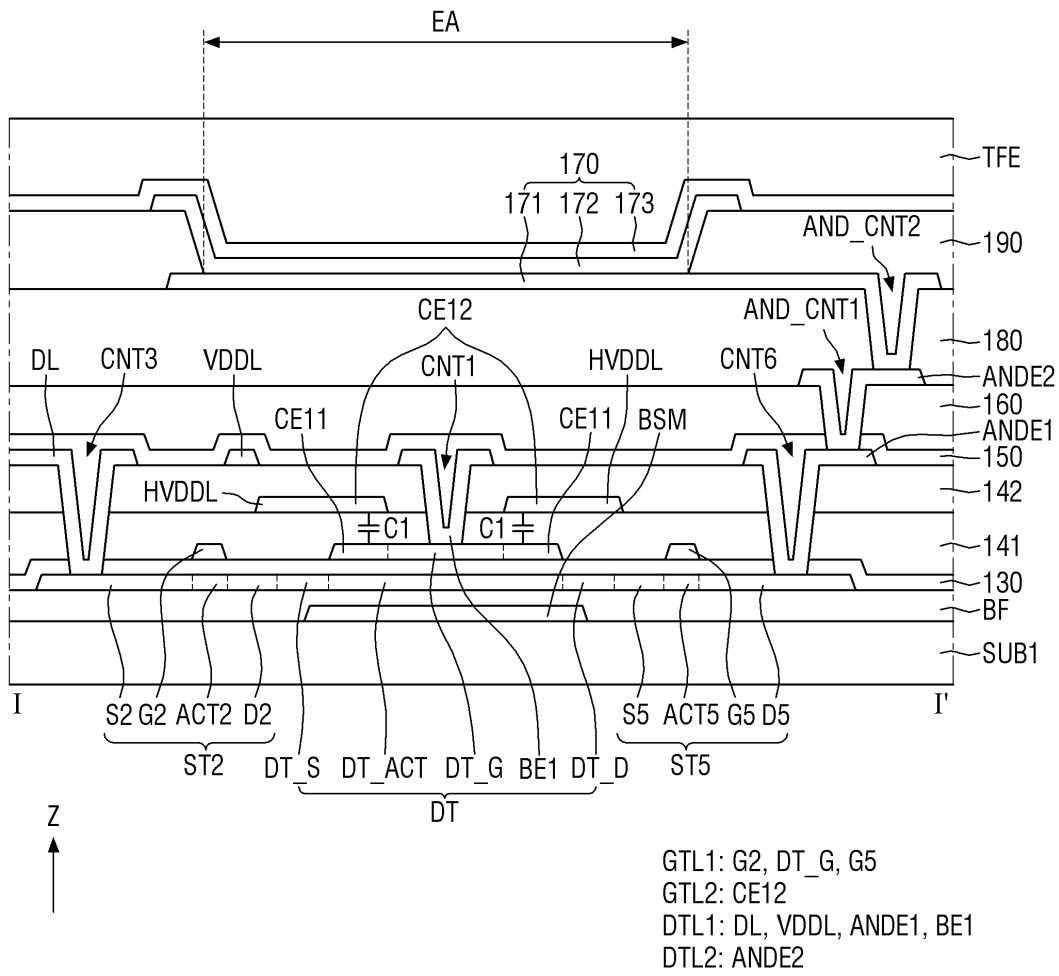
도면9



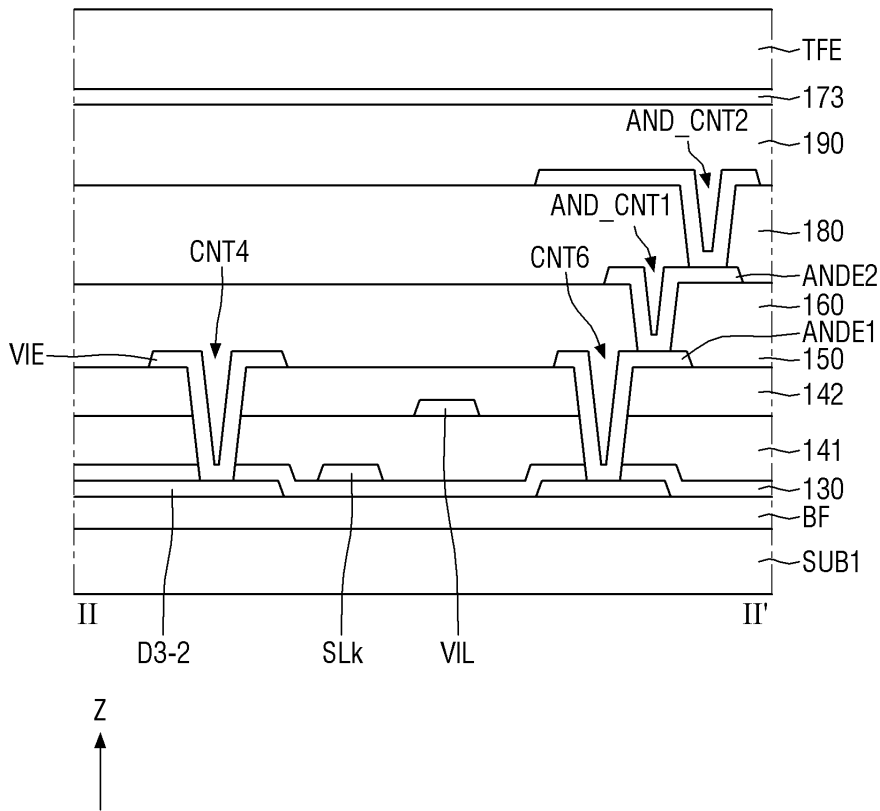
도면10



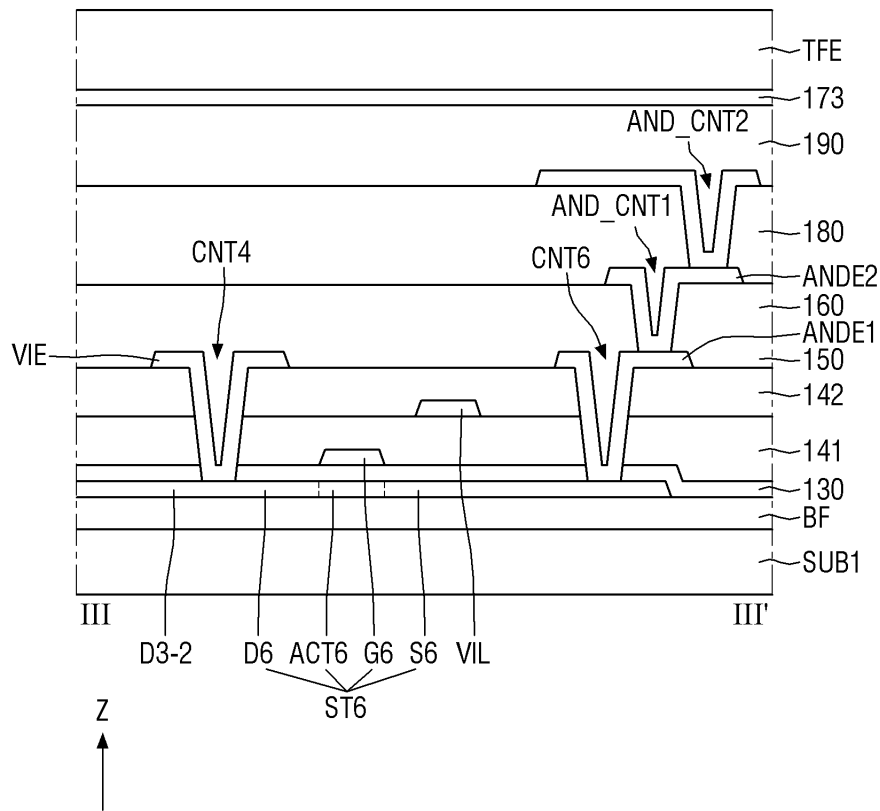
도면11



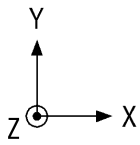
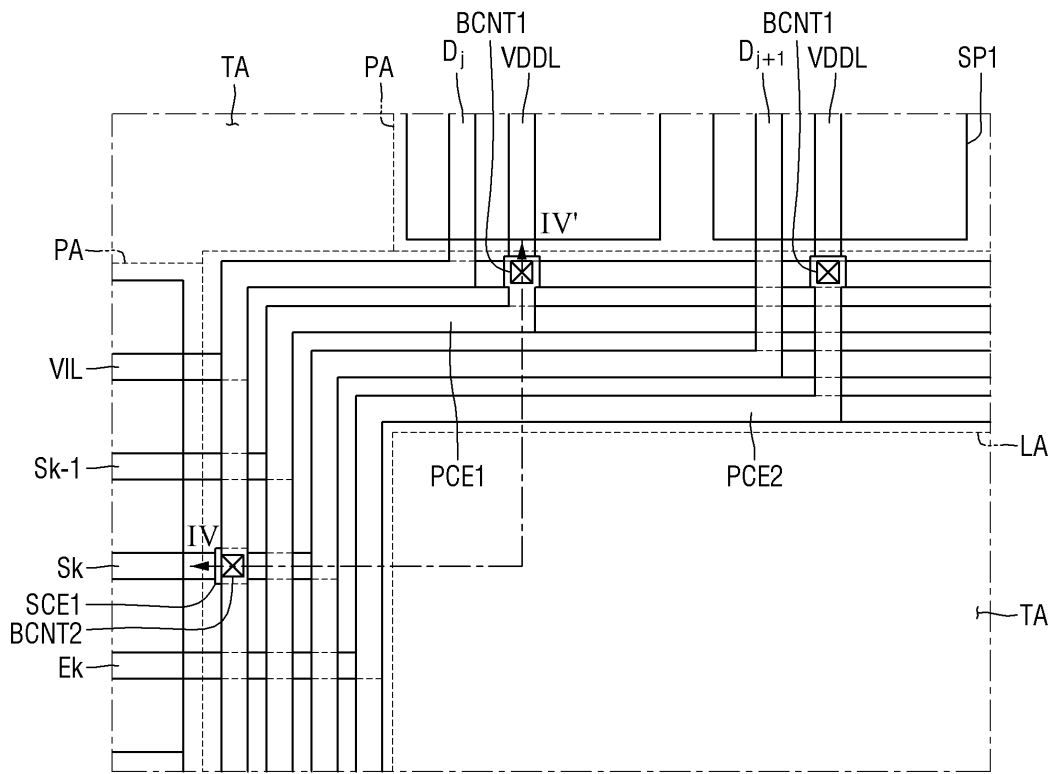
도면12



도면13

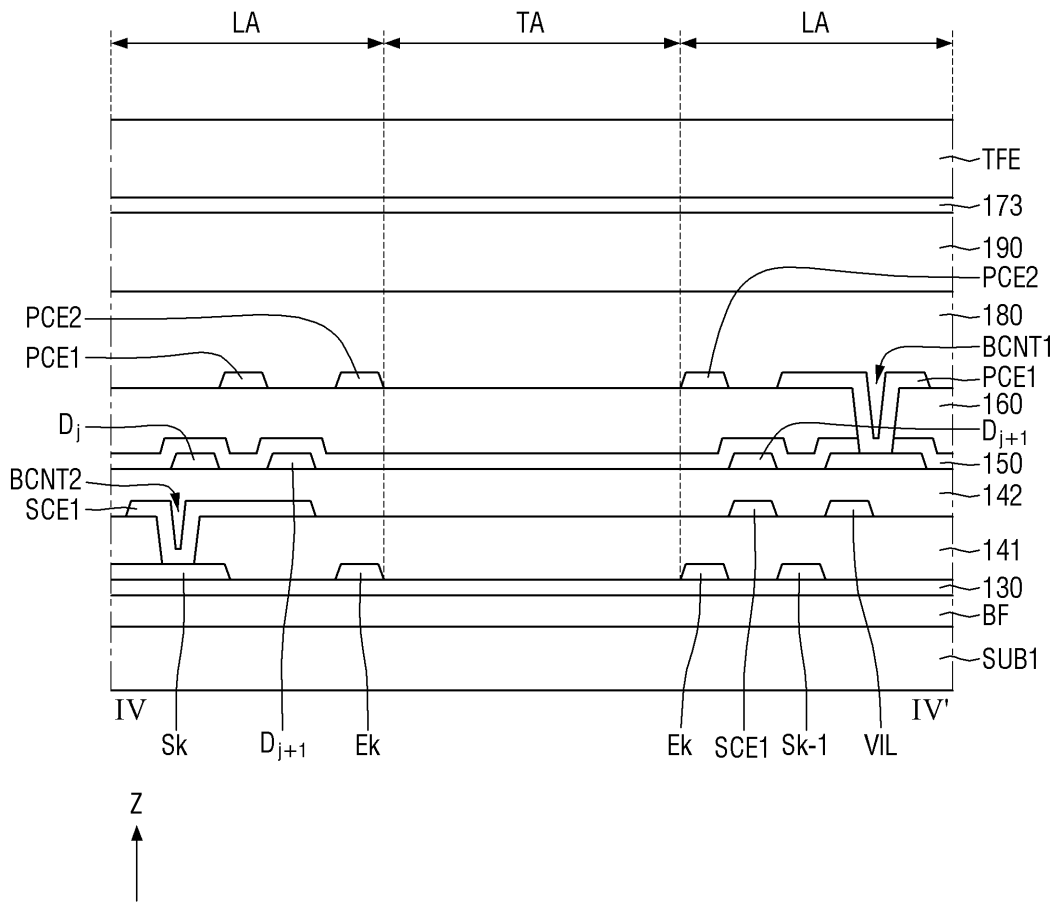


도면14

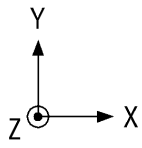
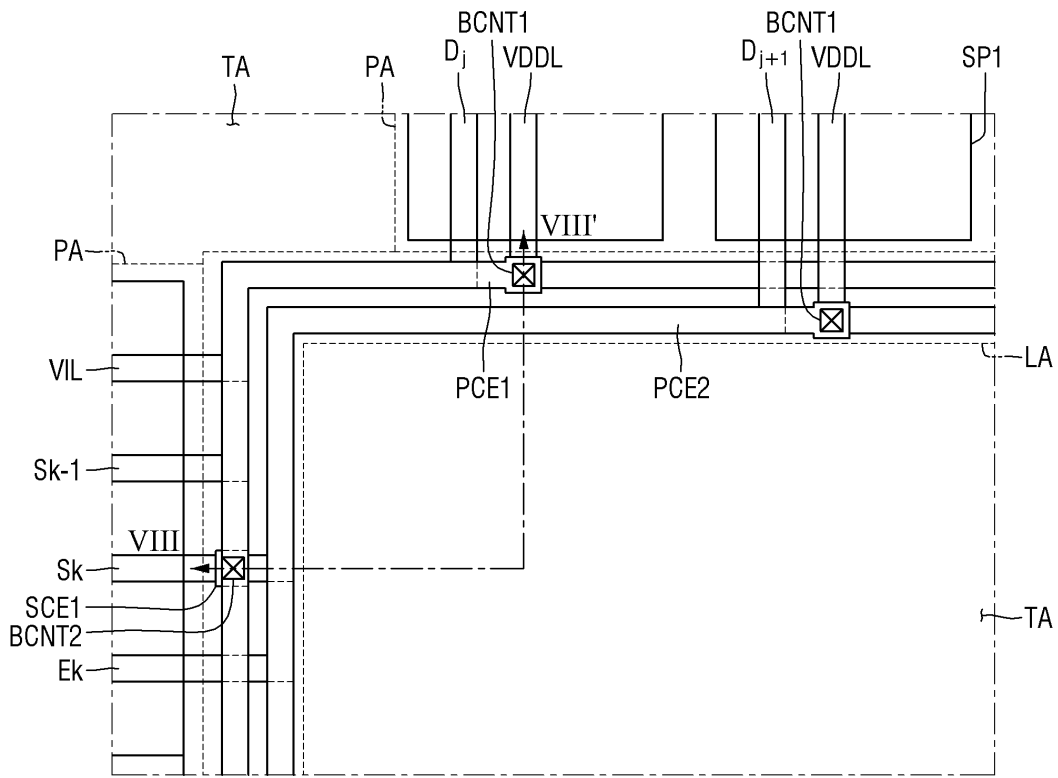




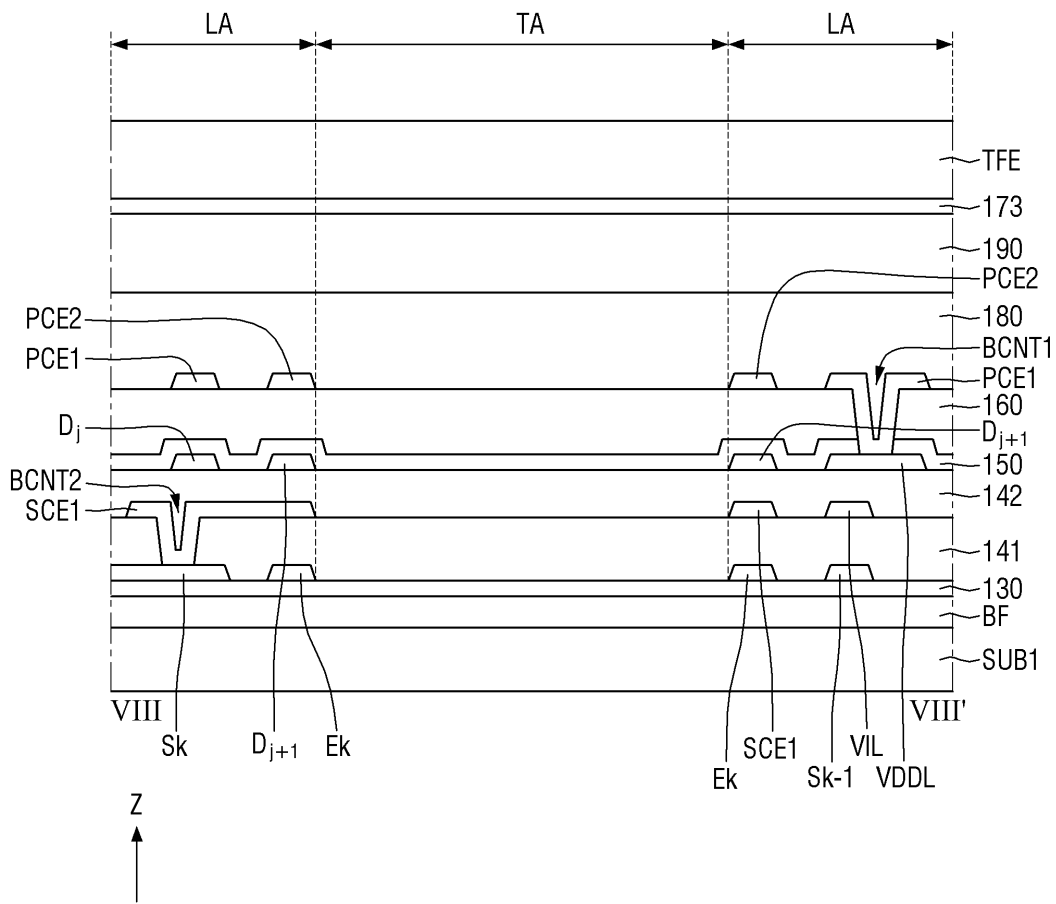
도면15



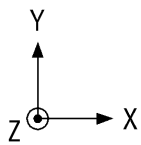
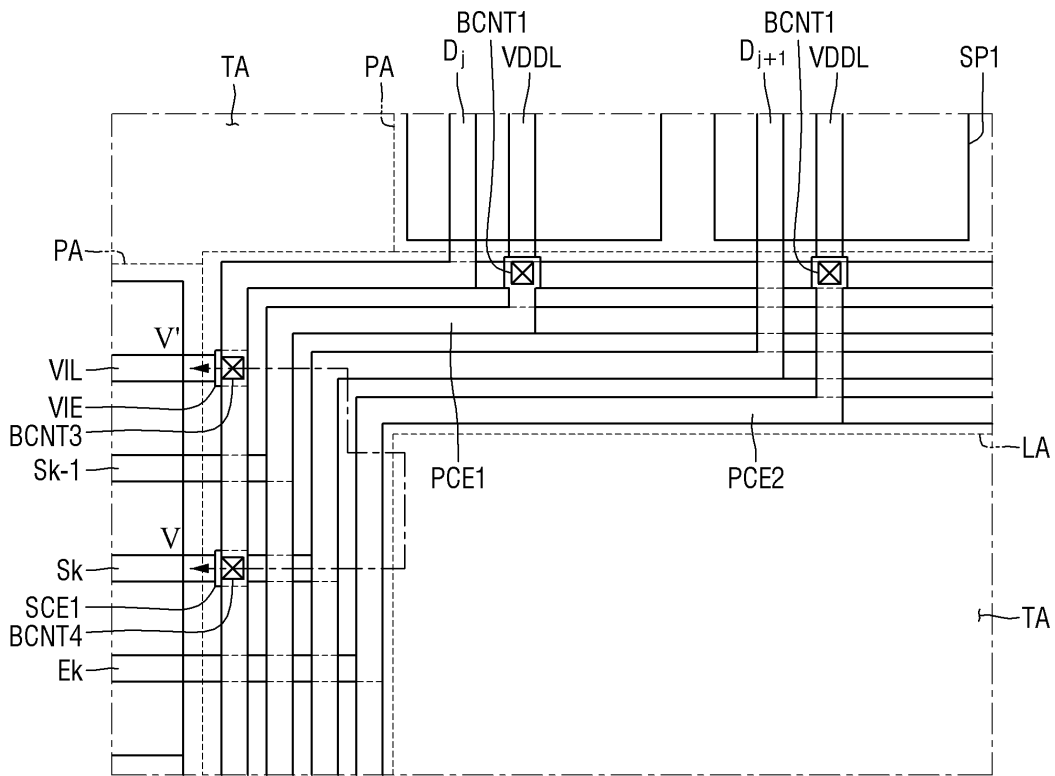
도면16



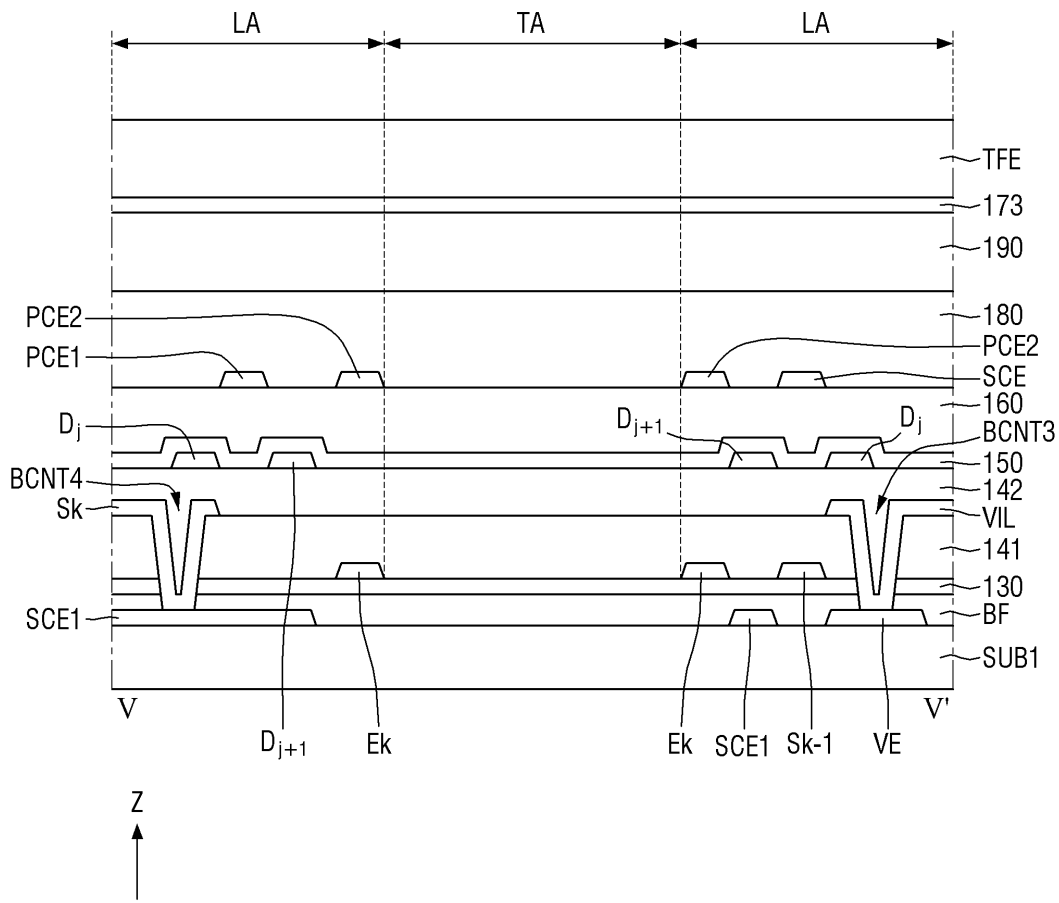
도면17



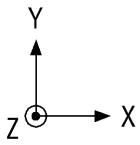
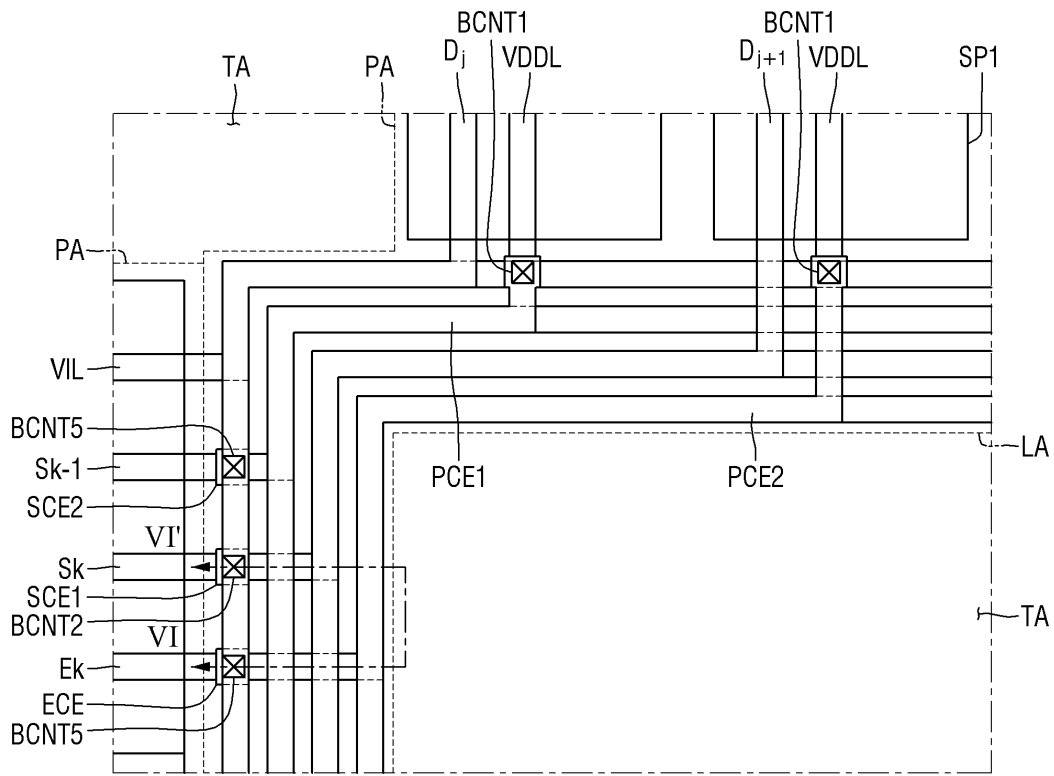
도면18



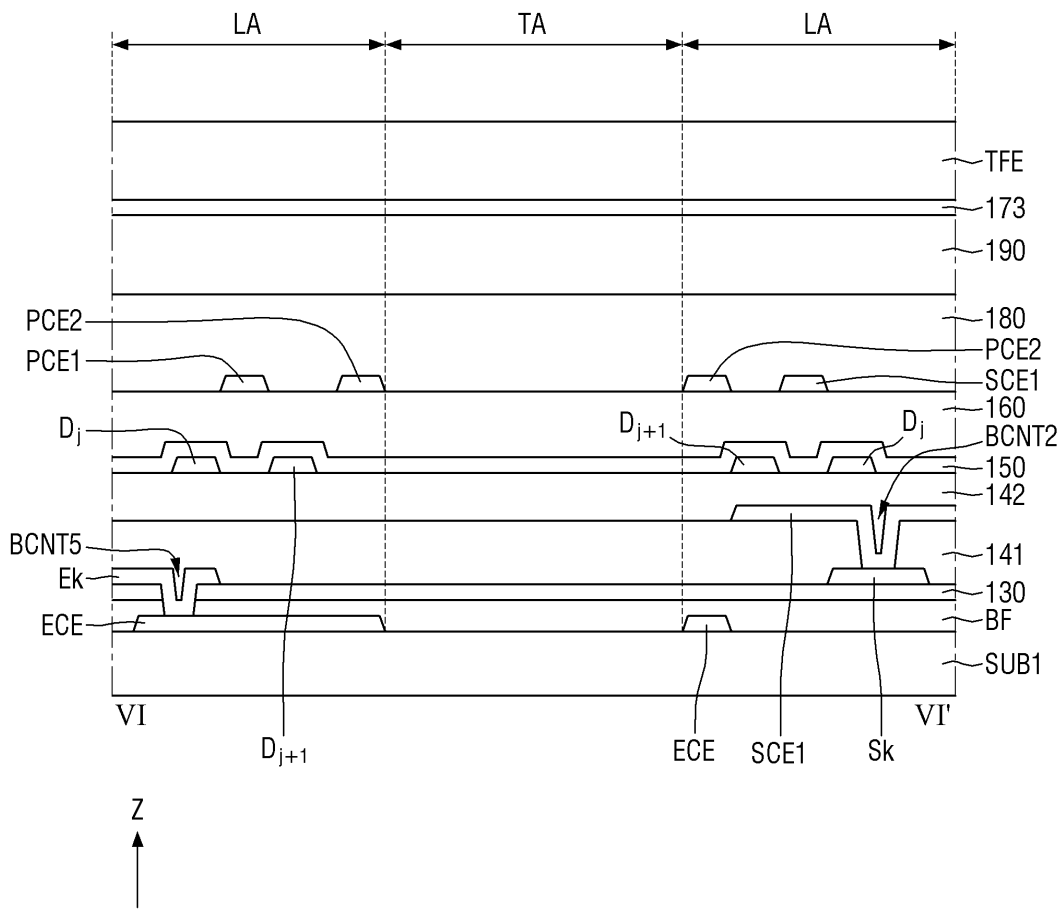
도면19



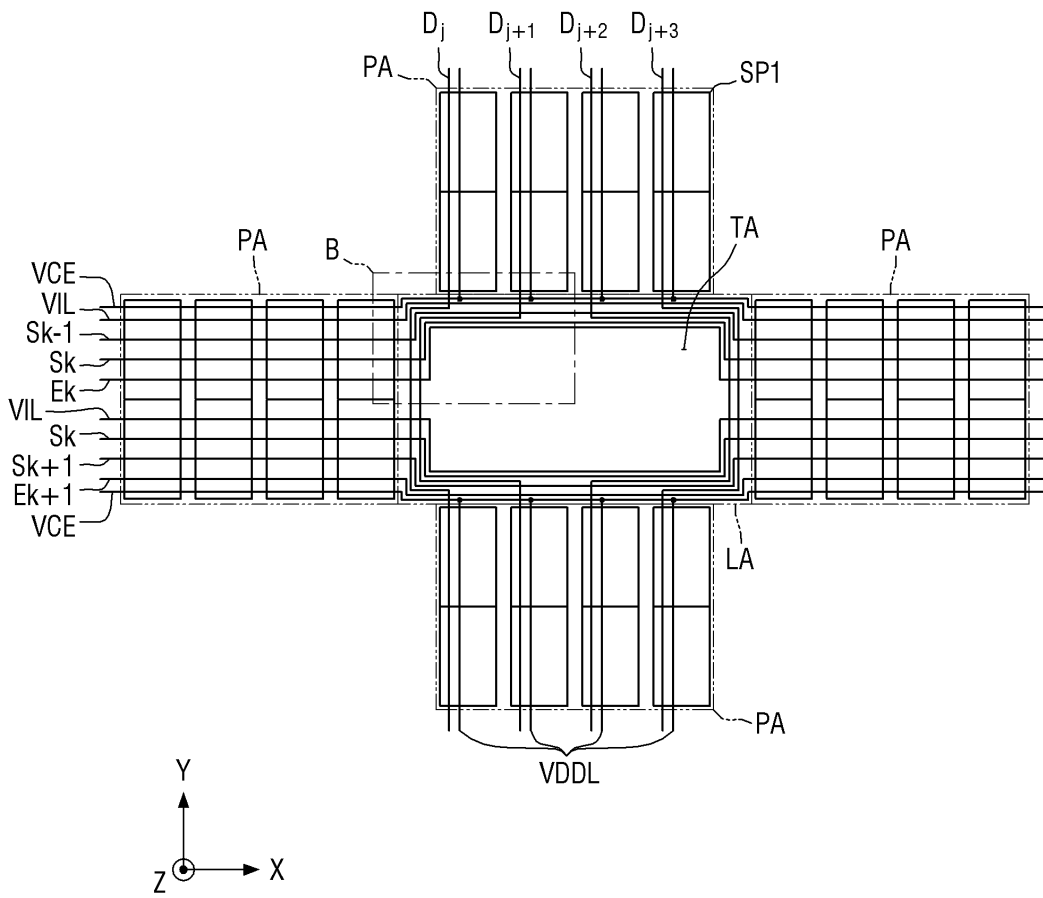
도면20



도면21

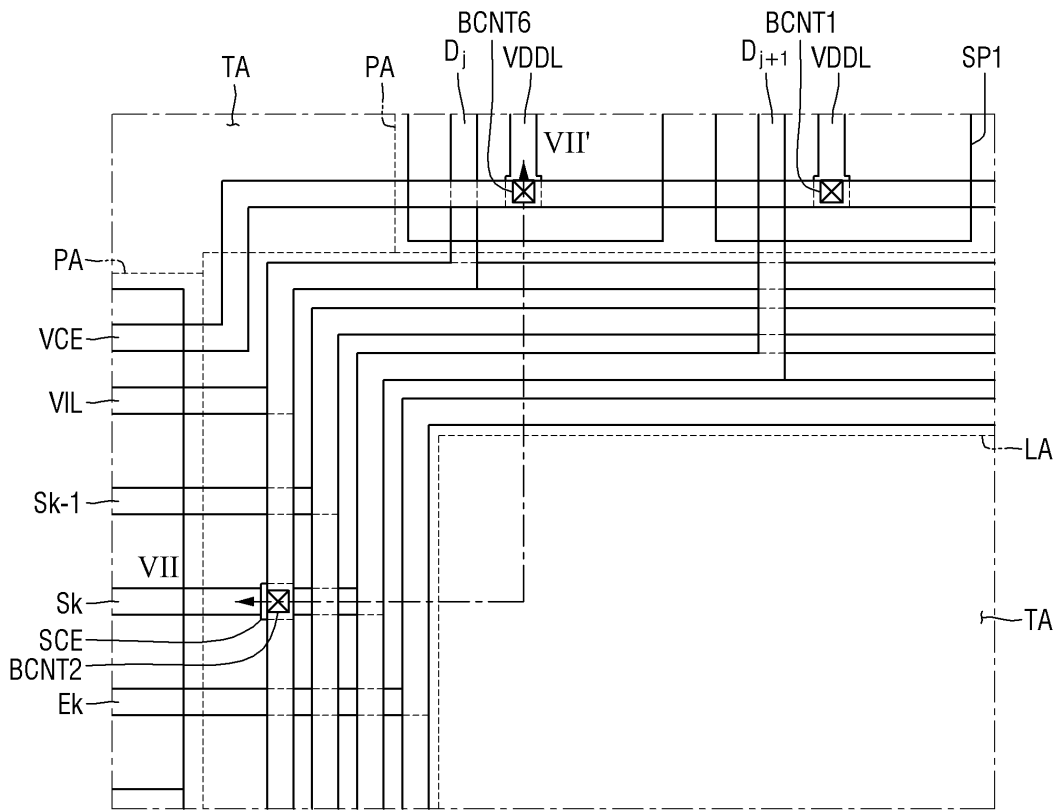


도면22





도면23



도면24

