



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I792236 B

(45) 公告日：中華民國 112 (2023) 年 02 月 11 日

(21) 申請案號：110110270

(22) 申請日：中華民國 110 (2021) 年 03 月 22 日

(51) Int. Cl. : H01L27/22 (2006.01)

H01L43/02 (2006.01)

H01L43/12 (2006.01)

(30) 優先權：2020/04/22 美國

63/014,081

2021/02/05 美國

17/168,974

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：簡鈺人 CHIEN, YU-JEN (TW)；吳榮堂 WU, JUNG-TANG (TW)；吳思樺 WU, SZU-HUA (TW)；李錦思 LEE, CHIN-SZU (TW)；吳孟諭 WU, MENG YU (TW)

(74) 代理人：陳長文；馮博生

(56) 參考文獻：

TW 201923981A

US 2020/0127194A1

審查人員：廖家成

申請專利範圍項數：10 項 圖式數：36 共 78 頁

(54) 名稱

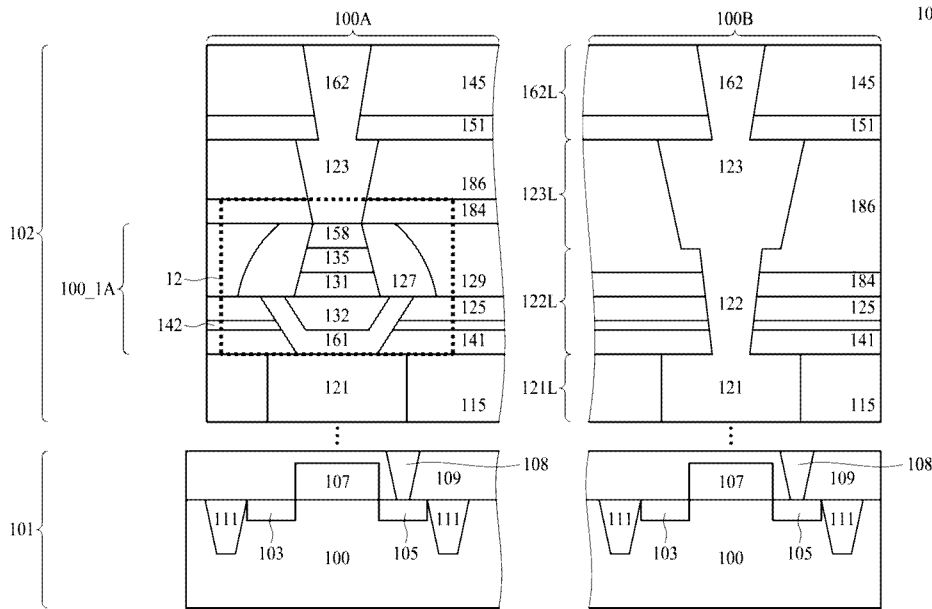
改善蝕刻控制的磁阻式隨機存取記憶體裝置及其製造方法

(57) 摘要

本發明實施例係關於一種製造一半導體裝置之方法，其包含：形成一基板，該基板界定一邏輯區及一記憶體區；跨該邏輯區及該記憶體區沉積一底部電極層；在該底部電極層上方沉積一磁性穿隧界面(MTJ)層；在該 MTJ 層上方沉積一第一導電層；在該第一導電層上方沉積一犧牲層；蝕刻該記憶體區中之一犧牲層以暴露該記憶體區中之該第一導電層，同時保持該邏輯區中之該第一導電層被覆蓋；在該記憶體區及該邏輯區中沉積一第二導電層；圖案化該第二導電層以暴露該記憶體區中之該 MTJ 層；及蝕刻該經圖案化之第二導電層及該 MTJ 層以在該記憶體區中分別形成一頂部電極及一 MTJ。

A method of manufacturing a semiconductor device includes: forming a substrate, the substrate defining a logic region and a memory region; depositing a bottom electrode layer across the logic region and the memory region; depositing a magnetic tunnel junction (MTJ) layer over the bottom electrode layer; depositing a first conductive layer over the MTJ layer; depositing a sacrificial layer over the first conductive layer; etching the sacrificial layer in the memory region to expose the first conductive layer in the memory region while keeping the first conductive layer in the logic region covered; depositing a second conductive layer in the memory region and the logic region; patterning the second conductive layer to expose the MTJ layer in the memory region; and etching the patterned second conductive layer and the MTJ layer to form a top electrode and an MTJ, respectively, in the memory region.

指定代表圖：



【圖1A】

符號簡單說明：

- 10: 半導體結構
- 12: 部分
- 100: 半導體基板
- 100_1A: 磁阻式隨機存取記憶體(MRAM)胞元結構/MRAM 結構
- 100A: 記憶體區
- 100B: 邏輯區
- 101: 電晶體結構
- 102: 金屬化結構
- 103: 源極區
- 105: 汲極區
- 107: 閘極區
- 108: 接觸插塞
- 109: 層間介電質(ILD)
- 111: 淺溝槽隔離區(STI)
- 115: 介電層/金屬間介電質(IMD)層
- 121: 金屬線/第 N 金屬線
- 121L: 第 N 金屬線層
- 122: 金屬通路/第 N 金屬通路
- 122L: 第 N 金屬通路層
- 123: 金屬線/第(N+1)金屬線
- 123L: 第(N+1)金屬線層
- 125: 介電層/IMD 層
- 127: 保護層或間隔件
- 129: 介電層
- 131: 底部電極
- 132: 底部電極通路(BEVA)/BEVA 材料
- 135: 磁性穿隧界面(MTJ)

141:阻障層

142:阻障層

145:介電層/IMD 層

151:阻障層

158:頂部電極

161:襯層

162:金屬通路

162L:第(N+1)金屬通
路層

184:介電層

186:介電層/IMD 層



I792236

【發明摘要】

【中文發明名稱】

改善蝕刻控制的磁阻式隨機存取記憶體裝置及其製造方法

【英文發明名稱】

MRAM DEVICE WITH ENHANCED ETCH CONTROL AND
METHOD OF MANUFACTURING THE SAME

【中文】

本發明實施例係關於一種製造一半導體裝置之方法，其包含：形成一基板，該基板界定一邏輯區及一記憶體區；跨該邏輯區及該記憶體區沉積一底部電極層；在該底部電極層上方沉積一磁性穿隧接面(MTJ)層；在該MTJ層上方沉積一第一導電層；在該第一導電層上方沉積一犧牲層；蝕刻該記憶體區中之一犧牲層以暴露該記憶體區中之該第一導電層，同時保持該邏輯區中之該第一導電層被覆蓋；在該記憶體區及該邏輯區中沉積一第二導電層；圖案化該第二導電層以暴露該記憶體區中之該MTJ層；及蝕刻該經圖案化之第二導電層及該MTJ層以在該記憶體區中分別形成一頂部電極及一MTJ。

【英文】

A method of manufacturing a semiconductor device includes: forming a substrate, the substrate defining a logic region and a memory region; depositing a bottom electrode layer across the logic region and the memory region; depositing a magnetic tunnel junction (MTJ) layer over the bottom electrode layer; depositing a first conductive layer over the MTJ layer; depositing a sacrificial layer over the first conductive layer;

etching the sacrificial layer in the memory region to expose the first conductive layer in the memory region while keeping the first conductive layer in the logic region covered; depositing a second conductive layer in the memory region and the logic region; patterning the second conductive layer to expose the MTJ layer in the memory region; and etching the patterned second conductive layer and the MTJ layer to form a top electrode and an MTJ, respectively, in the memory region.

【指定代表圖】

圖1A

【代表圖之符號簡單說明】

10:半導體結構

12:部分

100:半導體基板

100_1A:磁阻式隨機存取記憶體(MRAM)胞元結構/MRAM結構

100A:記憶體區

100B:邏輯區

101:電晶體結構

102:金屬化結構

103:源極區

105:汲極區

107:閘極區

108:接觸插塞

109:層間介電質(ILD)

111:淺溝槽隔離區(STI)
115:介電層/金屬間介電質(IMD)層
121:金屬線/第N金屬線
121L:第N金屬線層
122:金屬通路/第N金屬通路
122L:第N金屬通路層
123:金屬線/第(N+1)金屬線
123L:第(N+1)金屬線層
125:介電層/IMD層
127:保護層或間隔件
129:介電層
131:底部電極
132:底部電極通路(BEVA)/BEVA材料
135:磁性穿隧接面(MTJ)
141:阻障層
142:阻障層
145:介電層/IMD層
151:阻障層
158:頂部電極
161:襯層
162:金屬通路
162L:第(N+1)金屬通路層
184:介電層
186:介電層/IMD層

【發明說明書】

【中文發明名稱】

改善蝕刻控制的磁阻式隨機存取記憶體裝置及其製造方法

【英文發明名稱】

MRAM DEVICE WITH ENHANCED ETCH CONTROL AND
METHOD OF MANUFACTURING THE SAME

【技術領域】

【0001】 本發明實施例係有關改善蝕刻控制的磁阻式隨機存取記憶體的製造方法。

【先前技術】

【0002】 半導體用於針對包含無線電、電視機、行動電話及個人運算裝置之電子應用之積體電路中。一種類型之熟知半導體裝置係一半導體儲存裝置，諸如動態隨機存取記憶體(DRAM)或快閃記憶體，其等兩者皆使用電荷來儲存資訊。

【0003】 半導體記憶體裝置中之一最新近發展涉及使用自旋電子器件之一磁阻式隨機存取記憶體(MRAM)，其組一半導體技術與磁性材料及裝置。電子之自旋極化而非電子之電荷用來指示狀態「1」或「0」。一種此自旋電子裝置係使用自旋扭矩轉移(STT)之一磁性穿隧界面(MTJ)裝置。

【發明內容】

【0004】 本發明的一實施例係關於一種製造一半導體裝置之方法，其包括：提供一基板，該基板包括一邏輯區及一記憶體區；跨該邏輯區及該記憶體區沉積一底部電極層；在該底部電極層上方沉積一磁性穿隧界面

(MTJ)層；在該MTJ層上方沉積一第一導電層；在該第一導電層上方沉積一犧牲層；蝕刻該記憶體區中之該犧牲層以暴露該記憶體區中之該第一導電層，同時保持該邏輯區中之該第一導電層被覆蓋；在該記憶體區及該邏輯區中沉積一第二導電層；圖案化該第二導電層以暴露該記憶體區中之該MTJ層；及蝕刻該經圖案化之第二導電層及該MTJ層以在該記憶體區中分別形成一頂部電極及一MTJ。

【0005】 本發明的一實施例係關於一種製造一半導體裝置之方法，其包括：形成一基板，該基板包括一邏輯區及一記憶體區；在該基板上方沉積一底部電極層及一磁性穿隧界面(MTJ)層；在該MTJ層上方沉積一第一導電層；在該第一導電層上方沉積一蝕刻緩衝層；蝕刻該記憶體區中之該蝕刻緩衝層以暴露該記憶體區中之該第一導電層，同時保持該邏輯區中之該第一導電層被覆蓋；在該記憶體區及該邏輯區中之該第一導電層及該蝕刻緩衝層上方分別沉積一第二導電層；在該第二導電層上方沉積一遮罩層；圖案化該遮罩層以在該記憶體區中形成一頂部電極之一圖案；藉由將該圖案轉印至該第一導電層及該第二導電層來圖案化該第一導電層及該第二導電層；及使用一蝕刻操作蝕刻該遮罩層、該等經圖案化之第一及第二導電層、該MTJ層及該底部電極層以在該記憶體區中形成該頂部電極、一MTJ及一底部電極。

【0006】 本發明的一實施例係關於一種半導體裝置，其包括：一基板，該半導體裝置界定一記憶體區及一邏輯區；及一記憶體裝置，其經配置於該基板上方之該記憶體區中，該記憶體裝置包括：一底部電極通路，其經配置於該基板上方；一底部電極，其經配置於該底部電極通路上方；一磁性穿隧界面(MTJ)，其經配置於該底部電極上方；及一頂部電極，其

經配置於該MTJ上方，該頂部電極包括一上部分及與該上部分分離之一下部分。

【圖式簡單說明】

【0007】 當結合附圖閱讀時，自下文詳細描述最好地理解本揭露之態樣。應注意，根據標準工業實踐，各種構件未必按比例繪製。事實上，為清楚論述起見，可任意地增大或減小各種構件之尺寸。

【0008】 圖1A係根據本揭露之一些實施例之一半導體結構之一橫截面圖。

【0009】 圖1B係根據本揭露之一些實施例之圖1A中之半導體結構之一MRAM結構之一放大透視圖。

【0010】 圖2、圖3、圖4、圖5、圖6、圖7、圖8、圖9、圖10A、圖10B、圖11、圖12、圖13、圖14、圖15、圖16、圖17、圖18、圖19、圖20、圖21、圖22、圖23、圖24及圖25係根據本揭露之一些實施例之製造一半導體結構之中間階段之橫截面圖。

【0011】 圖26、圖27、圖28、圖29、圖30及圖31係根據本揭露之一些實施例之製造一半導體結構之中間階段之橫截面圖。

【0012】 圖32、圖33、圖34、圖35及圖36係根據本揭露之一些實施例之製造一半導體結構之中間階段之橫截面圖。

【實施方式】

【0013】 下文揭露提供用於實施所提供標的物之不同特徵之諸多不同實施例或實例。下文描述組件及配置之特定實例以簡化本揭露。當然，此等僅僅係實例且並非意欲於限制性。例如，在下文描述中一第一構件形成於一第二構件上方或上可包含其中第一構件及第二構件經形成為直接接

觸之實施例，且亦可包含其中額外構件可經形成於第一構件與第二構件之間，使得第一構件及第二構件可不直接接觸之實施例。另外，本揭露可在各項實例中重複元件符號及/或字母。此重複出於簡化及清楚之目的且本身不規定所論述之各項實施例及/或組態之間的一關係。

【0014】 此外，為便於描述，空間相對術語(諸如「在...下面」、「在...下方」、「下」、「在...上方」、「上」及類似物)可在本文中用來描述一個元件或構件與另一(其他)元件或構件之關係，如圖中所繪示。空間相對術語意欲於涵蓋除圖中所描繪之定向以外之使用或操作中裝置之不同定向。設備可以其他方式定向(旋轉90度或按其他定向)且據此可同樣解釋本文中所使用之空間相對描述詞。

【0015】 儘管闡述本揭露之廣泛範疇之數值範圍及參數係近似值，但儘可能精確地報告特定實例中所闡述之數值。然而，任何數值固有地含有必定起因於各自測試量測中通常發現之偏差之特定誤差。再者，如本文中所使用，術語「約」、「實質」或「實質上」通常意謂在一給定值或範圍之10%、5%、1%或0.5%之內。替代地，術語「約」、「實質」或「實質上」意謂在當一般技術者可考量時之平均值之一可接受標準誤差內。除在操作/工作實例中以外或除非另有明確地指定，否則本文中所揭露之所有數值範圍、量、值及百分比(諸如用於材料數量、持續時間、溫度、操作條件、量比及其等類似物之數值範圍、量、值及百分比)在所有情況下應被理解為由術語「約」、「實質」或「實質上」修飾。據此，除非有相反指示，否則本揭露及隨附發明申請專利範圍中所闡述之數值參數係可根據期望變動之近似值。至少，各數值參數至少應鑑於所報告之有效數位之數目且藉由應用普通捨入技術來解釋。範圍可在本文中被表達為自一個端點至

另一端點或在兩個端點之間。除非另有指定，否則本文中所揭示之所有範圍包含該等端點。

【0016】 一MTJ裝置通常包含一自由層、一穿隧層及一釘紮層。可藉由施加一電流通過穿隧層來反轉自由層之磁化方向，此致使自由層內之經注入極化電子對自由層之磁化施加所謂自旋扭矩。釘紮層具有一固定磁化方向作為參考。當一電流沿自自由層至釘紮層之方向流動時，電子沿一相反方向流動，即，自釘紮層至自由層。在經過釘紮層之後，電子經極化至釘紮層之相同磁化方向；流過穿隧層；且接著進入並累積於自由層中。最終，自由層之磁化平行於釘紮層之磁化，且MTJ裝置將處於一低電阻狀態。由電流所致使之電子注入稱為主要注入。

【0017】 當施加自釘紮層流動至自由層之電流時，電子沿自自由層至釘紮層之方向流動。具有相同於釘紮層之磁化方向之極化之電子能夠流過穿隧層且進入釘紮層。相反，具有不同於釘紮層之磁化之極化之電子將被釘紮層反射(阻擋)且將累積於自由層中。最終，自由層之磁化變成反平行於釘紮層之磁化，且MTJ裝置將處於一高電阻狀態。由電流所致使之各自電子注入稱為次要注入。

【0018】 已不斷地開發一CMOS結構中之嵌入式MRAM胞元。具有嵌入式MRAM胞元之一半導體電路界定一記憶體區及與記憶體區分離之一邏輯區。例如，記憶體區可經定位於半導體電路之中心處，而邏輯區可經定位於半導體電路之一周邊處。應注意，前文陳述並非意欲於限制性。關於記憶體區及邏輯區之其他配置在本揭露之經考慮範疇內。

【0019】 在記憶體區中，一電晶體結構可經放置於MRAM結構下方。在一些實施例中，MRAM胞元經嵌入於在一CMOS製造技術之一後

段製程(BEOL)操作中製備之一金屬化層或一互連層中。例如，在一些實施例中，記憶體區及邏輯區中之電晶體結構經放置於在一CMOS製造技術之一前段製程操作中製備之一共同半導體基板中，且在兩個區中彼此實質上相同。MRAM胞元可經嵌入於金屬化層之任何位置中，例如，於平行於半導體基板之表面水平地分佈之相鄰金屬線層之間。例如，嵌入式MRAM胞元可經定位於記憶體區中之第四金屬線層與第五金屬線層之間。水平地移位至邏輯區，第四金屬線層中之金屬線透過第四金屬線層與第五金屬線層之間的一第四金屬通路層中之一金屬通路連接至第五金屬線層中之金屬線。換言之，考量到記憶體區及邏輯區，嵌入式MRAM胞元占據第五金屬線層之至少一部分之一厚度。遍及本揭露，術語「金屬線層」指代相同的第N金屬線層中之金屬線之集合，其中N係大於或等於1之一整數。類似地，遍及本揭露，術語「金屬通路層」指代相同的第N金屬通路層中之金屬通路之集合，其中N係大於或等於1之一整數。一般而言，MRAM胞元經定位於一第N金屬線層與一第(N+1)金屬線層之間。一般技術者可理解，本文中所描述之為金屬線層提供之數目及MRAM在金屬化層中之配置並非限制性。

【0020】 嵌入式MRAM包含由鐵磁材料組成之一磁性穿隧界面(MTJ)。一底部電極及一頂部電極電耦合至MTJ以用於信號/偏壓應用。按照先前所提供之實例，底部電極進一步連接至第N金屬線層，而頂部電極進一步連接至第(N+1)金屬線層。

【0021】 參考圖1A，圖1A係根據本揭露之一些實施例之一半導體結構10之一橫截面。半導體結構10可為包含一記憶體區100A及一邏輯區100B之一半導體電路。記憶體區100A及邏輯區100B之各者具有一半導體

基板100中之一電晶體結構101及配置於半導體基板100上方之一金屬化結構102。

【0022】 在一些實施例中，半導體基板100可為但不限於例如一矽基板。在一實施例中，設置或形成包含諸如一矽基板之半導體材料之半導體基板100，儘管其可包含諸如矽鍺、碳化矽、砷化鎵或類似物之其他半導體材料。在本實施例中，半導體基板100係包括矽之一p型半導體基板(P-基板)或一n型半導體基板(N-基板)。替代地，半導體基板100包含另一元素半導體，諸如鍺；一化合物半導體，包含碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及/或銻化銮；一合金半導體，包含SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP及/或GaInAsP；或其等之組合。在又一替代方案中，半導體基板100係一絕緣體上半導體(SOI)。在其他替代方案中，半導體基板100可包含一摻雜磊晶層、一梯度半導體層及/或上覆於一不同類型之另一半導體層之一半導體層，諸如一矽鍺層上之一矽層。半導體基板100可包含或可不包含摻雜區，諸如一P井、一N井或其等之組合。

【0023】 在一些實施例中，一淺溝槽隔離區(STI) 111經設置於半導體基板100中。STI 111經設置以使一電晶體結構與諸如其他電晶體結構之鄰近半導體裝置電隔離。STI 111由合適介電材料形成，包含氧化物(例如，Ge氧化物)、氮氧化物(例如，GaP氮氧化物)、二氧化矽(SiO₂)、含氮氧化物(例如，含氮SiO₂)、氮摻雜氧化物(例如，N₂佈植SiO₂)、氮氧化矽(Si_xO_yN_z)及類似物。STI 111亦由任何合適「高介電常數」或「高K」材料形成，其中K大於或等於約8，諸如氧化鈦(Ti_xO_y，例如，TiO₂)、氧化鉭(Ta_xO_y，例如，Ta₂O₅)、鈦酸鋇鋇(BST，BaTiO₃/SrTiO₃)及類似物。替

代地，STI 111亦可由任何合適「低介電常數」或「低K」介電材料形成，其中K小於或等於約3.8。

【0024】 在一些實施例中，電晶體結構101包含一閘極區107、一源極區103及一汲極區105。源極區103及汲極區105至少部分地放置於半導體基板100中。在一些實施例中，半導體結構10之閘極區107包含一多晶矽閘極或一金屬閘極。閘極區107經放置於半導體基板100之一頂表面上方且於源極區103與汲極區105之間。半導體基板100界定記憶體區100A及邏輯區100B，且記憶體區100A及邏輯區100B兩者包含電晶體結構101。在一些實施例中，電晶體結構101在記憶體區100A中及在邏輯區100B中具有類似組態。應注意，在圖1中僅出於繪示性目的而展示一平面型電晶體結構101，然而本揭露不限於此。任何非平面電晶體結構(諸如一鰭式(FinFET)電晶體結構)在本揭露之經考慮範疇內。

【0025】 半導體結構10可進一步包含配置於一層間介電質(ILD) 109中之一接觸插塞108，且可電耦合至電晶體結構101之閘極區107。在一些實施例中，ILD 109經形成於半導體基板100上方。可使用多種技術來形成ILD 109，例如，化學氣相沉積(CVD)、低壓CVD (LPCVD)、電漿輔助CVD (PECVD)、濺鍍及物理氣相沉積(PVD)、熱生長及類似物。半導體基板100上方之ILD 109可由多種介電材料形成且可例如為氧化物(例如，Ge氧化物)、氮氧化物(例如，GaP氮氧化物)、二氧化矽(SiO_2)、含氮氧化物(例如，含氮 SiO_2)、氮摻雜氧化物(例如， N_2 佈植 SiO_2)、氮氧化矽($\text{Si}_x\text{O}_y\text{N}_z$)及類似物。

【0026】 金屬化結構102經放置於電晶體結構101上方。參考邏輯區100B，金屬化結構102包含複數個金屬線層，例如，一第N金屬線層121L

與一第(N+1)金屬線層123L及一第N金屬通路層122L與一第(N+1)金屬通路層162L。各自金屬線層121L及123L中之金屬線121及123透過第N金屬通路層122L中之一金屬通路122互連。金屬線層123L中之金屬線123透過第(N+1)金屬通路層162L中之一金屬通路162電連接至上覆構件。金屬線121與123及金屬通路122與162分別係導電線及通路，且由諸如銅、鎢、鋁、金、銀、其等之合金及類似物之導電材料形成。參考記憶體區100A，與邏輯區100B之金屬線123相較，金屬線123具有一減小的高度。一實例性MRAM胞元結構100_1A經配置於記憶體區100A之第N金屬線121與第(N+1)金屬線123之間。因為第N金屬線層121L可並非為電晶體結構101上方之第一金屬線層，所以金屬化結構102之一部分被省略且由點表示。在一些實施例中，N係自3至10之任何整數。

【0027】 在一些實施例中，金屬線或金屬通路分別被一介電層115、125、186或145橫向包圍。介電層115、125、186或145之各者可為一金屬間介電質(IMD)層且由諸如一無摻雜矽酸鹽玻璃(USG)、氟化矽酸鹽玻璃(FSG)、低k介電材料或類似物之氧化物形成。低k介電材料可具有低於3.8之k值，儘管IMD層115、125、186或145之介電材料亦可接近3.8。在一些實施例中，低k介電材料之k值低於約3.0，且可低於約2.5。

【0028】 在一些實施例中，金屬線或金屬通路進一步分別被一阻障層或阻障層141、142及143之一堆疊橫向包圍(參見圖3)。在一些實施例中，阻障層141至143包含介電材料且在蝕刻各自金屬線層或金屬通路層中之溝槽或凹口時用作蝕刻停止層，其中導電材料可經沉積至此等溝槽或凹口中以形成金屬線及金屬通路。在一些實施例中，阻障層141至143之兩者或更多者經選擇為具有具不同蝕刻選擇性性質之不同材料且經配置於

一堆疊中以改進蝕刻效能。例如，在一些實施例中，阻障層141由氧化矽、氮化矽、氮氧化矽或碳化矽形成。在一些實施例中，阻障層142係氧化鋁。在一些實施例中，阻障層143由氧化矽、氮化矽、氮氧化矽或碳化矽形成。

【0029】 在圖1A中，MRAM結構100_1A至少包含一底部電極通路(BEVA) 132、一底部電極131、一MTJ 135及一頂部電極158。在一些實施例中，BEVA 132經形成於第N金屬線121上方且電耦合至第N金屬線121。在一些實施例中，BEVA 132被IMD層125及由阻障層141與142形成之介電堆疊橫向包圍。BEVA 132可經形成於具有一梯形凹口之一溝槽中。在一些實施例中，BEVA 132可包含導電材料，諸如TiN、TaN、Ta或其他合適材料。

【0030】 在一些實施例中，一襯層161經形成於BEVA 132之溝槽之側壁上。在一些實施例中，襯層161係其上電鍍之材料之一晶種層。例如，若組成BEVA之材料包含銅，則襯層161可為電鍍銅之一晶種層。在一些其他實施例中，襯層161可包含TaN或Ta。

【0031】 在一些實施例中，MRAM結構100_1A之BEVA 132電耦合至電晶體結構101之一摻雜區，其中摻雜區係一汲極區105或一源極區103。在其他實施例中，MRAM結構100_1A之BEVA 132與電晶體結構101之閘極區107電耦合。

【0032】 底部電極131經配置於BEVA 132上方。在一些實施例中，底部電極131可包含諸如TiN、TaN、Ti、Ta或Ru之導電材料。MTJ 135經放置於底部電極131上方。在一些實施例中，MTJ 135包含一層堆疊(未單獨地展示)，諸如彼此上下放置之一自由層、一穿隧層及一釘紮層。頂部

電極158經放置於MTJ層135上方。在一些實施例中，頂部電極158可包含諸如TiN、TaN、Ti、Ta或Ru之導電材料。在一些實施例中，頂部電極158及底部電極131由一相同材料製成。在一些實施例中，頂部電極158之材料不同於BEVA 132之材料。在一些實施例中，頂部電極158包含一多層結構。

【0033】 如圖1A中所展示，底部電極131、MTJ 135及頂部電極158之側壁被一保護層或一間隔件127橫向包圍。保護層127具有相同於頂部電極158之頂表面層級之一頂表面層級。在一些實施例中，保護層127包含氮化矽(SiN)。

【0034】 在一些實施例中，一介電層129經放置於保護層127上方且橫向包圍保護層127。保護層127可具有與頂部電極158之頂表面及保護層127之頂部齊平之一頂表面。介電層129可包含氧化矽、氮化矽、氮氧化矽或其他合適材料。

【0035】 圖1B係根據本揭露之一些實施例之圍繞半導體結構10之MRAM結構100_1A之在圖1A中之一部分12之一放大透視圖。頂部電極158包含一下部分133及在下部分133上方且與下部分133分離之一上部分154。下部分133及上部分154可具有相同導電材料。在一些實施例中，下部分133及上部分154之各者具有約50 Å與約300 Å之間或約10 Å與約250 Å之間的一高度。在一些實施例中，頂部電極158包含在下部分133與上部分154之間的一介面區164。在一些實施例中，介面區164係下部分133之氧化物形式且可包含TiO₂或其他金屬氧化物。在一些實施例中，介面區164具有約1 Å與約5 Å之間的一厚度。

【0036】 圖2至圖33係根據本揭露之一些實施例之在各個階段製造

之一半導體結構(例如，圖1A中所展示之半導體結構10)之橫截面圖。應理解，可在圖2至圖33之序列中所展示之階段之前、期間及之後提供額外階段，且可在其他實施例中替換或消除下文所描述之一些階段。該等階段之順序可互換。

【0037】 在圖2中，形成或設置具有一預定記憶體區100A及一邏輯區100B之一半導體結構。在一些實施例中，一電晶體結構經預形成於一半導體基板(圖2中未展示)中。包含圖1A中所展示之電晶體結構101之積體電路裝置可經歷進一步CMOS或MOS技術處理以形成此項技術中已知之各種構件。

【0038】 圖2亦繪示圖1A中所展示之金屬化結構102之至少部分之形成。在電晶體結構上方之一IMD層115中圖案化第N金屬線121。金屬線121係一導電線且包括導電材料，諸如銅、鎢、鋁、金、銀、其等之合金及類似物。在一些實施例中，第N金屬線121可由一電鍍操作形成，其中一晶種層經沉積於經圖案化之IMD層115上方。在其他實施例中，第N金屬線121可藉由多種技術形成，例如，無電式電鍍、高密度離子化金屬電漿(IMP)沉積、高密度感應耦合電漿(ICP)沉積、濺鍍、物理氣相沉積(PVD)、化學氣相沉積(CVD)、低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)及類似物。執行一平坦化操作以暴露第N金屬線121之一頂表面及IMD層115之頂表面。

【0039】 在圖3中，在記憶體區100A及邏輯區100B兩者中，在第N金屬線121之一頂表面及第N金屬線層之IMD層125之一頂表面上方毯覆沉積由介電層141、142與143及IMD層125形成之一層堆疊140。在一些實施例中，阻障層141至143分別由SiC、氧化鋁及SiC形成，且IMD層125由

TEOS (原矽酸四乙酯)形成。層堆疊140可藉由多種技術形成，例如，化學氣相沉積(CVD)、低壓CVD (LPCVD)、電漿輔助CVD (PECVD)、濺鍍及物理氣相沉積(PVD)、熱生長及類似物。

【0040】 在圖4中，在層堆疊140上方圖案化一光阻劑層(未展示)以暴露MRAM結構100_1A之一或多個BEVA孔132H。如圖4中所展示，藉由一適當乾式蝕刻操作在層堆疊140中形成兩個BEVA孔132H。在一些實施例中，本操作中之乾式蝕刻包含採用含氟氣體之反應性離子蝕刻(RIE)。參考邏輯區100B，由光阻劑層(未展示)保護層堆疊140，使得與記憶體區100A中之層堆疊140相比，第N金屬線121之一頂表面不被暴露。

【0041】 在圖5中，在記憶體區100A中之BEVA孔132H上方及在邏輯區100B中之層堆疊140上方毯覆形成一襯層161。隨後，如圖6中所展示，進行BEVA材料132之沉積以放置於襯層161及層堆疊140上方。BEVA材料132可由諸如金屬之導電材料組成。在一些實施例中，BEVA材料132可為電鍍銅。襯層161及BEVA 132可藉由多種技術形成，例如，高密度離子化金屬電漿(IMP)沉積、高密度感應耦合電漿(ICP)沉積、濺鍍、物理氣相沉積(PVD)、化學氣相沉積(CVD)、低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)及類似物。在一些實施例中，在電鍍操作中以在襯層161之水平表面上方之一厚度T1實行BEVA材料132之一過填充。可能需要過填充以有效地最小化在電鍍操作之後在BEVA孔132H上方可能出現之凹痕。

【0042】 在圖7中，接著回蝕襯層161及經沉積之BEVA材料132以與IMD層125之一頂表面齊平。可實行一多步驟化學機械拋光(CMP)以形成BEVA 132及襯層161之一平坦頂表面。在一些實施例中，多步驟CMP

結合不同選擇性之漿料採用來達成平坦頂表面。最初，一第一選擇性移除包含利用對銅之一選擇性高於對襯層161之一選擇性之一第一漿料。在一些實施例中，第一漿料包含 H_2O_2 、苯并三唑(BTA)、羧酸及磨料。第一漿料消耗銅快於消耗襯層161，從而在BEVA 132之銅填充物上方呈現一凹陷。隨後，一第二選擇性移除包含利用對襯層161之一選擇性高於對銅之一選擇性之一第二漿料。在一些實施例中，第二漿料包含 H_2O_2 、苯并三唑(BTA)、pH調節劑、羧酸及磨料。第二漿液消耗襯層161快於消耗銅，從而在不消耗許多經暴露銅之情況下移除襯層161。一第三選擇性移除包含利用對襯層161之一選擇性高於對銅之一選擇性之一第三漿料。在一些實施例中，第三漿液包含 H_2O_2 、抑制劑、pH調節劑、羧酸及磨料。例如，第三漿料消耗介電堆疊之一者快於消耗銅，從而在不消耗許多經暴露銅之情況下移除阻障層141。

【0043】 在圖8中，在經平坦化之BEVA 132及襯層161上沉積一底部電極層131L。底部電極層131L可包含TiN、TaN、Ta或Ru。在一些實施例中，底部電極層131L具有在自約50 Å至約500 Å之一範圍內之一厚度。經沉積之底部電極層131L可藉由多種技術形成，例如，高密度離子化金屬電漿(IMP)沉積、高密度感應耦合電漿(ICP)沉積、濺鍍、物理氣相沉積(PVD)、化學氣相沉積(CVD)、低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)及類似物。在一些實施例中，執行諸如CMP之一平坦化操作以調平底部電極層131L之頂表面。

【0044】 接著，在底部電極層131L上方以多個材料堆疊(圖8中未繪示)之一形式沉積一MTJ層135L。在一些實施例中，MTJ層135L具有在自約50 Å至約500 Å之一範圍內或在自約100 Å與約350 Å之間之一厚度。在

一些實施例中，MTJ層135L之頂表面具有約2 Å與約10 Å之間的一粗糙度。在一些實施例中，MTJ層135L可包含鐵磁層、間隔件及一封蓋層。鐵磁層可用作其磁極性或磁定向可在其相關聯MRAM胞元之寫入操作期間改變之一自由層。鐵磁層及間隔件可用作其磁定向可在其相關聯MRAM胞元之操作期間不改變之一固定或釘紮層。封蓋層經形成於鐵磁層上且可減小其相關聯MRAM胞元之寫入電流。鐵磁層之各者可包含鐵磁材料，其可為金屬或金屬合金，例如，Fe、Co、Ni、CoFeB、FeB、CoFe、FePt、FePd、CoPt、CoPd、CoNi、TbFeCo、CrNi或類似物。間隔件可包含非鐵磁金屬，例如，Ag、Au、Cu、Ta、W、Mn、Pt、Pd、V、Cr、Nb、Mo、Tc、Ru或類似物。用於間隔件之另一材料亦可包含絕緣體，例如，Al₂O₃、MgO、TaO、RuO或類似物。封蓋層可包含非鐵磁材料，其可為一金屬或一絕緣體，例如，Ag、Au、Cu、Ta、W、Mn、Pt、Pd、V、Cr、Nb、Mo、Tc、Ru、Ir、Re、Os、Al₂O₃、MgO、TaO、RuO或類似物。經考量，根據其他實施例，MTJ層135L可包含一反鐵磁層。

【0045】 MTJ層135L可藉由多種技術形成，例如，高密度離子化金屬電漿(IMP)沉積、高密度感應耦合電漿(ICP)沉積、濺鍍、物理氣相沉積(PVD)、化學氣相沉積(CVD)、低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)及類似物。

【0046】 一第一頂部電極層133L經沉積於MTJ層135L上方。在一些實施例中，第一頂部電極層133L係一導電層且包含一導電材料，諸如TiN、TaN、Ti、Ta或Ru。在一些實施例中，第一頂部電極層133L具有自約50 Å至約1000 Å之一厚度。第一頂部電極層133L可藉由多種技術形

成，例如，高密度離子化金屬電漿(IMP)沉積、高密度感應耦合電漿(ICP)沉積、濺鍍、物理氣相沉積(PVD)、DC或RF PVD、脈衝DC濺鍍、化學氣相沉積(CVD)、低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)、原子層沉積(ALD)及類似物。

【0047】 在一些實施例中，第一頂部電極層133L係在約10 mTorr與約400 mTorr之間的一腔室處理壓力及0.1 mTorr與10 mTorr之間的一腔室背側壓力下沉積。在一些實施例中，第一頂部電極層133L係在約200°C與約450°C之間的一溫度下沉積。在一些實施例中，第一頂部電極層133L之沉積係在約1 kW與約30 kW之間的一DC功率及約0 W與約1000 W之間的一AC功率下執行。經施加之電壓可在約500伏特與約900伏特之間且經施加之電流可在約5 A與約35 A之間。AC頻率可等於或大於13.56 MHz，諸如2 GHz。放置於製程腔室中之磁體可經放置成與沉積之靶材之距離在38 mm與約46 mm之間且經組態以在約50 rpm與約70 rpm之間的一自旋速率下操作。在第一頂部電極層133L之沉積期間在約0 sccm與約1500 sccm之間的一氣體流動速率下引入N₂及氬氣之一氣體混合物。

【0048】 參考圖9，在第一頂部電極層133L上方形成一犧牲層152L。犧牲層152L可經圖案化以用作用於後續蝕刻操作之一遮罩層或一蝕刻緩衝結構。在一些實施例中，犧牲層152L係由一介電材料形成，諸如氧化物、氮化物、氮氧化物或其他合適介電材料。在一些實施例中，犧牲層152L包含TEOS或無氮抗反射層(NR-ARL)。在一些實施例中，犧牲層152L摻雜有矽或碳以改善膜應力。在一些其他實施例中，犧牲層152L包含不同於第一頂部電極層133L之一導電材料，諸如TiN、TaN、W或其他合適導電材料。在一些實施例中，犧牲層152L具有自約50 Å至約1000

Å之一厚度。在一些實施例中，犧牲層152L具有自約100 Å至約800 Å或在約200 Å與約500 Å之間的一厚度。

【0049】 犧牲層152L可藉由多種技術形成，例如，高密度離子化金屬電漿(IMP)沉積、高密度感應耦合電漿(ICP)沉積、濺鍍、物理氣相沉積(PVD)、化學氣相沉積(CVD)、低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)、原子層沉積(ALD)及類似物。

【0050】 在圖10A中，將犧牲層152L圖案化成一經圖案化之犧牲層152P，使得第一頂部電極層133L在記憶體區100A中之部分被暴露。第一頂部電極層133L在邏輯區100B中之部分保持被經圖案化之犧牲層152P覆蓋。在一些實施例中，藉由對犧牲層152L進行一光微影操作，接著進行一蝕刻操作以移除犧牲層152L之非所要部分來執行圖案化操作。

【0051】 在一些實施例中，蝕刻操作係一濕式蝕刻、一乾式蝕刻或其等之組合，諸如反應性離子蝕刻(RIE)。在其中蝕刻操作係乾式蝕刻之實施例中，可利用氟基蝕刻氣體來輔助犧牲層152L之選擇性蝕刻。在一些實施例中，犧牲層152L在邏輯區100B中之部分保持實質上完整或依一相對緩慢速率消耗，使得下伏第一頂部電極層133L保持被經圖案化之犧牲層152P覆蓋。在一些實施例中，邏輯區100B中之經圖案化之犧牲層152P用作一蝕刻緩衝結構，其可輔助保護邏輯區100B中之金屬化層中之下伏金屬線或金屬通路在後續蝕刻操作期間不被損壞。在一些實施例中，透過圖案化操作蝕刻記憶體區100A中之第一頂部電極層133L之一厚度，使得第一頂部電極層133L薄化但未被完全移除。

【0052】 在一些實施例中，執行圖10A之步驟之後的操作而不破壞真空。因此，可保持第一頂部電極層133L之表面遠離環境空氣中之氧氣

且可防止第一頂部電極層133L之表面的氧化。在一些實施例中，可在不同於用於圖10A中所展示之蝕刻操作之腔室之一腔室中執行圖10A之步驟之後的操作。因此，第一頂部電極層133L可能暴露於氧氣且一介面層164L經生長於第一頂部電極層133L之上表面上，如圖10B中所展示。介面層164L可為第一頂部電極層133L之導電材料之氧化物。以緊接在圖10A之步驟之後之一序列展示參考圖11至圖25之實施例，其中第一頂部電極層133L經形成為在其上沒有任何介面層。然而，一般技術者可理解，參考圖11至圖25之程序可經修改，使得介面層164L經生長於第一頂部電極層133L之表面上。因此，最終頂部電極158包含在頂部電極158之上部分133與上部分154之間的一介面區164，如圖1B中所展示。

【0053】 參考圖11，在第一頂部電極層133L及經圖案化之犧牲層152P上方沉積第二頂部電極層154L。在一些實施例中，第二頂部電極層154L係一導電層且包含導電材料，諸如TiN、TaN、Ti、Ta或Ru。第二頂部電極層154L可具有相同於第一頂部電極層133L之材料。在一些實施例中，第二頂部電極層154L具有自約50 Å至約1500 Å之一厚度。在一些實施例中，第二頂部電極層154L具有自約100 Å至約1200 Å之一厚度。

【0054】 在一些實施例中，遮罩層156L經形成於第二頂部電極154L上方。遮罩層156L用於圖案化下伏頂部電極層154L與133L、MTJ層135L及底部電極層131L以由此形成圖1A中所展示之一或多個MRAM結構100_1A。遮罩層156L可包含TEOS或氧化矽。替代地，遮罩層156L可具有一多層結構，其可包含例如氧化物層、高級圖案化膜(APF)層及氧化物層。在一些實施例中，遮罩層156L具有在約50 Å與約500 Å之間的一範圍內之一厚度。

【0055】 第二頂部電極層154L、氧化物層、APF層及氧化物層之各者可藉由多種技術形成，例如，高密度離子化金屬電漿(IMP)沉積、高密度感應耦合電漿(ICP)沉積、濺鍍、物理氣相沉積(PVD)、化學氣相沉積(CVD)、低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)及類似物。

【0056】 在圖12中，圖案化遮罩層156L以形成一經圖案化之遮罩層156，自記憶體區100A中之一俯視圖視角來看，該經圖案化之遮罩層156對應於MRAM結構100_1A之頂部電極158之一圖案。透過圖12中之圖案化操作移除邏輯區100B中之遮罩層156L之部分。在一些實施例中，圖案化操作可涉及光微影及蝕刻操作。蝕刻操作可為一濕式蝕刻、一乾式蝕刻或其等之一組合，諸如RIE。

【0057】 參考圖13，使用經圖案化之遮罩層156作為一蝕刻遮罩來圖案化第二頂部電極層154L及第一頂部電極層133L。將經圖案化之遮罩層156之圖案轉印至下伏第二頂部電極層154L及第一頂部電極層133L。據此形成用於各自MRAM結構100_1A或100_2A之一或多個第二頂部電極部分154U及頂部電極158之下部分133。透過圖案化操作，移除邏輯區100B中之第二頂部電極層154L及第一頂部電極層133L之材料。在圖案化操作期間，MTJ層135L及圖案化之犧牲層152P分別暴露於記憶體區100A及邏輯區100B中。

【0058】 在一些實施例中，可藉由諸如一濕式蝕刻、一乾式蝕刻或其等之一組合(諸如RIE)之一選擇性蝕刻操作172來執行圖案化操作。在其中執行一乾式蝕刻之實施例中，氟基蝕刻劑用於促進選擇性蝕刻操作172，使得蝕刻穿過第二頂部電極層154L及第一頂部電極層133L繼續進行

且在經圖案化之犧牲層152P或MTJ層135處停止。在一些實施例中，MTJ層135L在選擇性蝕刻操作172期間保持實質上完整。在一些實施例中，經圖案化之犧牲層152P之一相對薄部分透過選擇性蝕刻操作172消耗。

【0059】 圖14繪示一蝕刻操作174，其完全移除經圖案化之遮罩層156且部分地移除第二頂部電極部分154U以留下頂部電極158之上部分154。遍及本揭露，下部分133及上部分154分別稱為各自MRAM結構100_1A或100_2A之頂部電極158之下部分及上部分。在一些實施例中，圖14中執行之蝕刻操作174係一非選擇性蝕刻操作，諸如一離子轟擊蝕刻(IBE)，其移除整個經圖案化之遮罩層156及第二頂部電極層154L之上部分。

【0060】 在蝕刻操作174期間，在消耗經圖案化之遮罩層156及第二頂部電極層154L的同時，經圖案化之遮罩層156及第二頂部電極部分154U之剩餘材料用作蝕刻MTJ層135L及底部電極層131L之蝕刻操作174之蝕刻遮罩以由此形成各自MRAM結構100_1A或100_2A之一經圖案化之MTJ 135及一經圖案化之底部電極131。在一些實施例中，自一橫截面來看，下部分133與上部分154、MTJ 135及底部電極131之側壁具有一梯形形狀。在一些實施例中，自一橫截面來看，MRAM結構100_1A及100_2A具有不同寬度。

【0061】 在一些實施例中，蝕刻操作174在記憶體區100A中之BEVA 132之疊層處之IMD層125處停止。同時，蝕刻操作174消耗邏輯區100B中之剩餘圖案化犧牲層152P、第一頂部電極層133L、MTJ層135L及底部電極層131L且暴露BEVA 132之疊層處之IMF層125。在一些實施例中，蝕刻操作174進一步向下繼續進行且移除IMD層125之一厚度，使得

邏輯區100B中之IMD層125之剩餘厚度小於記憶體區100A中之剩餘厚度。在記憶體區100A及邏輯區100B中之IMD層125之表面之間形成一高度差H1。在一些實施例中，高度H1在約50 Å與約1000 Å之間。在一些實施例中，IMD層125具有：記憶體區100A中之一第一下表面125A，其具有與邏輯區100B中之一第二下表面125B相同之層級；及記憶體區100A中之一第一上表面125C，其高於邏輯區100B中之一第二上表面125D達高度差H1。在一些實施例中，蝕刻移除整個IMD層125且暴露阻障層142或141。在一些實施例中，邏輯區100B中之第N金屬線層之金屬線121保持被阻障層141及142之至少一或多者覆蓋。

【0062】 用於使用非選擇性蝕刻操作形成MRAM結構100_1A及100_2A之既有圖案化操作可同時移除邏輯區100B中之頂部電極層133L與154L、MTJ層135L及底部電極層131L之材料。然而，由於邏輯區100B佔據大部分晶粒面積，例如與記憶體區100A佔據約5%相較佔據約95%晶粒面積，電漿在邏輯區100B中之一密度可大於在記憶體區100A中之一密度，從而致使邏輯區100B中之一過蝕刻及邏輯區100B之第N金屬線層中之第N金屬線121之暴露/損壞。藉由蝕刻操作自第N金屬線121移除之導電材料亦可能變成一污染源。因而，所提出之蝕刻緩衝結構(其包含邏輯區100B中之犧牲層152P及第一頂部電極層133L)可輔助在MRAM結構100_1A及100_2A之圖案化期間增加蝕刻操作174之蝕刻邊限。因此，可在邏輯區100B中消除或減少歸因於過蝕刻所致之裝置缺陷。

【0063】 圖15展示保護層127在底部電極131、MTJ 135及頂部電極158上之一沉積。在一些實施例中，保護層127具有自約50 Å至約300 Å之一厚度。應注意，MTJ 135之一側壁及頂部電極158之側壁被保護層127包

圍以防止氧化或其他污染。接著，如圖16中所展示，圖案化保護層127以暴露IMD層125之一頂表面。

【0064】 在圖17中，在保護層127及IMD層125上方跨記憶體區100A及邏輯區100B保形地沉積一介電層129。在一些實施例中，介電層129由TEOS組成。在一些實施例中，介電層129由高密度電漿氧化物(HDP氧化物)組成。然而，此並非本揭露之一限制。在介電層129上方形成一停止層137。在一些實施例中，停止層137係氮化矽(SiN)停止層。在停止層137上方保形地形成另一介電層138。在一些實施例中，介電層138具有不同於介電層125之一材料且可為一USG層。

【0065】 實行諸如CMP之一平坦化操作以移除介電層138。由於邏輯區100B佔據大部分晶粒面積，因此CMP操作之一深度與邏輯區100B中之停止層137之一指示強相關。如圖18中所展示，CMP操作在邏輯區100B上方之停止層137之層級處停止且介電層138及介電層129在記憶體區100A上方之一部分被移除。

【0066】 透過上文所提及之CMP操作，使介電層129之表面相對光滑且有助於在後繼薄化操作中確保各MRAM結構100_1A之頂部電極158在記憶體區100A中之暴露。在圖19中，對記憶體區100A上方之經平滑處理之介電層129執行諸如一蝕刻製程之一薄化操作，使得介電層129之頂表面跨記憶體區100A實質上平坦。如圖19中所展示，在薄化操作之後，頂部電極158之頂表面自介電層129暴露。

【0067】 在圖20中，藉由一回蝕操作自邏輯區100B移除介電層129。在一些實施例中，亦移除IMD層125及阻障層142，從而在第N金屬線121上方留下阻障層141。因此，記憶體區100A之高度大於邏輯區100B

之高度。形成例如包括一介電層184、一IMD層186及一介電層188之一堆疊180以保形地覆蓋記憶體區100A及邏輯區100B。在圖20中可觀察到一高度差H2，因此，執行如圖21中所繪示之一回蝕操作以獲得一實質上平坦之頂表面以隨後在記憶體區100A及邏輯區100B兩者中形成溝槽。應注意，在平坦化操作之後，堆疊180之介電層188保留於邏輯區100B中。故意保留介電層188以充當用於後續溝槽形成之一保護層。介電層188可防止在一光阻劑剝離操作期間酸性溶液損壞低k介電層186。

【0068】 在圖22中，在經平坦化之介電表面上方圖案化一光阻劑(未展示)以形成用於金屬線及金屬通路之溝槽。例如，在記憶體區100A中，在各自MRAM結構100_1A上方形成第(N+1)金屬線溝槽123A，從而暴露MRAM結構100_1A之各者之頂部電極158之一頂表面。在邏輯區100B中，在第N金屬線121上方形成一第N金屬通路溝槽及一第(N+1)金屬線溝槽(統稱為溝槽123B)，從而暴露第N金屬線121之一頂表面。

【0069】 在圖23及圖24中，導電金屬透過例如單鑲嵌或雙鑲嵌操作填充金屬線溝槽/金屬通路溝槽(後文中為「溝槽」)。藉由一電鍍操作作用一導電材料填充經圖案化之溝槽，且使用一CMP操作、一蝕刻操作或其等之組合自表面移除導電材料之過多部分。

【0070】 在一些實施例中，第(N+1)金屬線123可由鎢(W)或銅(Cu)形成且可包含AlCu (統稱為Cu)。在一項實施例中，使用鑲嵌操作形成第(N+1)金屬線123。在一些實施例中，在溝槽123A及123B中電鍍Cu之一晶種層。應注意，可在頂部電極158之一頂表面上方電鍍Cu之晶種層。接著，在溝槽中沉積一銅層，接著諸如藉由CMP平坦化銅層，直至IMD層186之頂表面。移除溝槽123B上方之介電層188且經暴露之銅表面及IMD

層186之上表面可共面。在平坦化操作移除如圖24中所繪示之導電金屬之過載(overburden)之後，形成記憶體區100A與邏輯區100B兩者中之一第(N+1)金屬線123以及邏輯區100B中之一第N金屬通路122。

【0071】 在圖25中，隨後形成一阻障層151及一IMD層145。在IMD層145中形成一第(N+1)金屬通路溝槽以及一第(N+2)金屬線溝槽。後續處理可進一步包含在基板上方形成經組態以連接積體電路裝置之各種構件或結構之各種接觸件/通路/線及多層互連構件(例如，金屬線163及金屬通路162)。額外構件可提供至包含所形成之金屬閘極結構之裝置之電互連。例如，一多層互連包含諸如習知通路或接觸件之垂直互連件及諸如金屬線之水平互連件。各種互連構件可實施包含銅、鎢及/或矽化物之各種導電材料。在一項實例中，一鑲嵌及/或雙鑲嵌操作作用來形成一銅相關多層互連結構。

【0072】 圖26至圖31係根據本揭露之一些實施例之製造半導體結構10之中間階段之橫截面圖。圖26至圖31中所展示之操作緊接在圖7中所展示之操作之後執行並替換圖8至圖14之操作，且後接圖15至圖25中所展示之操作。圖26至圖31中之材料、製造方法及操作組態類似於圖2至圖9、圖10A、圖10B及圖11至圖25中之材料、製造方法及操作組態，除非另有陳述，且為簡潔起見省略重複描述。

【0073】 參考圖26，在經平坦化之BEVA 132及襯層161上沉積底部電極層131L。在一些實施例中，執行諸如CMP之一平坦化操作以調平底部電極層131L之頂表面。在底部電極層131L上方沉積MTJ層135L。在MTJ層135L正上方跨記憶體區100A及邏輯區100B沉積犧牲層152L。以類似於圖8及圖9中所展示之方式之一方式執行圖26中所展示之圖案化操

作，惟不存在第一頂部電極層133L除外且為簡潔起見省略重複描述。

【0074】圖27繪示在犧牲層152L上進行一圖案化操作以暴露記憶體區100A中之MTJ層135L，同時保持邏輯區100B中之MTJ層135L被覆蓋。就此而言，據此在邏輯區100B上方形成經圖案化之犧牲層152P之蝕刻緩衝結構。以類似於圖10中所展示之方式之一方式執行圖27中所展示之圖案化操作，且為簡潔起見省略重複描述。

【0075】參考圖28，隨後在MTJ層135L及經圖案化之犧牲層152P上方形成一頂部電極層158L及一遮罩層156L。頂部電極層158L係一導電層且可包含類似於第一頂部電極層133L或第二頂部電極層154L之導電材料。頂部電極層158L可具有實質上等於第一頂部電極層133L及第二頂部電極層154L之厚度和之一厚度。在一些實施例中，頂部電極層158L具有約50 Å與約2000 Å之間或約200 Å與約1400 Å之間的一厚度。以類似於圖8及圖9中所展示之方式之一方式執行圖28中所展示之層形成，且為簡潔起見省略重複描述。

【0076】圖29繪示遮罩層156L之圖案化操作。以類似於圖12中所展示之方式之一方式執行圖29中所展示之圖案化操作，且為簡潔起見省略重複描述。隨後，藉由使用蝕刻操作172蝕刻頂部電極層158L來形成頂部電極部分158U，如圖30中所繪示。在圖案化操作期間暴露記憶體區100A中之MTJ層135及邏輯區100B中之經圖案化之犧牲層152P。圖30中所展示之圖案化操作172類似於圖13中所展示之圖案化操作，且為簡潔起見省略重複描述。

【0077】參考圖31，執行蝕刻操作174以蝕刻MTJ層135L及底部電極層131L以形成各自MRAM結構100_1A之頂部電極158、MTJ 135及底

部電極131之離散單元。圖31中所展示之蝕刻操作174類似於圖14中所展示之蝕刻操作，且為簡潔起見省略重複描述。藉由蝕刻操作174形成記憶體區100A中之IMD層125之表面與邏輯區100B中之IMD層125之表面之間的一高度差H2。在一些實施例中，高度差H2不同於圖14中所展示之高度差H1。參考圖14及圖31，透過圖26至圖31之操作獲得之頂部電極158由因頂部電極層158L之導電材料之單次沉積操作產生之單個層形成且在頂部電極158內未形成介面層。

【0078】 圖32至圖36係根據本揭露之一些實施例之製造一半導體結構之中間階段之橫截面圖。圖32至圖35中所展示之操作緊接在圖7中所展示之操作之後執行並替換圖8至圖14之操作，且接著進行圖15至圖25中之操作。圖32至圖36中之材料、製造方法及操作組態類似於圖2至圖9、圖10A、圖10B及圖11至圖25中之材料、製造方法及操作組態，除非另有陳述，且為簡潔起見省略重複描述。

【0079】 參考圖32，在經平坦化之BEVA 132及襯層161上沉積底部電極層131L。在一些實施例中，執行諸如CMP之一平坦化操作以調平底部電極層131L之頂表面。在底部電極層131L上方沉積MTJ層135L。隨後在MTJ層135L上方形成一頂部電極層158L及一遮罩層156L。頂部電極層158L具有可實質上等於第一頂部電極層133L及第二頂部電極層154L之厚度和之一厚度(參見圖11)。在一些實施例中，頂部電極層158L具有約50 Å與約2000 Å之間或約200 Å與約1400 Å之間的一厚度。以類似於圖8中所展示之方式之一方式執行圖32中所展示之層形成，惟頂部電極層158L之不同厚度除外，且為簡潔起見省略重複描述。

【0080】 圖33繪示在邏輯區100B中之遮罩層156L上方形成經圖案

化之犧牲層152P。遮罩層156L透過經圖案化之犧牲層152P暴露。在一些實施例中，經圖案化之犧牲層152P之材料相同於或不同於遮罩層156L之材料。經圖案化之犧牲層152P可透過光微影及蝕刻操作以類似於圖10A中所展示之方式之一方式形成，且為簡潔起見省略重複描述。

【0081】 圖34繪示在遮罩層156L上用以在記憶體區100A中形成遮罩圖案156之一圖案化操作。以類似於圖12中所展示之方式之一方式執行圖34中所展示之圖案化操作，且為簡潔起見省略重複描述。在一些實施例中，在圖34中所展示之圖案化操作期間留下經圖案化之犧牲層152P。就此而言，邏輯區100B中之經圖案化之犧牲層152P及經圖案化之遮罩層156R用作一蝕刻緩衝結構以防止後續過蝕刻損壞下伏第N金屬線121。

【0082】 替代地，藉由直接圖案化遮罩層156L以形成經圖案化之遮罩層156R而無需沉積犧牲層152L之額外步驟來獲得蝕刻另一形式之緩衝結構。在此方面，單個經圖案化之遮罩層156R用作蝕刻緩衝結構且可省略圖33之操作。

【0083】 隨後，藉由使用蝕刻操作172蝕刻頂部電極層158L來形成頂部電極部分158U，如圖35中所繪示。在圖案化操作172期間暴露記憶體區100A中之MTJ層135。移除邏輯區100B中之經圖案化之犧牲層152P及經圖案化之遮罩層156R。在蝕刻操作172期間，歸因於存在由經圖案化之犧牲層152P及/或經圖案化之遮罩層156R形成之蝕刻緩衝結構，移除邏輯區100B中之頂部電極層158L之一上部分且保留相鄰於MTJ層135L之頂部電極層158R之一下部分。圖35中所展示之圖案化操作172類似於圖13中所展示之圖案化操作，且為簡潔起見省略重複描述。

【0084】 參考圖36，執行蝕刻操作174以蝕刻MTJ層135L及底部電

極層131L以形成各自MRAM結構100_1A之頂部電極158、MTJ 135及底部電極131之離散單元。圖36中所展示之蝕刻操作174類似於圖14中所展示之蝕刻操作，且為簡潔起見省略重複描述。圖36中執行之蝕刻操作174在其移除下伏MTJ層135、底部電極層131L及視情況IMD層125或阻障層142之厚度之前，亦移除剩餘頂部電極層158R。藉由蝕刻操作174形成記憶體區100A中之IMD層125之表面與邏輯區100B中之IMD層125之表面之間的一高度差H3。在一些實施例中，高度差H3不同於高度差H1 (圖14)及H2 (圖31)。參考圖14及圖36，透過圖32至圖36之操作獲得之頂部電極158由因導電材料之單次沉積操作產生之單個層形成且在頂部電極158內不存在介面層。

【0085】 根據一實施例，一種製造一半導體裝置之方法包含：提供一基板，其中該基板界定一邏輯區及一記憶體區；跨該邏輯區及該記憶體區沉積一底部電極層；在該底部電極層上方沉積一磁性穿隧界面(MTJ)層；在該MTJ層上方沉積一第一導電層；在該第一導電層上方沉積一犧牲層；蝕刻該記憶體區中之該犧牲層以暴露該記憶體區中之該第一導電層，同時保持該邏輯區中之該第一導電層被覆蓋；在該記憶體區及該邏輯區中沉積一第二導電層；圖案化該第二導電層以暴露該記憶體區中之該MTJ層；及蝕刻該經圖案化之第二導電層及該MTJ層以在該記憶體區中分別形成一頂部電極及一MTJ。在前述及下述實施例之一或多者中，在該底部電極層之該沉積之前，形成具有一金屬線之一金屬線層；在該金屬線層上方之該記憶體區及該邏輯區中沉積一第一介電層；及在該記憶體區中之該第一介電層內形成一底部電極通路。在前述及下述實施例之一或多者中，蝕刻該經圖案化之第二導電層及該MTJ層以在該記憶體區中分別形成一頂部

電極及一MTJ包括減小該邏輯區中之該第一介電層之一厚度。在前述及下述實施例之一或多者中，在完成蝕刻該第一介電層之該厚度後該金屬線被該邏輯區中之該第一介電區覆蓋。在前述及下述實施例之一或多者中，圖案化該第二導電層以暴露該記憶體區中之該MTJ層包括移除該邏輯區中之該第二導電層。在前述及下述實施例之一或多者中，在該第二導電層上方沉積一遮罩層。圖案化該第二導電層以暴露該記憶體區中之該MTJ層包含圖案化該遮罩層，且使用該經圖案化之遮罩層作為一蝕刻遮罩來圖案化該第二導電層。在前述及下述實施例之一或多者中，該遮罩層包括相同於該犧牲層中之一材料之一材料。在前述及下述實施例之一或多者中，蝕刻該經圖案化之第二導電層及該MTJ層以在該記憶體區中分別形成一頂部電極及一MTJ包括執行一離子轟擊蝕刻以移除該記憶體區中之該遮罩層之一整體及該第二導電層之一部分。在前述及下述實施例之一或多者中，該離子轟擊蝕刻使用至少該第二導電層作為一蝕刻遮罩來蝕刻該MTJ層以在該記憶體區中形成該MTJ。在前述及下述實施例之一或多者中，該離子轟擊蝕刻使用該第二導電層作為一蝕刻遮罩來進一步蝕刻該底部電極層以形成一底部電極。在前述及下述實施例之一或多者中，該離子轟擊蝕刻移除該邏輯區中之該遮罩層及該第二導電層。在前述及下述實施例之一或多者中，進一步形成橫向包圍該頂部電極及該MTJ之側壁之一間隔件。

【0086】 根據一實施例，一種製造一半導體結構之方法包含：提供一基板，其中該基板界定一邏輯區及一記憶體區；在該基板上方沉積一底部電極層及一磁性穿隧接面(MTJ)層；在該MTJ層上方沉積一第一導電層；在該第一導電層上方沉積一蝕刻緩衝層；蝕刻該記憶體區中之該蝕刻緩衝層以暴露該記憶體區中之該第一導電層，同時保持該邏輯區中之該第

一導電層被覆蓋；在該記憶體區及該邏輯區中之該第一導電層及該蝕刻緩衝層上方分別沉積一第二導電層；在該第二導電層上方沉積一遮罩層；圖案化該遮罩層以在該記憶體區中形成一頂部電極之一圖案；藉由將該圖案轉印至該第一導電層及該第二導電層來圖案化該第一導電層及該第二導電層；及使用一蝕刻操作蝕刻該遮罩層、該等經圖案化之第一及第二導電層、該MTJ層及該底部電極層以在該記憶體區中形成該頂部電極、一MTJ及一底部電極。在前述及下述實施例之一或多者中，圖案化該第一導電層及該第二導電層包括移除該邏輯區中之該第二導電層。在前述及下述實施例之一或多者中，該第一導電層包括相同於該第二導電層中之一導電材料之一導電材料。在前述及下述實施例之一或多者中，致使在該第二導電層之該沉積之前在該第一導電層上生長一介面層。在前述及下述實施例之一或多者中，在該底部電極層之該沉積之前，在該基板上方跨該記憶體區及該邏輯區形成一介電層；及在該介電層內形成一底部電極通路。該底部電極層電連接至該底部電極通路，且在移除該邏輯區中之該介電層之一厚度的同時，該蝕刻操作在該記憶體區中之該介電層處停止。在前述及下述實施例之一或多者中，在該蝕刻操作之後完全移除該邏輯區中之該介電層。

【0087】 根據一實施例，一種半導體裝置包含一基板及一記憶體裝置。該半導體裝置包含一記憶體區及一邏輯區。該記憶體裝置經配置於該基板上方之該記憶體區中且包含：一底部電極通路，其經配置於該基板上方；一底部電極，其經配置於該底部電極通路上方；一磁性穿隧界面(MTJ)，其經配置於該底部電極上方；及一頂部電極，其經配置於該MTJ上方。該頂部電極包含一上部分及與該上部分分離之一下部分。在前述及下述實施例之一或多者中，該頂部電極進一步包括在該上部分與該下部分

之間的一介面層。

【0088】 前述內容概述若干實施例之特徵，使得熟習此項技術者可更好地理解本揭露之態樣。熟習此項技術者應明白，其等可容易使用本揭露作為用於設計或修改實行本文中所介紹之實施例之相同目的及/或達成相同優點之其他製程及結構之一基礎。熟習此項技術者亦應認知，此等等效構造不背離本揭露之精神及範疇，且其等可在不背離本揭露之精神及範疇之情況下在本文中作出各種改變、置換及更改。

【符號說明】

【0089】

10:半導體結構

12:部分

100:半導體基板

100_1A:磁阻式隨機存取記憶體(MRAM)胞元結構/MRAM結構

100_2A:MRAM結構

100A:記憶體區

100B:邏輯區

101:電晶體結構

102:金屬化結構

103:源極區

105:汲極區

107:閘極區

108:接觸插塞

109:層間介電質(ILD)

111:淺溝槽隔離區(STI)
115:介電層/金屬間介電質(IMD)層
121:金屬線/第N金屬線
121L:第N金屬線層
122:金屬通路/第N金屬通路
122L:第N金屬通路層
123:金屬線/第(N+1)金屬線
123A:第(N+1)金屬線溝槽
123B:溝槽
123L:第(N+1)金屬線層
125:介電層/IMD層
125A:第一下表面
125B:第二下表面
125C:第一上表面
125D:第二上表面
127:保護層或間隔件
129:介電層
131:底部電極
131L:底部電極層
132:底部電極通路(BEVA)/BEVA材料
132H:BEVA孔
133:下部分
133L:第一頂部電極層

135:磁性穿隧接面(MTJ)
135L:MTJ層
137:停止層
138:另一介電層
140:層堆疊
141:阻障層
142:阻障層
143:阻障層
145:介電層/IMD層
151:阻障層
152L:犧牲層
152P:經圖案化之犧牲層
154:上部分
154L:第二頂部電極層
154U:第二頂部電極部分
156:經圖案化之遮罩層/遮罩圖案
156L:遮罩層
156R:遮罩層
158:頂部電極
158L:頂部電極層
158R:頂部電極層
158U:頂部電極部分
161:襯層

162:金屬通路
162L:第(N+1)金屬通路層
163:金屬線
164:介面區
164L:介面層
172:選擇性蝕刻操作
174:蝕刻操作
180:堆疊
184:介電層
186:介電層/IMD層
188:介電層
H1:高度差
H2:高度差
H3:高度差
T1:厚度

【發明申請專利範圍】

【請求項1】

一種製造一半導體裝置之方法，其包括：

提供一基板，該基板包括一邏輯區及一記憶體區；

跨該邏輯區及該記憶體區沉積一底部電極層；

在該底部電極層上方沉積一磁性穿隧界面(MTJ)層；

在該MTJ層上方沉積一第一導電層；

在該第一導電層上方沉積一犧牲層；

蝕刻該記憶體區中之該犧牲層以暴露該記憶體區中之該第一導電層，同時保持該邏輯區中之該第一導電層被覆蓋；

在該記憶體區及該邏輯區中沉積一第二導電層；

圖案化該第二導電層以暴露該記憶體區中之該MTJ層；及

蝕刻該經圖案化之第二導電層及該MTJ層以在該記憶體區中分別形成一頂部電極及一MTJ。

【請求項2】

如請求項1之方法，其進一步包括在該底部電極層之該沉積之前：

形成具有一金屬線之一金屬線層；

在該金屬線層上方之該記憶體區及該邏輯區中沉積一第一介電層；及

在該記憶體區中之該第一介電層內形成一底部電極通路。

【請求項3】

如請求項1之方法，其中圖案化該第二導電層以暴露該記憶體區中之該MTJ層包括移除該邏輯區中之該第二導電層。

【請求項4】

如請求項1之方法，其進一步包括在該第二導電層上方沉積一遮罩層，其中圖案化該第二導電層以暴露該記憶體區中之該MTJ層包括圖案化該遮罩層，且其中使用該經圖案化之遮罩層作為一蝕刻遮罩來圖案化該第二導電層。

【請求項5】

如請求項4之方法，其中該遮罩層包括相同於該犧牲層中之一材料之一材料。

【請求項6】

一種製造一半導體裝置之方法，其包括：

形成一基板，該基板包括一邏輯區及一記憶體區；

在該基板上沉積一底部電極層及一磁性穿隧界面(MTJ)層；

在該MTJ層上方沉積一第一導電層；

在該第一導電層上方沉積一蝕刻緩衝層；

蝕刻該記憶體區中之該蝕刻緩衝層以暴露該記憶體區中之該第一導電層，同時保持該邏輯區中之該第一導電層被覆蓋；

在該記憶體區及該邏輯區中之該第一導電層及該蝕刻緩衝層上方分別沉積一第二導電層；

在該第二導電層上方沉積一遮罩層；

圖案化該遮罩層以在該記憶體區中形成一頂部電極之一圖案；

藉由將該圖案轉印至該第一導電層及該第二導電層來圖案化該第一導電層及該第二導電層；及

使用一蝕刻操作蝕刻該遮罩層、該等經圖案化之第一及第二導電層、該MTJ層及該底部電極層以在該記憶體區中形成該頂部電極、一MTJ

及一底部電極。

【請求項7】

如請求項6之方法，其中圖案化該第一導電層及該第二導電層包括移除該邏輯區中之該第二導電層。

【請求項8】

如請求項6之方法，其中該第一導電層包括相同於該第二導電層中之一導電材料之一導電材料。

【請求項9】

一種半導體裝置，其包括：

一基板，該半導體裝置界定一記憶體區及一邏輯區；及

一記憶體裝置，其經配置於該基板上方之該記憶體區中，該記憶體裝置包括：

一底部電極通路，其經配置於該基板上方；

一底部電極，其經配置於該底部電極通路上方；

一磁性穿隧接面(MTJ)，其經配置於該底部電極上方；及

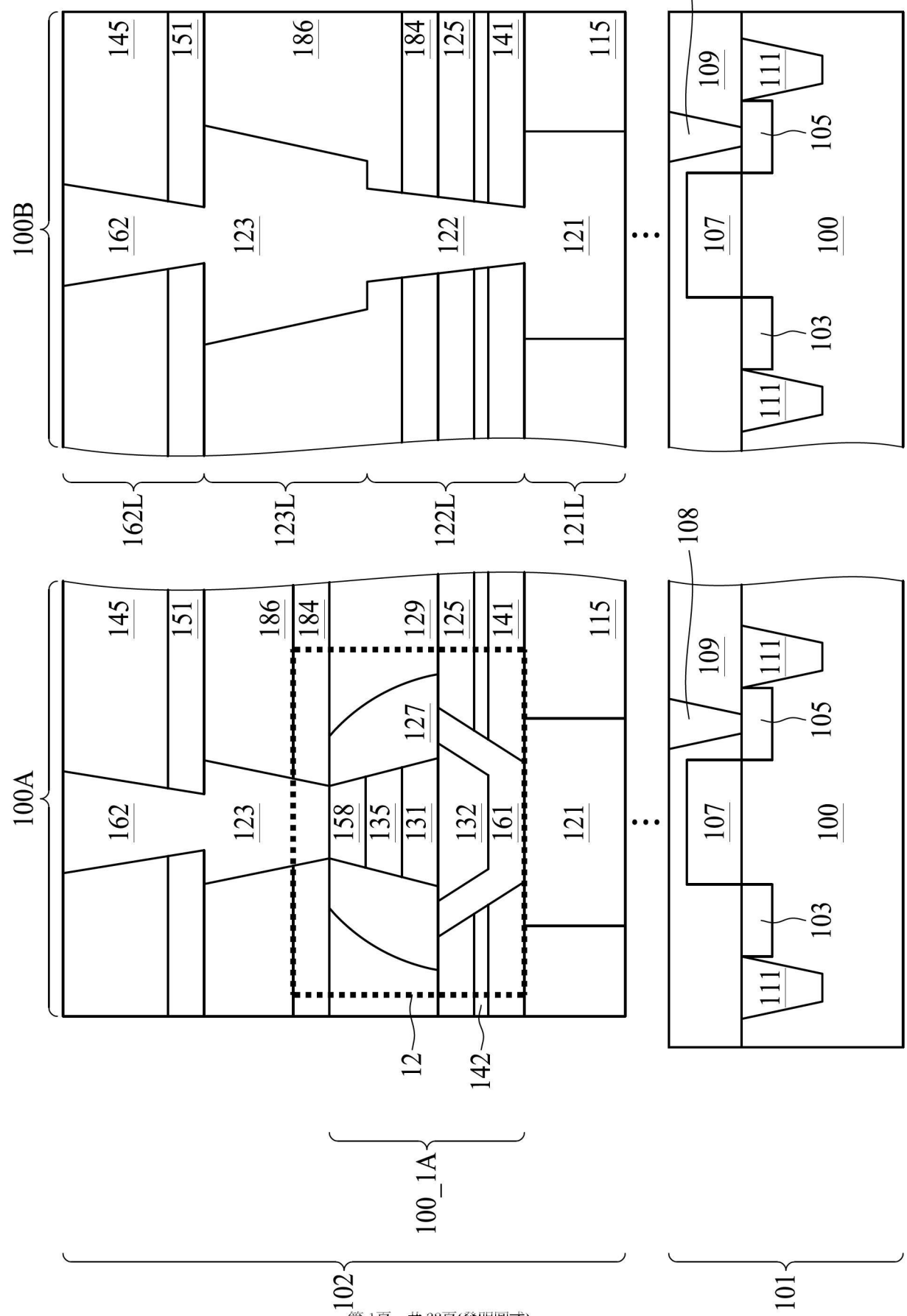
一頂部電極，其經配置於該MTJ上方，該頂部電極包括一上部分及與該上部分分離之一下部分。

【請求項10】

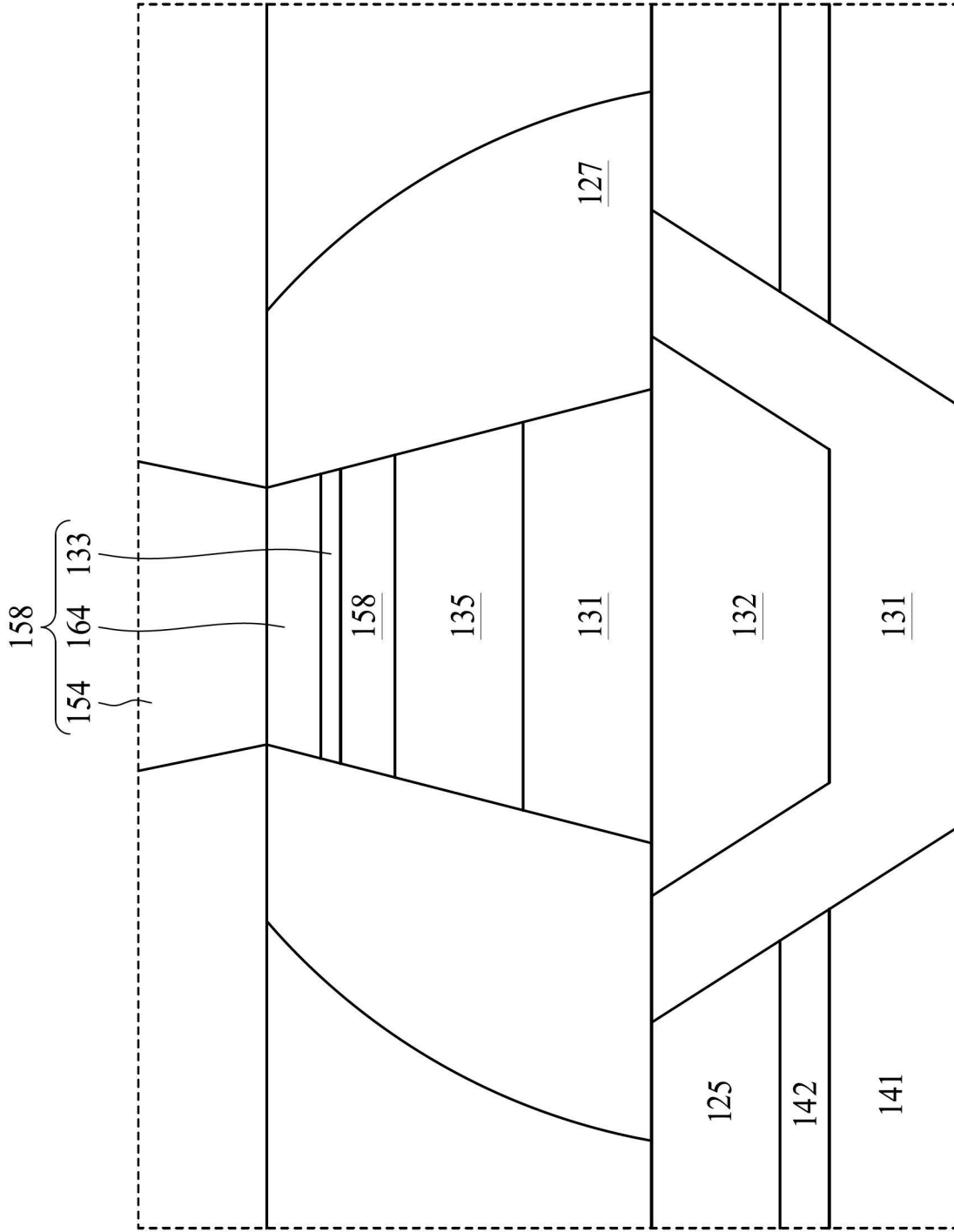
如請求項9之半導體裝置，其中該頂部電極進一步包括在該上部分與該下部分之間的一介面層。

【發明圖式】

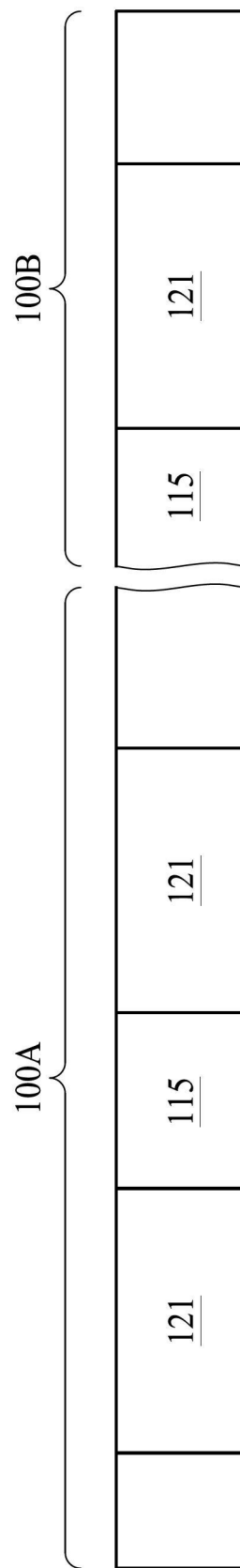
10



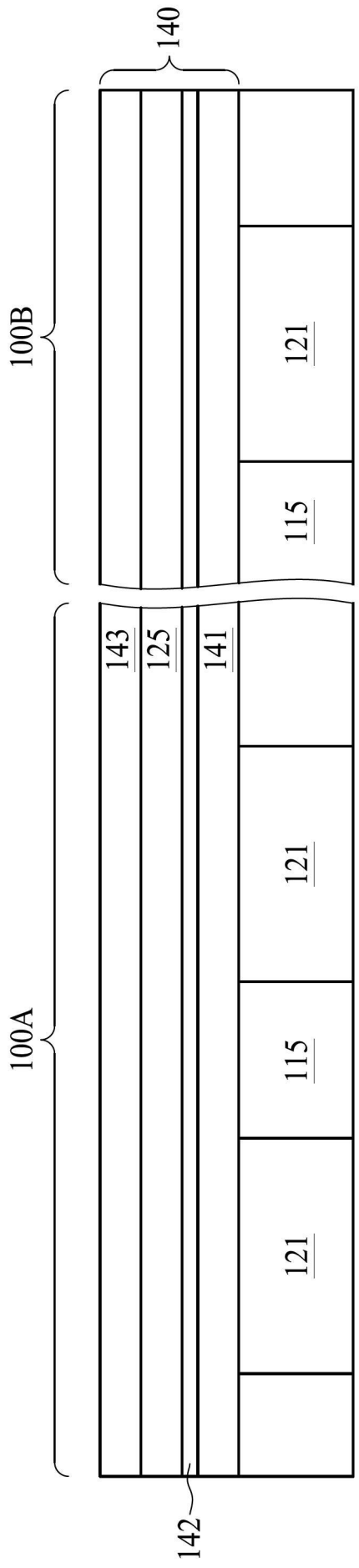
【圖1A】



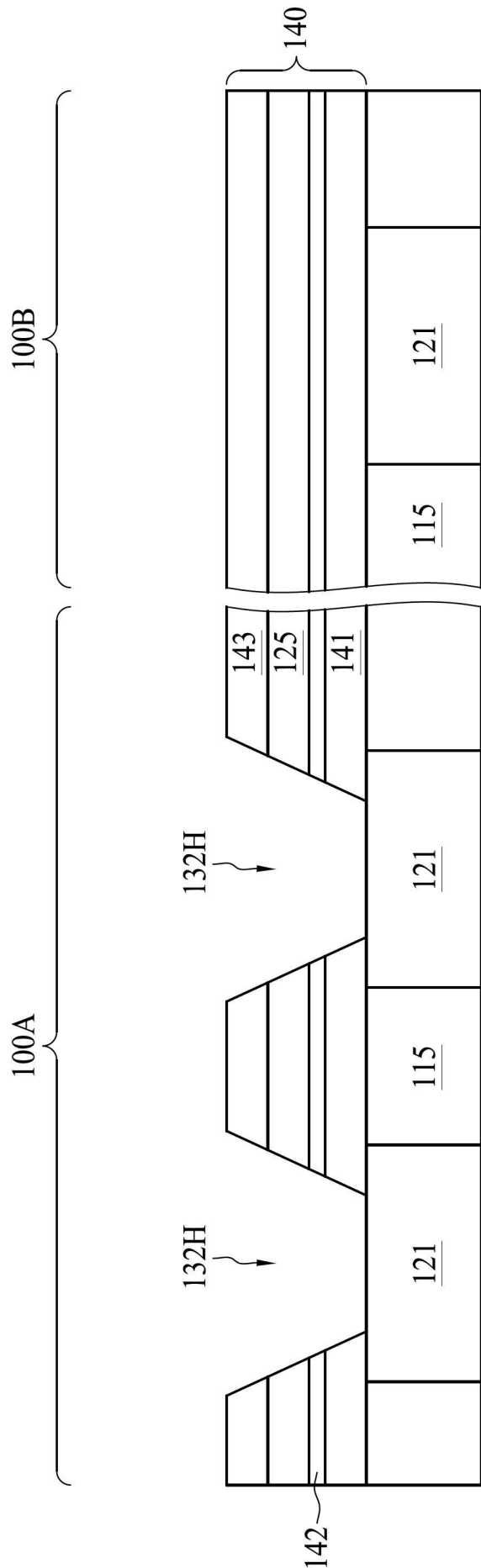
【圖1B】



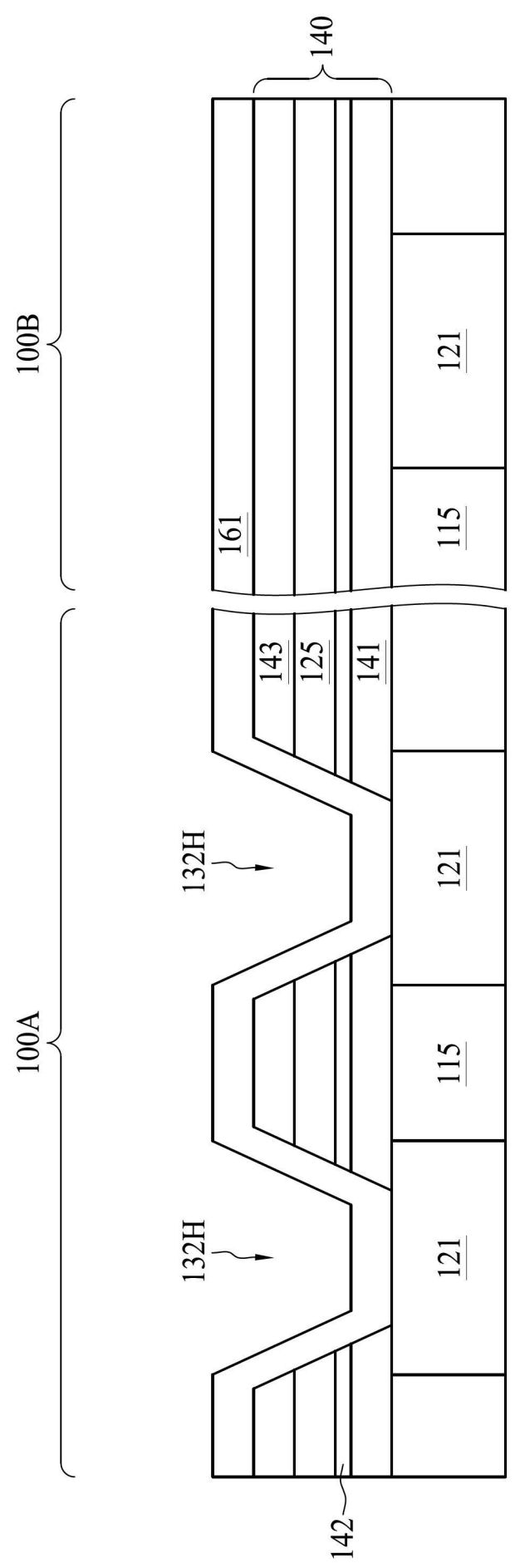
【圖2】



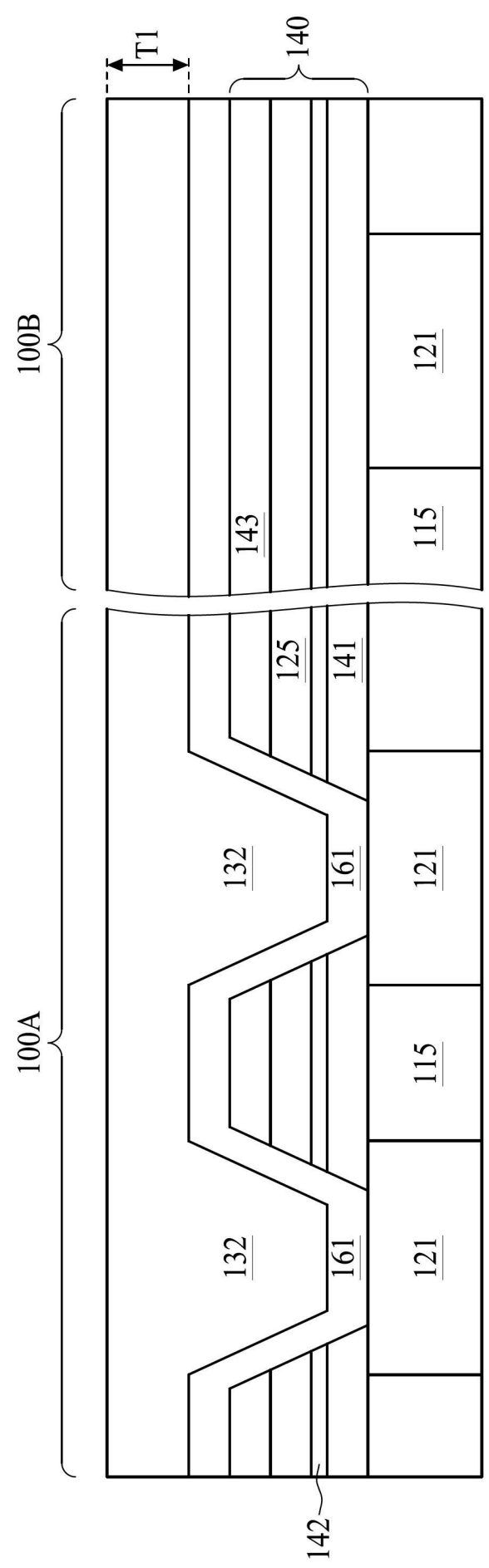
【圖3】



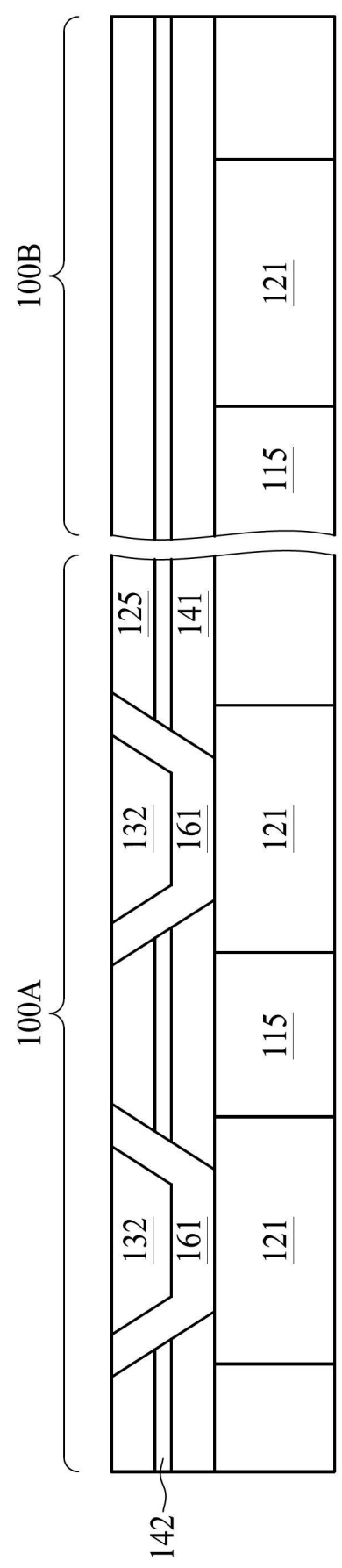
【圖4】



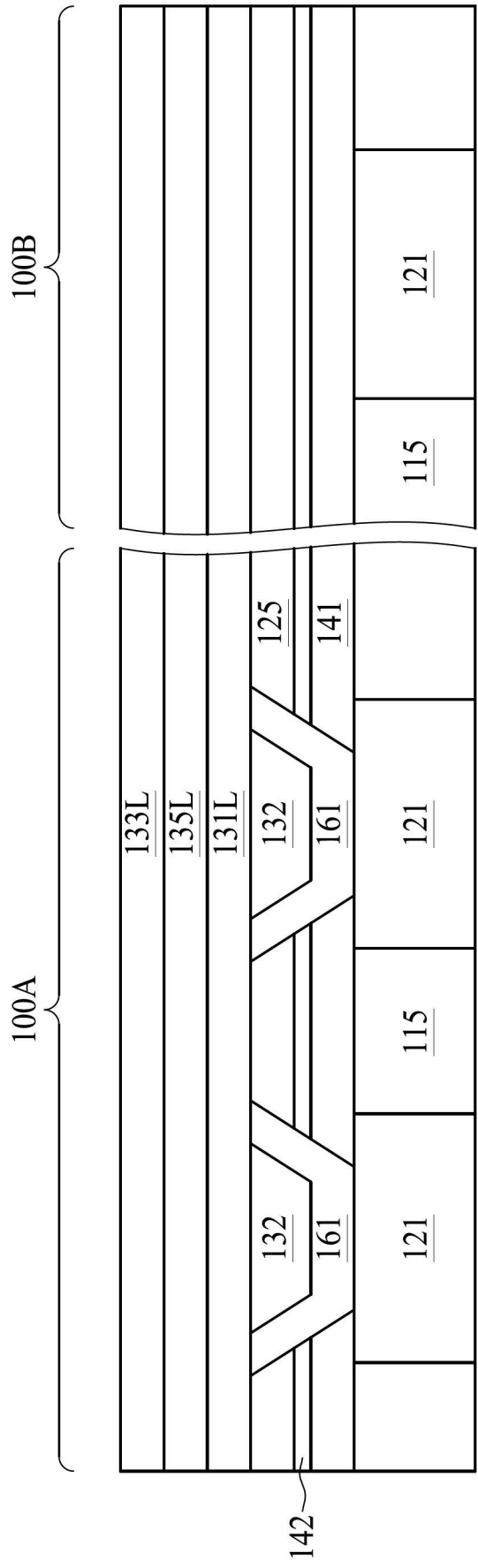
【圖5】



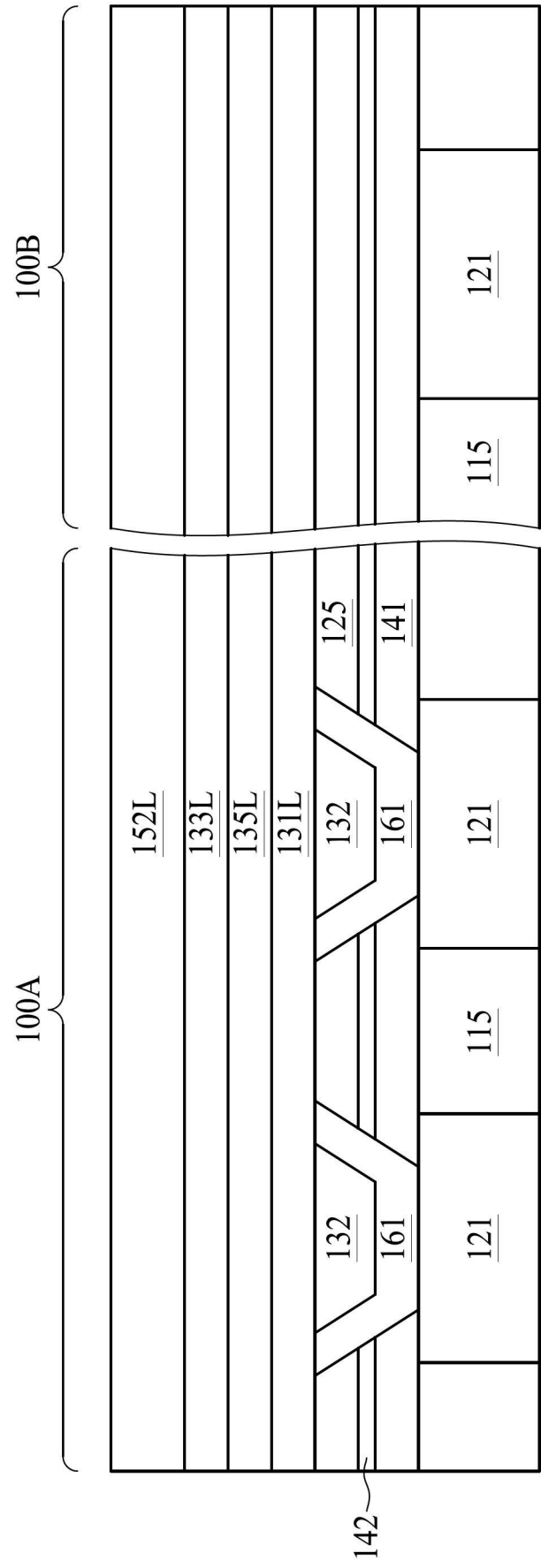
【圖6】



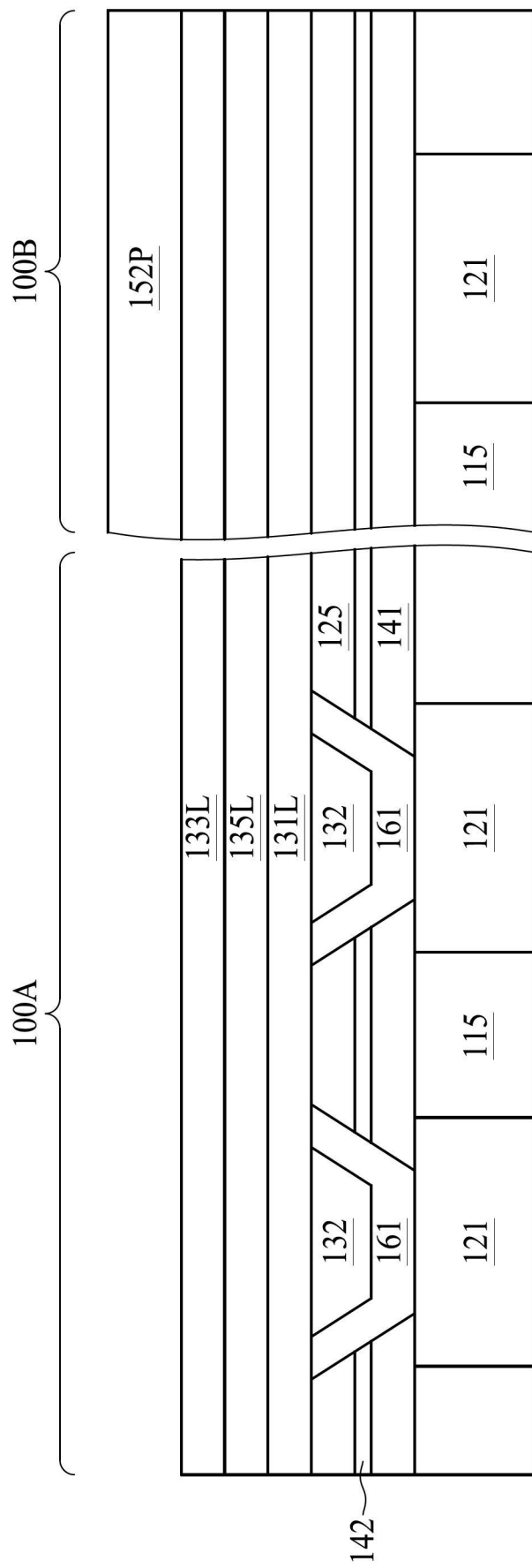
【圖7】



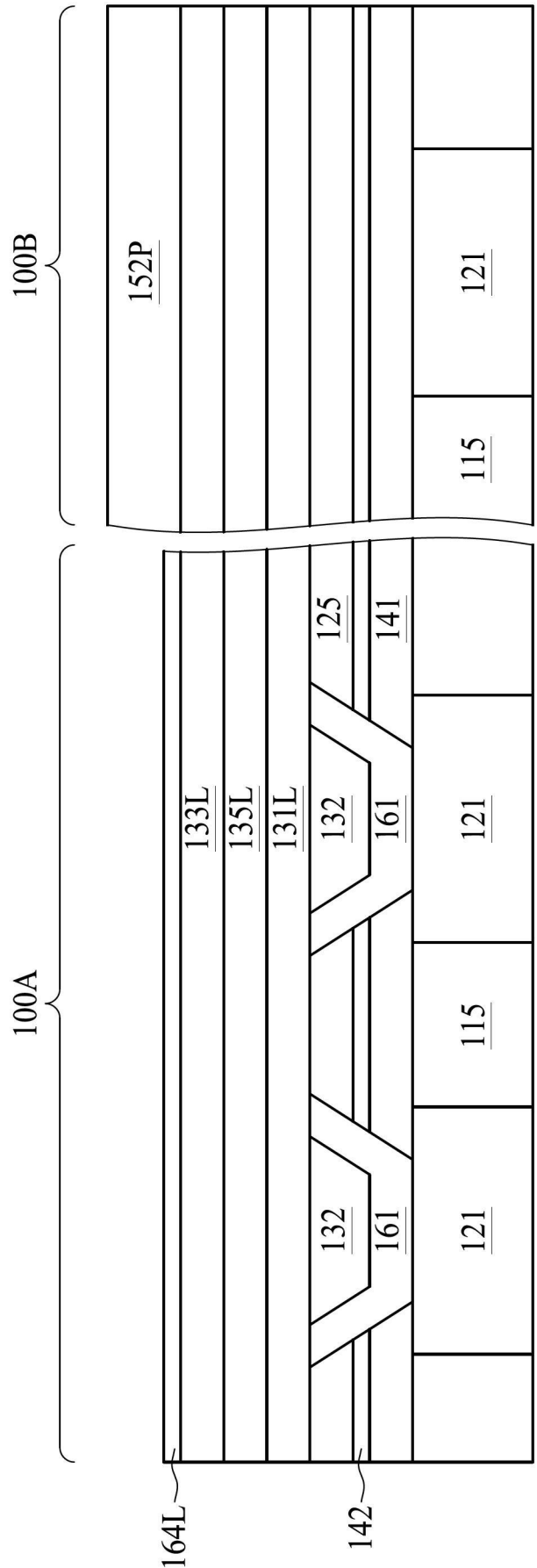
【圖8】



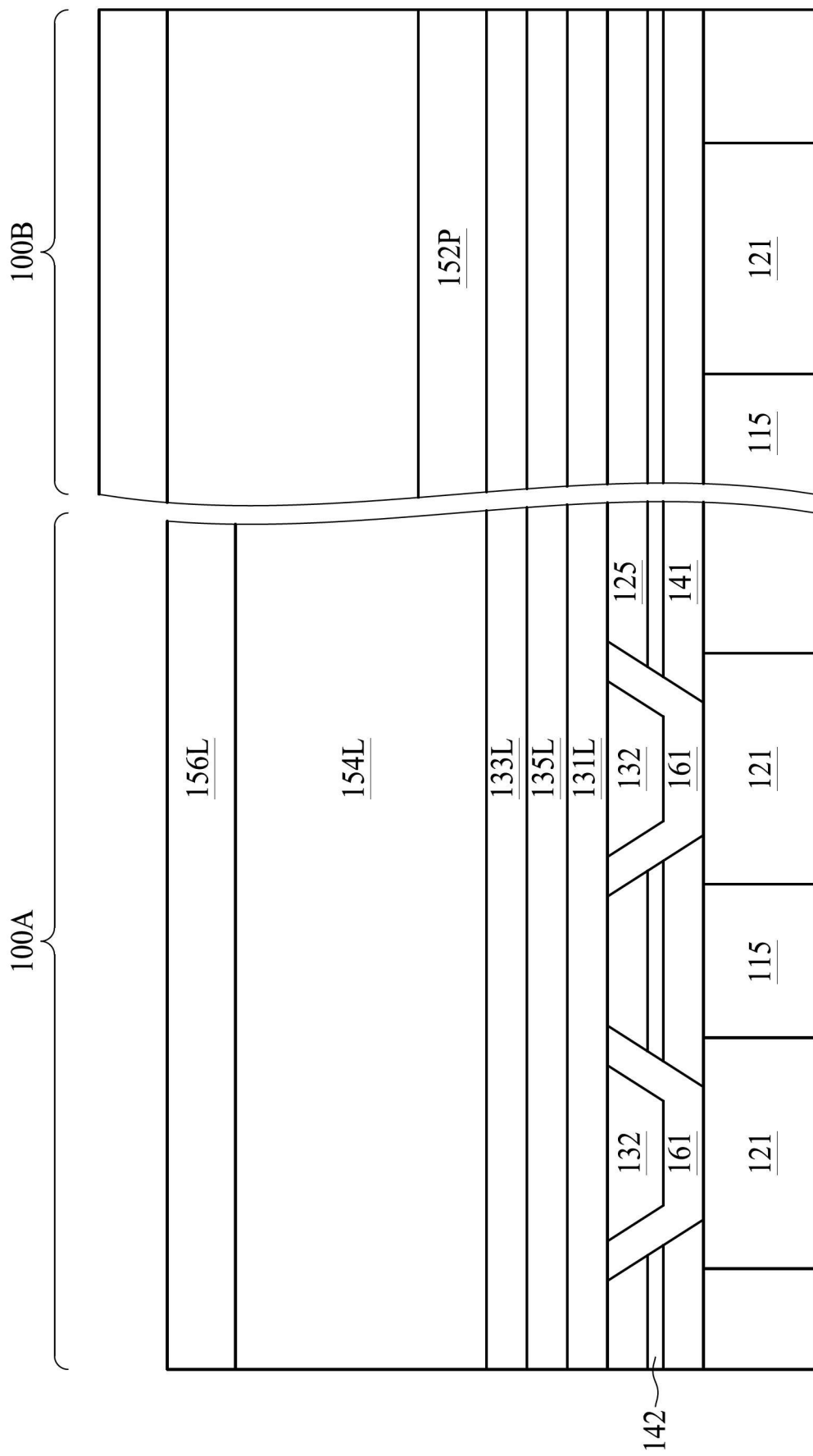
【圖9】



【圖10A】



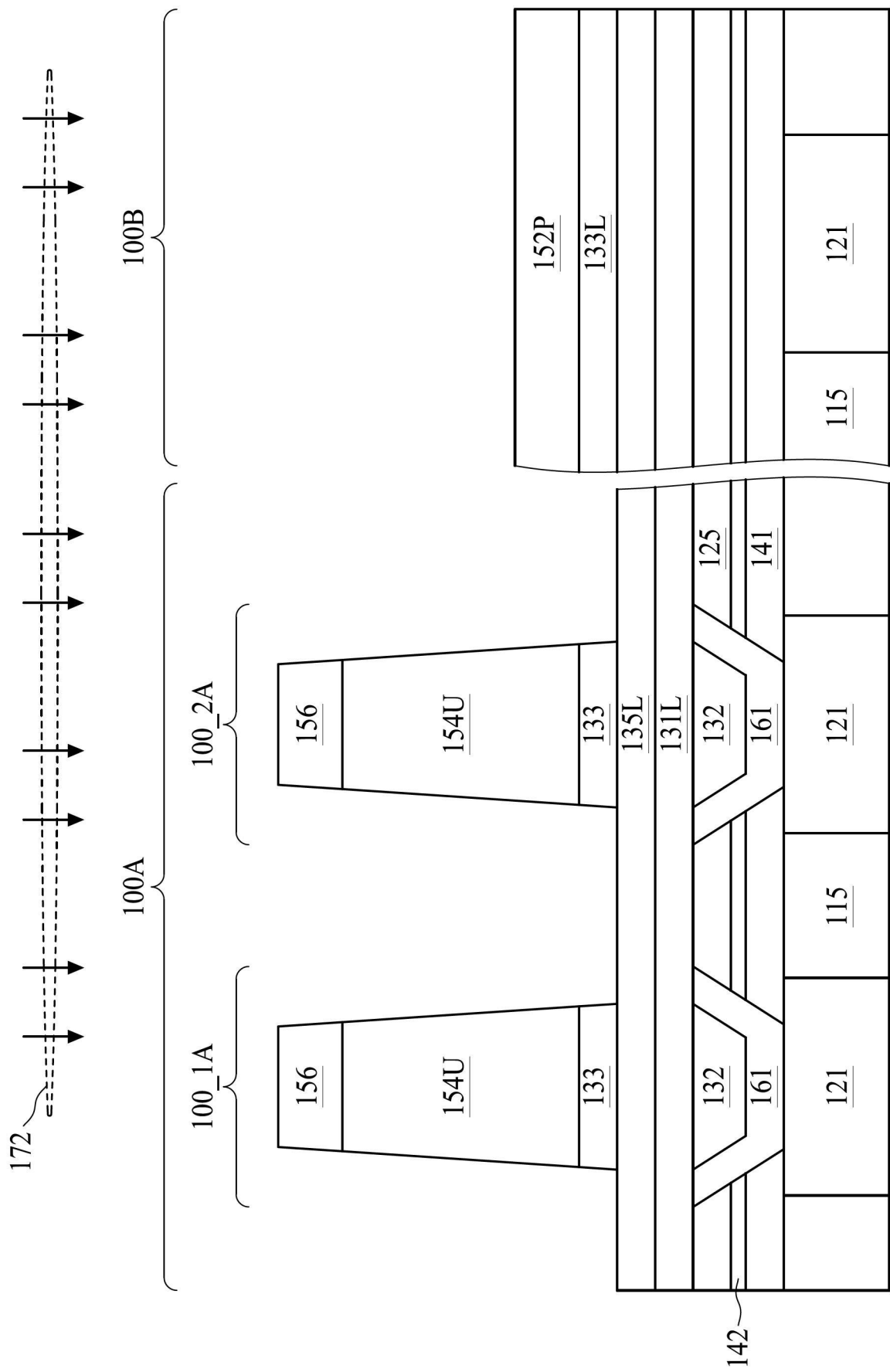
【圖10B】



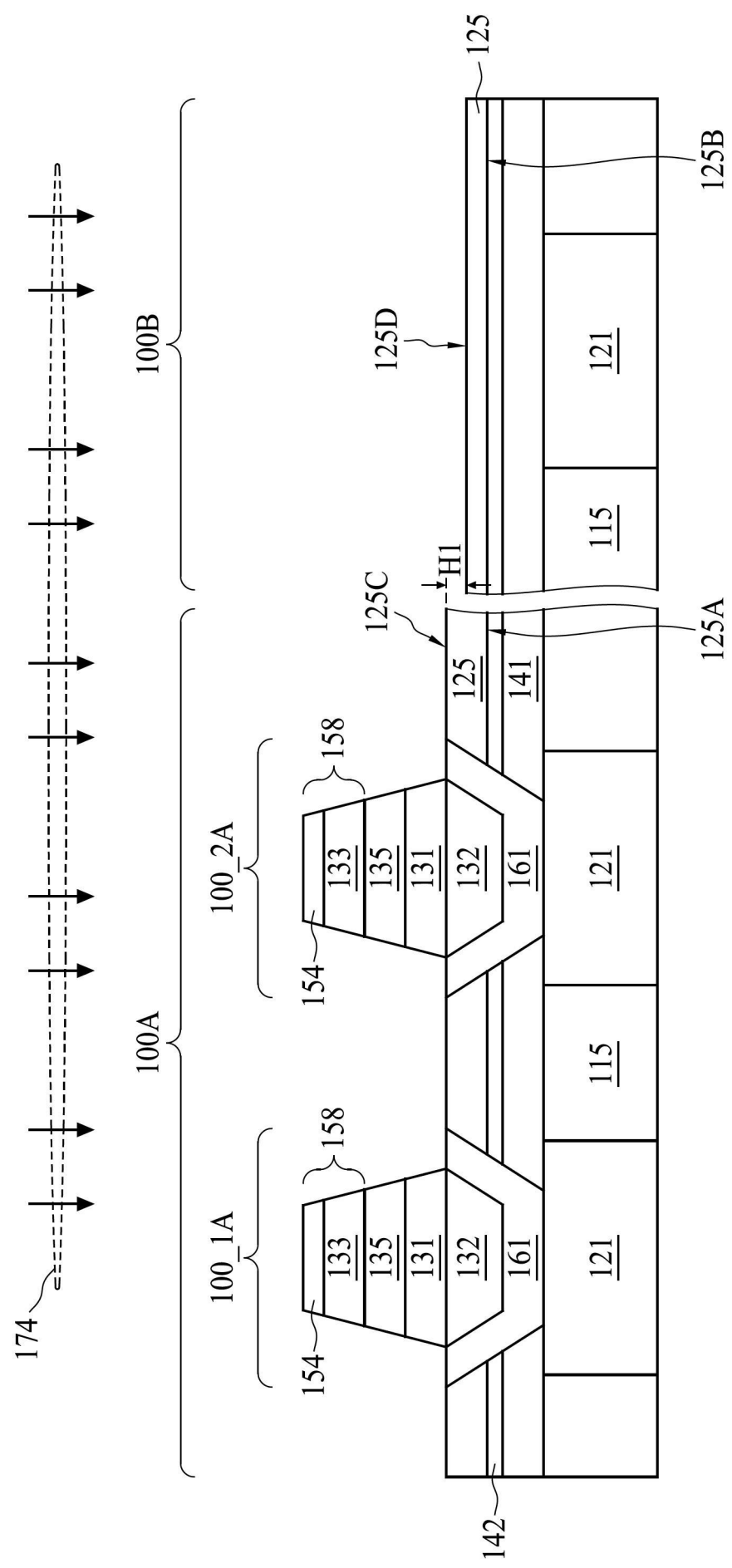
【圖11】



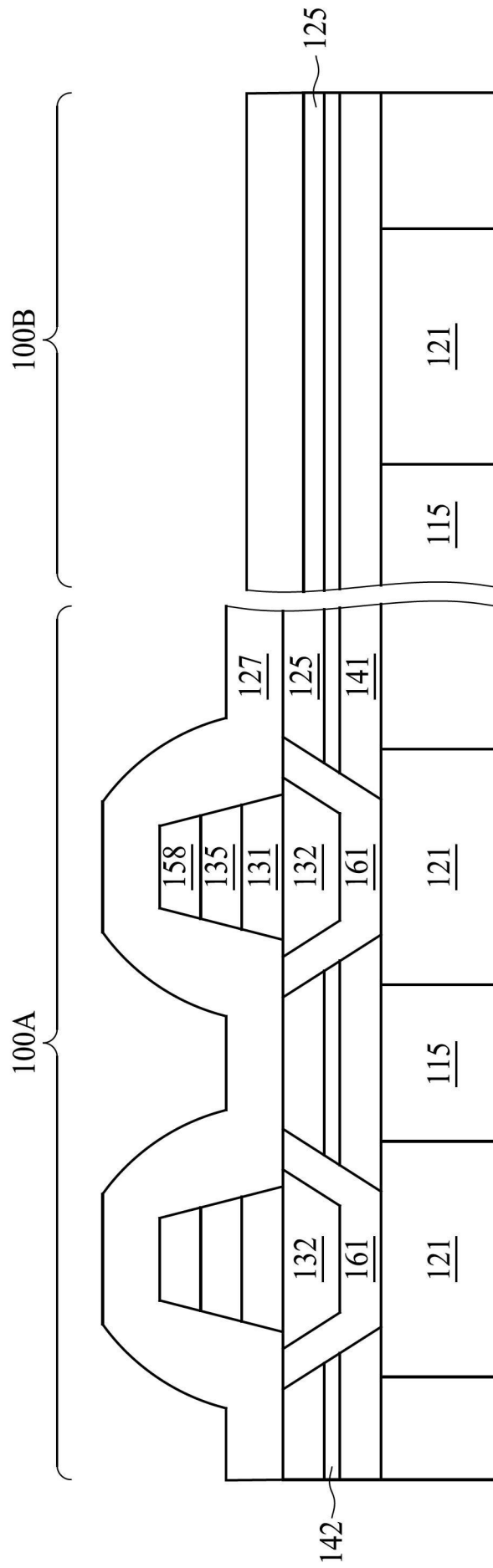
【圖12】



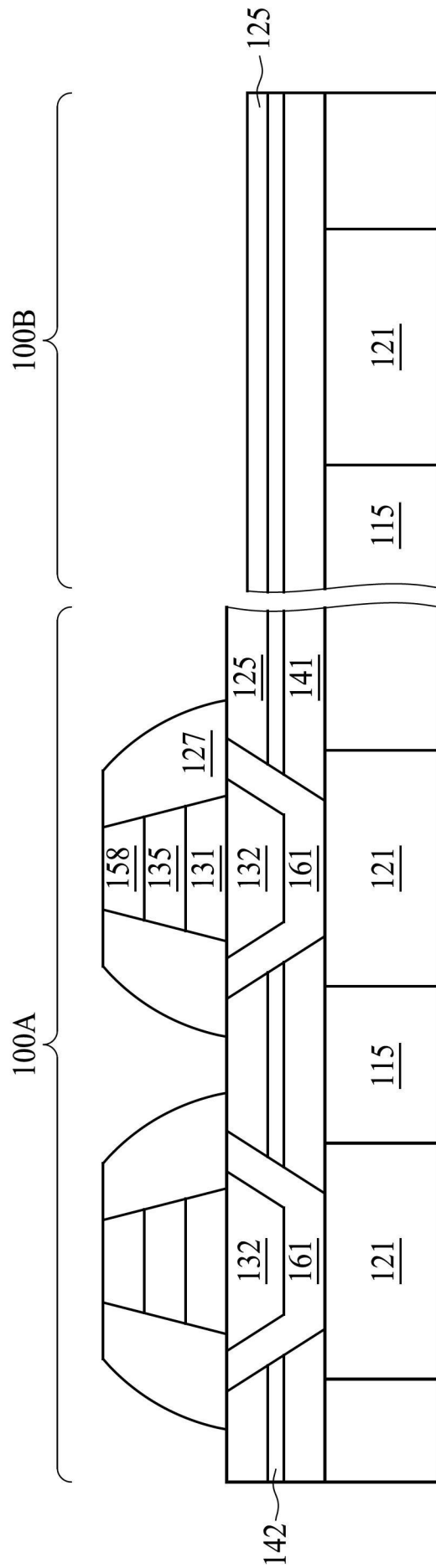
【圖13】



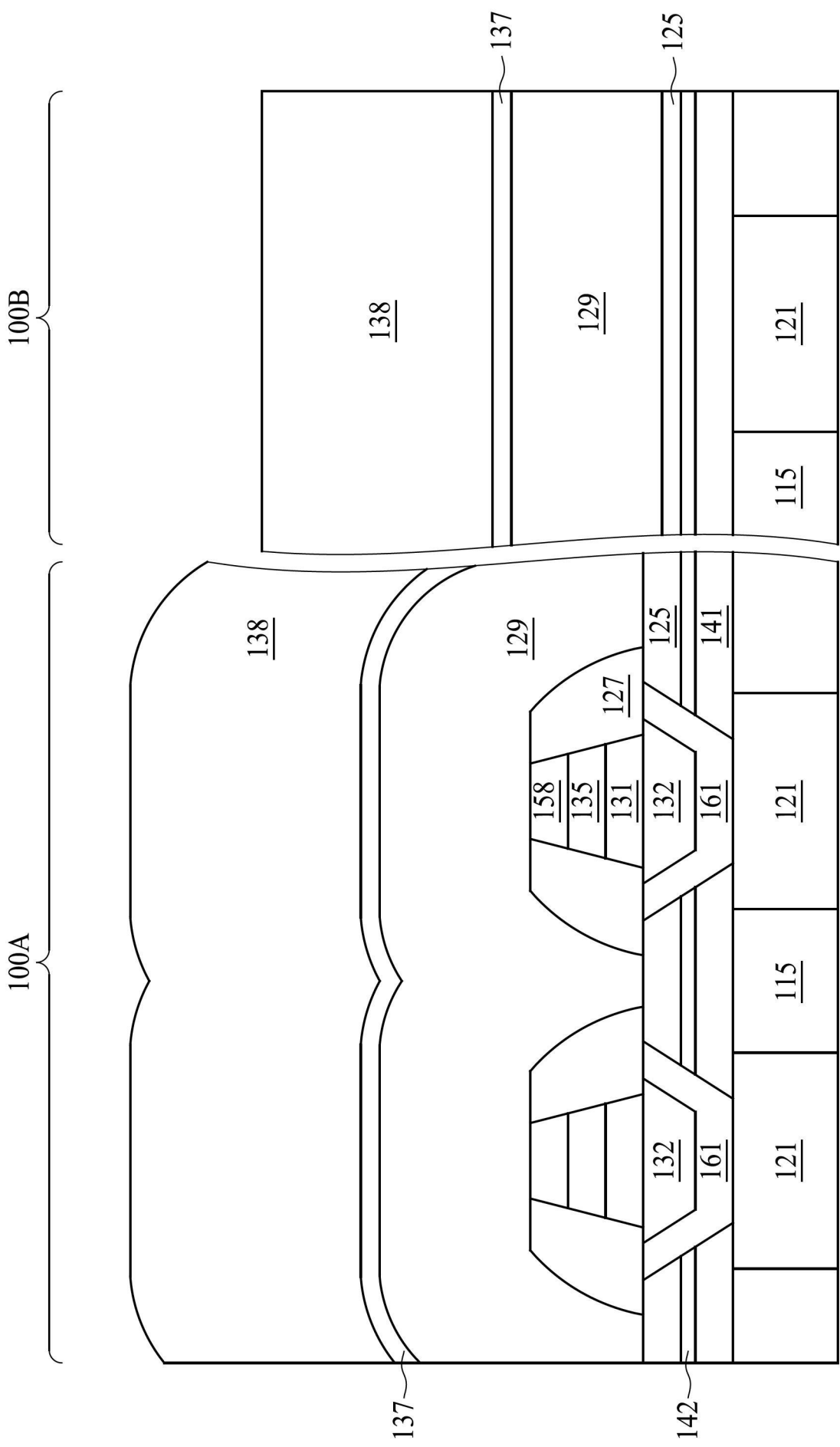
【圖14】



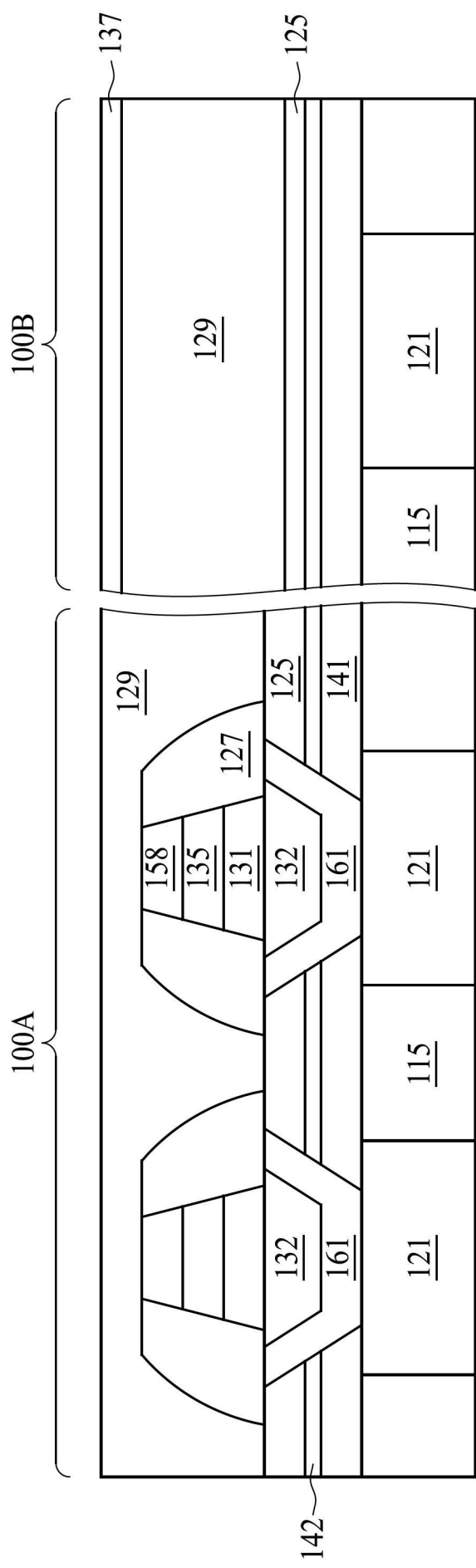
【圖15】



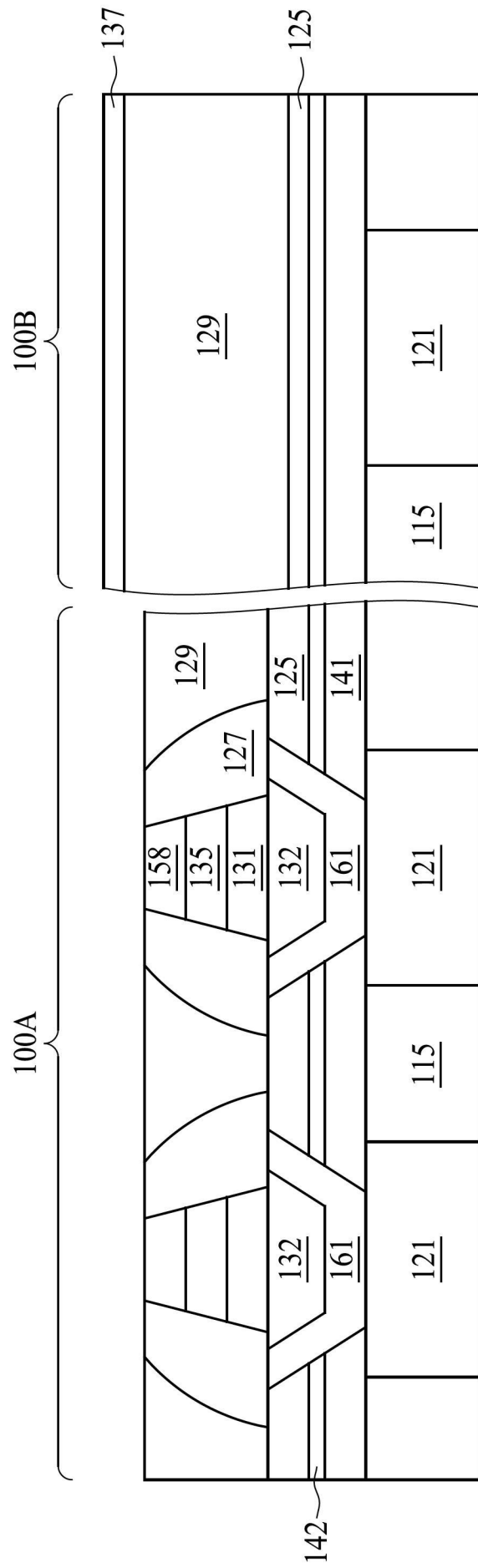
【圖16】



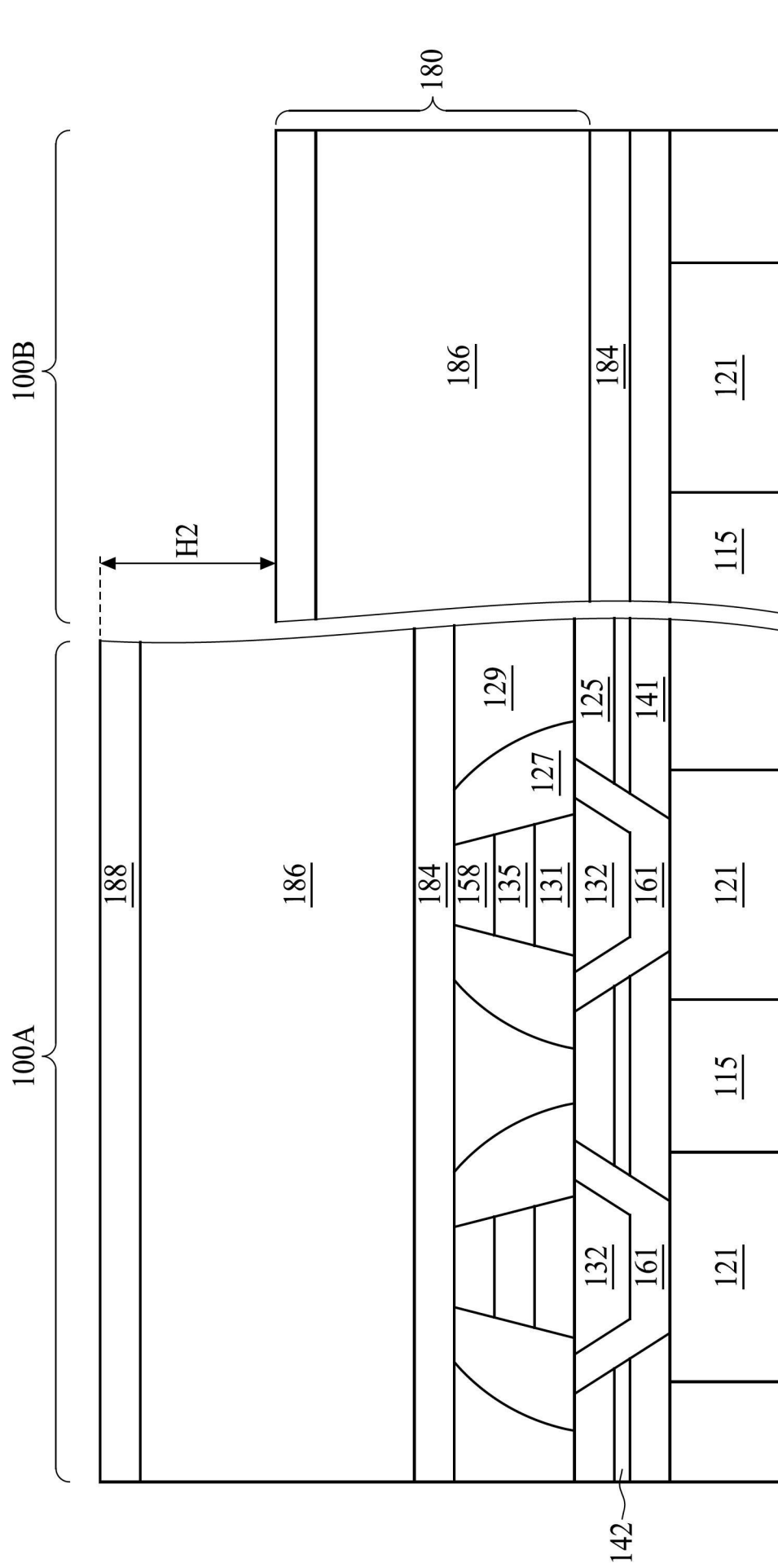
【圖17】



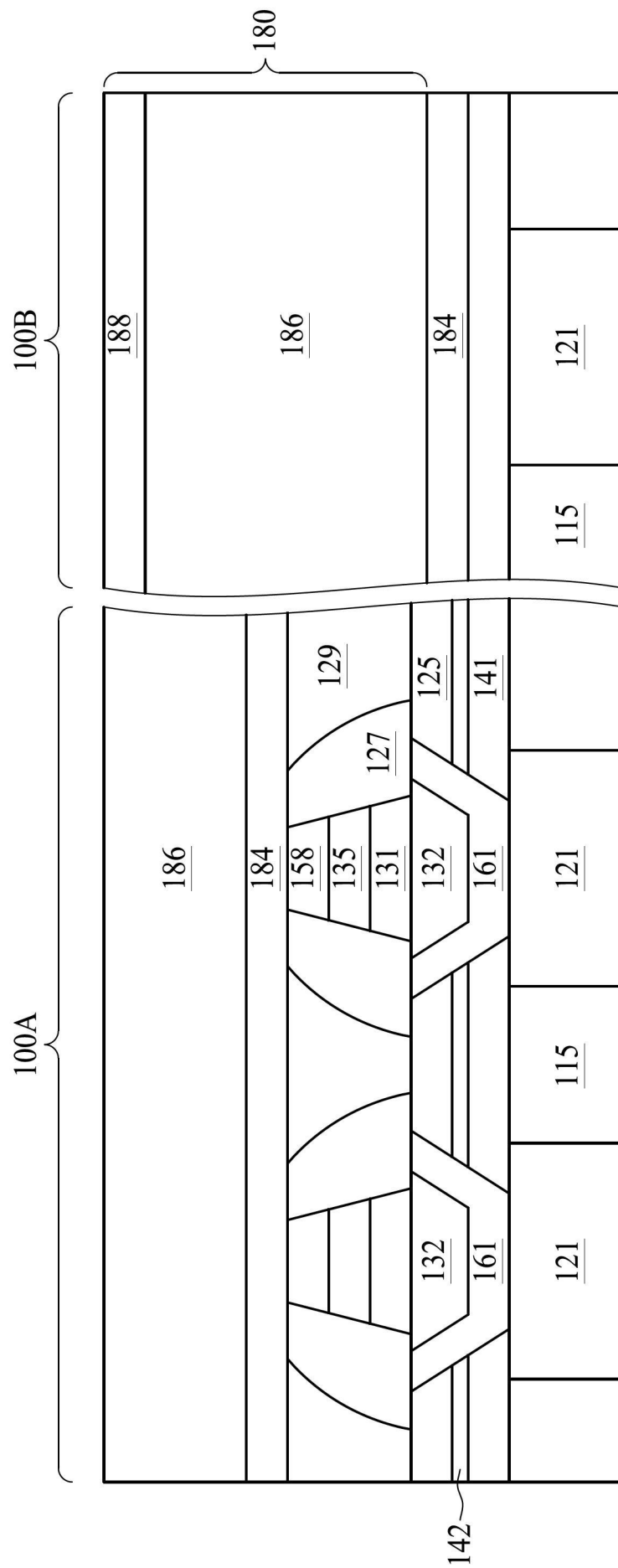
【圖18】



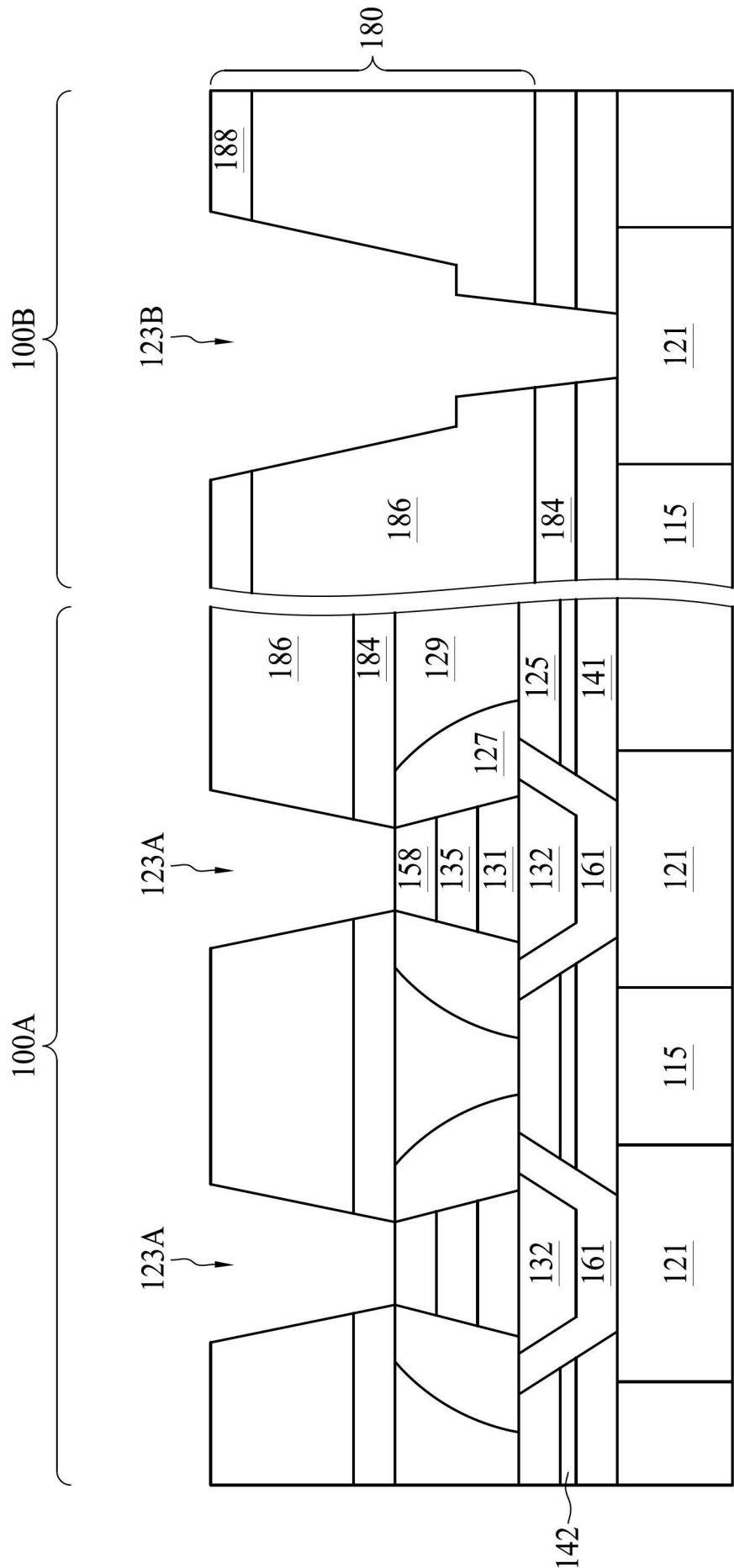
【圖19】



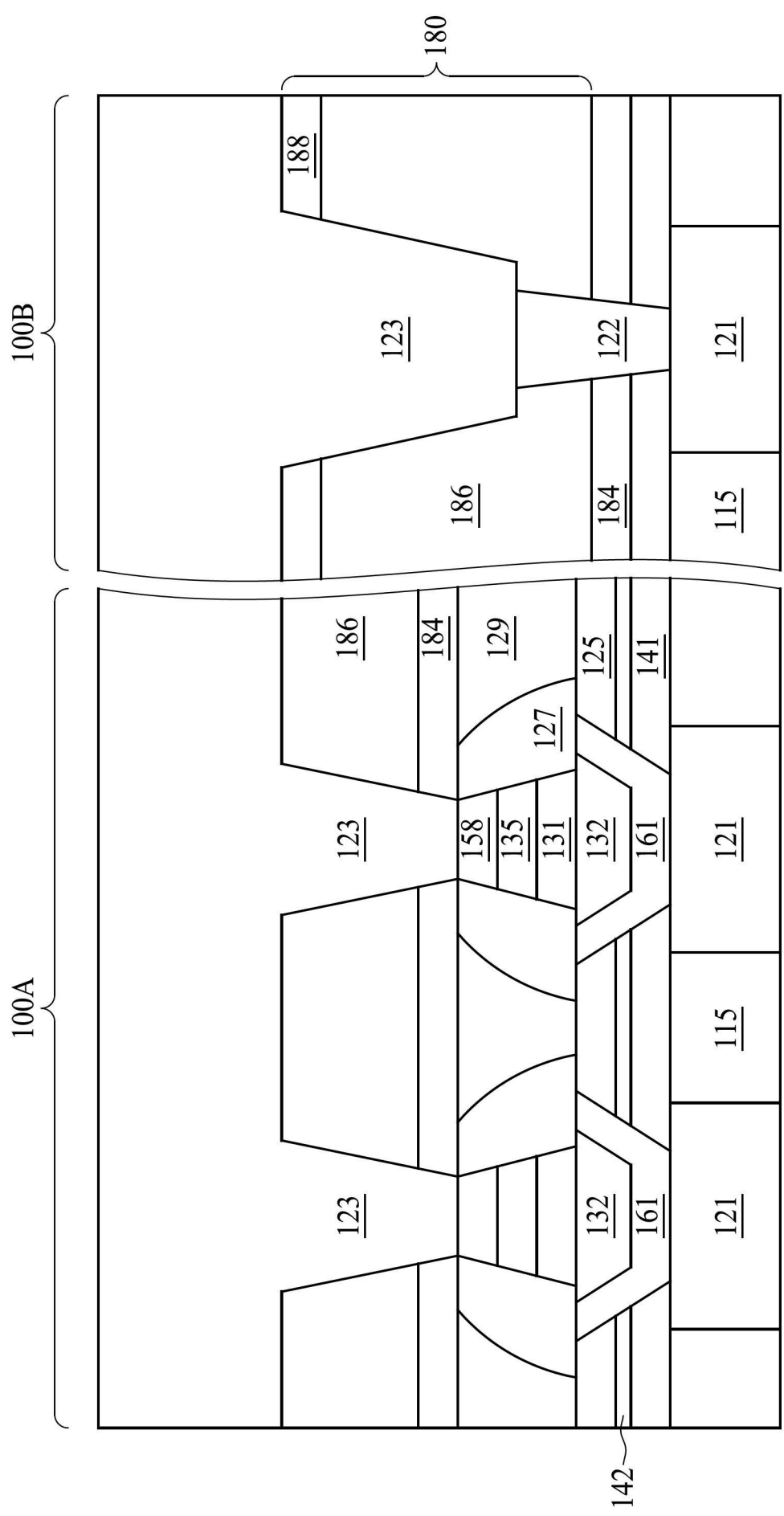
【圖20】



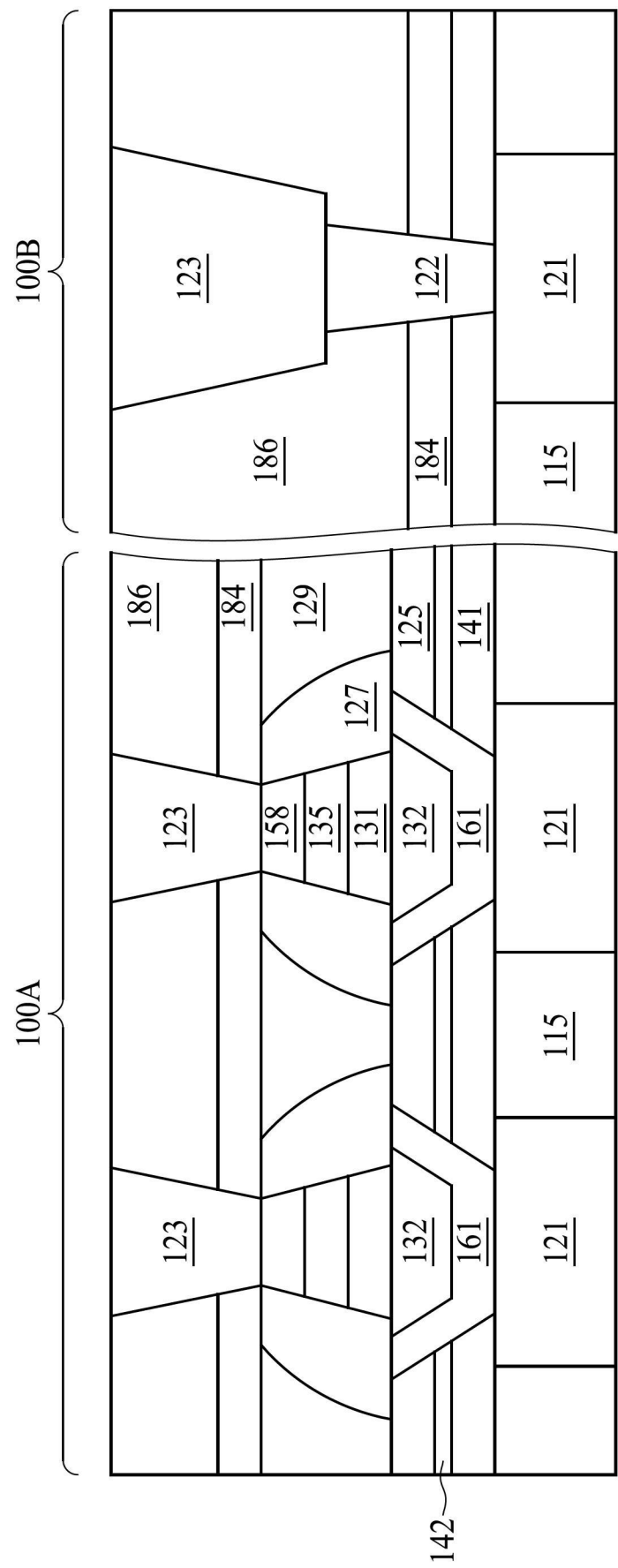
【圖21】



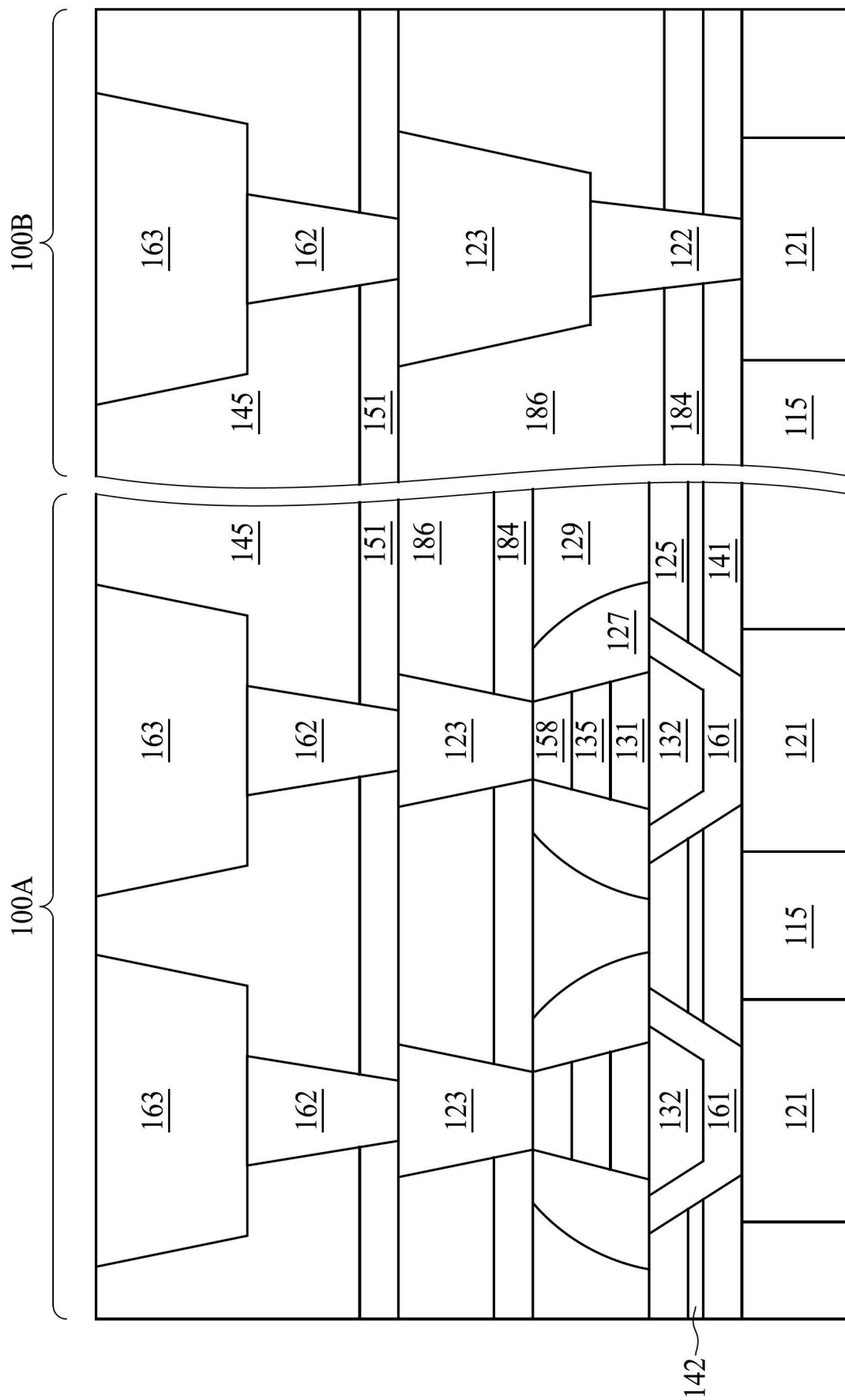
【圖22】



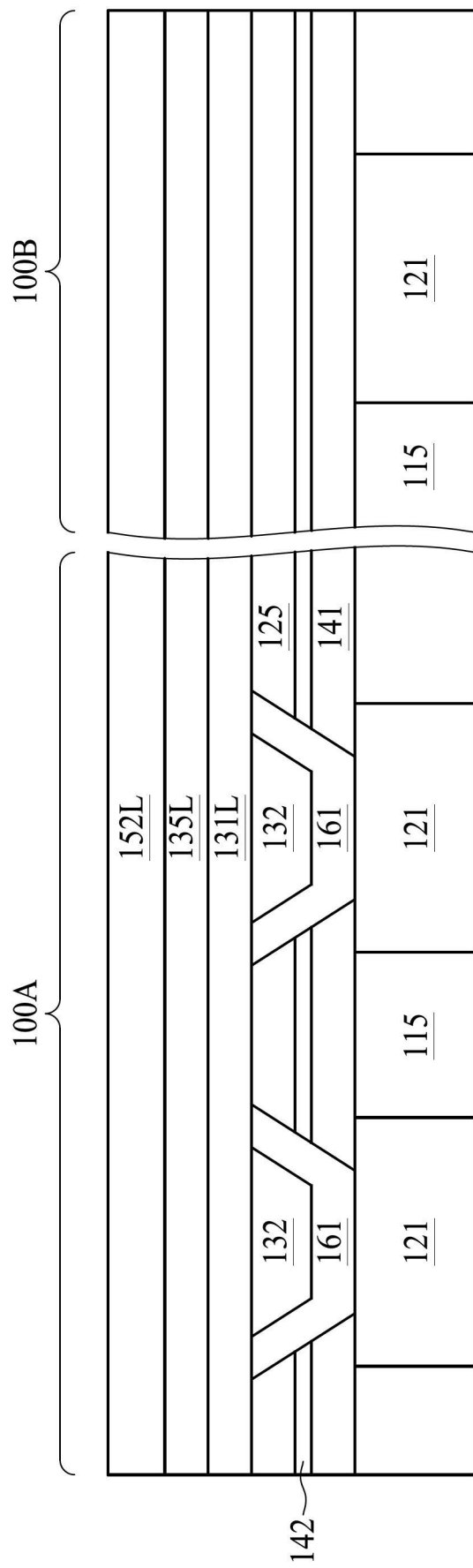
【圖23】



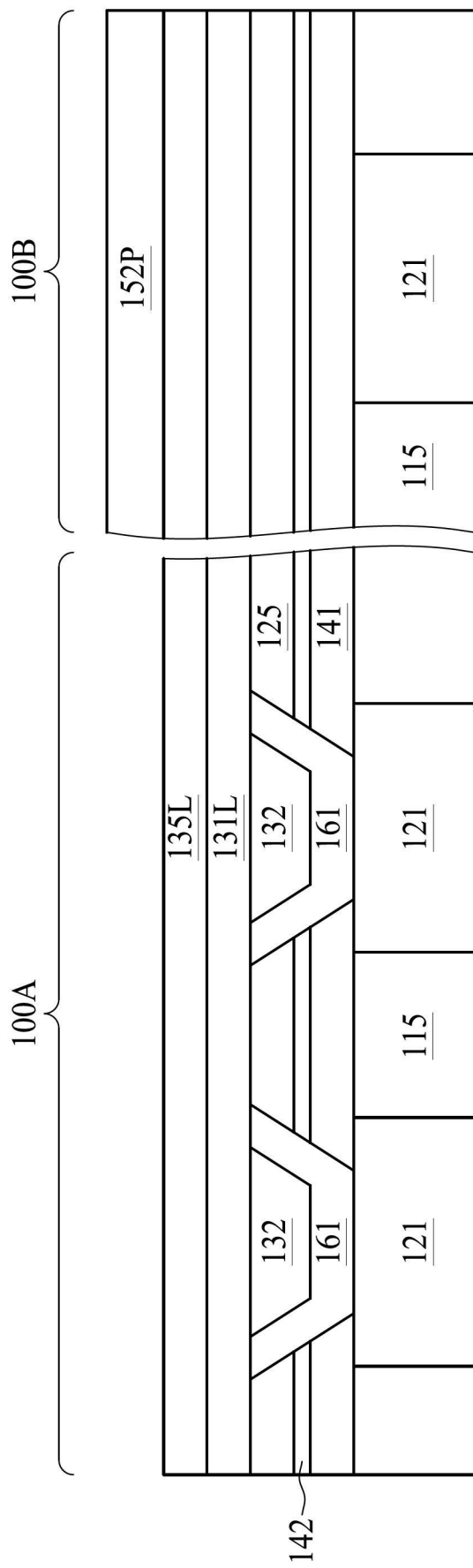
【圖24】



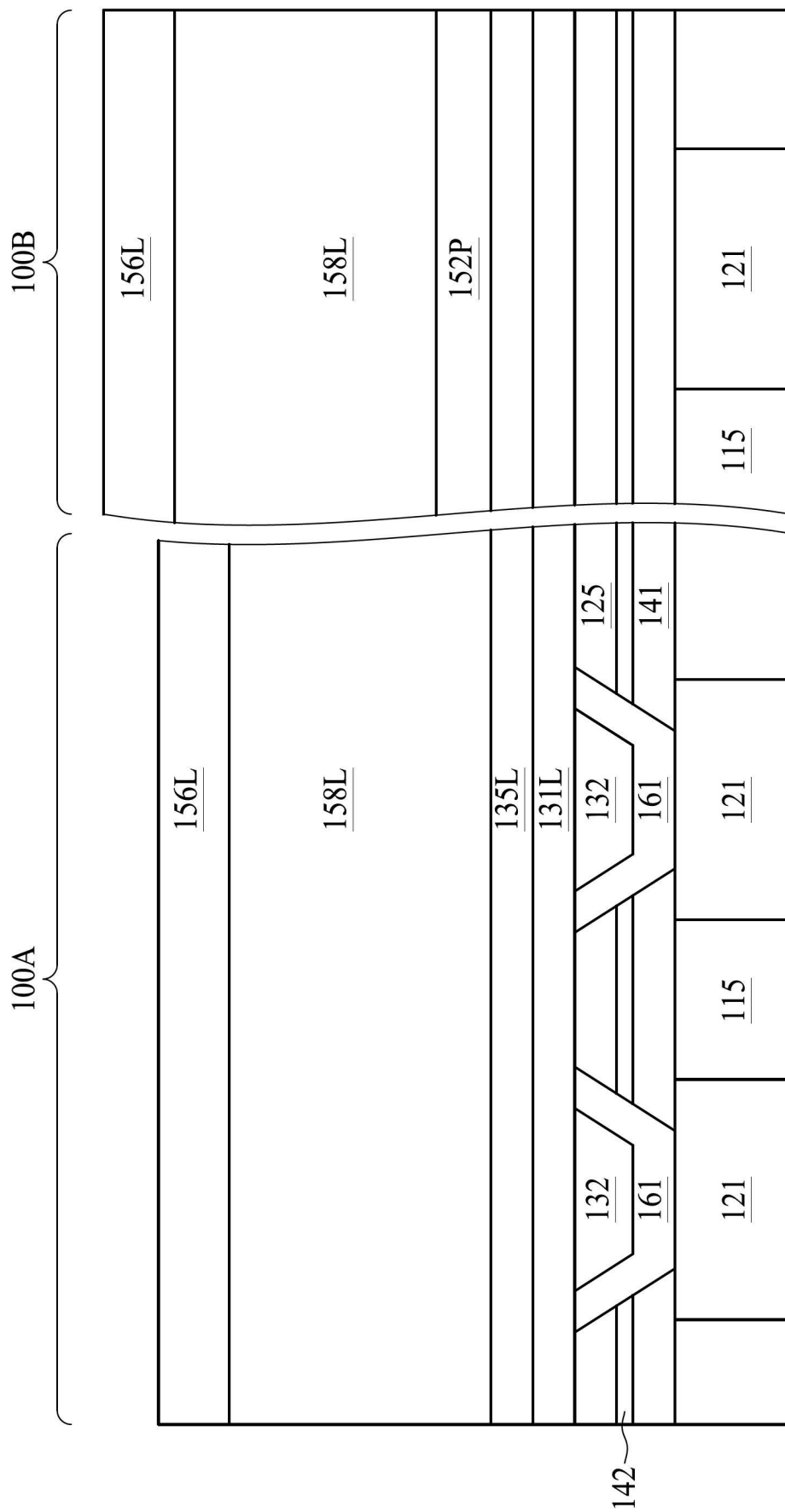
【圖25】



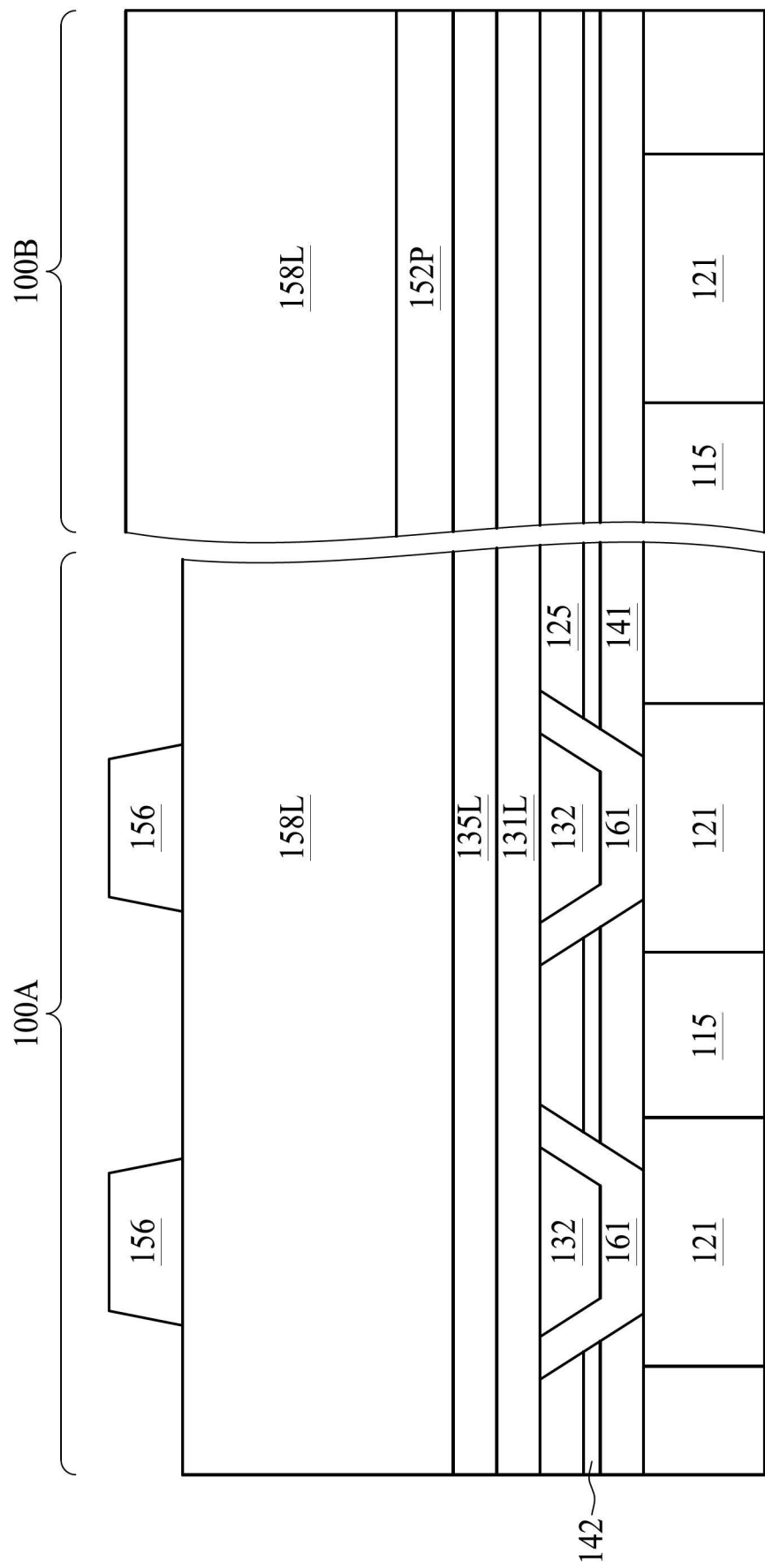
【圖26】



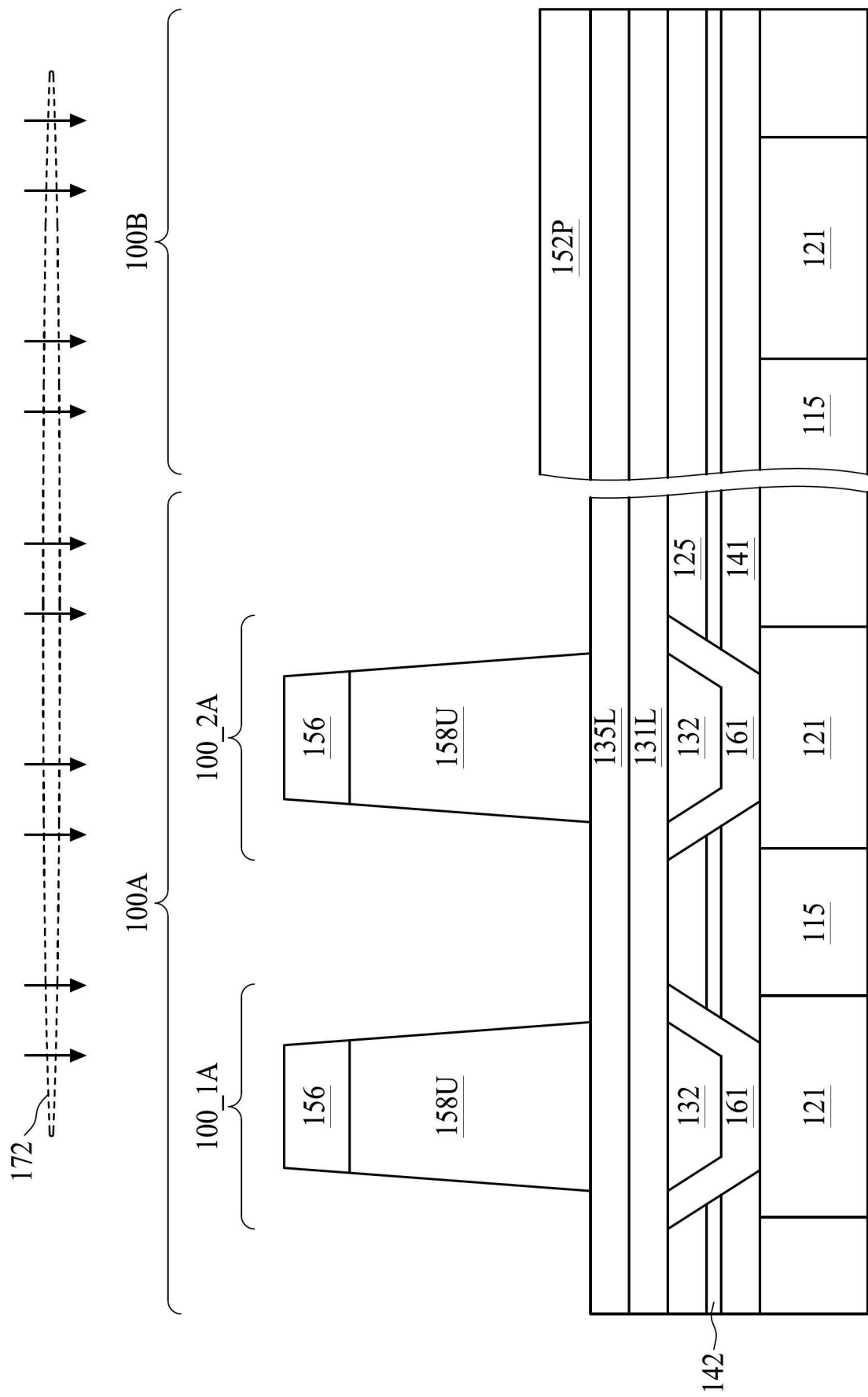
【圖27】



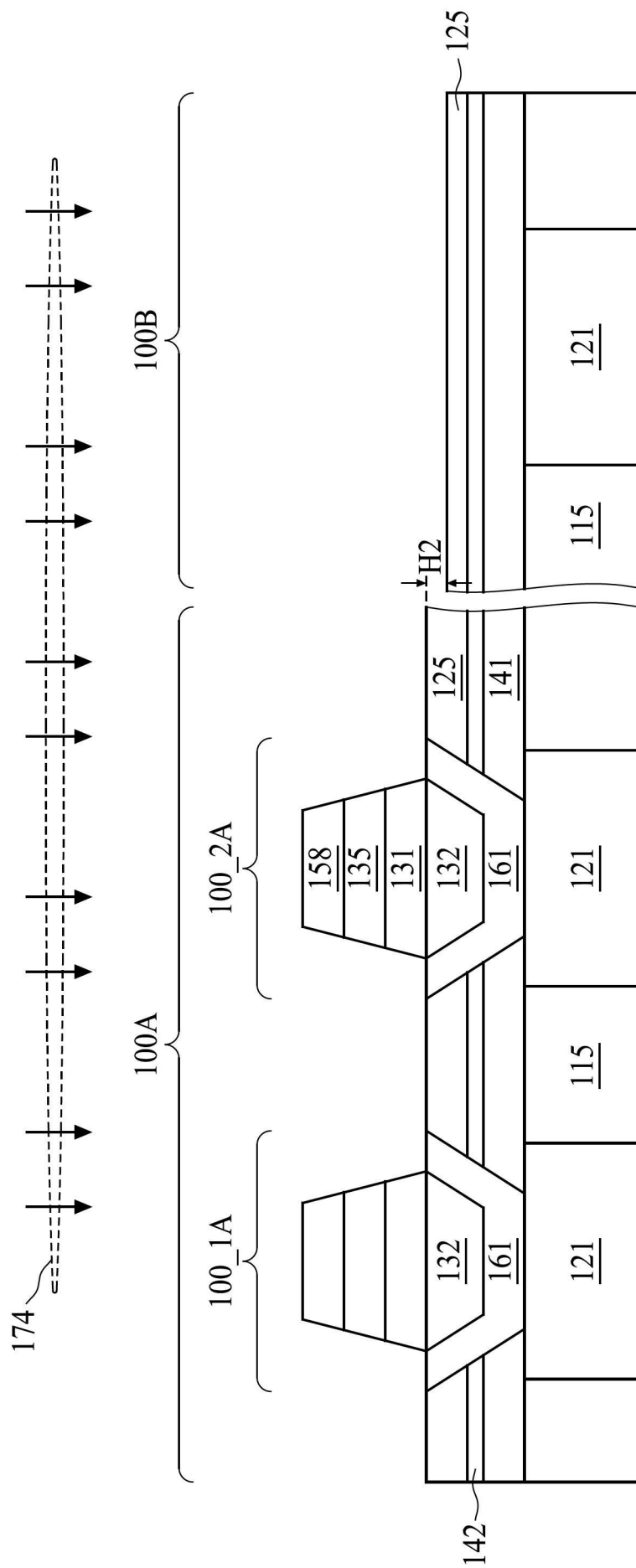
【圖28】



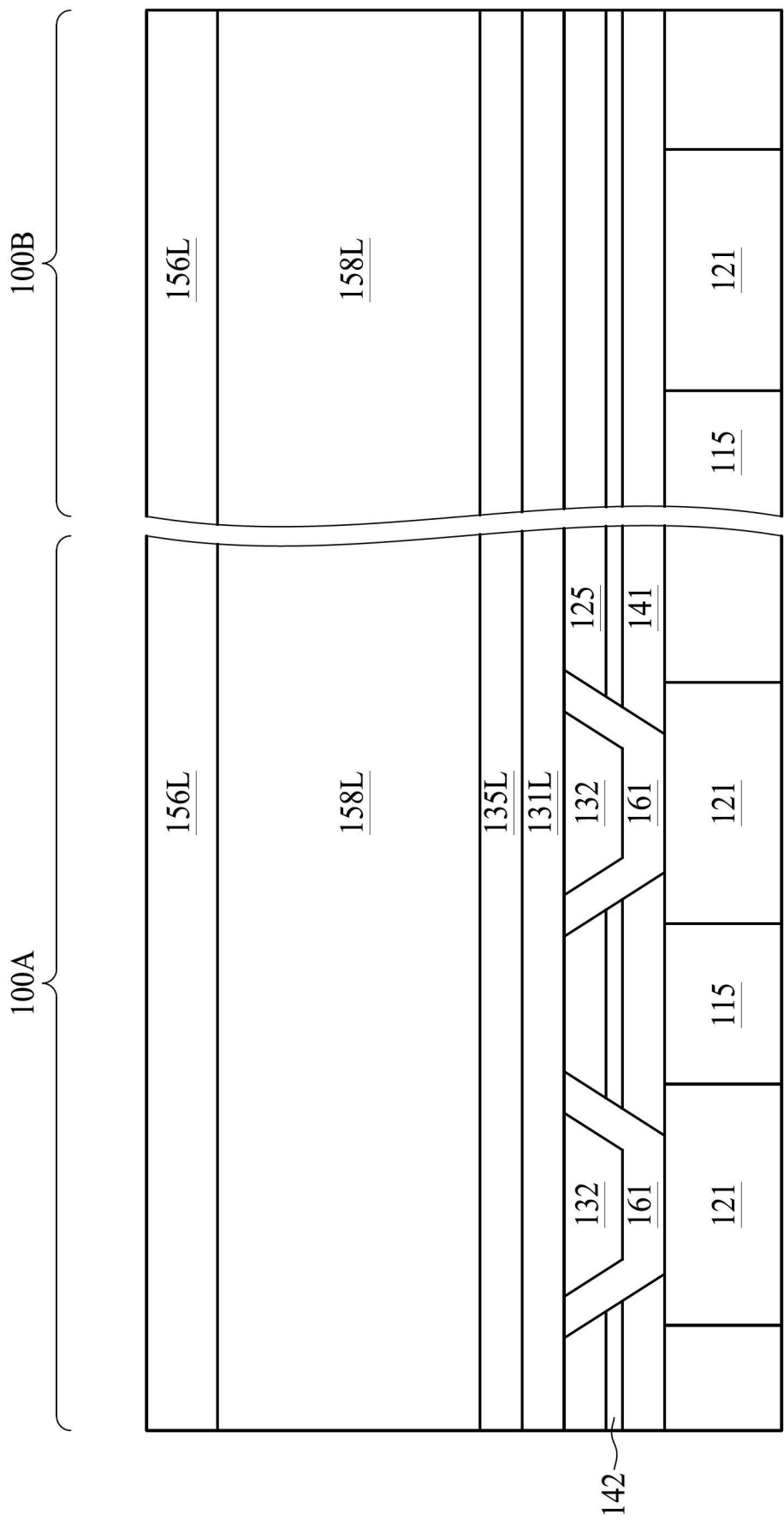
【圖29】



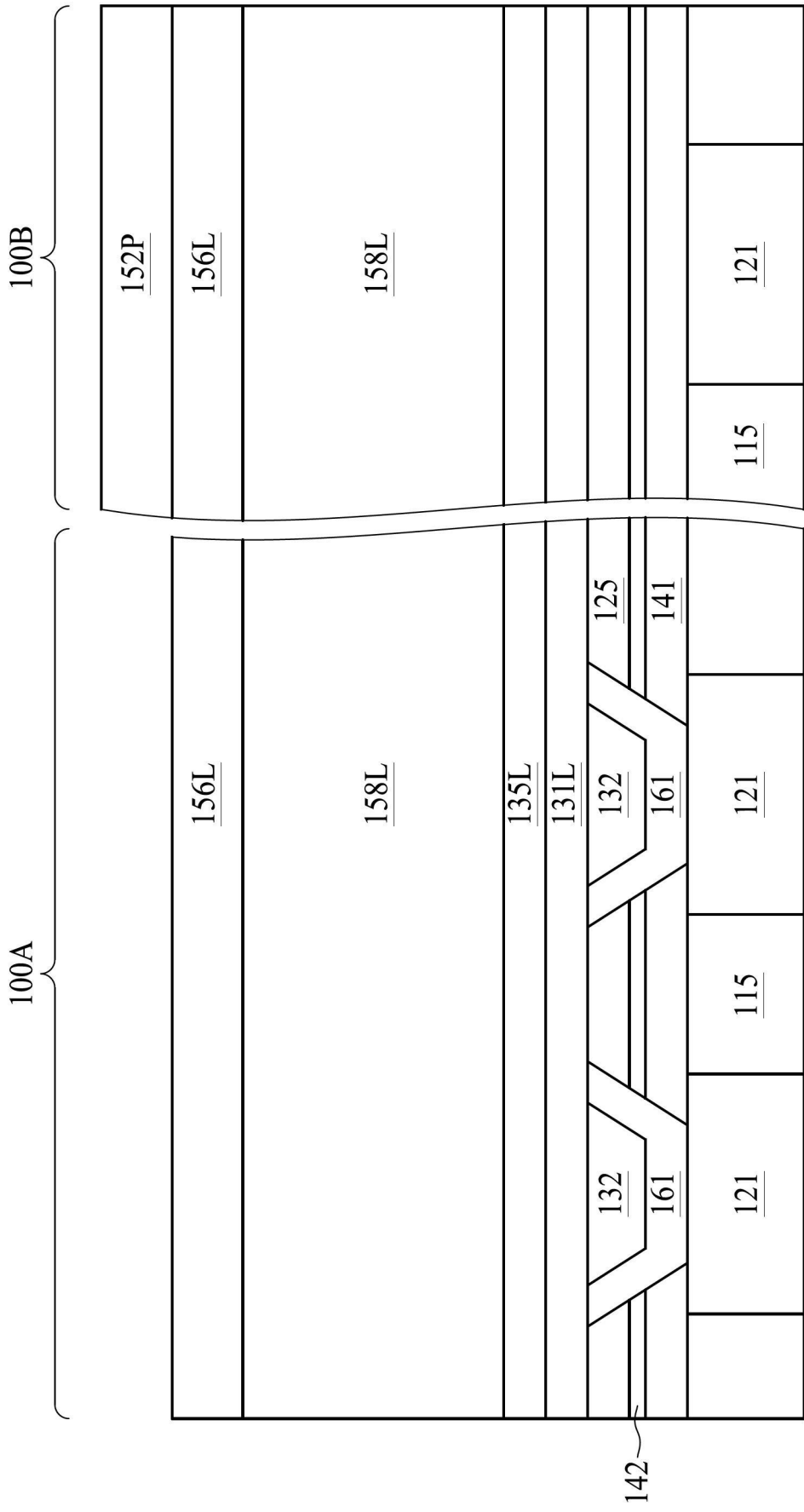
【圖30】



【圖31】



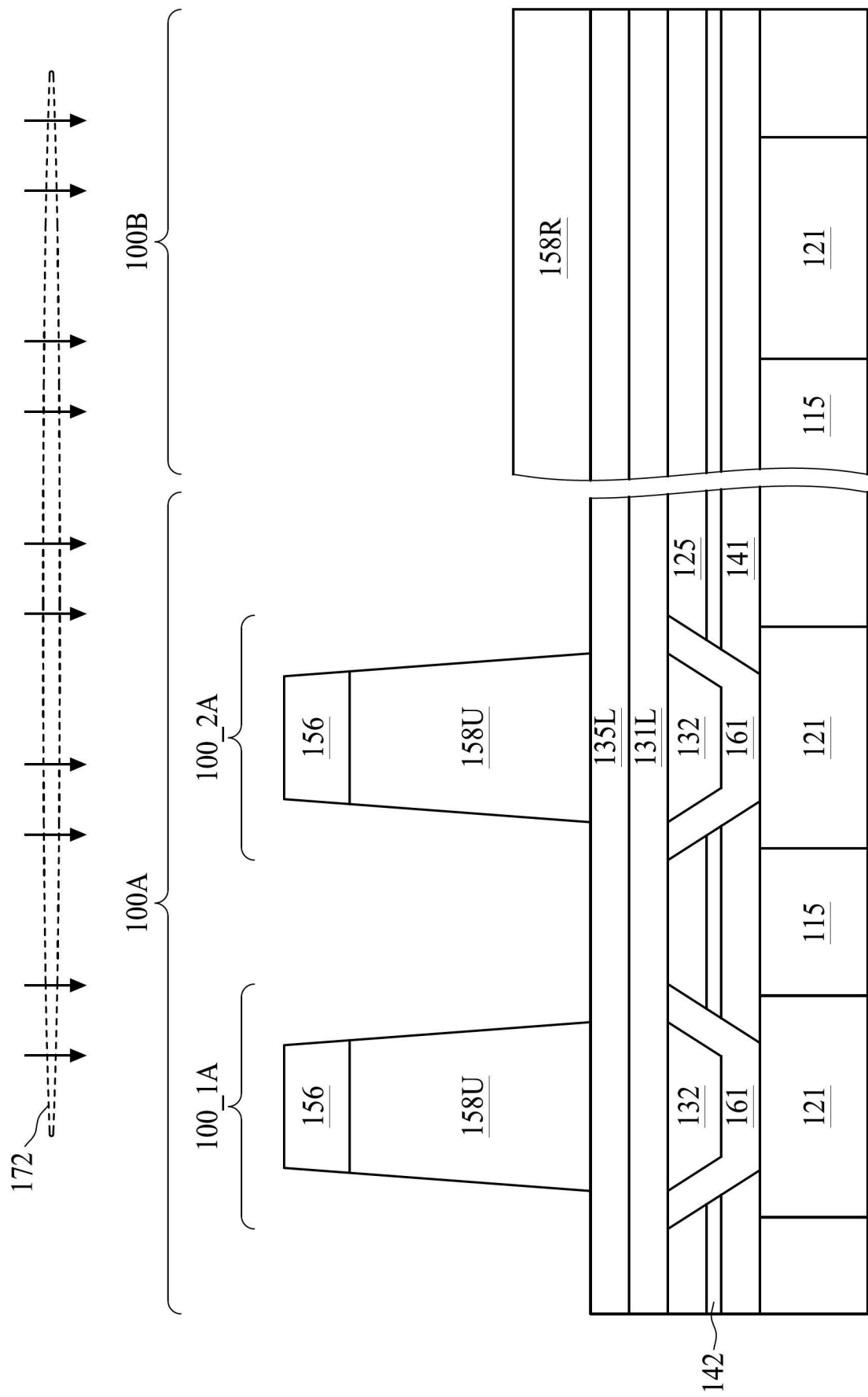
【圖32】



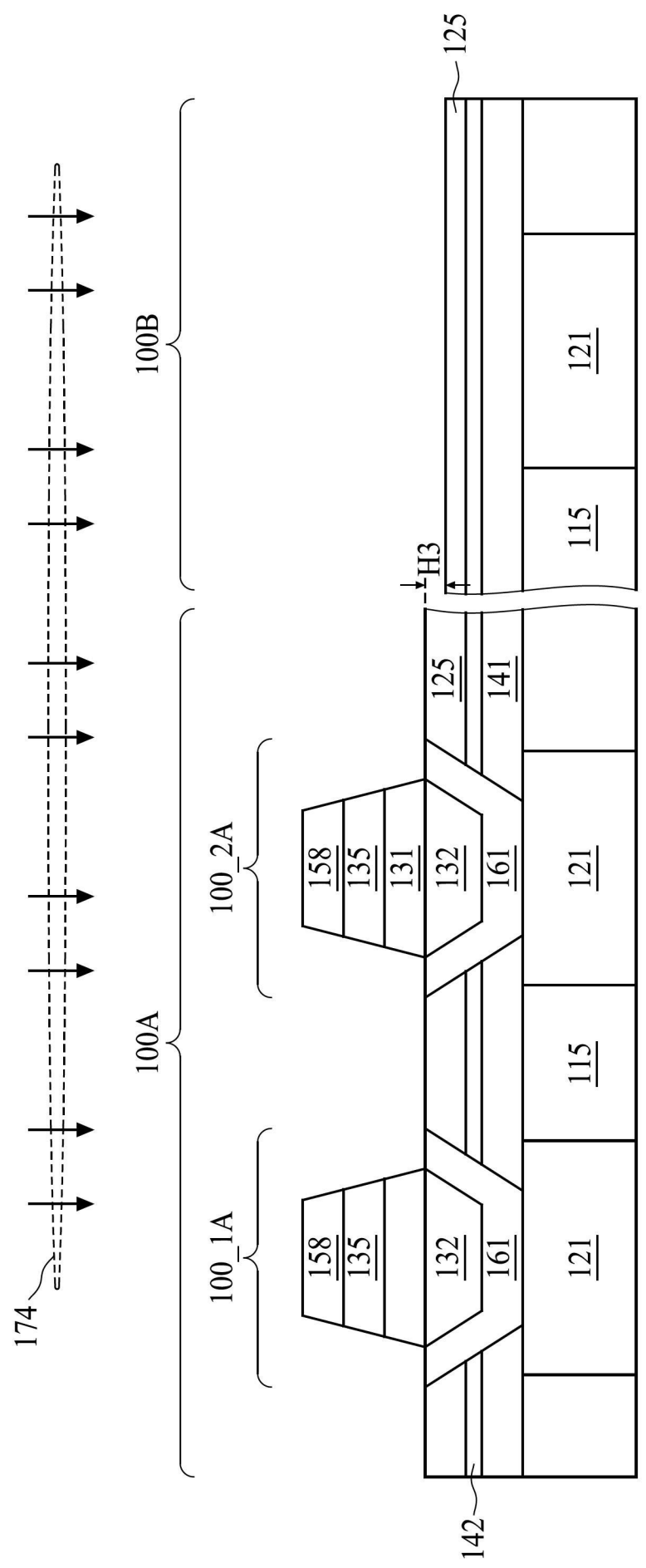
【圖33】



【圖34】



【圖35】



【圖36】