

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6978532号
(P6978532)

(45) 発行日 令和3年12月8日(2021.12.8)

(24) 登録日 令和3年11月15日(2021.11.15)

(51) Int.Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 7 N		
HO 1 L 21/8234 (2006.01)	HO 1 L	29/78	6 1 7 S		
HO 1 L 27/06 (2006.01)	HO 1 L	27/06	1 0 2 A		
HO 1 L 27/088 (2006.01)	HO 1 L	27/088	E		
請求項の数 6 (全 67 頁) 最終頁に続く					

(21) 出願番号	特願2020-20657 (P2020-20657)	(73) 特許権者	000153878
(22) 出願日	令和2年2月10日(2020.2.10)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2018-133878 (P2018-133878) の分割		神奈川県厚木市長谷398番地
原出願日	平成26年10月21日(2014.10.21)	(72) 発明者	須澤 英臣
(65) 公開番号	特開2020-92280 (P2020-92280A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	令和2年6月11日(2020.6.11)	(72) 発明者	田中 哲弘
審査請求日	令和2年3月9日(2020.3.9)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2013-219459 (P2013-219459)	(72) 発明者	半導体エネルギー研究所内
(32) 優先日	平成25年10月22日(2013.10.22)	(72) 発明者	佐藤 裕平
(33) 優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	手塚 祐朗
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁層上の酸化物半導体層と、
前記酸化物半導体層に接する領域を有する第1の電極と、
前記酸化物半導体層に接する領域を有する第2の電極と、
前記酸化物半導体層上の第2の絶縁層と、
前記第2の絶縁層上の第3の電極と、
前記第3の電極上の第3の絶縁層と、を有し、
前記第3の電極は、前記第2の絶縁層を介して、前記酸化物半導体層と重なる領域を有し、
前記第3の絶縁層は、前記第1の絶縁層と接する領域と、前記第1の電極と接する領域と、前記第2の電極と接する領域と、前記第2の絶縁層と接する領域と、前記第3の電極と接する領域と、を有し、
前記第1の絶縁層は、開口部を有し、
前記開口部において、前記第1の電極は、前記第1の絶縁層の側面に接する領域と、第4の電極の上面に接する領域と、を有し、
前記第1の絶縁層は、第1の領域と、前記第1の領域よりも膜厚が小さい第2の領域とを有し、
前記第1の領域は、前記酸化物半導体層と重なり、
前記第2の領域は、前記酸化物半導体層と重ならない半導体装置。

【請求項 2】

第 1 の絶縁層上の酸化物半導体層と、
 前記酸化物半導体層に接する領域を有する第 1 の電極と、
 前記酸化物半導体層に接する領域を有する第 2 の電極と、
 前記酸化物半導体層上の第 2 の絶縁層と、
 前記第 2 の絶縁層上の第 3 の電極と、
 前記第 3 の電極上の第 3 の絶縁層と、を有し、
 前記第 3 の電極は、前記第 2 の絶縁層を介して、前記酸化物半導体層と重なる領域を有し、

前記第 3 の絶縁層は、前記第 1 の絶縁層と接する領域と、前記第 1 の電極と接する領域と、前記第 2 の電極と接する領域と、前記第 2 の絶縁層と接する領域と、前記第 3 の電極と接する領域と、を有し、

前記第 1 の絶縁層は、開口部を有し、
 前記開口部において、前記第 1 の電極は、前記第 1 の絶縁層の側面に接する領域と、第 4 の電極の上面に接する領域と、を有し、
 前記第 1 の絶縁層は、前記第 4 の電極の上面と接する領域を有する半導体装置。

【請求項 3】

第 1 の絶縁層上の酸化物半導体層と、
 前記酸化物半導体層に接する領域を有する第 1 の電極と、
 前記酸化物半導体層に接する領域を有する第 2 の電極と、
 前記酸化物半導体層上の第 2 の絶縁層と、
 前記第 2 の絶縁層上の第 3 の電極と、
 前記第 3 の電極上の第 3 の絶縁層と、を有し、
 前記第 3 の電極は、前記第 2 の絶縁層を介して、前記酸化物半導体層と重なる領域を有し、

前記第 3 の絶縁層は、前記第 1 の絶縁層と接する領域と、前記第 1 の電極と接する領域と、前記第 2 の電極と接する領域と、前記第 2 の絶縁層と接する領域と、前記第 3 の電極と接する領域と、を有し、

前記第 1 の絶縁層は、開口部を有し、
 前記開口部において、前記第 1 の電極は、前記第 1 の絶縁層の側面に接する領域と、第 4 の電極の上面に接する領域と、を有し、

前記第 1 の絶縁層は、前記第 4 の電極の上面と接する領域を有し、
 前記第 1 の絶縁層は、第 1 の領域と、前記第 1 の領域よりも膜厚が小さい第 2 の領域とを有し、

前記第 1 の領域は、前記酸化物半導体層と重なり、
 前記第 2 の領域は、前記酸化物半導体層と重ならない半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
 前記第 1 の絶縁層を介して、前記酸化物半導体層と重なる領域を有する第 5 の電極を有し、
 前記第 5 の電極は、前記第 4 の電極と同一層上に設けられ、かつ同一材料を有する半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
 前記第 4 の電極と前記第 1 の絶縁層との間の第 4 の絶縁層を有し、
 前記第 4 の絶縁層は、前記第 4 の電極の上面と接する領域を有する半導体装置。

【請求項 6】

請求項 5 において、
 前記第 3 の絶縁層は、前記第 4 の絶縁層と接する領域を有する半導体装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、物、方法、または製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または組成物（コンポジション・オブ・マター）に関する。また、本発明の一態様は、半導体装置、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサそれらの駆動方法またはそれらの製造方法に関する。特に、本発明の一態様は、酸化物半導体を含む半導体装置、表示装置、または発光装置に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

10

【背景技術】

【0003】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への形成技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路を一体形成した高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

20

【0004】

近年は、酸化物半導体が注目されている。例えば、インジウム、ガリウムおよび亜鉛を有する非晶質酸化物半導体を用いたトランジスタが開示されている（特許文献1参照。）。

【0005】

酸化物半導体は、スパッタリング法などを用いて形成できるため、大型の表示装置を構成するトランジスタのチャンネル形成領域に用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路を一体形成した高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【0006】

ところで、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタの低いリーク特性を応用した低消費電力のCPUなどが開示されている（特許文献2参照。）。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2006-165528号公報

【特許文献2】特開2012-257187号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0008】

高い電界効果移動度を有するトランジスタを提供することを課題の一とする。または、電気特性の安定したトランジスタを提供することを課題の一とする。または、オフ時（非導通時）の電流の小さいトランジスタを提供することを課題の一とする。または、消費電力が少ないトランジスタを提供することを課題の一とする。または、信頼性の良好なトランジスタを提供することを課題の一とする。または、新規なトランジスタを提供することを課題の一とする。

【0009】

または、占有面積の小さい半導体装置を提供することを課題の一とする。または、集積度の高い半導体装置を提供することを課題の一とする。または、信頼性の良好な半導体装置

50

を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、第1の電極と、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、酸化物半導体層と、を有し、第1の絶縁層は、第1の電極の側面に隣接し、第2の絶縁層は、第1の絶縁層を覆い、かつ、第1の電極の表面の少なくとも一部に接し、第1の電極は、第3の絶縁層を介して酸化物半導体層と重畳し、第2の絶縁層は、不純物元素が透過しにくい絶縁性材料であり、第1の電極の表面は、不純物元素が透過しにくい導電性材料であることを特徴とする半導体装置である。

10

【0012】

または、本発明の一態様は、第1のゲート電極と、第2のゲート電極と、第1のゲート絶縁層と、第2のゲート絶縁層と、酸化物半導体層と、ソース電極と、ドレイン電極と、第1の絶縁層と、第2の絶縁層と、を有し、酸化物半導体層は、第1のゲート絶縁層と、第2のゲート絶縁層に挟まれ、第1のゲート絶縁層と、酸化物半導体層と、第2のゲート絶縁層は、第1のゲート電極と、第2のゲート電極に挟まれ、ソース電極と、ドレイン電極は、酸化物半導体層に接し、第1の絶縁層は、第2のゲート電極の側面に隣接し、第2の絶縁層は、第1の絶縁層を覆い、かつ、第2のゲート電極の表面の少なくとも一部に接し、第2の絶縁層は、不純物元素が透過しにくい絶縁性材料であり、第2のゲート電極の表面は、不純物元素が透過しにくい導電性材料であることを特徴とする半導体装置である。

20

【0013】

第2の絶縁層は、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウム、または酸化タンタルを用いて形成する。

30

【0014】

第1の電極の表面および第2のゲート電極の表面は、インジウム錫酸化物（以下、「ITO」ともいう。））、シリコン、リン、ボロン、窒素、および/または炭素を含むインジウム錫酸化物、シリコン、リン、ボロン、窒素、および/または炭素を含むインジウムガリウム亜鉛酸化物、窒化タンタル、またはルテニウムなどの導電性材料を用いて形成する。

【発明の効果】

【0015】

占有面積の小さい半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、信頼性の良好な半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

40

【0016】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0017】

【図1】本発明の一態様に係るトランジスタと容量素子の一例を説明する図。

【図2】本発明の一態様に係るトランジスタの作製工程例を説明する図。

【図3】本発明の一態様に係るトランジスタの作製工程例を説明する図。

50

- 【図4】本発明の一態様に係るトランジスタの作製工程例を説明する図。
 【図5】本発明の一態様に係るトランジスタの作製工程例を説明する図。
 【図6】エネルギーバンド構造を説明する図。
 【図7】CAAC-Osの断面におけるCs補正高分解能TEM像、およびCAAC-Osの断面模式図。
 【図8】CAAC-Osの平面におけるCs補正高分解能TEM像。
 【図9】CAAC-Osおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

- 【図10】CAAC-Osの電子回折パターンを示す図。
 【図11】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。 10
 【図12】CAAC-Osおよびnc-Osの成膜モデルを説明する模式図。
 【図13】InGaZnO₄の結晶、およびペレットを説明する図。
 【図14】CAAC-Osの成膜モデルを説明する模式図。
 【図15】酸化物半導体の断面TEM像および局所的なフーリエ変換像。
 【図16】酸化物半導体膜のナノビーム電子回折パターンを説明する図、および透過電子回折測定装置の一例を説明する図。
 【図17】透過電子回折測定による構造解析の一例を説明する図、および平面TEM像。
 【図18】半導体装置の一例を説明する断面図および回路図。
 【図19】本発明の一態様に係る半導体装置の一例を示す回路図。
 【図20】半導体装置の一例を説明するブロック図。 20
 【図21】記憶装置の一例を説明する回路図。
 【図22】本発明の一態様に係るRFタグのブロック図。
 【図23】本発明の一態様に係るRFタグの使用例を説明する図。
 【図24】半導体装置の一形態を説明するブロック図及び回路図。
 【図25】表示モジュールを説明する図。
 【図26】本発明の一態様に係る電子機器を説明する図。
 【図27】実施例1で用いた試料の断面構造と分析結果を説明する図。
 【図28】実施例2で用いた試料の断面構造と分析結果を説明する図。
 【図29】本発明の一態様に係るトランジスタの作製工程例を説明する図。
 【図30】本発明の一態様に係るトランジスタと容量素子の一例を説明する図。 30

【発明を実施するための形態】

【0018】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0019】

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。 40

【0020】

また、特に上面図（「平面図」ともいう。）において、図面をわかりやすくするために、一部の構成要素の記載を省略する場合がある。

【0021】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、 50

その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0022】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0023】

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

【0024】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0025】

また、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」および「直交」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0026】

なお、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0027】

また、本明細書において、フォトリソグラフィ工程を行った後にエッチング工程を行う場合は、特段の説明がない限り、フォトリソグラフィ工程で形成したレジストマスクは、エッチング工程終了後に除去するものとする。

【0028】

また、電圧は、ある電位と、基準の電位（例えば接地電位（接地電位）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【0029】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【0030】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

【0031】

10

20

30

40

50

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体のDOS (Density of State) が高くなることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素(水にも含まれる)、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン膜である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

10

【0032】

なお、本明細書等における「第1」、「第2」などの序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。

【0033】

なお、「チャンネル長」とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0034】

また、「チャンネル幅」とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

【0035】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、実効的なチャンネル幅と呼ぶ。)と、トランジスタの上面図において示されるチャンネル幅(以下、見かけ上のチャンネル幅と呼ぶ。)と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

40

【0036】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0037】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる

50

領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0038】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0039】

（実施の形態1）

本実施の形態では、本発明の一態様のトランジスタ100の構成例について、図面を用いて説明する。

【0040】

< A：トランジスタおよび容量素子の構成例 >

図1（A）は、トランジスタ100および容量素子130の上面図である。図1（B）は、図1（A）にA1 - A2の一点鎖線で示した部位の断面図である。図1（C）は、図1（A）にB1 - B2の一点鎖線で示した部位の断面図である。

【0041】

図1に示すトランジスタ100は、基板101上に形成されている。また、トランジスタ100は、電極102、絶縁層106、絶縁層107、酸化物半導体層108、電極109、電極119、絶縁層110、電極111、および絶縁層112を有する。また、図1（A）および図1（B）では、電極103および電極104も図示している。

【0042】

より具体的には、基板101上に電極102、電極103、電極104が形成され、それぞれの電極の間に絶縁層105が形成されている。電極102は、電極102aの上に電極102bを積層した構造を有する。電極103は、電極103aの上に電極103bを積層した構造を有する。電極104は、電極104aの上に電極104bを積層した構造を有する。絶縁層106は、電極102bの一部と、電極103bの一部と、電極104bの一部に接して、絶縁層105上に形成されている。

【0043】

また、絶縁層107は、電極102bの一部と、電極103bの一部と、電極104bの一部に接して、絶縁層106上に形成されている。絶縁層107は凸部を有し、該凸部上に酸化物半導体層108aと酸化物半導体層108bが形成されている。また、電極109および電極119は、酸化物半導体層108bに接して形成されている。電極119は、絶縁層107に形成された開口を介して電極104と電氣的に接続されている。

【0044】

また、酸化物半導体層108cは、酸化物半導体層108b、電極109、および電極119に接して形成されている。図1では、酸化物半導体層108a、酸化物半導体層108b、および酸化物半導体層108cを酸化物半導体層108と示している。

【0045】

また、酸化物半導体層108c上に絶縁層110が形成され、絶縁層110上に電極111が形成されている。また、電極109、電極119、電極111を覆って絶縁層112が形成されている。

【0046】

電極111は、ゲート電極として機能することができる。絶縁層110は、ゲート絶縁層として機能することができる。電極109は、ソース電極またはドレイン電極の一方とし

10

20

30

40

50

て機能することができる。電極 119 は、ソース電極またはドレイン電極の他方として機能することができる。電極 102 はバックゲート電極として機能することができる。トランジスタ 100 は、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタである。トランジスタ 100 はトップゲート型のトランジスタの一種と考えることができる。

【0047】

ここで、バックゲート電極について説明しておく。一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャンネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、GND電位や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

10

【0048】

トランジスタ 100 が有する電極 111 および電極 102 は、どちらもゲート電極として機能することができる。よって、絶縁層 110 および絶縁層 107 は、どちらもゲート絶縁層として機能することができる。よって、電極 111 および電極 102 のどちらか一方を、単に「ゲート電極」という場合、他方を「バックゲート電極」という。また、電極 111 および電極 102 のどちらか一方を、「第1のゲート電極」といい、他方を「第2のゲート電極」という場合がある。また、電極 102 を「ゲート電極」として用いる場合は、トランジスタ 100 をボトムゲート型のトランジスタの一種と考えることができる。

20

【0049】

酸化物半導体層 108 を挟んで電極 111 および電極 102 を設けることで、更には、電極 111 および電極 102 を同電位とすることで、酸化物半導体層 108 においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ 100 のオン電流が大きくなる共に、電界効果移動度が高くなる。

【0050】

したがって、トランジスタ 100 は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ 100 の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

30

【0051】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気に対する静電遮蔽機能）を有する。

【0052】

また、電極 111 および電極 102 は、それぞれが外部からの電界を遮蔽する機能を有するため、基板 101 側や、電極 111 側に設けられる荷電粒子等の電荷が酸化物半導体層 108 に影響しない。この結果、ストレス試験（例えば、ゲートに負の電荷を印加する - GBT (Gate Bias - Temperature) ストレス試験) の劣化が抑制されると共に、異なるドレイン電圧におけるオン電流の立ち上がり電圧の変動を抑制することができる。なお、この効果は、電極 111 および電極 102 が、同電位、または異なる電位の場合において生じる。

40

【0053】

なお、BT ストレス試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化（すなわち、経年変化）を、短時間で評価することができる。特に、BT ストレス試験前後におけるトランジスタのしきい値電圧の変動量は、信頼性を調べるための重要な指標となる。BT ストレス試験前後において、しきい値電圧の変動量が少ないほど、信頼性が高いトランジスタであるといえる。

50

【0054】

また、電極111および電極102を有し、且つ電極111および電極102を同電位とすることで、BTストレス試験前後におけるしきい値電圧の変動量が低減される。このため、複数のトランジスタにおける電気特性のばらつきも同時に低減される。

【0055】

また、バックゲート電極を有するトランジスタ100は、ゲートに正の電荷を印加する+GBTストレス試験前後におけるしきい値電圧の変動が小さい。

【0056】

また、バックゲート電極側から光が入射する場合に、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

10

【0057】

続いて、「しきい値電圧」について説明しておく。ここでは、電極111をゲート電極として用いる。電極111に電圧が印加されると、該電圧に応じた強さの電界が、絶縁層110を介して酸化半導体層108に印加され、酸化半導体層108中にキャリアが生じ、チャンネルが形成される。チャンネルが形成されると、電極109と電極119が電氣的に接続されて導通状態(オン状態)となる。酸化半導体層108中にチャンネルが形成されはじめる時の電極111の電圧を、「しきい値電圧」という。

【0058】

例えば、トランジスタ100がnチャンネル型のトランジスタで、電極109をソース電極、電極119をドレイン電極として用いる場合、電極109の電位を0Vとした時に、電極111にしきい値電圧以上の電圧が印加されると、電極109から酸化半導体層108中にキャリアが供給されて、チャンネルが形成される。なお、一般に、半導体層中のチャンネルが形成される領域を、「チャンネル形成領域」という。この時、電極119に正の電圧が印加されると、電極109から電極119に向かってキャリアが流れる。換言すると、電極119から電極109に向かって電流が流れる。なお、トランジスタがオン状態の時のソース電極とドレイン電極間に流れる電流を「オン電流」という。また、トランジスタがオフ状態の時のソース電極とドレイン電極間に流れる電流を「オフ電流」という。

20

【0059】

絶縁層106、絶縁層112は、水素、水、アルカリ金属、アルカリ土類金属等の不純物や、酸素が透過しにくい絶縁性材料を用いて形成することが好ましい。このような材料を用いて絶縁層106、絶縁層112を形成することにより、外部から酸化半導体層108への不純物の拡散を抑制することができる。また、酸化半導体層108に含まれる酸素が、外部へ拡散することを抑制することができる。

30

【0060】

また、電極102上の少なくとも一部には、絶縁層106を設けないことが好ましい。電極102上の少なくとも一部に絶縁層106を設けないことで、電極102と酸化半導体層108の距離を、絶縁層106の厚さ分短くすることができる。よって、電極102が酸化半導体層108に及ぼす電界強度を高めることができる。よって、電極102の、ゲート電極またはバックゲート電極としての機能を高めることができる。

40

【0061】

また、容量素子130は、電極103と電極109の間に、誘電体として絶縁層107を挟んで形成されている。なお、本実施の形態では、電極103上の絶縁層106を除去しているが、電極103上の絶縁層106を除去せずに、絶縁層106と絶縁層107の積層を誘電体として用いてもよい。

【0062】

また、トランジスタ100の外側で、絶縁層106と絶縁層112を接することが好ましい。図1(B)では、図1(B)の両端部に絶縁層106と絶縁層112が接する領域が示されている。このような構成とすることで、外部から酸化半導体層108への不純物

50

の拡散を抑制する効果をより高めることができる。また、酸化物半導体層108に含まれる酸素が、外部へ拡散することを抑制する効果をより高めることができる。本発明の一態様によれば、信頼性の良好な半導体装置を提供することができる。

【0063】

〔A-1：基板101〕

基板101として用いる材料に大きな制限はないが、少なくとも後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えばバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。

【0064】

また、基板101としてシリコンや炭化シリコンなどからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどからなる化合物半導体基板等を用いてもよい。また、SOI基板や、半導体基板上に歪トランジスタやFIN型トランジスタなどの半導体素子が設けられたものなどを用いることもできる。または、高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）に適用可能なヒ化ガリウム、ヒ化アルミニウムガリウム、ヒ化インジウムガリウム、窒化ガリウム、リン化インジウム、シリコンゲルマニウムなどを用いてもよい。これらの半導体を用いることで、高速動作をすることに適したトランジスタとすることができる。すなわち、基板101は、単なる支持基板に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ100のゲート電極、ソース電極、又はドレイン電極の少なくとも一つは、上記他のデバイスと電氣的に接続されていてもよい。

【0065】

なお、基板101として、可撓性基板（フレキシブル基板）を用いてもよい。可撓性基板を用いる場合、可撓性基板上に、トランジスタや容量素子などを直接作製してもよいし、他の作製基板上にトランジスタや容量素子などを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタや容量素子などとの間に、剥離層を設けるとよい。

【0066】

〔A-2：電極102a、電極103a、および電極104a〕

電極102a、電極103a、および電極104aを形成するための導電性材料としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、マンガン、マグネシウム、ジルコニウム、ベリリウム等から選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。導電層の形成方法は特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種形成方法を用いることができる。

【0067】

なお、一般に、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法などに分類できる。

【0068】

また、一般に、蒸着法は、抵抗加熱蒸着法、電子線蒸着法、MBE（Molecular Beam Epitaxy）法、PLD（Pulsed Laser Deposition）法、IAD蒸着（IAD：Ion beam Assisted Deposition）法、ALD（ALD：Atomic Layer Deposition）法

10

20

30

40

50

などに分類できる。

【0069】

プラズマCVD法は、比較的低温で高品質の膜が得られる。MOCVD法や蒸着法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくく、また、欠陥の少ない膜が得られる。

【0070】

また、電極102a、電極103a、および電極104aに、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物などの酸素を含む導電性材料、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を適用することもできる。また、前述した金属元素を含む材料と、酸素を含む導電性材料を組み合わせた積層構造とすることもできる。また、前述した金属元素を含む材料と、窒素を含む導電性材料を組み合わせた積層構造とすることもできる。また、前述した金属元素を含む材料、酸素を含む導電性材料、および窒素を含む導電性材料を組み合わせた積層構造とすることもできる。

10

【0071】

電極102a、電極103a、および電極104aは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた元素の層、または複数組み合わせ合わせた合金層、もしくは窒化物層を用いてもよい。

20

【0072】

電極102a、電極103a、および電極104aの厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

【0073】

〔A-3：電極102b、電極103b、および電極104b〕

電極102b、電極103b、および電極104bは、水素、水、アルカリ金属、アルカリ土類金属等の不純物や酸素が透過しにくい導電性材料を用いて形成することが好ましい。このような導電性材料としては、インジウム錫酸化物、シリコン、リン、ボロン、窒素、および/または炭素を含むインジウム錫酸化物、シリコン、リン、ボロン、窒素、および/または炭素を含むインジウムガリウム亜鉛酸化物、などの導電性酸化物材料を挙げることができる。また、窒化タンタル、ルテニウムなどの導電性材料を挙げることができる。また、電極102b、電極103b、および電極104bは、単層構造でも、二層以上の積層構造としてもよい。

30

【0074】

電極102b、電極103b、および電極104bの厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

40

【0075】

また、電極102a、電極103a、および電極104aを設けずに、電極102、電極103、および電極104を、電極102b、電極103b、および電極104bのみで構成してもよい。

【0076】

〔A-4：絶縁層105〕

絶縁層105は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウム、酸化タンタルから選ばれた材料を

50

、単層でまたは積層して形成することができる。また、酸化物材料、窒化物材料、酸化窒化物材料、窒化酸化物材料のうち、複数の材料を混合した材料を用いてもよい。

【0077】

なお、本明細書中において、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 等を用いて測定することができる。

【0078】

絶縁層105を複数層の積層とする場合は、例えば、1層目を窒化シリコン層とし、2層目を酸化シリコン層としてもよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。

10

【0079】

絶縁層105の厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

【0080】

[A-5: 絶縁層106]

絶縁層106は、水素、水、アルカリ金属、アルカリ土類金属等の不純物や酸素が透過しにくい絶縁性材料を用いて形成することが好ましい。このような絶縁性材料としては、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウム、酸化タンタルなどの絶縁性酸化物材料を挙げることができる。

20

【0081】

絶縁層106の厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

【0082】

[A-6: 絶縁層107]

絶縁層107は、絶縁層105と同様の材料および方法で形成することができる。また、酸化物半導体中の水素濃度の増加を防ぐために、絶縁層107の水素濃度を低減することが好ましい。具体的には、絶縁層107の水素濃度を、SIMSにおいて、 2×10^{20} atoms/cm³以下、好ましくは 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{19} atoms/cm³以下、さらに好ましくは 5×10^{18} atoms/cm³以下とする。また、酸化物半導体中の窒素濃度の増加を防ぐために、絶縁層107の窒素濃度を低減することが好ましい。具体的には、絶縁層107の窒素濃度を、SIMSにおいて、 5×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下とする。

30

【0083】

また、絶縁層107は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層を用いて形成することが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層は、加熱により酸素の一部が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層は、TDS分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms/cm³以上、好ましくは 3.0×10^{20} atoms/cm³以上である絶縁層である。なお、上記TDS分析時における膜の表面温度としては100以上700以下、または100以上500以下の範囲が好ましい。

40

【0084】

絶縁層106の厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

【0085】

50

〔 A - 7 : 酸化物半導体層 1 0 8 〕

酸化物半導体層 1 0 8 は、酸化物半導体層 1 0 8 a、酸化物半導体層 1 0 8 b、酸化物半導体層 1 0 8 c を積層した構成を有する。

【 0 0 8 6 】

酸化物半導体層 1 0 8 a、酸化物半導体層 1 0 8 b、および酸化物半導体層 1 0 8 c は、インジウムもしくはガリウム的一方、または両方を含む材料で形成する。代表的には、In - Ga 酸化物 (In と Ga を含む酸化物)、In - Zn 酸化物 (In と Zn を含む酸化物)、In - M - Zn 酸化物 (In と、元素 M と、Zn を含む酸化物。) がある。

【 0 0 8 7 】

元素 M は、好ましくは、アルミニウム、ガリウム、イットリウムまたはズなどとする。そのほかの元素 M に適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステンなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。元素 M は、例えば、酸素との結合エネルギーが高い元素である。元素 M は、例えば、酸化物のエネルギーギャップを大きくする機能を有する元素である。酸化物半導体層 1 0 8 は、元素 M を含む酸化物半導体であることが好ましい。また、酸化物半導体は、亜鉛を含むと好ましい。酸化物が亜鉛を含むと、例えば、酸化物を結晶化しやすくなる。

10

【 0 0 8 8 】

ただし、酸化物半導体は、インジウムを含む酸化物に限定されない。酸化物半導体は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物であっても構わない。

20

【 0 0 8 9 】

酸化物半導体層 1 0 8 は、スパッタリング法、CVD (Chemical Vapor Deposition) 法 (MOCVD (Metal Organic Chemical Vapor Deposition) 法、ALD (Atomic Layer Deposition) 法、熱 CVD 法または PECVD (Plasma Enhanced Chemical Vapor Deposition) 法を含むがこれに限定されない)、MBE (Molecular Beam Epitaxy) 法または PLD (Pulsed Laser Deposition) 法を用いて成膜するとよい。特に、MOCVD 法、ALD 法または熱 CVD 法を用いると、プラズマを使わないため酸化物半導体層 1 0 8 にダメージを与えにくく、トランジスタのオフ状態のリーク電流を低く抑えることができるので好ましい。

30

【 0 0 9 0 】

例えば、酸化物半導体層 1 0 8 として、熱 CVD 法で $InGaZnO_x$ ($x > 0$) 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $In(CH_3)_3$ である。また、トリメチルガリウムの化学式は、 $Ga(CH_3)_3$ である。また、ジメチル亜鉛の化学式は、 $Zn(CH_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム (化学式 $Ga(C_2H_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 (化学式 $Zn(C_2H_5)_2$) を用いることもできる。

40

【 0 0 9 1 】

例えば、酸化物半導体層 1 0 8 として、ALD 法で、 $InGaZnO_x$ ($x > 0$) 膜を成膜する場合には、 $In(CH_3)_3$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $Ga(CH_3)_3$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $Zn(CH_3)_2$ と O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて $InGaO_2$ 層や $InZnO_2$ 層、 $GaInO$ 層、 $ZnInO$ 層、 $GaZnO$ 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングした H_2O ガスを用いても良いが、H を含まない O_3 ガスを用いる方が好ましい。また、 $In(CH_3)_3$ ガスにかえて、 $In(C_2H_5)_3$ ガスやトリス (アセチルアセトナト) インジウムを用いて

50

も良い。なお、トリス(アセチルアセトナト)インジウムは、 $\text{In}(\text{acac})_3$ とも呼ぶ。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスやトリス(アセチルアセトナト)ガリウムを用いても良い。なお、トリス(アセチルアセトナト)ガリウムは、 $\text{Ga}(\text{acac})_3$ とも呼ぶ。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスや、酢酸亜鉛を用いても良い。これらのガス種には限定されない。

【0092】

酸化物半導体層108をスパッタリング法で成膜する場合、パーティクル数低減のため、インジウムを含むターゲットを用いると好ましい。また、元素Mの原子数比が高い酸化物ターゲットを用いた場合、ターゲットの導電性が低くなる場合がある。インジウムを含むターゲットを用いる場合、ターゲットの導電率を高めることができ、DC放電、AC放電が容易となるため、大面積の基板へ対応しやすくなる。したがって、半導体装置の生産性を高めることができる。

10

【0093】

酸化物半導体層108をスパッタリング法で成膜する場合、ターゲットの原子数比は、 $\text{In}:\text{M}:\text{Zn}$ が3:1:1、3:1:2、3:1:4、1:1:0.5、1:1:1、1:1:2、1:4:4、などとすればよい。

【0094】

酸化物半導体層108をスパッタリング法で成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40 atomic %以上90 atomic %程度以下となる場合がある。

20

【0095】

酸化物半導体層108aおよび酸化物半導体層108cは、酸化物半導体層108bを構成する金属元素のうち、1種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、酸化物半導体層108aおよび酸化物半導体層108bとの界面、ならびに酸化物半導体層108cおよび酸化物半導体層108bとの界面に界面準位を生じにくくすることができる。よって、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧のばらつきを低減することが可能となる。よって、良好な電気特性を有する半導体装置を実現することが可能となる。

30

【0096】

酸化物半導体層108aおよび酸化物半導体層108cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体層108bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0097】

また、酸化物半導体層108bが $\text{In}-\text{M}-\text{Zn}$ 酸化物であり、酸化物半導体層108aおよび酸化物半導体層108cも $\text{In}-\text{M}-\text{Zn}$ 酸化物であるとき、酸化物半導体層108aおよび酸化物半導体層108cを $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、酸化物半導体層108bを $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比]とすると、 y_1/x_1 が y_2/x_2 よりも大きくなる酸化物半導体層108a、酸化物半導体層108c、および酸化物半導体層108bを選択する。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなる酸化物半導体層108a、酸化物半導体層108c、および酸化物半導体層108bを選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなる酸化物半導体層108a、酸化物半導体層108c、および酸化物半導体層108bを選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなる酸化物半導体層108a、酸化物半導体層108cおよび酸化物半導体層108bを選択する。このとき、酸化物半導体層108bにおいて、 y_1 が x_1 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_1 が x_1 の3倍以

40

50

上になると、トランジスタの電界効果移動度が低下してしまうため、 y_1 は x_1 の 3 倍未満であると好ましい。酸化物半導体層 108a および酸化物半導体層 108c を上記構成とすることにより、酸化物半導体層 108a および酸化物半導体層 108c を、酸化物半導体層 108b よりも酸素欠損が生じにくい層とすることができる。

【0098】

なお、酸化物半導体層 108a および酸化物半導体層 108c が In - M - Zn 酸化物であり、In および M の和を 100 atomic % としたときの In と M の原子数比率は好ましくは In が 50 atomic % 未満、M が 50 atomic % 以上、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % 以上とする。また、酸化物半導体層 108b が In - M - Zn 酸化物であり、In および M の和を 100 atomic % としたときの In と M の原子数比率は好ましくは In が 25 atomic % 以上、M が 75 atomic % 未満、さらに好ましくは In が 34 atomic % 以上、M が 66 atomic % 未満とする。

10

【0099】

例えば、In または Ga を含む酸化物半導体層 108a、および In または Ga を含む酸化物半導体層 108c として In : Ga : Zn = 1 : 3 : 2、1 : 3 : 4、1 : 3 : 6、1 : 6 : 4、または 1 : 9 : 6 などの原子数比のターゲットを用いて形成した In - Ga - Zn 酸化物や、In : Ga = 1 : 9、または 7 : 9 : 3 などの原子数比のターゲットを用いて形成した In - Ga 酸化物を用いることができる。また、酸化物半導体層 108b として、例えば、In : Ga : Zn = 1 : 1 : 1 または 3 : 1 : 2 などの原子数比のターゲットを用いて形成した In - Ga - Zn 酸化物を用いることができる。なお、酸化物半導体層 108a、酸化物半導体層 108b および酸化物半導体層 108c の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。

20

【0100】

酸化物半導体層 108 を用いたトランジスタに安定した電気特性を付与するためには、特に酸化物半導体層 108 中の不純物及び酸素欠損を低減して高純度真性化し、酸化物半導体層 108 を真性または実質的に真性に見なせる酸化物半導体層とすることが好ましい。また、少なくとも酸化物半導体層 108 中のチャンネル形成領域が真性または実質的に真性に見なせる半導体層とすることが好ましい。

【0101】

なお、実質的に真性に見なせる酸化物半導体層とは、酸化物半導体層中のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満である酸化物半導体層をいう。

30

【0102】

ここで、酸化物半導体層 108a、酸化物半導体層 108b、および酸化物半導体層 108c の積層により構成される酸化物半導体層 108 の機能およびその効果について、図 6 に示すエネルギーバンド構造図を用いて説明する。図 6 は、図 1 (C) に C1 - C2 の一点鎖線で示した部位のエネルギーバンド構造を示している。また、図 6 は、トランジスタ 100 のチャンネル形成領域のエネルギーバンド構造を示している。

【0103】

図 6 中、Ec382、Ec383a、Ec383b、Ec383c、Ec386 は、それぞれ、絶縁層 107、酸化物半導体層 108a、酸化物半導体層 108b、酸化物半導体層 108c、絶縁層 110 の伝導帯下端のエネルギーを示している。

40

【0104】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（HORIBA JOBIN YVON 社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS : Ultraviolet Photoelectron Spectroscopy）装置（PHI 社

50

VersaProbe)を用いて測定できる。

【0105】

なお、原子数比がIn:Ga:Zn=1:3:2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:3:4のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.4 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:3:6のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.3 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:6:2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.9 eV、電子親和力は約4.3 eVである。また、原子数比がIn:Ga:Zn=1:6:8のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.4 eVである。また、原子数比がIn:Ga:Zn=1:6:10のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:1:1のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.2 eV、電子親和力は約4.7 eVである。また、原子数比がIn:Ga:Zn=3:1:2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約2.8 eV、電子親和力は約5.0 eVである。

10

【0106】

絶縁層107と絶縁層110は絶縁物であるため、Ec382とEc386は、Ec383a、Ec383b、およびEc383cよりも真空準位に近い(電子親和力が小さい)。

20

【0107】

また、Ec383aは、Ec383bよりも真空準位に近い。具体的には、Ec383aは、Ec383bよりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下真空準位に近いことが好ましい。

【0108】

また、Ec383cは、Ec383bよりも真空準位に近い。具体的には、Ec383cは、Ec383bよりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下真空準位に近いことが好ましい。

30

【0109】

また、酸化物半導体層108aと酸化物半導体層108bとの界面近傍、および、酸化物半導体層108bと酸化物半導体層108cとの界面近傍では、混合領域が形成されるため、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

【0110】

従って、当該エネルギーバンド構造を有する積層構造において、電子は酸化物半導体層108bを主として移動することになる。そのため、酸化物半導体層108aと絶縁層107との界面、または、酸化物半導体層108cと絶縁層110との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、酸化物半導体層108aと酸化物半導体層108bとの界面、および酸化物半導体層108cと酸化物半導体層108bとの界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、上記酸化物半導体の積層構造を有するトランジスタ100は、高い電界効果移動度を実現することができる。

40

【0111】

なお、図6に示すように、酸化物半導体層108aと絶縁層107の界面、および酸化物半導体層108cと絶縁層110の界面近傍には、不純物や欠陥に起因したトラップ準位

50

390が形成され得るものの、酸化物半導体層108a、および酸化物半導体層108cがあることにより、酸化物半導体層108bと当該トラップ準位とを遠ざけることができる。

【0112】

特に、本実施の形態に例示するトランジスタ100は、チャンネル幅方向において、酸化物半導体層108bの上面と側面が酸化物半導体層108cと接し、酸化物半導体層108bの下面が酸化物半導体層108aと接して形成されている(図1(C)参照。)。このように、酸化物半導体層108bを酸化物半導体層108aと酸化物半導体層108cで覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

【0113】

ただし、Ec383aまたはEc383cと、Ec383bとのエネルギー差が小さい場合、酸化物半導体層108bの電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁層の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0114】

従って、Ec383a、およびEc383cと、Ec383bとのエネルギー差を、それぞれ0.1eV以上、好ましくは0.15eV以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

【0115】

また、酸化物半導体層108a、および酸化物半導体層108cのバンドギャップは、酸化物半導体層108bのバンドギャップよりも広いほうが好ましい。

【0116】

[酸化物半導体について]

以下では、酸化物半導体層108に適用可能な酸化物半導体について詳細に説明する。

【0117】

酸化物半導体層108a、酸化物半導体層108b、酸化物半導体層108cに適用可能な酸化物半導体は、インジウムを含む酸化物である。酸化物は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。

【0118】

ただし、酸化物半導体は、インジウムを含む酸化物に限定されない。酸化物半導体は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物であっても構わない。

【0119】

また酸化物半導体は、エネルギーギャップが大きい酸化物を用いる。酸化物半導体のエネルギーギャップは、例えば、2.5eV以上4.2eV以下、好ましくは2.8eV以上3.8eV以下、さらに好ましくは3eV以上3.5eV以下とする。

【0120】

以下では、酸化物半導体中における不純物の影響について説明する。なお、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減し、低キャリア密度化および高純度化することが有効である。なお、酸化物半導体のキャリア密度は、 1×10^{17} 個/cm³未満、 1×10^{15} 個/cm³未満、または 1×10^{13} 個/cm³未満とする。酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。

【0121】

例えば、酸化物半導体中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。そのため、酸化物半導体と絶縁層107および絶縁層110との間におけるシリコン濃度を、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)において、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満とする。

10

20

30

40

50

【0122】

以下では、酸化物半導体の構造について説明する。

【0123】

酸化物半導体は、例えば、非単結晶酸化物半導体と単結晶酸化物半導体とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。非単結晶酸化物半導体とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

10

【0124】

《CAAC-OS》

まずは、CAAC-OSについて説明する。

【0125】

CAAC-OSは、c軸配向した複数の結晶部(ペレットともいう。)を有する酸化物半導体の一つである。

【0126】

透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像および回折パターンの複合解析像(高分解能TEM像ともいう。)を観察することで複数のペレットを確認することができる。一方、高分解能TEM像によっても明確なペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

20

【0127】

例えば、図7(A)に示すように、試料面と略平行な方向から、CAAC-OSの断面の高分解能TEM像を観察する。ここでは、球面収差補正(Spherical Aberration Corrector)機能を用いてTEM像を観察する。なお、球面収差補正機能を用いた高分解能TEM像を、以下では、特にCs補正高分解能TEM像と呼ぶ。なお、Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

30

【0128】

図7(A)の領域(1)を拡大したCs補正高分解能TEM像を図7(B)に示す。図7(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OSの膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OSの被形成面または上面と平行に配列する。

【0129】

図7(B)において、CAAC-OSは特徴的な原子配列を有する。図7(C)は、特徴的な原子配列を、補助線で示したものである。図7(B)および図7(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。

40

【0130】

ここで、Cs補正高分解能TEM像から、基板5120上のCAAC-OSのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図7(D)参照。)。図7(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図7(D)に示す領域5161に相当する。

【0131】

また、例えば、図8(A)に示すように、試料面と略垂直な方向から、CAAC-OSの平面のCs補正高分解能TEM像を観察する。図8(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図8(B)、図8(C)

50

および図8(D)に示す。図8(B)、図8(C)および図8(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0132】

例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、X線回折(XRD: X-Ray Diffraction)装置を用いてout-of-plane法による構造解析を行うと、図9(A)に示すように回折角(2θ)が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(009)面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

10

【0133】

なお、 InGaZnO_4 の結晶を有するCAAC-OSのout-of-plane法による構造解析では、 2θ が 31° 近傍のピーク他、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OSは、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0134】

一方、CAAC-OSに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、 InGaZnO_4 の結晶の(110)面に帰属される。CAAC-OSの場合は、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図9(B)に示すように明瞭なピークは現れない。これに対し、 InGaZnO_4 の単結晶酸化物半導体であれば、 2θ を 56° 近傍に固定してスキャンした場合、図9(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

20

【0135】

次に、CAAC-OSであるIn-Ga-Zn酸化物に対し、試料面に平行な方向からプローブ径が 300nm の電子線を入射させたときの回折パターン(制限視野透過電子回折パターンともいう。)を図10(A)に示す。図10(A)より、例えば、 InGaZnO_4 の結晶の(009)面に起因するスポットが確認される。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直な方向からプローブ径が 300nm の電子線を入射させたときの回折パターンを図10(B)に示す。図10(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図10(B)における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図10(B)における第2リングは(110)面などに起因すると考えられる。

30

【0136】

このように、それぞれのペレット(ナノ結晶)のc軸が、被形成面または上面に略垂直な方向を向いていることから、CAAC-OSをCAN(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

40

【0137】

CAAC-OSは、不純物濃度の低い酸化物半導体である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体の主成分以外の元素である。特に、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体内部に含まれると、酸化物半導体の原子配列を乱し、

50

結晶性を低下させる要因となる。なお、酸化物半導体に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0138】

また、CAAC-OSは、欠陥準位密度の低い酸化物半導体である。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となる場合がある。

【0139】

また、CAAC-OSを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0140】

《微結晶酸化物半導体》

次に、微結晶酸化物半導体について説明する。

【0141】

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶を有する酸化物半導体を、nc-OS(nanocrystalline Oxide Semiconductor)と呼ぶ。また、nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと同じ起源を有する可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

【0142】

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、ペレットよりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OSは、ペレットよりも大きいプローブ径(例えば、50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近い、ペレットより小さいプローブ径(例えば1nm以上30nm以下)の電子線を用いる電子回折(以下、ナノビーム電子回折ともいう。)を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OSに対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0143】

このように、それぞれのペレット(ナノ結晶)の結晶方位が規則性を有さないことから、nc-OSをNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

【0144】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0145】

《非晶質酸化物半導体》

次に、非晶質酸化物半導体について説明する。

【0146】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

【0147】

非晶質酸化物半導体は、高分解能TEM像において、結晶部を確認することができない。

【0148】

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

10

【0149】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造 (completely amorphous structure) と呼ぶ場合がある。また、最近接原子間距離または第2近接原子間距離まで秩序性を有し、かつ長距離秩序性を有さない構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-OSおよびnc-OSを、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

20

【0150】

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体 (a-like OS: amorphous-like Oxide Semiconductor) と呼ぶ。

【0151】

a-like OSは、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0152】

以下では、酸化物半導体の構造による電子照射の影響の違いについて説明する。

30

【0153】

a-like OS(試料A)、nc-OS(試料B)およびCAAC-OS(試料C)を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0154】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0155】

さらに、各試料の結晶部の大きさを計測する。図11は、各試料の結晶部(22箇所から45箇所)の平均の大きさの変化を調査した例である。図11より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図11中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ になるまでの範囲で、電子の累積照射量によらず結晶部の大きさに変化が見られないことがわかる。具体的には、nc-OSは図11中の(2)で示すように、TEMによる観察の経過によらず、結晶部の大きさは1.4nm程度であることがわかる。また、CAAC-OSは図11中の(3)で示すように、TEMによる観察の経過によらず、結晶部の大きさは2.1nm程度であることがわかる。

40

50

【0156】

このように、*a-like OS*は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質な*nc-OS*、および*CAAC-OS*であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られないことがわかる。

【0157】

なお、*a-like OS*および*nc-OS*の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、 InGaZnO_4 の結晶は層状構造を有し、*In-O*層の間に、*Ga-Zn-O*層を2層有する。 InGaZnO_4 の結晶の単位格子は、*In-O*層を3層有し、また*Ga-Zn-O*層を6層有する、計9層が*c*軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(*d*値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞が InGaZnO_4 の結晶の*a-b*面に対応する。

10

【0158】

また、酸化物半導体は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体の構造を推定することができる。例えば、単結晶の密度に対し、*a-like OS*の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、*nc-OS*の密度および*CAAC-OS*の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体は、成膜すること自体が困難である。

20

【0159】

上記について、具体例を用いて説明する。例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、*a-like OS*の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、*nc-OS*の密度および*CAAC-OS*の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

30

【0160】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることで、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて算出することが好ましい。

【0161】

なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、微結晶酸化物半導体、*CAAC-OS*のうち、二種以上を有する積層膜であってもよい。

40

【0162】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損が少ない)酸化物半導体は、キャリア密度を低くすることができる。したがって、そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。*CAAC-OS*および*nc-OS*は、*a-like OS*および非晶質酸化物半導体よりも不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体となりやすい。したがって、*CAAC-OS*または*nc-OS*を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体は、キャリアトラップが少ない。そのため、*CAAC-OS*または*nc-OS*を用いたトランジスタは、電気特性の変動が小さく、信頼性の

50

高いトランジスタとなる。なお、酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。

【0163】

<成膜モデル>

以下では、CAAC-O₂およびnc-O₂の成膜モデルの一例について説明する。

【0164】

図12(A)は、スパッタリング法によりCAAC-O₂が成膜される様子を示した成膜室内の模式図である。

10

【0165】

ターゲット5130は、バックングプレートに接着されている。バックングプレートを通じてターゲット5130と向かい合う位置には、複数のマグネットが配置される。該複数のマグネットによって磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

【0166】

ターゲット5130は、多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。

【0167】

一例として、In-Ga-Zn酸化物を有するターゲット5130の劈開面について説明する。図13(A)に、ターゲット5130に含まれるInGaZnO₄の結晶の構造を示す。なお、図13(A)は、c軸を上向きとし、b軸に平行な方向からInGaZnO₄の結晶を観察した場合の構造である。

20

【0168】

図13(A)より、近接する二つのGa-Zn-O層において、それぞれの層における酸素原子同士が近距離に配置されていることがわかる。そして、酸素原子が負の電荷を有することにより、近接する二つのGa-Zn-O層は互いに反発する。その結果、InGaZnO₄の結晶は、近接する二つのGa-Zn-O層の間に劈開面を有する。

【0169】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離d(ターゲット-基板間距離(T-S間距離)ともいう。)は0.01m以上1m以下、好ましくは0.02m以上0.5m以下とする。成膜室内は、ほとんどが成膜ガス(例えば、酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス)で満たされ、0.01Pa以上100Pa以下、好ましくは0.1Pa以上10Pa以下に制御される。ここで、ターゲット5130に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット5130の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5101が生じる。イオン5101は、例えば、酸素の陽イオン(O⁺)やアルゴンの陽イオン(Ar⁺)などである。

30

【0170】

イオン5101は、電界によってターゲット5130側に加速され、やがてターゲット5130と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5100aおよびペレット5100bが剥離し、叩き出される。なお、ペレット5100aおよびペレット5100bは、イオン5101の衝突の衝撃によって、構造に歪みが生じる場合がある。

40

【0171】

ペレット5100aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット5100bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット5100aおよびペレット5100bなどの平板状またはペレット状のスパッタ粒子を総称してペレット5100と呼ぶ。ペレット5100の平面の形状は、三角形、六角形に限定されない、例え

50

ば、三角形が複数個合わさった形状となる場合がある。例えば、三角形（例えば、正三角形）が2個合わさった四角形（例えば、ひし形）となる場合もある。

【0172】

ペレット5100は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット5100の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。例えば、ペレット5100は、厚さを0.4nm以上1nm以下、好ましくは0.6nm以上0.8nm以下とする。また、例えば、ペレット5100は、幅を1nm以上3nm以下、好ましくは1.2nm以上2.5nm以下とする。ペレット5100は、上述の図11中の(1)で説明した初期核に相当する。例えば、In-Ga-Zn酸化物を有するターゲット5130にイオン5101を衝突させる場合、図13(B)に示すように、Ga-Zn-O層、In-O層およびGa-Zn-O層の3層を有するペレット5100が飛び出してくる。なお、図13(C)は、ペレット5100をc軸に平行な方向から観察した場合の構造である。したがって、ペレット5100は、二つのGa-Zn-O層(パン)と、In-O層(具)と、を有するナノサイズのサンドイッチ構造と呼ぶこともできる。

10

【0173】

ペレット5100は、プラズマを通過する際に電荷を受け取ることで、側面が負または正に帯電する場合がある。ペレット5100は、側面に酸素原子を有し、当該酸素原子が負に帯電する可能性がある。このように、側面が同じ極性の電荷を帯びることにより、電荷同士の反発が起こり、平板状の形状を維持することが可能となる。なお、CAAC-OSが、In-Ga-Zn酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。また、ペレット5100は、プラズマを通過する際にインジウム原子、ガリウム原子、亜鉛原子および酸素原子などと結合することで成長する場合がある。上述の図11中の(2)と(1)の大きさの違いが、プラズマ中での成長分に相当する。ここで、基板5120が室温程度である場合、ペレット5100がこれ以上成長しないためnc-OSとなる(図12(B)参照)。成膜可能な温度が室温程度であることから、基板5120が大面積である場合でもnc-OSの成膜は可能である。なお、ペレット5100をプラズマ中で成長させるためには、スパッタリング法における成膜電力を高くすることが有効である。成膜電力を高くすることで、ペレット5100の構造を安定にすることができる。

20

30

【0174】

図12(A)および図12(B)に示すように、例えば、ペレット5100は、プラズマ中を凧のように飛翔し、ひらひらと基板5120上まで舞い上がっていく。ペレット5100は電荷を帯びているため、ほかのペレット5100が既に堆積している領域が近づくと、斥力が生じる。ここで、基板5120の上面では、基板5120の上面に平行な向きの磁場(水平磁場ともいう。)が生じている。また、基板5120およびターゲット5130間には、電位差が与えられているため、基板5120からターゲット5130に向けて電流が流れている。したがって、ペレット5100は、基板5120の上面において、磁場および電流の作用によって、力(ローレンツ力)を受ける。このことは、フレミングの左手の法則によって理解できる。

40

【0175】

ペレット5100は、原子一つと比べると質量が大きい。そのため、基板5120の上面を移動するためには何らかの力を外部から印加することが重要となる。その力の一つが磁場および電流の作用で生じる力である可能性がある。なお、ペレット5100に与える力を大きくするためには、基板5120の上面において、基板5120の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板5120の上面において、基板5120の上面に平行な向きの磁場が、基板5120の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上、より好ましくは5倍以上とな

50

る領域を設けるとよい。

【0176】

このとき、マグネットと基板5120とが相対的に移動すること、または回転することによって、基板5120の上面における水平磁場の向きは変化し続ける。したがって、基板5120の上面において、ペレット5100は、様々な方向への力を受け、様々な方向へ移動することができる。

【0177】

また、図12(A)に示すように基板5120が加熱されている場合、ペレット5100と基板5120との間で摩擦などによる抵抗が小さい状態となっている。その結果、ペレット5100は、基板5120の上面を滑空するように移動する。ペレット5100の移動は、平板面を基板5120に向けた状態で起こる。その後、既に堆積しているほかのペレット5100の側面まで到達すると、側面同士が結合する。このとき、ペレット5100の側面にある酸素原子が脱離する。脱離した酸素原子によって、CAAC-OS中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いCAAC-OSとなる。なお、基板5120の上面の温度は、例えば、100以上500未満、150以上450未満、または170以上400未満とすればよい。即ち、基板5120が大面積である場合でもCAAC-OSの成膜は可能である。

【0178】

また、ペレット5100が基板5120上で加熱されることにより、原子が再配列し、イオン5101の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット5100は、ほぼ単結晶となる。ペレット5100がほぼ単結晶となることにより、ペレット5100同士が結合した後に加熱されたとしても、ペレット5100自体の伸縮はほとんど起こり得ない。したがって、ペレット5100間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。

【0179】

また、CAAC-OSは、単結晶酸化物半導体が一枚板のようになっているのではなく、ペレット5100(ナノ結晶)の集合体がレンガまたはブロックが積み重なったような配列をしている。また、その間には結晶粒界を有さない。そのため、成膜時の加熱、成膜後の加熱または曲げなどで、CAAC-OSに縮みなどの変形が生じた場合でも、局部応力を緩和する、または歪みを逃がすことが可能である。したがって、可とう性を有する半導体装置に適した構造である。なお、nc-OSは、ペレット5100(ナノ結晶)が無秩序に積み重なったような配列となる。

【0180】

ターゲットをイオンでスパッタした際に、ペレットだけでなく、酸化亜鉛などが飛び出す場合がある。酸化亜鉛はペレットよりも軽量であるため、先に基板5120の上面に到達する。そして、0.1nm以上10nm以下、0.2nm以上5nm以下、または0.5nm以上2nm以下の酸化亜鉛層5102を形成する。図14に断面模式図を示す。

【0181】

図14(A)に示すように、酸化亜鉛層5102上にはペレット5105aと、ペレット5105bと、が堆積する。ここで、ペレット5105aとペレット5105bとは、互いに側面が接するように配置している。また、ペレット5105cは、ペレット5105b上に堆積した後、ペレット5105b上を滑るように移動する。また、ペレット5105aの別の側面において、酸化亜鉛とともにターゲットから飛び出した複数の粒子5103が基板5120の加熱により結晶化し、領域5105a1を形成する。なお、複数の粒子5103は、酸素、亜鉛、インジウムおよびガリウムなどを含む可能性がある。

【0182】

そして、図14(B)に示すように、領域5105a1は、ペレット5105aと同化し、ペレット5105a2となる。また、ペレット5105cは、その側面がペレット5105bの別の側面と接するように配置する。

【0183】

10

20

30

40

50

次に、図14(C)に示すように、さらにペレット5105dがペレット5105a2上およびペレット5105b上に堆積した後、ペレット5105a2上およびペレット5105b上を滑るように移動する。また、ペレット5105cの別の側面に向けて、さらにペレット5105eが酸化亜鉛層5102上を滑るように移動する。

【0184】

そして、図14(D)に示すように、ペレット5105dは、その側面がペレット5105a2の側面と接するように配置する。また、ペレット5105eは、その側面がペレット5105cの別の側面と接するように配置する。また、ペレット5105dの別の側面において、酸化亜鉛とともにターゲットから飛び出した複数の粒子5103が基板5120の加熱により結晶化し、領域5105d1を形成する。

10

【0185】

以上のように、堆積したペレット同士が接するように配置し、ペレットの側面において成長が起ることによって、基板5120上にCAAC-OSが形成される。したがって、CAAC-OSは、nc-OSよりも一つのペレットが大きくなる。上述の図11中の(3)と(2)の大きさの違いが、堆積後の成長分に相当する。

【0186】

また、ペレット5100の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。大きなペレットは、単結晶構造を有する。例えば、大きなペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。したがって、トランジスタのチャンネル形成領域が、大きなペレットよりも小さい場合、チャンネル形成領域として単結晶構造を有する領域を用いることができる。また、ペレットが大きくなることで、トランジスタのチャンネル形成領域、ソース領域およびドレイン領域として単結晶構造を有する領域を用いることができる場合がある。

20

【0187】

このように、トランジスタのチャンネル形成領域などが、単結晶構造を有する領域に形成されることによって、トランジスタの周波数特性を高くすることができる場合がある。

【0188】

以上のようなモデルにより、ペレット5100が基板5120上に堆積していくと考えられる。したがって、エピタキシャル成長とは異なり、被形成面が結晶構造を有さない場合においても、CAAC-OSの成膜が可能であることがわかる。例えば、基板5120の上面(被形成面)の構造が非晶質構造(例えば非晶質酸化シリコン)であっても、CAAC-OSを成膜することは可能である。

30

【0189】

また、CAAC-OSは、被形成面である基板5120の上面に凹凸がある場合でも、その形状に沿ってペレット5100が配列することがわかる。例えば、基板5120の上面が原子レベルで平坦な場合、ペレット5100はab面と平行な平面である平板面を下に向けて並置する。ペレット5100の厚さが均一である場合、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層がn段(nは自然数。)積み重なることで、CAAC-OSを得ることができる。

40

【0190】

一方、基板5120の上面が凹凸を有する場合でも、CAAC-OSは、ペレット5100が凹凸に沿って並置した層がn段(nは自然数。)積み重なった構造となる。基板5120が凹凸を有するため、CAAC-OSは、ペレット5100間に隙間が生じやすい場合がある。ただし、ペレット5100間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有するCAAC-OSとすることができる。

【0191】

したがって、CAAC-OSは、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。

50

【0192】

このようなモデルによってC A A C - O Sが成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板5120上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

【0193】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有するC A A C - O Sを得ることができる。

【0194】

図15(A)は、C A A C - O S膜の断面の高分解能TEM像である。また、図15(B)は、図15(A)をさらに拡大した断面の高分解能TEM像であり、理解を容易にするために原子配列を強調表示している。

10

【0195】

図15(C)は、図15(A)のA - O - A'間において、丸で囲んだ領域(直径約4nm)の局所的なフーリエ変換像である。図15(C)より、各領域においてc軸配向性が確認できる。また、A - O間とO - A'間とは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A - O間では、c軸の角度が14.3°、16.6°、26.4°のように少しずつ連続的に変化していることがわかる。同様に、O - A'間では、c軸の角度が-18.3°、-17.6°、-15.9°と少しずつ連続的に変化していることがわかる。

20

【0196】

断面の高分解能TEM像および平面の高分解能TEM像より、C A A C - O S膜の結晶部は配向性を有していることがわかる。

【0197】

なお、C A A C - O S膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、C A A C - O S膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、C A A C - O S膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面の高分解能TEM像において、2500nm²以上、5μm²以上または1000μm²以上となる結晶領域が観察される場合がある。

30

【0198】

以上のことから、C A A C - O S膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面の高分解能TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0199】

なお、結晶部は、C A A C - O S膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、C A A C - O S膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S膜の形状をエッチングなどによって変化させた場合、結晶のc軸がC A A C - O S膜の被形成面または上面の法線ベクトルと平行にならないこともある。

40

【0200】

また、C A A C - O S膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、C A A C - O S膜の結晶部が、C A A C - O S膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることもある。また、不純物の添加されたC A A C - O S膜は、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

【0201】

なお、酸化物半導体は、例えば、非晶質酸化物半導体、微結晶酸化物半導体、C A A C -

50

OSのうち、二種以上を有してもよい。

【0202】

酸化物半導体が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

【0203】

図16(C)に、電子銃室1010と、電子銃室1010の下の光学系1012と、光学系1012の下の試料室1014と、試料室1014の下の光学系1016と、光学系1016の下の観察室1020と、観察室1020に設置されたカメラ1018と、観察室1020の下のフィルム室1022と、を有する透過電子回折測定装置を示す。カメラ1018は、観察室1020内部に向けて設置される。なお、フィルム室1022を有さなくても構わない。

10

【0204】

また、図16(D)に、図16(C)で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室1010に設置された電子銃から放出された電子が、光学系1012を介して試料室1014に配置された物質1028に照射される。物質1028を通過した電子は、光学系1016を介して観察室1020内部に設置された蛍光板1032に入射する。蛍光板1032では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

【0205】

カメラ1018は、蛍光板1032を向いて設置されており、蛍光板1032に現れたパターンを撮影することが可能である。カメラ1018のレンズの中央、および蛍光板1032の中央を通る直線と、蛍光板1032の上面の為す角度は、例えば、15°以上80°以下、30°以上75°以下、または45°以上70°以下とする。該角度が小さいほど、カメラ1018で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっているならば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ1018をフィルム室1022に設置しても構わない場合がある。例えば、カメラ1018をフィルム室1022に、電子1024の入射方向と対向するように設置してもよい。この場合、蛍光板1032の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

20

【0206】

試料室1014には、試料である物質1028を固定するためのホルダが設置されている。ホルダは、物質1028を通過する電子を透過するような構造をしている。ホルダは、例えば、物質1028をX軸、Y軸、Z軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、1nm以上10nm以下、5nm以上50nm以下、10nm以上100nm以下、50nm以上500nm以下、100nm以上1μm以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質1028の構造によって最適な範囲を設定すればよい。

30

【0207】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

40

【0208】

例えば、図16(D)に示すように物質におけるナノビームである電子1024の照射位置を変化させる(スキャンする)ことで、物質の構造が変化していく様子を確認することができる。このとき、物質1028がCAAC-OSであれば、図16(A)に示したような回折パターンが観測される。または、物質1028がnc-OSであれば、図16(B)に示したような回折パターンが観測される。

【0209】

ところで、物質1028がCAAC-OSであったとしても、部分的にnc-OSなどと同様の回折パターンが観測される場合がある。したがって、CAAC-OSの良否は、一定の範囲におけるCAAC-OSの回折パターンが観測される領域の割合(CAAC化率

50

ともいう。)で表すことができる場合がある。例えば、良質なC A A C - O Sであれば、C A A C化率は、60%以上、好ましくは80%以上、さらに好ましくは90%以上、より好ましくは95%以上となる。なお、C A A C - O Sと異なる回折パターンが観測される領域を非C A A C化率と表記する。

【0210】

一例として、形成直後(a s - d e p oと表記。)、450 加熱処理後のC A A C - O Sを有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5nm/秒の速度で60秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0.5秒ごとに静止画に変換することで、C A A C化率を導出した。なお、電子線としては、プローブ径が1nmのナノビームを用いた。

10

【0211】

各試料におけるC A A C化率を図17に示す。形成直後と比べて、450 加熱処理後のC A A C化率が高いことがわかる。即ち、450 以上の加熱処理によって、非C A A C化率が低くなる(C A A C化率が高くなる)ことがわかる。ここで、C A A C - O Sと異なる回折パターンのほとんどはn c - O Sと同様の回折パターンであった。したがって、加熱処理によって、n c - O Sと同様の構造を有する領域は、隣接する領域の構造の影響を受けてC A A C化していることが示唆される。

【0212】

このような測定方法を用いれば、複数の構造を有する酸化物半導体の構造解析が可能となる場合がある。

20

【0213】

なお、ここでは、酸化物半導体層108を用いた場合の例を示したが、本発明の実施形態の一態様は、これに限定されない。場合によっては、または、状況に応じて、酸化物半導体層108の代わりに、別の材料を有する半導体膜を用いてもよい。例えば、チャネル領域、ソースドレイン領域、L D D領域などにおいて、酸化物半導体層108の代わりに、シリコン、ゲルマニウム、ガリウム、ヒ素、などの元素を1つまたは複数有する半導体膜を用いてもよい。

【0214】

[A - 8 : 電極109、電極119]

電極109および電極119は、電極102a、電極103a、および電極104a、並びに、電極102b、電極103b、および電極104bと同様の材料および方法で形成することができる。

30

【0215】

なお、電極109および電極119の、少なくとも酸化物半導体層108bと接する部分に、酸素を透過しない導電性材料を用いることが好ましい。酸素を透過しない導電性材料を少なくとも酸化物半導体層108bと接して設けることで、酸化物半導体層108に含まれる酸素が、電極109および電極119に拡散しにくくすることができる。

【0216】

[A - 9 : 絶縁層110]

絶縁層110は、絶縁層105と同様の材料および方法で形成することができる。

40

【0217】

絶縁層110は、例えば、1層目を窒化シリコン層とし、2層目を酸化シリコン層とした多層膜としてもよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。酸化シリコン層は、欠陥密度の小さい酸化シリコン層を用いると好ましい。具体的には、E S Rにてg値が2.001の信号に由来するスピンのスピン密度が 3×10^{17} spins/cm³以下、好ましくは 5×10^{16} spins/cm³以下である酸化シリコン層を用いる。また、酸化シリコン層は、過剰酸素を含む酸化シリコン層を用いると好ましい。窒化シリコン層は水素およびアンモニアの放出量が少ない窒化シリコン層を用いる。水素、アンモニアの放出量は、T D S分析にて測定すればよい。

50

【0218】

また、酸化物半導体中の水素濃度の増加を防ぐために、絶縁層110の水素濃度を低減することが好ましい。具体的には、絶縁層110の水素濃度を、SIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体中の窒素濃度の増加を防ぐために、絶縁層110の窒素濃度を低減することが好ましい。具体的には、絶縁層110の窒素濃度を、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

10

【0219】

また、絶縁層110は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層を用いて形成することが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層は、加熱により酸素の一部が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層は、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である絶縁層である。なお、上記TDS分析時における膜の表面温度としては100以上700以下、または100以上500以下の範囲が好ましい。また、本明細書などにおいて、絶縁層中で化学量論的組成を満たす酸素よりも多い酸素を「過剰酸素」ともいう。また、本明細書などにおいて、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層を、「過剰酸素を含む絶縁層」ともいう。

20

【0220】

〔A-10：電極111〕

電極111は、電極109および電極119と同様の材料および方法で形成することができる。電極111の厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

【0221】

〔A-11：絶縁層112〕

絶縁層112は、絶縁層106と同様の材料および方法で形成することができる。絶縁層112の厚さは、10nm以上500nm以下、好ましくは50nm以上300nm以下とすればよい。

30

【0222】

< B：トランジスタ100および容量素子130の作製方法例 >

図2乃至図5に示す断面図を用いて、トランジスタ100の作製方法の一例を説明する。

【0223】

〔B-1：電極102、電極103、および電極104の形成〕

まず、基板101上に、電極102a、電極103a、および電極104aを形成するための導電層（図示せず）と、電極102b、電極103b、および電極104bを形成するための導電層（図示せず）を積層する。それぞれの導電層は、スパッタリング法、CVD法、蒸着法などを用いて形成することができる。

40

【0224】

例えば、導電層としてタンゲステンを成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期のタンゲステン膜を成膜し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタンゲステンを成膜する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【0225】

本実施の形態では、電極102a、電極103a、および電極104aを形成するための導電層として、スパッタリング法により厚さ150nmのタンゲステンを成膜する。また、電極102b、電極103b、および電極104bを形成するための導電層として、スパッタリング法により厚さ50nmの窒素を含むインジウムガリウム亜鉛酸化物を成膜す

50

る。

【0226】

次に、レジストマスクを用いて、それぞれの導電層の一部を選択的にエッチングし、電極102、電極103、および電極104（これらと同じ層で形成される他の電極または配線を含む）を形成する。レジストマスクの形成は、フォトリソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0227】

それぞれの導電層のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。なお、ドライエッチング法で酸化物半導体膜のエッチングを行う場合のプラズマ源として、容量結合型プラズマ（CCP：Capacitively Coupled Plasma）、誘導結合プラズマ（ICP：Inductively Coupled Plasma）、電子サイクロトロン共鳴（ECR：Electron Cyclotron Resonance）プラズマ、ヘリコン波励起プラズマ（HWP：Helicon Wave Plasma）、マイクロ波励起表面波プラズマ（SWP：Surface Wave Plasma）などを用いることができる。特に、ICP、ECR、HWP、及びSWPは、高密度のプラズマを生成することができる。ドライエッチング法で行うエッチング（以下、「ドライエッチング処理」ともいう）は、所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節して行う。それぞれの導電層のエッチング終了後、レジストマスクを除去する（図2（A）参照。）。

【0228】

〔B-2：絶縁層105の形成〕

続いて、電極102、電極103、および電極104上に絶縁層105を形成する。絶縁層105は、スパッタリング法、CVD法、蒸着法などを用いて形成することができる。特にALD法、MOCVD法または熱CVD法は、プラズマを使わないためダメージが少なく好ましい。

【0229】

例えば、熱CVD法を用いて、絶縁層105として酸化シリコンを成膜する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【0230】

例えば、熱CVD法を用いて、絶縁層105として酸化ハフニウムを成膜する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム（TDMAH））を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

【0231】

本実施の形態では、絶縁層105として、プラズマCVD法により厚さ250nmの酸化窒化シリコンを形成する（図2（B）参照。）。

【0232】

次に、電極102b、電極103b、および電極104bの表面を露出するため、化学的機械研磨（CMP：Chemical Mechanical Polishing）処理（以下、「CMP処理」ともいう。）を行う（図2（C）参照。）。また、CMP処理を行うことにより、試料表面の凹凸を低減し、この後形成される絶縁層や導電層の被覆性を高めることができる。

【0233】

ここで、電極102、電極103、電極104、および絶縁層105中の水素、窒素、水などを低減するために、加熱処理を行ってもよい。加熱処理は、300以上800以

10

20

30

40

50

下、好ましくは400以上700以下で行えばよい。処理時間は24時間以内とする。24時間を超える加熱処理は生産性の低下を招くため好ましくない。

【0234】

加熱処理に用いる加熱装置に特別な限定はなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、LRTA(Lamp Rapid Thermal Anneal)装置、GRTA(Gas Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

10

【0235】

特に、基板101として、半導体基板上に半導体素子が設けられたものなどを用いる場合は、該基板101中に含まれる水素濃度を低減することができるため、加熱処理を行うことが好ましい。

【0236】

[B-3:絶縁層106の形成]

続いて、電極102、電極103、電極104、および絶縁層105上に、絶縁層106を形成する。絶縁層106は、スパッタリング法、CVD法、蒸着法などを用いて形成することができる。特にALD法、MOCVD法または熱CVD法は、プラズマを使わないためダメージが少なく好ましい。

20

【0237】

例えば、熱CVD法を用いて、絶縁層106として酸化アルミニウムを成膜する場合には、溶媒とアルミニウム前駆体化合物を含む液体(TMAなど)を気化させた原料ガスと、酸化剤としてH₂Oの2種類のガスを用いる。なお、トリメチルアルミニウムの化学式はAl(CH₃)₃である。また、他の材料液としては、トリス(ジメチルアミド)アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオナート)などがある。

【0238】

本実施の形態では、絶縁層106として、スパッタリング法により厚さ50nmの酸化アルミニウムを形成する。

30

【0239】

次に、レジストマスクを用いて、電極102、電極103、および電極104と重畳する絶縁層106の一部を選択的にエッチングし、電極102b、電極103b、および電極104bの表面を露出させる。絶縁層106のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。絶縁層106のエッチング終了後、レジストマスクを除去する(図2(D)参照)。

【0240】

[B-4:絶縁層107の形成]

続いて、電極102、電極103、電極104、および絶縁層106上に、絶縁層107を形成する。絶縁層107は、スパッタリング法、CVD法、蒸着法などを用いて形成することができる。本実施の形態では、絶縁層107として、CVD法により厚さ150nmの化学量論的組成を満たす酸素よりも多くの酸素を含む酸化窒化シリコンを形成する。

40

【0241】

また、過剰酸素を含む絶縁層は、絶縁層に酸素を添加する処理を行って形成することもできる。酸素を添加する処理は、酸素雰囲気下による熱処理や、イオン注入装置、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。また、イオンドーピング装置として、質量分離機能を有するイオンドーピング装置を用いてもよい。酸素を添加するためのガスとしては、¹⁶O₂もしくは¹⁸O₂などの酸素ガス、亜酸化窒素ガスま

50

たはオゾンガスなどを用いることができる。なお、本明細書では酸素を添加する処理を「酸素ドーブ処理」ともいう。

【0242】

また、試料表面の凹凸を低減するために、CMP処理を行ってもよい。

【0243】

〔B-5：酸化物半導体層108a、酸化物半導体層108bの形成〕

続いて、絶縁層107上に酸化物半導体層108aを形成するための酸化物半導体層118aと、酸化物半導体層108bを形成するための酸化物半導体層118bを形成する(図3(A)参照。)

【0244】

本実施の形態では、スパッタリング法により、酸化物半導体層118aとして、In:Ga:Zn=1:3:4の原子数比のターゲットを用いて、厚さ20nmのIn-Ga-Zn酸化物を形成する。また、酸化物半導体層118bとして、In:Ga:Zn=1:1:1の原子数比のターゲットを用いて、厚さ20nmのIn-Ga-Zn酸化物を形成する。

【0245】

次に、酸化物半導体層118aおよび酸化物半導体層118bに含まれる水分または水素などの不純物をさらに低減して、酸化物半導体層118aおよび酸化物半導体層118bを高純度化するために、加熱処理を行うことが好ましい。

【0246】

例えば、減圧雰囲気下、窒素や希ガスなどの不活性雰囲気下、酸化性雰囲気下、又は超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、酸化物半導体層118aおよび酸化物半導体層118bに加熱処理を施す。なお、酸化性雰囲気とは、酸素、オゾンまたは窒化酸素などの酸化性ガスを10ppm以上含有する雰囲気をいう。また、不活性雰囲気とは、前述の酸化性ガスが10ppm未満であり、その他、窒素または希ガスで充填された雰囲気をいう。

【0247】

また、加熱処理を行うことにより、不純物の放出と同時に絶縁層107に含まれる酸素を酸化物半導体層118aおよび酸化物半導体層118bに拡散させ、酸化物半導体層118aおよび酸化物半導体層118bの酸素欠損を低減することができる。なお、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。なお、加熱処理は、酸化物半導体層118aおよび酸化物半導体層118bの形成後であればいつ行ってもよい。例えば、酸化物半導体層108aおよび酸化物半導体層108bの形成後に加熱処理を行ってもよい。

【0248】

加熱処理は、250以上650以下、好ましくは300以上500以下で行えばよい。処理時間は24時間以内とする。24時間を超える加熱処理は生産性の低下を招くため好ましくない。

【0249】

次に、レジストマスクを用いて、酸化物半導体層118aおよび酸化物半導体層118bの一部を選択的にエッチングし、酸化物半導体層108aおよび酸化物半導体層108bを形成する。同時に、露出した絶縁層107を少しエッチングし、該領域の絶縁層107の膜厚を薄くする。この時の絶縁層107のエッチング量は、絶縁層107の厚さの20%以上80%以下が好ましく、30%以上70%以下がより好ましい。このようにして、凸部を有する絶縁層107を形成することができる(図3(B)参照。)

【0250】

酸化物半導体層118a、酸化物半導体層118b、および絶縁層107のエッチングは

10

20

30

40

50

、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。エッチング終了後、レジストマスクを除去する。

【0251】

次に、レジストマスクを用いて、電極104bの一部、および絶縁層106の一部と重畳する絶縁層107を選択的にエッチングし、電極104bの一部、および絶縁層106の一部を露出させる(図3(C)参照。)。絶縁層107のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。エッチング終了後、レジストマスクを除去する。

【0252】

〔B-6：電極109、電極119の形成〕

続いて、酸化半導体層118bおよび絶縁層107の上に、電極109および電極119を形成するための導電層を形成する(図示せず。)。本実施の形態では、該導電層として厚さ100nmのタングステンをスパッタリング法により形成する。

【0253】

次に、レジストマスクを用いて、導電層の一部を選択的にエッチングし、電極109および電極119(これらと同じ層で形成される他の電極または配線を含む)を形成する。導電層のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。その後、レジストマスクを除去する(図4(A)参照。)

【0254】

なお、チャンネル長Lが極めて短いトランジスタを形成する場合は、電子ビーム露光、EUV(Extreme Ultraviolet)露光、液浸露光などの細線加工に適した方法を用いてレジストマスクを形成し、エッチング処理を行うことによって、電極109および電極119を形成すればよい。なお、レジストマスクとしては、ポジ型レジストを用いれば、露光領域を最小限にすることができ、スループットを向上させることができる。このような方法を用いれば、チャンネル長を30nm以下とするトランジスタを作製することができる。

【0255】

また、電極109および電極119(これらと同じ層で形成される他の電極または配線を含む)は、その端部をテーパ形状とすることが好ましい。具体的には、端部のテーパ角を、80°以下、好ましくは60°以下、さらに好ましくは45°以下とする。

【0256】

また、電極109および電極119(これらと同じ層で形成される他の電極または配線を含む)の端部の断面形状を複数段の階段形状とすることで、その上に被覆する層の被覆性を向上させることもできる。なお、電極109および電極119に限らず、各層の端部の断面形状を順テーパ形状または階段形状とすることで、該端部を覆って形成する層が、該端部で途切れてしまう現象(段切れ)を防ぎ、被覆性を良好なものとするすることができる。

【0257】

〔B-7：酸化半導体層108cの形成〕

続いて、電極109、電極119、および酸化半導体層108b上に、酸化半導体層108cを形成するための酸化半導体層を形成する(図示せず。)

【0258】

本実施の形態では、酸化半導体層108cを形成するための酸化半導体層として、In:Ga:Zn=1:3:4の原子数比のターゲットを用いて、厚さ5nmのIn-Ga-Zn酸化物を形成する。

【0259】

次に、レジストマスクを用いて、酸化半導体層108cを形成するための酸化半導体層の一部を選択的にエッチングし、酸化半導体層108cを形成する(図4(B)参照。)

【0260】

10

20

30

40

50

酸化物半導体層のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。エッチング終了後、レジストマスクを除去する。

【0261】

〔B-8：絶縁層110、電極111の形成〕

続いて、電極109、電極119、酸化物半導体層108c上に絶縁層120を形成する。絶縁層120は、スパッタリング法、CVD法、蒸着法などを用いて形成することができる。本実施の形態では、絶縁層120として、プラズマCVD法により厚さ20nmの酸化窒化シリコンを形成する。

【0262】

次に、絶縁層120上に導電層121を形成する。本実施の形態では、導電層121として、厚さ30nmの窒化チタンと厚さ135nmのタングステンの積層をスパッタリング法により形成する(図4(C)参照。)

10

【0263】

次に、レジストマスクを用いて、絶縁層120および導電層121の一部を選択的にエッチングし、絶縁層110および電極111(これらと同じ層で形成される他の電極または配線を含む)を形成する。絶縁層120および導電層121のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。その後、レジストマスクを除去する(図5(A)参照。)

【0264】

なお、このとき、絶縁層120は、必ずしもエッチングしなくてもよい。その場合の断面図を図29に示す。また、完成した場合の平面図と断面図とを図30に示す。

20

【0265】

絶縁層120および導電層121のエッチングは、一回のエッチング処理で同時に行ってもよいし、導電層121のエッチング終了後にエッチング方法を変更して、導電層121をマスクとして絶縁層120のエッチングを行ってもよい。

【0266】

また、図1(C)に示すように、トランジスタ100は、絶縁層107が凸部を有することによって、電極111の電界によって、酸化物半導体層108bを電気的に取り囲むことができる構造である(導電膜の電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel(s-channel)構造とよぶ。)。そのため、酸化物半導体層108bの全体(バルク)にチャンネルが形成される場合がある。s-channel構造では、トランジスタのドレイン電流を大きくすることができる、さらに大きいオン電流を得ることができる。また、電極111の電界によって、酸化物半導体層108bに形成されるチャンネル形成領域の全領域を空乏化することができる。したがって、s-channel構造では、トランジスタのオフ電流をさらに小さくすることができる。

30

【0267】

〔B-9：絶縁層112の形成〕

続いて、電極109、電極119、および電極111を覆って、絶縁層112を形成する。絶縁層112は、スパッタリング法、CVD法、蒸着法などを用いて形成することができる。本実施の形態では、絶縁層112として、スパッタリング法により厚さ50nmの酸化アルミニウムを形成する(図5(B)参照。)

40

【0268】

以上の工程により、トランジスタ100および容量素子130を作製することができる。

【0269】

本発明の一態様によれば、電気特性のばらつきが少ないトランジスタを実現することができる。よって、電気特性のばらつきが少ない半導体装置を実現することができる。本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。よって、信頼性の良好な半導体装置を実現することができる。

【0270】

50

また、酸化物半導体のバンドギャップは2 e V以上あるため、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタは、トランジスタがオフ状態のときのリーク電流（「オフ電流」ともいう。）を極めて小さくすることができる。具体的には、チャネル幅1 μm当たりのオフ電流を室温下において 1×10^{-20} A未満、好ましくは 1×10^{-22} A未満、さらに好ましくは 1×10^{-24} A未満とすることができる。すなわち、オンオフ比を20桁以上150桁以下とすることができる。

【0271】

本発明の一態様によれば、消費電力が少ないトランジスタを実現することができる。よって、消費電力が少ない半導体装置を実現することができる。

【0272】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0273】

（実施の形態2）

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を、図面を用いて説明する。

【0274】

図18（A）に半導体装置の断面図を示す。また、図18（B）に半導体装置の回路図を示す。

【0275】

図18（A）および図18（B）に示す半導体装置は、下部に基板700を用いたトランジスタ750を有し、上部に酸化物半導体を用いたトランジスタ100、および容量素子130を有している。なお、回路図には、トランジスタ100が酸化物半導体を用いたトランジスタであることを明示するために、「OS」の記載を付している。

【0276】

基板700としては、シリコンや炭化シリコンなどからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどからなる化合物半導体基板や、SOI（Silicon on Insulator）基板などを用いることができる。半導体基板を用いて形成されたトランジスタは、高速動作が容易である。

【0277】

本実施の形態では、基板700としてp型の単結晶シリコン基板を用いる例を示す。トランジスタ750は、基板700中にチャネルが形成されるトランジスタである。また、トランジスタ750は、チャネル形成領域753、LDD（Lightly Doped Drain）領域やエクステンション領域として機能するn型不純物領域754、ソース領域又はドレイン領域として機能するn型不純物領域755、絶縁層752、電極751を有している。電極751はゲート電極として機能する。絶縁層752はゲート絶縁層として機能する。なお、n型不純物領域755の不純物濃度は、n型不純物領域754よりも高い。電極751の側面には側壁絶縁層756が設けられており、電極751及び側壁絶縁層756をマスクとして用いて、n型不純物領域754、n型不純物領域755を自己整合法を用いて形成することができる。

【0278】

また、トランジスタ750は、素子分離領域789により、基板700に形成される他のトランジスタ750と分離されている。また、電極751、側壁絶縁層756の周囲に、絶縁層790と絶縁層791が形成されている。

【0279】

また、図18（A）において、トランジスタ100上に絶縁層113が形成されている。絶縁層113は、実施の形態1に示した絶縁層105と同様の材料および方法で形成することができる。また、絶縁層113上に電極114が形成され、絶縁層113および絶縁層112に形成された開口で、電極119と電氣的に接続している。

10

20

30

40

50

【0280】

また、絶縁層113および電極114上に、平坦化絶縁層として絶縁層115が形成されている。絶縁層115としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層115を形成してもよい。

【0281】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

10

【0282】

絶縁層115の形成方法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）などを用いればよい。絶縁層115の焼成工程と他の熱処理工程を兼ねることで、効率よく半導体装置を作製することが可能となる。

【0283】

また、絶縁層115は、実施の形態1に示した絶縁層105と同様の材料および方法で形成し、その後、絶縁層115にCMP処理を施してもよい。

20

【0284】

また、絶縁層115上に電極116が形成され、絶縁層115に形成された開口で、電極114と電氣的に接続している。

【0285】

電極751は、電極103と電氣的に接続されている。また、トランジスタ750が有するn型不純物領域755の一方は、配線3001と電氣的に接続され、n型不純物領域755の他方は、配線3002と電氣的に接続されている（図示せず。）。また、電極119は、配線3003と電氣的に接続され、電極109は容量素子130を介して配線3005と電氣的に接続され、電極111および電極102は配線3004と電氣的に接続されている（図示せず。）。

30

【0286】

ここで、トランジスタ750のチャンネルが形成される半導体層の材料と、トランジスタ100のチャンネルが形成される半導体層の材料は、異なる禁制帯幅を持つ材料とすることが望ましい。例えば、トランジスタ100のチャンネルが形成される半導体層に酸化物半導体を用いる場合、トランジスタ750のチャンネルが形成される半導体層に酸化物半導体以外の半導体材料を用いることが好ましい。例えば、結晶性シリコンなどの、酸化物半導体以外の半導体材料を用いたトランジスタは、酸化物半導体を用いたトランジスタよりも高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い電気特性により長時間の電荷保持を可能とする。

【0287】

例えば、トランジスタのチャンネルが形成される半導体層に結晶性シリコンを用いた場合、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタよりも高速動作が可能となる。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

40

【0288】

なお、上記トランジスタは、いずれもnチャンネル型トランジスタであるものとして説明するが、pチャンネル型トランジスタを用いることができるのはいうまでもない。また、特段の説明がない限り、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0289】

50

また、図18(A)に示すように、トランジスタ750を形成する基板上にトランジスタ100および容量素子130を形成することができるため、半導体装置の集積度を高めることができる。

【0290】

図18(B)は、図18(A)に対応する半導体装置の回路図である。図18(B)において、配線3001はトランジスタ750のソース電極と電氣的に接続され、配線3002はトランジスタ750のドレイン電極と電氣的に接続されている。また、配線3003はトランジスタ100のソース電極またはドレイン電極の一方と電氣的に接続され、配線3004はトランジスタ100のゲート電極と電氣的に接続されている。そして、トランジスタ750のゲート電極、トランジスタ100のソース電極またはドレイン電極の他方、および容量素子130の電極の一方は、ノードNDと電氣的に接続されている。また、配線3005は容量素子130の電極の他方と電氣的に接続されている。

10

【0291】

チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタは、オフ電流を極めて小さくすることができる。トランジスタ100として、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタを用いることで、ノードNDの電荷を長期間保持することができる。よって、トランジスタ750のゲート電極の電荷を長期間保持することができる。

【0292】

図18(B)に示す半導体装置では、トランジスタ750のゲート電極の電荷が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

20

【0293】

情報の書き込みおよび保持について説明する。まず、配線3004の電位を、トランジスタ100がオン状態となる電位にして、トランジスタ100をオン状態とする。これにより、配線3003の電位が、トランジスタ750のゲート電極、および容量素子130に与えられる。すなわち、トランジスタ750のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、配線3004の電位を、トランジスタ100がオフ状態となる電位にして、トランジスタ100をオフ状態とすることにより、トランジスタ750のゲート電極に与えられた電荷が保持される(保持)。

30

【0294】

トランジスタ100のオフ電流は極めて小さいため、トランジスタ750のゲート電極の電荷は長時間にわたって保持される。

【0295】

次に情報の読み出しについて説明する。配線3001に所定の電位(定電位)を与えた状態で、配線3005に適切な電位(読み出し電位)を与えると、トランジスタ750のゲート電極に保持された電荷量に応じて、配線3002は異なる電位をとる。一般に、トランジスタ750をnチャンネル型とすると、トランジスタ750のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ750のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、「見かけのしきい値電圧」とは、トランジスタ750をオン状態とするために必要な配線3005の電位をいうものとする。したがって、配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ750のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ750は「オン状態」となる。Lowレベル電荷が与えられていた場合には、配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ750は「オフ状態」のままである。このため、配線3002の電位を判別することで、保持され

40

50

ている情報を読み出すことができる。

【0296】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ750がオフ状態となるような電位、つまり、 V_{th_H} より小さい電位を配線3005に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ750がオン状態となるような電位、つまり、 V_{th_L} より大きい電位を配線3005に与えればよい。

【0297】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

10

【0298】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

20

【0299】

以上のように、微細化および高集積化を実現し、かつ高い電気的特性を付与された半導体装置を提供することができる。

【0300】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0301】

（実施の形態3）

本実施の形態では、本発明の一態様であるトランジスタを使用した半導体装置の一例について、図面を用いて説明する。図19は、本発明の一態様に係る半導体装置の回路図の一例である。

30

【0302】

図19に示す半導体装置は、容量素子660aと、容量素子660bと、トランジスタ661aと、トランジスタ661bと、トランジスタ662aと、トランジスタ662bと、インバータ663aと、インバータ663bと、配線BLと、配線BLBと、配線WLと、配線CLと、配線GLと、を有する。

【0303】

図19に示す半導体装置は、インバータ663aおよびインバータ663bがリング接続することでフリップフロップが構成されるメモリセルである。インバータ663bの出力信号が出力されるノードをノードVN1とし、インバータ663aの出力信号が出力されるノードをノードVN2とする。なお、該メモリセルをマトリクス状に配置することで、記憶装置（メモリセルアレイ）を構成することができる。

40

【0304】

トランジスタ662aのソース、ドレインの一方は配線BLと電気的に接続し、ソース、ドレインの他方はノードVN1と電気的に接続し、ゲートは配線WLと電気的に接続する。トランジスタ662bのソース、ドレインの一方はノードVN2と電気的に接続し、ソース、ドレインの他方は配線BLBと電気的に接続し、ゲートは配線WLと電気的に接続

50

する。

【0305】

トランジスタ661aのソース、ドレインの一方はノードVN1と電氣的に接続し、ソース、ドレインの他方は容量素子660aの一方の電極と電氣的に接続し、ゲートは配線GLと電氣的に接続する。ここで、トランジスタ661aのソース、ドレインの他方と、容量素子660aの一方の電極と、の間のノードをノードNVN1とする。トランジスタ661bのソース、ドレインの一方はノードVN2と電氣的に接続し、ソース、ドレインの他方は容量素子660bの一方の電極と電氣的に接続し、ゲートは配線GLと電氣的に接続する。ここで、トランジスタ661bのソース、ドレインの他方と、容量素子660bの一方の電極と、の間のノードをノードNVN2とする。

10

【0306】

容量素子660aの他方の電極は配線CLと電氣的に接続する。容量素子660bの他方の電極は配線CLと電氣的に接続する。

【0307】

トランジスタ662aおよびトランジスタ662bの導通状態、非導通状態の選択は、配線WLに与える電位によって制御することができる。トランジスタ661aおよびトランジスタ661bの導通状態、非導通状態の選択は、配線GLに与える電位によって制御することができる。

【0308】

図19に示したメモリセルの書き込み、保持および読み出しについて以下に説明する。

20

【0309】

書き込み時は、まず配線BLおよび配線BLBにデータ0またはデータ1に対応する電位を印加する。

【0310】

例えば、データ1を書き込みたい場合、配線BLをハイレベルの電源電位(VDD)、配線BLBを接地電位とする。次に、配線WLにトランジスタ662a、トランジスタ662bのしきい値電圧にVDDを加えた電位以上の電位(VH)を印加する。

【0311】

次に、配線WLの電位をトランジスタ662a、トランジスタ662bのしきい値電圧未満とすることで、フリップフロップに書き込んだデータ1が保持される。

30

【0312】

読み出し時は、あらかじめ配線BLおよび配線BLBをVDDとする。次に、配線WLにVHを印加することで、配線BLはVDDのまま変化しないが、配線BLBはトランジスタ662aおよびインバータ663aを介して放電し、接地電位となる。この配線BLと配線BLBとの電位差をセンスアンプ(図示せず)にて増幅することにより保持されたデータ1を読み出すことができる。

【0313】

なお、データ0を書き込みたい場合は、配線BLを接地電位、配線BLBをVDDとし、その後配線WLにVHを印加すればよい。次に、配線WLの電位をトランジスタ662a、トランジスタ662bのしきい値電圧未満とすることで、フリップフロップに書き込んだデータ0が保持される。読み出し時は、あらかじめ配線BLおよび配線BLBをVDDとし、配線WLにVHを印加することで、配線BLBはVDDのまま変化しないが、配線BLはトランジスタ662bおよびインバータ663bを介して放電し、接地電位となる。この配線BLと配線BLBとの電位差をセンスアンプにて増幅することにより保持されたデータ0を読み出すことができる。

40

【0314】

したがって、図19に示す半導体装置はいわゆるSRAM(Static Random Access Memory)として機能する。SRAMはフリップフロップを用いてデータを保持するため、リフレッシュ動作が不要である。そのため、データの保持時の消費電力を抑えることができる。また、フリップフロップにおいて容量素子を用いないため

50

、高速動作の求められる用途に好適である。

【0315】

また、図19に示す半導体装置は、トランジスタ661aを介して、ノードVN1からノードNVN1にデータを書き込むことが可能である。同様に、トランジスタ661bを介して、ノードVN2からノードNVN2にデータを書き込むことが可能である。書き込まれたデータは、トランジスタ661aまたはトランジスタ661bを非導通状態とすることによって保持される。例えば、電源電位の供給を止めた場合でも、ノードVN1およびノードVN2のデータを保持できる場合がある。

【0316】

電源電位の供給を止めると、直ちにデータが消失する従来のSRAMと異なり、図19に示す半導体装置は、電源電位の供給を止めた後もデータを保持できる。そのため、適宜電源電位の供給を止めることによって、消費電力の小さい半導体装置を実現することができる。例えば、CPUの記憶領域に図19に示す半導体装置を用いることで、CPUの消費電力を小さくすることもできる。

【0317】

なお、ノードNVN1およびノードNVN2にデータを保持する期間は、トランジスタ661aおよびトランジスタ661bのオフ電流によって変化することがわかる。したがって、データの保持期間を長くするためには、トランジスタ661aおよびトランジスタ661bには、オフ電流の低いトランジスタを用いればよいことになる。または、容量素子660aおよび容量素子660bの容量を大きくすればよいことになる。

【0318】

例えば、実施の形態1に示したトランジスタ100および容量素子130を、トランジスタ661aおよび容量素子660aとして用いれば、ノードNVN1に長期間に渡ってデータを保持することが可能となる。同様に、トランジスタ100および容量素子130を、トランジスタ661bおよび容量素子660bとして用いれば、ノードNVN2に長期間に渡ってデータを保持することが可能となる。したがって、トランジスタ661aおよびトランジスタ661bについては、トランジスタ100についての記載を参照すればよい。また、容量素子660aおよび容量素子660bについては、容量素子130についての記載を参照すればよい。

【0319】

また、上記実施の形態で説明したように、トランジスタ100および容量素子130は、トランジスタ750と少なくとも一部を重ねて作製することができる。図19に示すトランジスタ662a、トランジスタ662b、インバータ663aに含まれるトランジスタおよびインバータ663bに含まれるトランジスタは、トランジスタ661a、トランジスタ661b、容量素子660aおよび容量素子660bと少なくとも一部を重ねて作製することができる。したがって、図19に示す半導体装置は、従来のSRAMと比べて占有面積を大きく増大させることなく、作製することができる場合がある。トランジスタ662a、トランジスタ662b、インバータ663aに含まれるトランジスタおよびインバータ663bに含まれるトランジスタについては、トランジスタ750についての記載を参照すればよい。

【0320】

以上に示したように、本発明の一態様に係る半導体装置は、占有面積に対して高い性能を有することがわかる。また、生産性の高い半導体装置であることがわかる。

【0321】

本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0322】

(実施の形態4)

本実施の形態では、本発明の一態様であるトランジスタを使用した半導体装置の一例について説明する。なお、本実施の形態では、CPUを例にして本発明の一態様である半導体装置を説明する。

10

20

30

40

50

【0323】

図20は、本発明の一態様のトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0324】

図20に示すCPUは、基板1190上に、ALU1191（ALU：Arithmetic logic unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198（Bus I/F）、書き換え可能なROM1199、およびROMインターフェース1189（ROM I/F）を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図20に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図20に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

10

【0325】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

20

【0326】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

30

【0327】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0328】

図20に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

40

【0329】

図20に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

50

【0330】

図21は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子730は、電源遮断で記憶データが揮発する回路701と、電源遮断で記憶データが揮発しない回路702と、スイッチ703と、スイッチ704と、論理素子706と、容量素子707と、選択機能を有する回路720と、を有する。回路702は、容量素子708と、トランジスタ709と、トランジスタ710と、を有する。なお、記憶素子730は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

【0331】

ここで、回路702には、上記実施の形態で説明した記憶装置を用いることができる。記憶素子730への電源電圧の供給が停止した際、回路702のトランジスタ709のゲートには接地電位(0V)、またはトランジスタ709がオフする電位が入力され続ける構成とする。例えば、トランジスタ709のゲートが抵抗等の負荷を介して接地される構成とする。

10

【0332】

スイッチ703は、一導電型(例えば、nチャネル型)のトランジスタ713を用いて構成され、スイッチ704は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ714を用いて構成した例を示す。ここで、スイッチ703の第1の端子はトランジスタ713のソースとドレインの一方に対応し、スイッチ703の第2の端子はトランジスタ713のソースとドレインの他方に対応し、スイッチ703はトランジスタ713のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ713のオン状態またはオフ状態)が選択される。スイッチ704の第1の端子はトランジスタ714のソースとドレインの一方に対応し、スイッチ704の第2の端子はトランジスタ714のソースとドレインの他方に対応し、スイッチ704はトランジスタ714のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ714のオン状態またはオフ状態)が選択される。

20

【0333】

トランジスタ709のソースとドレインの一方は、容量素子708の一对の電極のうち的一方、およびトランジスタ710のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ710のソースとドレインの一方は、低電源電位を供給することのできる配線(例えばGND線)に電気的に接続され、他方は、スイッチ703の第1の端子(トランジスタ713のソースとドレインの一方)と電気的に接続される。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)はスイッチ704の第1の端子(トランジスタ714のソースとドレインの一方)と電気的に接続される。スイッチ704の第2の端子(トランジスタ714のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電気的に接続される。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)と、スイッチ704の第1の端子(トランジスタ714のソースとドレインの一方)と、論理素子706の入力端子と、容量素子707の一对の電極のうち的一方と、は電気的に接続される。ここで、接続部分をノードM1とする。容量素子707の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子707の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電気的に接続される。容量素子708の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子708の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電気的に接続される。

30

40

【0334】

なお、容量素子707および容量素子708は、トランジスタや配線の寄生容量等を積極

50

的に利用することによって省略することも可能である。

【0335】

トランジスタ709のゲートには、制御信号WEが入力される。スイッチ703およびスイッチ704は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0336】

トランジスタ709のソースとドレインの他方には、回路701に保持されたデータに対応する信号が入力される。図21では、回路701から出力された信号が、トランジスタ709のソースとドレインの他方に入力される例を示した。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号は、論理素子706によってその論理値が反転された反転信号となり、回路720を介して回路701に入力される。

10

【0337】

なお、図21では、スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号は、論理素子706および回路720を介して回路701に入力する例を示したがこれに限定されない。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、回路701に入力されてもよい。例えば、回路701内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

20

【0338】

図21におけるトランジスタ709は、上記実施の形態1で例示したトランジスタ100を用いることができる。また、ゲート電極には制御信号WEを入力し、バックゲート電極には制御信号WE2を入力することができる。制御信号WE2は、一定の電位の信号とすればよい。当該一定の電位には、例えば、接地電位GNDやトランジスタ709のソース電位よりも小さい電位などが選ばれる。制御信号WE2は、トランジスタ709のしきい値電圧を制御するための電位信号であり、トランジスタ709のIcutをより低減することができる。なお、トランジスタ709としては、バックゲート電極を有さないトランジスタを用いることもできる。

30

【0339】

また、図21において、記憶素子730に用いられるトランジスタのうち、トランジスタ709以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子730に用いられるトランジスタ全てを、チャンネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子730は、トランジスタ709以外にも、チャンネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

40

【0340】

図21における回路701には、例えばフリップフロップ回路を用いることができる。また、論理素子706としては、例えばインバータやクロックドインバータ等を用いることができる。

【0341】

本発明の一態様における半導体装置では、記憶素子730に電源電圧が供給されない間は、回路701に記憶されていたデータを、回路702に設けられた容量素子708によって保持することができる。

50

【0342】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ709として用いることによって、記憶素子730に電源電圧が供給されない間も容量素子708に保持された信号は長期間にわたり保たれる。こうして、記憶素子730は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

【0343】

また、スイッチ703およびスイッチ704を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路701が元のデータを保持しなおすまでの時間を短くすることができる。

10

【0344】

また、回路702において、容量素子708によって保持された信号はトランジスタ710のゲートに入力される。そのため、記憶素子730への電源電圧の供給が再開された後、容量素子708によって保持された信号を、トランジスタ710の状態(オン状態、またはオフ状態)に変換して、回路702から読み出すことができる。それ故、容量素子708に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0345】

このような記憶素子730を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

20

【0346】

本実施の形態では、記憶素子730をCPUに用いる例として説明したが、記憶素子730は、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF(Radio Frequency)にも応用可能である。

30

【0347】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0348】

(実施の形態5)

本実施の形態では、本発明の一態様であるトランジスタを使用した半導体装置の一例について説明する。なお、本実施の形態では、RFタグを例にして本発明の一態様である半導体装置を説明する。

【0349】

本発明の一態様に係るRFタグは、内部に記憶回路を有し、記憶回路に情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには高い信頼性が要求される。

40

【0350】

RFタグの構成について図22を用いて説明する。図22は、RFタグの構成例を示すブロック図である。

【0351】

図22に示すようにRFタグ800は、通信器801(質問器、リーダ/ライタなどとも

50

いう)に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタの半導体には、逆方向電流を十分に抑制することが可能な、例えば、酸化物半導体を用いてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一對のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。RFタグ800は、そのいずれの方式に用いることも可能である。

10

【0352】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段の容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を有してもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【0353】

20

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0354】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

【0355】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力を行うための回路である。

30

【0356】

なお、上述の各回路は、適宜、取捨することができる。

【0357】

ここで、上記実施の形態で説明した半導体装置を、記憶回路810に用いることができる。本発明の一態様に係る記憶装置は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適である。さらに本発明の一態様に係る記憶装置は、データの書き込みに必要な電力(電圧)が従来の不揮発性メモリに比べて低いため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

40

【0358】

また、本発明の一態様に係る記憶装置は、不揮発性メモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てるのが可能となり、出荷後の製品の固有番号が不連続にならなくなり、出荷後の製品に対応した顧客管理が容易となる。

50

【0359】

以下では、本発明の一態様に係るRFタグの使用例について図23を用いて説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図23(A)参照。）、包装用容器類（包装紙やボトル等、図23(C)参照。）、記録媒体（DVDやビデオテープ等、図23(B)参照。）、乗り物類（自転車等、図23(D)参照。）、身の回り品（靴や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話）等の物品、もしくは各物品に取り付ける荷札（図23(E)および図23(F)参照。）等に設けて使用することができる。

10

【0360】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000により、認証機能を付与することができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグ4000を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグ4000を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

20

【0361】

以上のように、本発明の一態様に係るRFタグは、上述したような各用途に用いることができる。

【0362】

本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0363】

（実施の形態6）

本実施の形態では、本発明の一態様である半導体装置の一例について、図面を用いて説明する。なお、本実施の形態では、表示装置を例にして本発明の一態様である半導体装置を説明する。

30

【0364】

図24(A)に、表示装置の一例を示す。図24(A)に示す表示装置は、画素部401と、走査線駆動回路404と、信号線駆動回路406と、各々が平行または略平行に配設され、且つ走査線駆動回路404によって電位が制御されるm本の走査線407と、各々が平行または略平行に配設され、且つ信号線駆動回路406によって電位が制御されるn本の信号線409と、を有する。さらに、画素部401はマトリクス状に配設された複数の画素411を有する。

【0365】

また、3つの画素411を1つの画素として用いることで、カラー表示を行うことができる。例えば、赤色光を発する画素411と、緑色光を発する画素411と、青色光を発する画素411を一つの画素として動作させることで、カラー表示を行うことができる。3つの画素411が発する光の色は、赤、緑、青以外にも、黄、シアン、マゼンダなどとしてもよい。

40

【0366】

また、4つの画素411を1つの画素として用いてもよい。例えば、4つの画素411がそれぞれ赤、緑、青、黄の光を発する構成としてもよい。1つの画素として用いる画素411の数を増やすことで、特に中間調の再現性を高めることができる。よって、表示装置の表示品位を高めることができる。また、4つの画素411がそれぞれ赤、緑、青、白の

50

光を発する構成としてもよい。白の光を発する画素411を設けることで、表示領域の輝度を高めることができる。また、表示装置の用途によっては、2つの画素411を1つの画素として用いることもできる。

【0367】

また、図24(A)に示す表示装置は、走査線407に沿って、各々が平行または略平行に配設された容量線415を有する。なお、容量線415は、信号線409に沿って、各々が平行または略平行に配設されていてもよい。また、走査線駆動回路404および信号線駆動回路406をまとめて駆動回路部という場合がある。

【0368】

各走査線407は、画素部401においてm行n列に配設された画素411のうち、いずれかの行に配設されたn個の画素411と電氣的に接続される。また、各信号線409は、m行n列に配設された画素411のうち、いずれかの列に配設されたm個の画素411に電氣的に接続される。m、nは、ともに1以上の整数である。また、各容量線415は、m行n列に配設された画素411のうち、いずれかの行に配設されたn個の画素411と電氣的に接続される。なお、容量線415が、信号線409に沿って、各々が平行または略平行に配設されている場合は、m行n列に配設された画素411のうち、いずれかの列に配設されたm個の画素411に電氣的に接続される。

【0369】

図24(B)および図24(C)は、図24(A)に示す表示装置の画素411に用いることができる回路構成を示している。

【0370】

図24(B)に示す画素411は、液晶素子432と、トランジスタ431__1と、容量素子433__1と、を有する。トランジスタ431__1として、上記実施の形態に開示したトランジスタ100を用いることができる。

【0371】

液晶素子432の一对の電極の一方の電位は、画素411の仕様に依りて適宜設定される。液晶素子432は、書き込まれるデータにより配向状態が設定される。なお、複数の画素411のそれぞれが有する液晶素子432の一对の電極の一方に共通の電位(コモン電位)を与えてもよい。また、各行の画素411毎の液晶素子432の一对の電極の一方に異なる電位を与えてもよい。

【0372】

例えば、液晶素子432を備える表示装置の駆動方法としては、TNモード、STNモード、VAモード、ASM(Axially Symmetric Aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、MVAモード、PVA(Patterned Vertical Alignment)モード、IPSモード、FFSモード、またはTBA(Transverse Bend Alignment)モードなどを用いてもよい。また、表示装置の駆動方法としては、上述した駆動方法の他、ECB(Electrically Controlled Birefringence)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、PNLC(Polymer Network Liquid Crystal)モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子およびその駆動方式として様々なものを用いることができる。

【0373】

また、ブルー相(Blue Phase)を示す液晶とカイラル剤とを含む液晶組成物により液晶素子を構成してもよい。ブルー相を示す液晶は、応答速度が1ms以下と短い。また、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。

【0374】

10

20

30

40

50

m行n列目の画素411において、トランジスタ431__1のソース電極およびドレイン電極の一方は、信号線DL__nに電氣的に接続され、他方は液晶素子432の一对の電極の他方に電氣的に接続される。また、トランジスタ431__1のゲート電極は、走査線GL__mに電氣的に接続される。トランジスタ431__1は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【0375】

容量素子433__1の一对の電極の一方は、電位が供給される配線（以下、「容量線CL」という。）に電氣的に接続され、他方は、液晶素子432の一对の電極の他方に電氣的に接続される。なお、容量線CLの電位の値は、画素411の仕様に依りて適宜設定される。容量素子433__1は、書き込まれたデータを保持する保持容量としての機能を有する。

10

【0376】

例えば、図24(B)の画素411を有する表示装置では、走査線駆動回路404により各行の画素411を順次選択し、トランジスタ431__1をオン状態にしてデータ信号のデータを書き込む。

【0377】

データが書き込まれた画素411は、トランジスタ431__1がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

【0378】

また、図24(C)に示す画素411は、トランジスタ431__2と、容量素子433__2と、トランジスタ434と、発光素子435と、を有する。トランジスタ431__2として、上記実施の形態に開示したトランジスタ100を用いることができる。また、トランジスタ434として、上記実施の形態に開示したトランジスタ100を用いることができる。

20

【0379】

トランジスタ431__2のソース電極およびドレイン電極の一方は、データ信号が与えられる配線（以下、「信号線DL__n」という。）に電氣的に接続される。さらに、トランジスタ431__2のゲート電極は、ゲート信号が与えられる配線（以下、「走査線GL__m」という。）に電氣的に接続される。

【0380】

トランジスタ431__2は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

30

【0381】

容量素子433__2の一对の電極の一方は、ノード436に電氣的に接続され、他方は、ノード437に電氣的に接続される。

【0382】

容量素子433__2は、書き込まれたデータを保持する保持容量としての機能を有する。

【0383】

トランジスタ434のソース電極およびドレイン電極の一方は、電位供給線VL__aに電氣的に接続される。さらに、トランジスタ434のゲート電極は、ノード436に電氣的に接続される。

40

【0384】

発光素子435のアノードおよびカソードの一方は、電位供給線VL__bに電氣的に接続され、他方は、ノード437に電氣的に接続される。

【0385】

発光素子435としては、例えば有機エレクトロルミネセンス素子（有機EL素子ともいう）などを用いることができる。ただし、発光素子435としては、これに限定されず、無機材料からなる無機EL素子を用いても良い。

【0386】

なお、電位供給線VL__aおよび電位供給線VL__bの一方には、高電源電位VDDが与

50

えられ、他方には、低電源電位VSSが与えられる。

【0387】

図24(C)の画素411を有する表示装置では、走査線駆動回路404により各行の画素411を順次選択し、トランジスタ431_2をオン状態にしてデータ信号のデータを書き込む。

【0388】

データが書き込まれた画素411は、トランジスタ431_2がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ434のソース電極とドレイン電極の間に流れる電流量が制御され、発光素子435は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

10

【0389】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0390】

(実施の形態7)

本実施の形態では、本発明の一態様に係る半導体装置を適用した表示モジュールについて、図25を用いて説明を行う。

【0391】

図25に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、FPC8005に接続されたセル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、バックライトユニット8007、バッテリー8011、タッチパネル8004などを有さない場合もある。

20

【0392】

本発明の一態様に係る半導体装置は、例えば、セル8006に用いることができる。

【0393】

上部カバー8001および下部カバー8002は、タッチパネル8004およびセル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

【0394】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルをセル8006に重畳して用いることができる。また、セル8006の対向基板(封止基板)に、タッチパネル機能を持たせるようにすることも可能である。または、セル8006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。または、セル8006の各画素内にタッチセンサ用電極を設け、容量型式のタッチパネルとすることも可能である。

30

【0395】

バックライトユニット8007は、光源8008を有する。光源8008をバックライトユニット8007の端部に設け、光拡散板を用いる構成としてもよい。

【0396】

フレーム8009は、セル8006の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有してもよい。またフレーム8009は、放熱板としての機能を有していてもよい。

40

【0397】

プリント基板8010は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であってもよいし、別途設けたバッテリー8011による電源であってもよい。商用電源を用いる場合には、バッテリー8011を有さなくてもよい。

【0398】

また、表示モジュール8000には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

50

【 0 3 9 9 】

本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 4 0 0 】

(実施の形態 8)

本実施の形態では、本発明の一態様に係る半導体装置を用いた電子機器の一例について説明する。

【 0 4 0 1 】

本発明の一態様に係る半導体装置を用いた電子機器として、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD (Digital Versatile Disc) などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、タブレット型端末、パチンコ機などの大型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器などの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、チェーンソー等の工具、煙感知器、透析装置等の医療機器などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電力の平準化やスマートグリッドのための蓄電体等の産業機器が挙げられる。また、蓄電体からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車 (EV)、内燃機関と電動機を併せ持ったハイブリッド車 (HEV)、プラグインハイブリッド車 (PHEV)、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船などが挙げられる。

【 0 4 0 2 】

図 26 (A) は携帯型ゲーム機の一例であり、筐体 901、筐体 902、表示部 903、表示部 904、マイクロフォン 905、スピーカー 906、操作キー 907、スタイラス 908 等を有する。なお、図 26 (A) に示した携帯型ゲーム機は、2つの表示部 903 と表示部 904 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【 0 4 0 3 】

図 26 (B) は携帯データ端末の一例であり、第 1 筐体 911、第 2 筐体 912、第 1 表示部 913、第 2 表示部 914、接続部 915、操作キー 916 等を有する。第 1 表示部 913 は第 1 筐体 911 に設けられており、第 2 表示部 914 は第 2 筐体 912 に設けられている。そして、第 1 筐体 911 と第 2 筐体 912 とは、接続部 915 により接続されており、第 1 筐体 911 と第 2 筐体 912 の間の角度は、接続部 915 により変更が可能である。第 1 表示部 913 における映像を、接続部 915 における第 1 筐体 911 と第 2 筐体 912 との間の角度にしたがって、切り替える構成としてもよい。また、第 1 表示部 913 および第 2 表示部 914 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

【 0 4 0 4 】

図 26 (C) はノート型パーソナルコンピュータの一例であり、筐体 921、表示部 922、キーボード 923、ポインティングデバイス 924 等を有する。

【0405】

図26(D)は電気冷凍冷蔵庫の一例であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

【0406】

図26(E)はビデオカメラの一例であり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。

10

【0407】

図26(F)は自動車の一例であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0408】

本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【実施例1】

【0409】

本実施例では、タングステン、シリコンを添加したインジウム錫酸化物(以下、「ITO Si」ともいう。)、インジウムガリウム亜鉛酸化物(以下、「IGZO」ともいう。)、および窒素を添加したインジウムガリウム亜鉛酸化物(以下、「IGZON」ともいう。))上に、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層を形成した試料をそれぞれ作製し、加熱による酸素分子の放出量をTDSで分析した結果について説明する。

20

【0410】

<試料の作製>

図27(A)に、試料の断面構造の模式図を示す。試料は、単結晶シリコン基板2001上に厚さ100nmの熱酸化膜2002を形成し、熱酸化膜2002上にバリア層2013を形成し、バリア層2013上にスパッタリング法により化学量論的組成を満たす酸素よりも多くの酸素を含む厚さ300nmの酸化シリコン層2004を形成した。

30

【0411】

〔試料2010〕

バリア層2013として、スパッタリング法で厚さ150nmのタングステンを形成した試料を、試料2010とした。

【0412】

〔試料2020〕

バリア層2013として、スパッタリング法で厚さ50nmのITO Siを形成した試料を、試料2020とした。

【0413】

〔試料2030〕

バリア層2013として、スパッタリング法でIn:Ga:Zn=1:1:1の原子数比のターゲットを用い、スパッタリングガスとして酸素とアルゴンの混合ガスを用いて厚さ50nmのIGZOを形成した試料を、試料2030とした。

40

【0414】

〔試料2040〕

バリア層2013として、スパッタリング法でIn:Ga:Zn=1:1:1の原子数比のターゲットを用い、スパッタリングガスとしてアルゴンを用いて厚さ50nmのIGZOを形成した試料を、試料2040とした。

【0415】

〔試料2050〕

50

バリア層 2013 として、スパッタリング法で $In : Ga : Zn = 1 : 1 : 1$ の原子数比のターゲットを用い、スパッタリングガスとして窒素を用いて厚さ 50 nm の IGZON を形成した試料を、試料 2050 とした。

【0416】

< TDS 分析結果 >

試料 2010 乃至試料 2050 について、TDS 分析（昇温脱離ガス分析）を行った。図 27 (B) に、TDS 分析による $M/z = 32$ （酸素分子）のガスの、放出量の分析結果を示す。図 27 (B) において、横軸は基板温度であり、縦軸は特定の分子量を有するガスの放出量に比例する信号強度である。なお、外部に放出される分子の総量は、当該信号強度の積分値に相当する。それゆえ、当該ピーク強度の高低によって酸化物絶縁膜に含まれる分子の総量を評価できる。

10

【0417】

図 27 (B) において、試料 2020 乃至試料 2050 は、試料 2010 と比較して酸素分子の放出量が多いことがわかる。このことから、試料 2010 では、酸化シリコン層 2004 に含まれる酸素の多くが、タングステンで形成したバリア層 2013 中に拡散したと推測できる。一方、試料 2020 乃至試料 2050 のバリア層 2013 は酸素が透過しにくいいため、酸化シリコン層 2004 に含まれる酸素が外部に放出され、その結果、酸素分子の放出量が多く検出されたと推測できる。

【0418】

本実施例により、タングstenは酸素を透過しやすい材料であることがわかる。また、ITOSi、IGZO、および IGZON は、酸素を透過しにくい材料であることがわかる。

20

【実施例 2】

【0419】

本実施例では、実施例 1 とは異なる試料を用いて、タングsten、ITOSi、IGZO、または IGZON 上に形成した、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁層からの、加熱による酸素分子の放出量を TDS で分析した結果について説明する。

【0420】

< 試料の作製 >

図 28 (A) および図 28 (B) を用いて、作製した試料の断面構造と作製方法について説明する。まず、実施例 1 と同様の試料を作製し、化学量論的組成を満たす酸素よりも多くの酸素を含む厚さ 300 nm の酸化シリコン層 2004 上に、キャップ層 2005 を形成する。キャップ層 2005 として、スパッタリング法で $In : Ga : Zn = 1 : 1 : 1$ の原子数比のターゲットを用い、スパッタリングガスとして酸素とアルゴンの混合ガスを用いて形成した厚さ 50 nm の IGZO を用いた（図 28 (A) 参照。）。

30

【0421】

次に、上記試料に対して、窒素雰囲気下で 450 1 時間の加熱処理を行った。続いて、酸素雰囲気下で 450 1 時間の加熱処理を行った。加熱処理終了後、キャップ層 2005 を除去し、酸化シリコン層 2004 を露出させた（図 28 (B) 参照。）。

【0422】

40

〔試料 2110〕

バリア層 2013 として、スパッタリング法で厚さ 150 nm のタングstenを形成した試料を、試料 2110 とした。

【0423】

〔試料 2120〕

バリア層 2013 として、スパッタリング法で厚さ 50 nm の、ITOSi を形成した試料を、試料 2120 とした。

【0424】

〔試料 2130〕

バリア層 2013 として、スパッタリング法で $In : Ga : Zn = 1 : 1 : 1$ の原子数比

50

のターゲットを用い、スパッタリングガスとして酸素とアルゴンの混合ガスを用いて厚さ50nmのIGZOを形成した試料を、試料2130とした。

【0425】

〔試料2140〕

バリア層2013として、スパッタリング法でIn:Ga:Zn=1:1:1の原子数比のターゲットを用い、スパッタリングガスとしてアルゴンを用いて厚さ50nmのIGZOを形成した試料を、試料2140とした。

【0426】

〔試料2150〕

バリア層2013として、スパッタリング法でIn:Ga:Zn=1:1:1の原子数比のターゲットを用い、スパッタリングガスとして窒素を用いて厚さ50nmのIGZONを形成した試料を、試料2150とした。

10

【0427】

<TDS分析結果>

試料2110乃至試料2150について、TDS分析(昇温脱離ガス分析)を行った。図28(C)に、TDS分析によるM/z=32(酸素分子)のガスの、放出量の分析結果を示す。図28(C)において、横軸は基板温度であり、縦軸は特定の分子量を有するガスの放出量に比例する信号強度である。

【0428】

図28(C)において、試料2110では酸素分子の放出がほとんど確認できないことがわかる。また、試料2120乃至試料2150では、酸素分子の放出が明確に確認できた。キャップ層2005をつけて加熱処理を行ったことにより、試料2110では、酸化シリコン層2004に含まれる化学量論的組成を満たす酸素よりも多い酸素のほとんどが、タングステンで形成したバリア層2013中に拡散したと推測できる。また、試料2120乃至試料2150のバリア層2013と、キャップ層2005は酸素が透過しにくいいため、化学量論的組成を満たす酸素よりも多い酸素は、加熱処理を行っても、酸化シリコン層2004中に多く留まっていたと推測できる。

20

【0429】

本実施例により、タングstenは酸素を透過しやすい材料であることがわかる。また、ITOSi、IGZO、およびIGZONは、酸素を透過しにくい材料であることがわかる。

30

【符号の説明】

【0430】

- 100 トランジスタ
- 101 基板
- 102 電極
- 103 電極
- 104 電極
- 105 絶縁層
- 106 絶縁層
- 107 絶縁層
- 108 酸化物半導体層
- 109 電極
- 110 絶縁層
- 111 電極
- 112 絶縁層
- 113 絶縁層
- 114 電極
- 115 絶縁層
- 116 電極

40

50

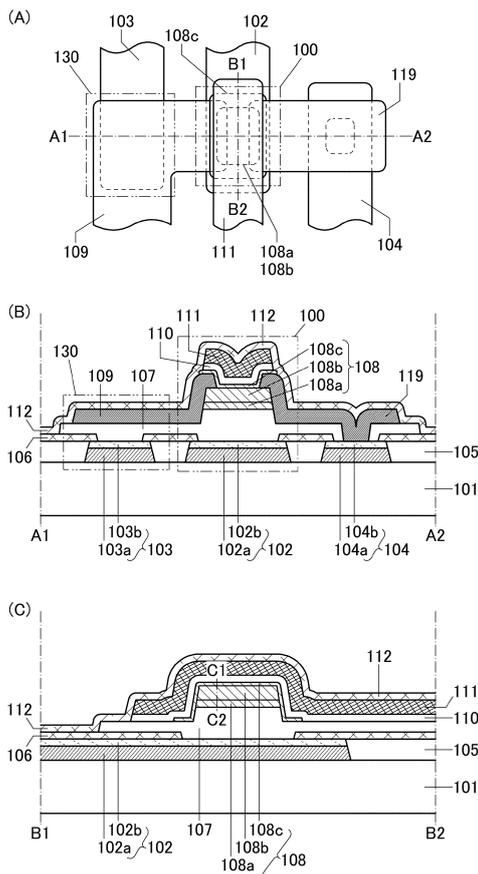
1 1 9	電極	
1 2 0	絶縁層	
1 2 1	導電層	
1 3 0	容量素子	
3 8 2	E c	
3 8 6	E c	
3 9 0	トラップ準位	
4 0 1	画素部	
4 0 4	走査線駆動回路	
4 0 6	信号線駆動回路	10
4 0 7	走査線	
4 0 9	信号線	
4 1 1	画素	
4 1 5	容量線	
4 3 2	液晶素子	
4 3 4	トランジスタ	
4 3 5	発光素子	
4 3 6	ノード	
4 3 7	ノード	
7 0 0	基板	20
7 0 1	回路	
7 0 2	回路	
7 0 3	スイッチ	
7 0 4	スイッチ	
7 0 6	論理素子	
7 0 7	容量素子	
7 0 8	容量素子	
7 0 9	トランジスタ	
7 1 0	トランジスタ	
7 1 3	トランジスタ	30
7 1 4	トランジスタ	
7 2 0	回路	
7 3 0	記憶素子	
7 5 0	トランジスタ	
7 5 1	電極	
7 5 2	絶縁層	
7 5 3	チャネル形成領域	
7 5 4	n型不純物領域	
7 5 5	n型不純物領域	
7 5 6	側壁絶縁層	40
7 8 9	素子分離領域	
7 9 0	絶縁層	
7 9 1	絶縁層	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	50

8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	10
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	20
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	30
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 0 1 0	電子銃室	
1 0 1 2	光学系	
1 0 1 4	試料室	
1 0 1 6	光学系	40
1 0 1 8	カメラ	
1 0 2 0	観察室	
1 0 2 2	フィルム室	
1 0 2 4	電子	
1 0 2 8	物質	
1 0 3 2	蛍光板	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	50

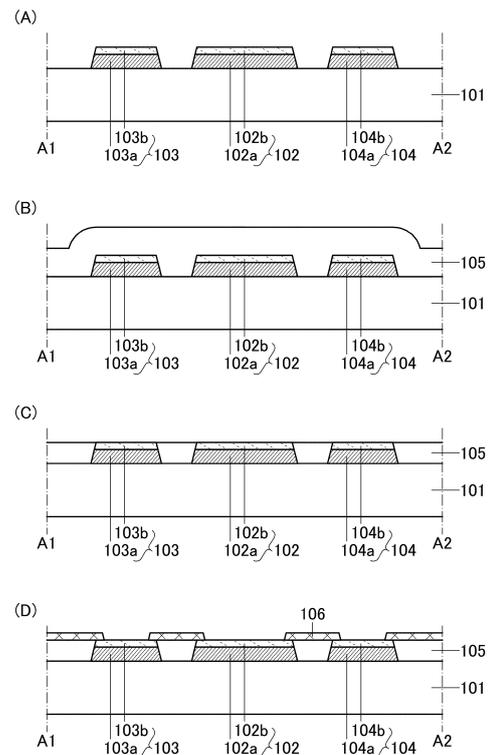
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
2 0 0 1	単結晶シリコン基板	
2 0 0 2	熱酸化膜	
2 0 0 4	酸化シリコン層	10
2 0 0 5	キャップ層	
2 0 1 0	試料	
2 0 1 3	バリア層	
2 0 2 0	試料	
2 0 3 0	試料	
2 0 4 0	試料	
2 0 5 0	試料	
2 1 1 0	試料	
2 1 2 0	試料	
2 1 3 0	試料	20
2 1 4 0	試料	
2 1 5 0	試料	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
4 0 0 0	R F タグ	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	30
8 0 0 2	下部カバー	
8 0 0 3	F P C	
8 0 0 4	タッチパネル	
8 0 0 5	F P C	
8 0 0 6	セル	
8 0 0 7	バックライトユニット	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	40
1 0 2 a	電極	
1 0 2 b	電極	
1 0 3 a	電極	
1 0 3 b	電極	
1 0 4 a	電極	
1 0 4 b	電極	
1 0 8 a	酸化物半導体層	
1 0 8 b	酸化物半導体層	
1 0 8 c	酸化物半導体層	
1 1 8 a	酸化物半導体層	50

- 1 1 8 b 酸化物半導体層
- 3 8 3 a E c
- 3 8 3 b E c
- 3 8 3 c E c
- 4 3 1 _ 1 トランジスタ
- 4 3 1 _ 2 トランジスタ
- 4 3 3 _ 1 容量素子
- 4 3 3 _ 2 容量素子
- 6 6 0 a 容量素子
- 6 6 0 b 容量素子
- 6 6 1 a トランジスタ
- 6 6 1 b トランジスタ
- 6 6 2 a トランジスタ
- 6 6 2 b トランジスタ
- 6 6 3 a インバータ
- 6 6 3 b インバータ

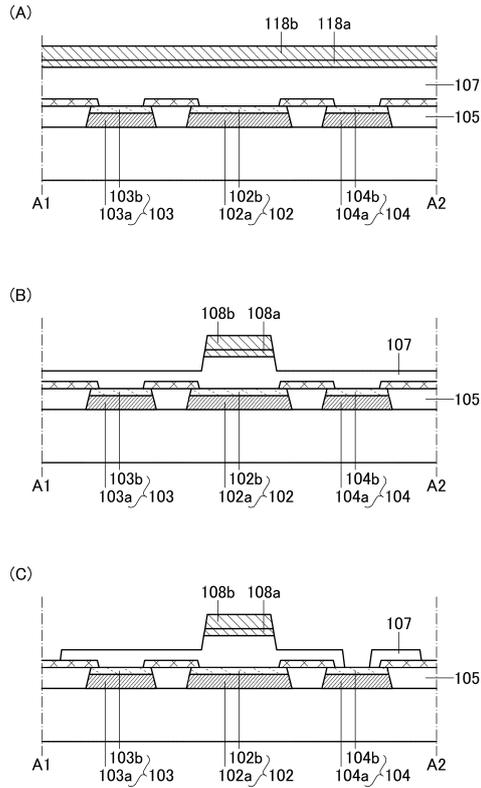
【図1】



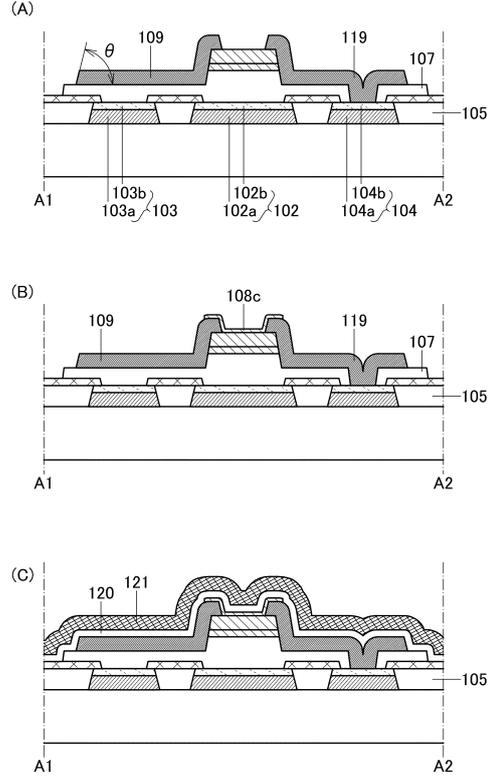
【図2】



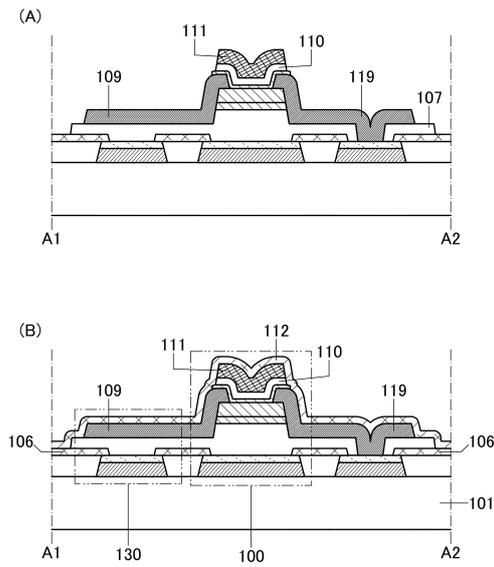
【 図 3 】



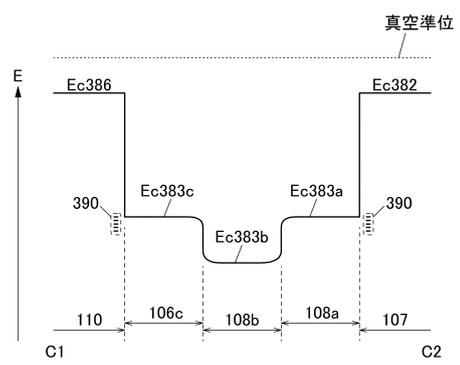
【 図 4 】



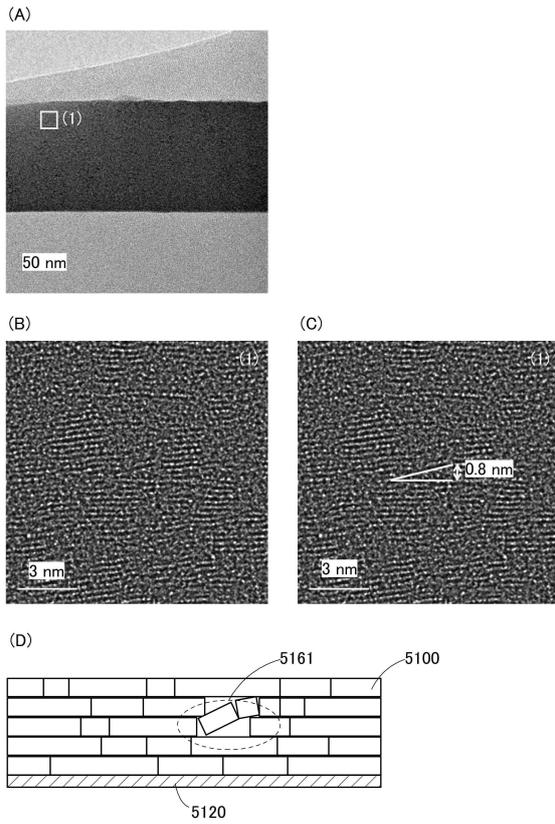
【 図 5 】



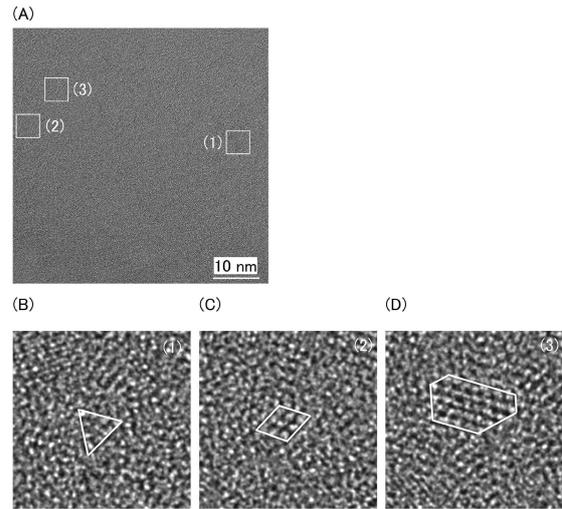
【 図 6 】



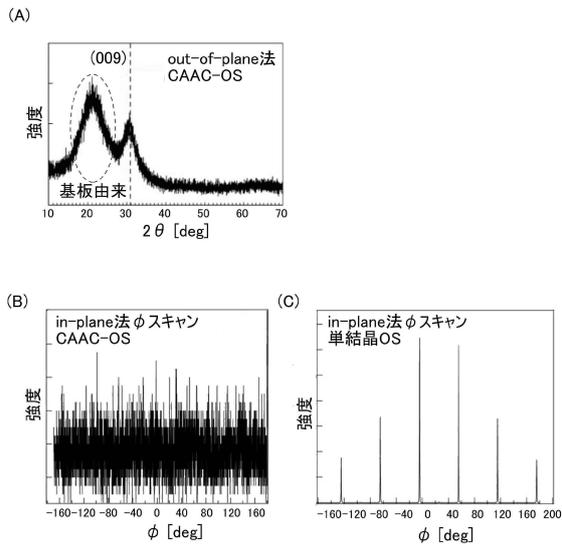
【 図 7 】



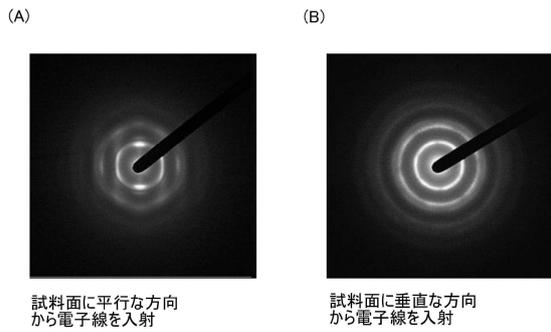
【 図 8 】



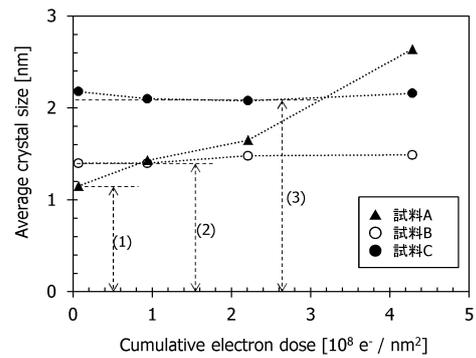
【 図 9 】



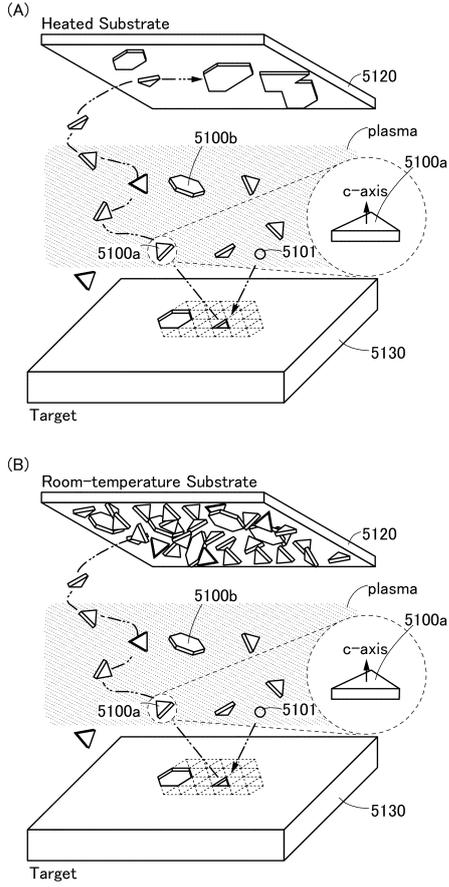
【 図 10 】



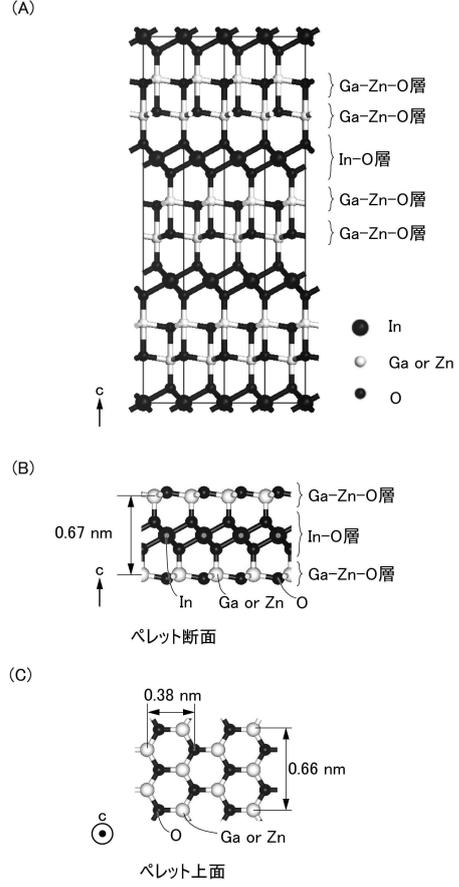
【 図 11 】



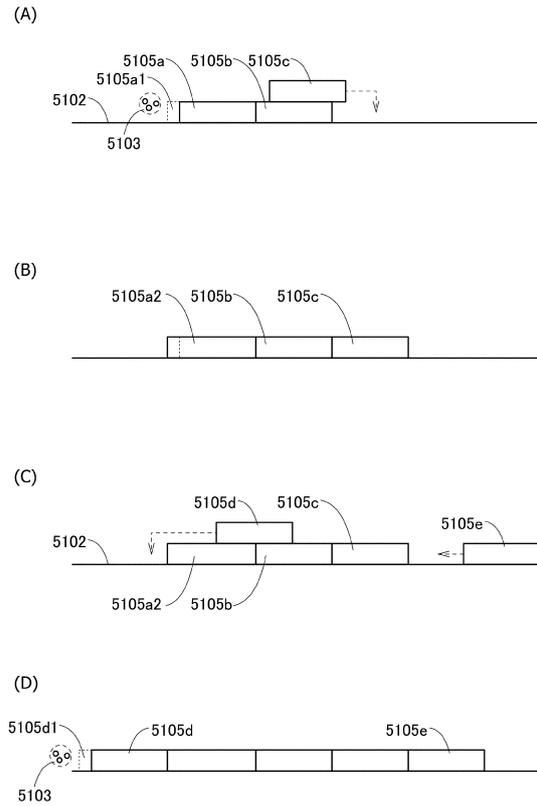
【図 1 2】



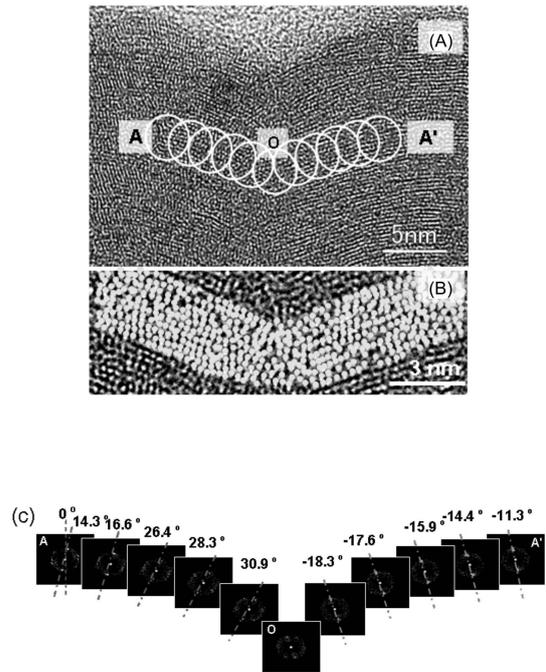
【図 1 3】



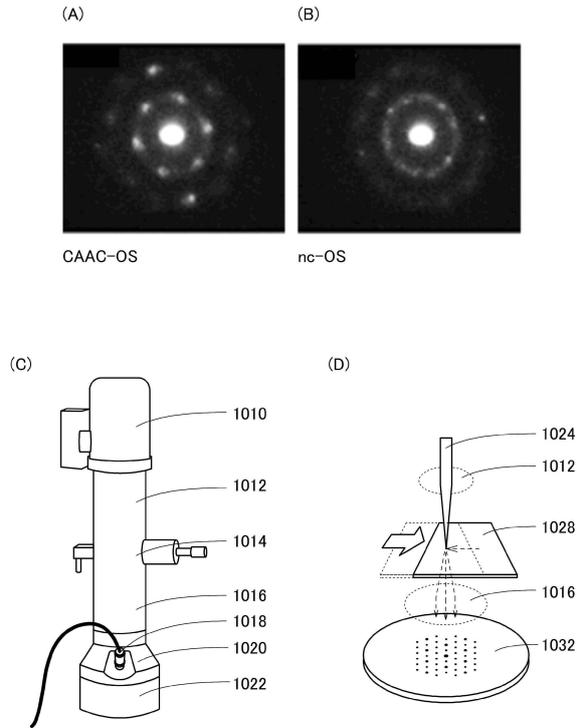
【図 1 4】



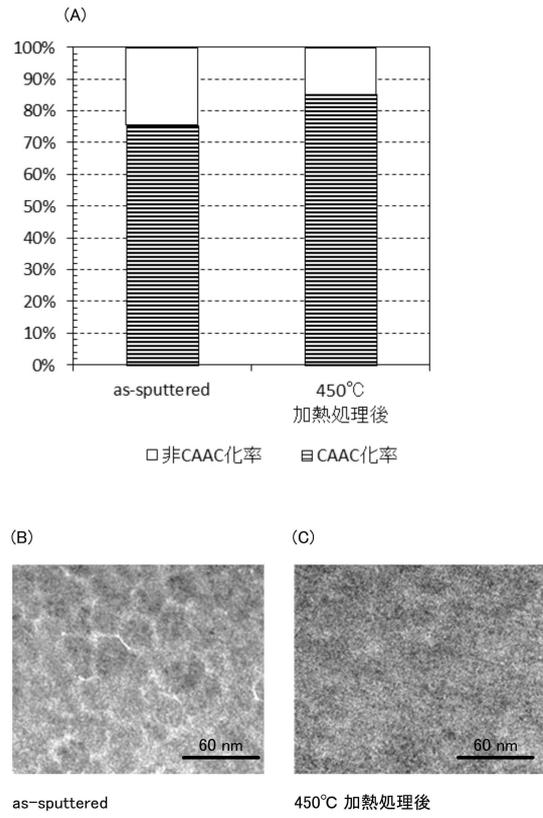
【図 1 5】



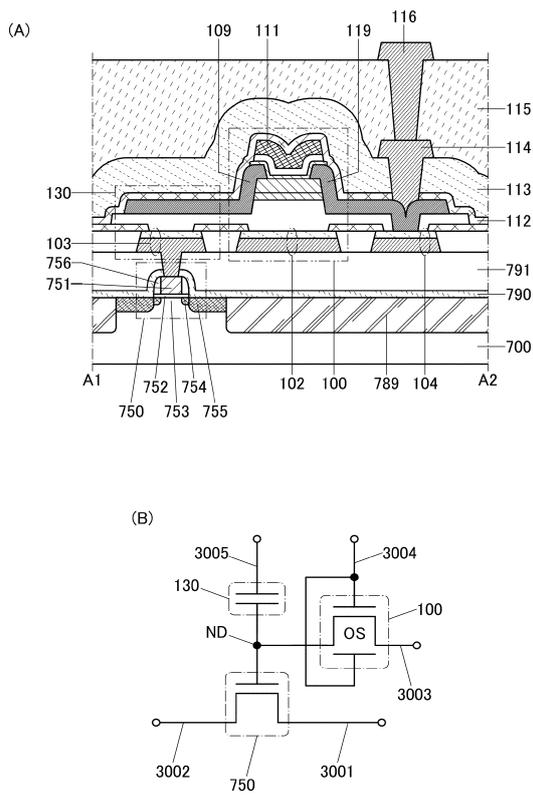
【図16】



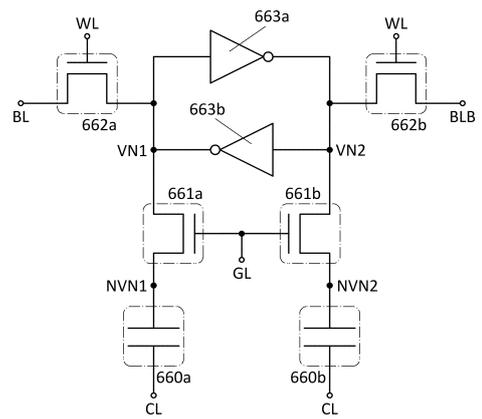
【図17】



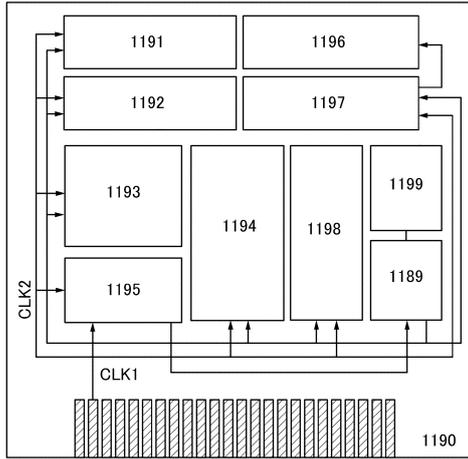
【図18】



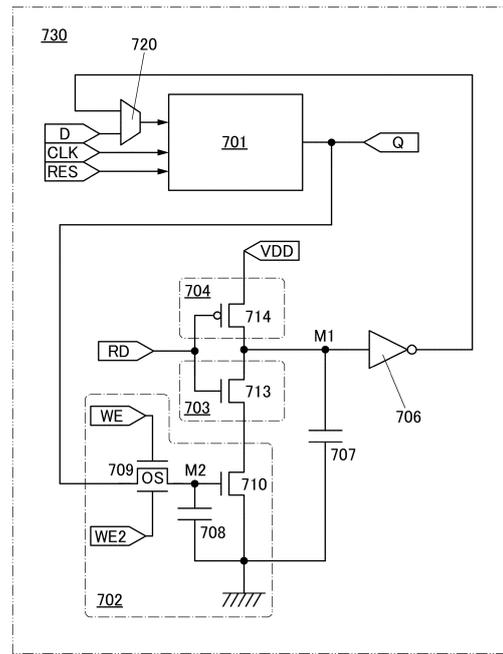
【図19】



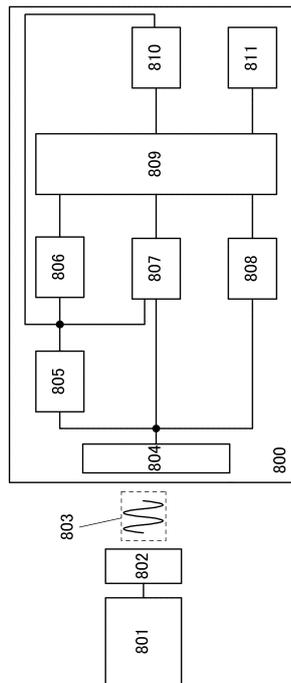
【 20 】



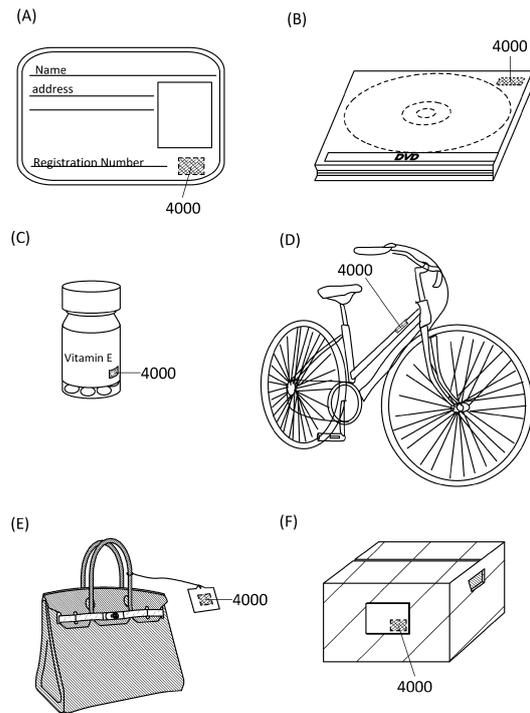
【 21 】



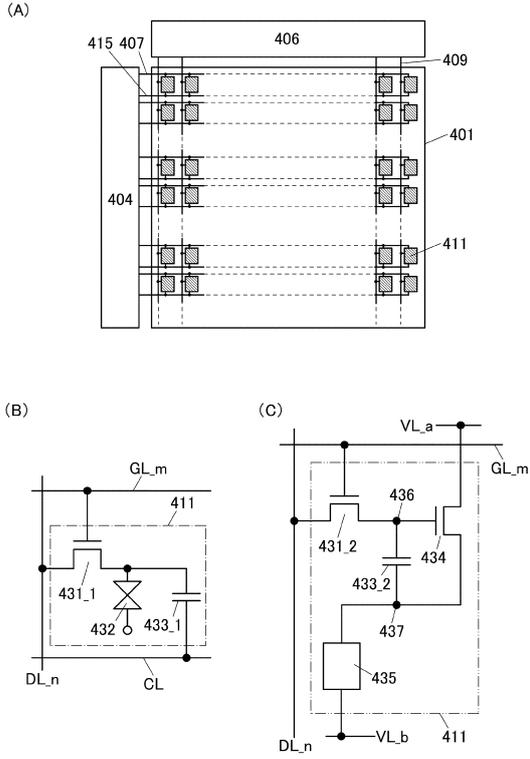
【 22 】



【 23 】

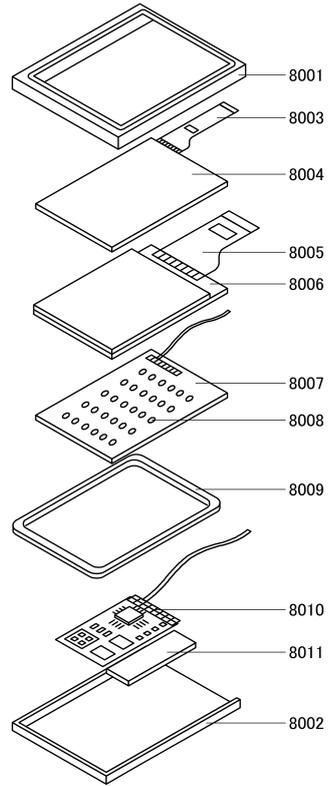


【 2 4 】

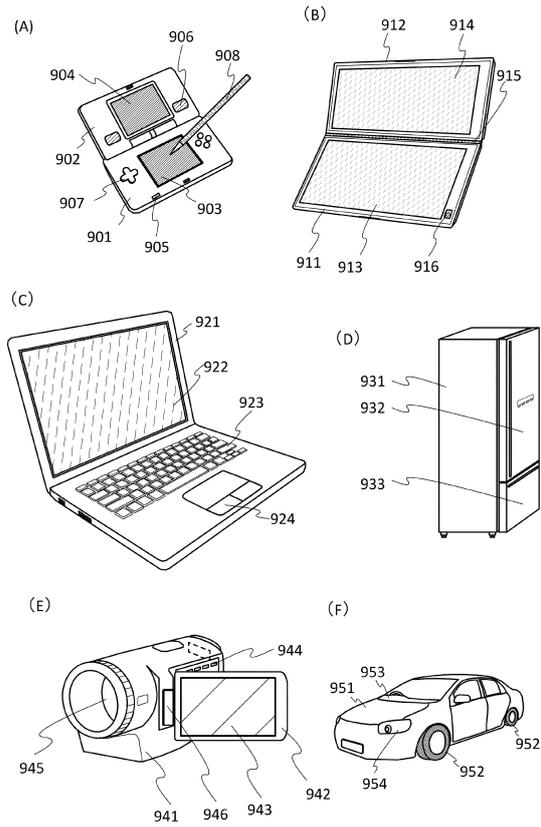


【 2 5 】

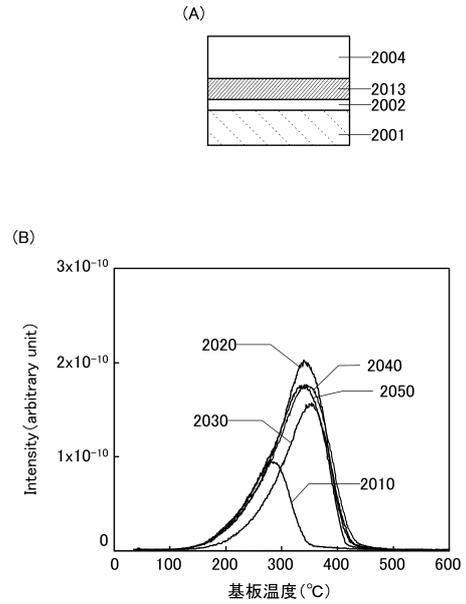
8000



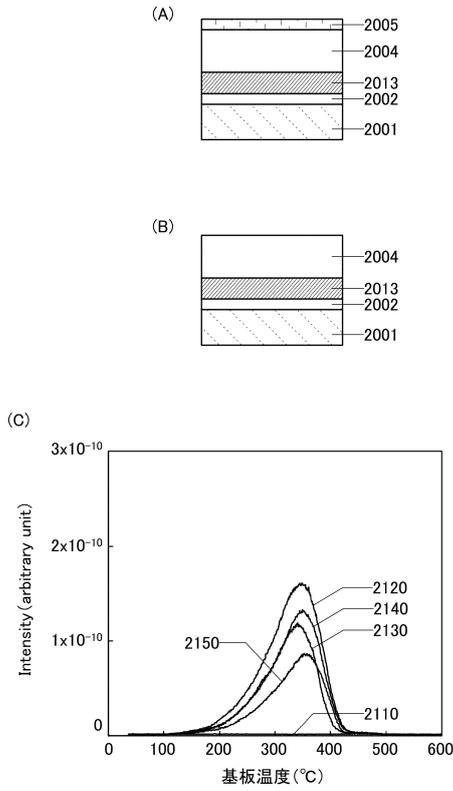
【 2 6 】



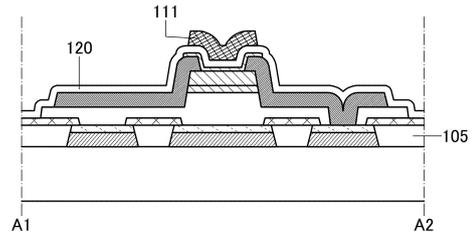
【 2 7 】



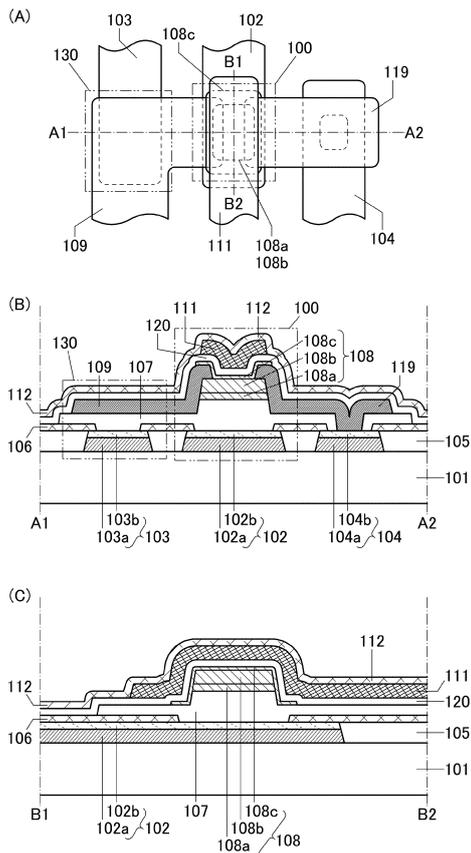
【 図 28 】



【 図 29 】



【 図 30 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/28	(2006.01)	H 0 1 L	27/088 3 3 1 E
H 0 1 L	29/417	(2006.01)	H 0 1 L	27/088 H
H 0 1 L	29/423	(2006.01)	H 0 1 L	21/28 3 0 1 B
H 0 1 L	29/49	(2006.01)	H 0 1 L	29/50 M
H 0 1 L	29/788	(2006.01)	H 0 1 L	29/58 G
H 0 1 L	29/792	(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	21/8242	(2006.01)	H 0 1 L	27/108 3 2 1
H 0 1 L	27/108	(2006.01)	H 0 1 L	27/105 4 4 1
H 0 1 L	21/8239	(2006.01)	H 0 1 L	27/11
H 0 1 L	27/105	(2006.01)	H 0 1 L	27/1156
H 0 1 L	21/8244	(2006.01)	H 0 5 B	33/14 A
H 0 1 L	27/11	(2006.01)	H 0 5 B	33/14 Z
H 0 1 L	27/1156	(2017.01)		
H 0 1 L	51/50	(2006.01)		
H 0 5 B	33/14	(2006.01)		

(72)発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 岩本 勉

(56)参考文献 特開 2 0 1 3 - 2 1 4 7 3 2 (J P , A)
 特開 2 0 1 3 - 0 1 6 7 8 2 (J P , A)
 特開 2 0 1 3 - 0 1 6 7 8 5 (J P , A)
 特開 2 0 1 3 - 1 7 5 7 1 7 (J P , A)
 特開 2 0 1 3 - 0 3 8 4 0 0 (J P , A)
 米国特許出願公開第 2 0 1 3 / 0 0 0 9 2 0 9 (U S , A 1)
 特開 2 0 1 3 - 0 7 7 8 3 8 (J P , A)
 特開 2 0 1 1 - 1 0 3 4 5 8 (J P , A)
 韓国公開特許第 1 0 - 2 0 1 2 - 0 0 9 9 4 3 2 (K R , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 1 / 8 2 3 9
 H 0 1 L 2 1 / 8 2 4 4
 H 0 1 L 2 7 / 1 1 5 6
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 1 4