



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I821724 B

(45)公告日：中華民國 112 (2023) 年 11 月 11 日

(21)申請案號：110129846 (22)申請日：中華民國 110 (2021) 年 08 月 12 日

(51)Int. Cl. : *H01L21/28 (2006.01)* *H01L21/336 (2006.01)*  
*H01L29/78 (2006.01)* *B82B1/00 (2006.01)*

(30)優先權：2021/03/04 美國 63/156,435  
 2021/05/20 美國 17/325,736

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR  
 MANUFACTURING COMPANY, LTD. (TW)  
 新竹市新竹科學工業園區力行六路八號

(72)發明人：李欣怡 LEE, HSIN-YI (TW)；洪正隆 HUNG, CHENG-LUNG (TW)；徐志安  
 CHUI, CHI ON (US)

(74)代理人：李世章；秦建譜

(56)參考文獻：  
 TW 202109630A

審查人員：李維恩

申請專利範圍項數：10 項 圖式數：29 共 120 頁

## (54)名稱

電晶體、電晶體中的閘極結構及閘極結構之形成方法

## (57)摘要

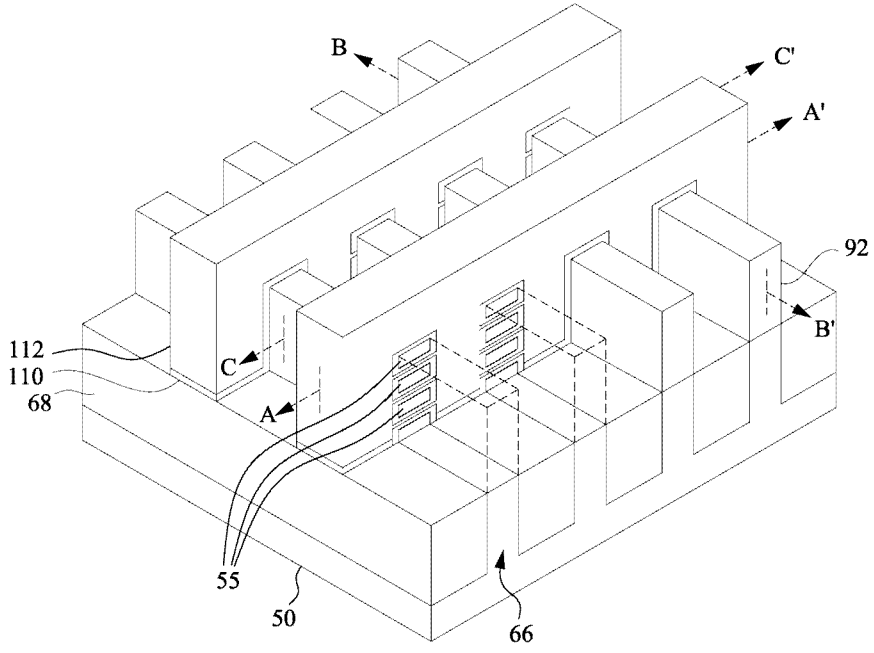
在一些實施例中，一種形成閘極結構之方法包括：在一基板上方形成複數個奈米結構；蝕刻該些奈米結構以形成第一凹槽；在該些第一凹槽中形成源極/汲極區；移除該些奈米結構中之第一奈米結構，從而留下該些奈米結構中的第二奈米結構；在該些第二奈米結構上方且周圍沈積一閘極介電層；對該閘極介電層執行一鋁處置；在該閘極介電層上方且周圍沈積一第一導電材料；對該第一導電材料執行一氟處置；及在該第一導電材料上方且周圍沈積一第二導電材料。

In some embodiments, a method of forming gate structures includes forming a plurality of nanostructures over a substrate; etching the plurality of nanostructures to form first recesses; forming source/drain regions in the first recesses; removing first nanostructures of the plurality of nanostructures leaving second nanostructures of the plurality of nanostructures; depositing a gate dielectric over and around the second nanostructures; performing an aluminum treatment on the gate dielectric; depositing a first conductive material over and around the gate dielectric; performing a fluorine treatment on the first conductive material; and depositing a second conductive material over and around the first conductive material.

指定代表圖：

符號簡單說明：

- 50:基板
- 55:奈米結構
- 66:鰭片
- 68:淺溝槽隔離區(STI)區
- 92:磊晶源極/汲極區
- 110:矽化物區
- 112:觸點
- A-A':橫截面
- B-B':橫截面
- C-C':橫截面



第 1 圖



I821724

## 【發明摘要】

## 【中文發明名稱】

電晶體、電晶體中的閘極結構及閘極結構之形成方法

## 【英文發明名稱】

TRANSISTORS, GATE STRUCTURES IN THE  
TRANSISTORS AND METHOD OF FORMING THE  
GATE STRUCTURES

## 【中文】

在一些實施例中，一種形成閘極結構之方法包括：在一基板上方形成複數個奈米結構；蝕刻該些奈米結構以形成第一凹槽；在該些第一凹槽中形成源極/汲極區；移除該些奈米結構中之第一奈米結構，從而留下該些奈米結構中的第二奈米結構；在該些第二奈米結構上方且周圍沈積一閘極介電層；對該閘極介電層執行一鋁處置；在該閘極介電層上方且周圍沈積一第一導電材料；對該第一導電材料執行一氟處置；及在該第一導電材料上方且周圍沈積一第二導電材料。

## 【英文】

In some embodiments, a method of forming gate structures includes forming a plurality of nanostructures over a substrate; etching the plurality of nanostructures to form first recesses; forming source/drain regions in the first recesses; removing first nanostructures of the plurality of nanostructures leaving second nanostructures of the plurality of nanostructures; depositing a gate dielectric over and around the second nanostructures; performing an aluminum treatment on the gate dielectric; depositing a

first conductive material over and around the gate dielectric; performing a fluorine treatment on the first conductive material; and depositing a second conductive material over and around the first conductive material.

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

5 0	:	基板
5 5	:	奈米結構
6 6	:	鰭片
6 8	:	淺溝槽隔離區(STI)區
9 2	:	磊晶源極/汲極區
1 1 0	:	矽化物區
1 1 2	:	觸點
A - A ′	:	橫截面
B - B ′	:	橫截面
C - C ′	:	橫截面

【特徵化學式】

無

## 【發明說明書】

### 【中文發明名稱】

電晶體、電晶體中的閘極結構及閘極結構之形成方法

### 【英文發明名稱】

TRANSISTORS, GATE STRUCTURES IN THE  
TRANSISTORS AND METHOD OF FORMING THE  
GATE STRUCTURES

### 【技術領域】

【0001】 本揭露關於一種電晶體、電晶體中的閘極結構及閘極結構之形成方法。

### 【先前技術】

【0002】 半導體裝置用於多種電子應用，諸如例如個人電腦、手機、數位攝影機及其他電子裝備中。半導體裝置通常藉由以下操作來製造：在半導體基板上方依序沈積絕緣或介電層、導電層及半導體材料層，及使用光微影來使各種材料層圖案化以在基板上形成電路組件及元件。

【0003】 半導體行業藉由最小特徵大小上的連續減小而繼續改良各種電子組件(例如，電晶體、二極體、電阻器、電容器等)的整合密度，此情形允許更多組件整合至給定區域中。然而，隨著最小特徵大小被減小，應解決的額外問題出現。

### 【發明內容】

【0004】 根據本揭露的一些實施例中，一種形成閘極結構之方法包括：在一基板上方形成複數個奈米結構；蝕刻該些

奈米結構以形成第一凹槽；在該些第一凹槽中形成源極/汲極區；移除該些奈米結構中之第一奈米結構，從而留下該些奈米結構中的第二奈米結構；在該些第二奈米結構上方且周圍沈積一閘極介電層；對該閘極介電層執行一鋁處置；在該閘極介電層上方且周圍沈積一第一導電材料；對該第一導電材料執行一氟處置；及在該第一導電材料上方且周圍沈積一第二導電材料。

**【0005】** 根據本揭露的一些實施例中，一種閘極結構包括：一第一奈米結構，該第一奈米結構在一源極區與一汲極區之間延伸；該第一奈米結構上方的一第二奈米結構；一閘極介電層，該閘極介電層係在該第一奈米結構及該第二奈米結構上方且周圍；該閘極介電層上方的一鋁殘餘物；該閘極介電層及該鋁殘餘物上方的一功函數金屬(WFM)層，該WFM層包含氟，該WFM層的一第一部分安置於該第一奈米結構周圍，該WFM層的一第二部分安置於該第二奈米結構周圍；及一導電層，該導電層安置於該WFM層上方，該導電層的一第一部分安置於該第一奈米結構周圍，該導電層的一第二部分安置於該第二奈米結構周圍。

**【0006】** 根據本揭露的一些實施例中，一種電晶體包括：一第一介電材料，該第一介電材料安置於一第一奈米結構上方；一第一金屬殘餘物，該第一金屬殘餘物安置於該第一介電材料上方；一第一導電材料，該第一導電材料安置於該第一介電材料上方；一第二導電材料，該第二導電材料安置於該第一導電材料上方；一第三導電材料，該第三導

電材料安置於該第二導電材料上方，該第三導電材料具有與該第一導電材料相同的組合物；一第二金屬殘餘物，該第二金屬殘餘物安置於該第三導電材料上方，該第二金屬殘餘物具有與該第一金屬殘餘物相同的組合物；一第二介電材料，該第二介電材料安置於該第二金屬殘餘物上方，該第二介電材料具有與該第一介電材料相同的組合物；及一第二奈米結構，該第二奈米結構安置於該第二介電材料上方。

#### 【圖式簡單說明】

【0007】 本揭露之態樣在與隨附圖式一起研讀時自以下詳細描述內容來最佳地理解。應注意，根據行業中之標準慣例，各種特徵未按比例繪製。實際上，各種特徵之尺寸可為了論述清楚經任意地增大或減小。

第 1 圖圖示根據一些實施例的三維視圖中奈米結構場效電晶體 (nanos tructure field-effect transistor, nano-FET) 的實例。

第 2 圖、第 3 圖、第 4 圖、第 5 圖、第 6 A 圖、第 6 B 圖、第 7 A 圖、第 7 B 圖、第 8 A 圖、第 8 B 圖、第 9 A 圖、第 9 B 圖、第 10 A 圖、第 10 B 圖、第 11 A 圖、第 11 B 圖、第 11 C 圖、第 12 A 圖、第 12 B 圖、第 12 C 圖、第 12 D 圖、第 13 A 圖、第 13 B 圖、第 13 C 圖、第 14 A 圖、第 14 B 圖、第 15 A 圖、第 15 B 圖、第 16 A 圖、第 16 B 圖、第 17 A 圖、第 17 B 圖、第 18 A 圖、第 18 B 圖、第 19 A 圖、第 19 B 圖、第 20 A 圖、第 20 B 圖、第 21 A 圖、第

21B 圖、第 22A 圖、第 22B 圖、第 23A 圖、第 23B 圖、第 23C 圖、第 23D 圖、第 24A 圖、第 24B 圖、第 25A 圖、第 25B 圖、第 25C 圖、第 26A 圖、第 26B 圖、第 26C 圖、第 27A 圖、第 27B 圖及第 27C 圖為根據一些實施例的製造奈米 FET 中中間階段的橫截面圖。

第 28A、第 28B 圖及第 28C 圖為根據一些實施例之奈米 FET 的橫截面圖。

第 29A、第 29B 圖、第 29C 圖、第 29D 圖及第 29E 圖為根據一些實施例之奈米 FET 的橫截面圖。

#### 【實施方式】

**【0008】** 以下揭示內容提供用於實施本揭露之不同特徵的許多不同實施例或實例。下文描述組件及配置之特定實例以簡化本揭露。當然，這些組件及配置僅為實例且並非意欲為限制性的。舉例而言，在以下描述中第一特徵於第二特徵上方或上的形成可包括第一及第二特徵直接接觸地形成的實施例，且亦可包括額外特徵可形成於第一特徵與第二特徵之間使得第一特徵及第二特徵可不直接接觸的實施例。此外，本揭露在各種實例中可重複參考數字及/或字母。此重複係出於簡單及清楚之目的，且本身並不指明所論述之各種實施例及/或組態之間的關係。

**【0009】** 另外，空間相對術語，諸如「... .. 下面」、「下方」、「下部」、「... .. 上方」、「上部」及類似者本文中可出於易於描述而使用以描述如諸圖中圖示的一個元素或特徵與另一(些)元素或特徵之關係。空間相對術語意欲涵蓋裝



置之使用或操作中除了諸圖中描繪之定向外的不同定向。設備可以其他方式定向(旋轉 90 度或處於其他定向)，且本文中使用的空間相對描述詞可同樣經因此解譯。

**【0010】** 各種實施例提供閘極堆疊，該些閘極堆疊具有經鋁處置的閘極介電層(例如，高 k 閘極介電層)及經氟處置之功函數金屬(work function metal, WFM)層。舉例而言，鋁處置可包括對閘極介電層執行鋁浸泡。在沈積 WFM 層之後，氟處置可包括對 WFM 層執行氟浸泡，該氟浸泡亦可使氟擴散至下伏閘極介電層(例如，高 k 閘極介電層)中。在無鋁處置情況下，WFM 層中之氟將具有在形成後續層之前自 WFM 層游離的傾向。然而，在鋁處置期間沈積之鋁吸收來自氟處置的氟以改良 WFM 層中氟的保持。此外，此吸收改良氟中之一些至閘極介電層中的其他移動或擴散。因此，所得電晶體之平帶電壓( $V_{FB}$ )可朝向 WFM 層之金屬的帶邊緣增大，所得電晶體之臨限電壓可減低，且裝置效能可得以改良。

**【0011】** 第 1 圖圖示根據一些實施例的三維視圖中之奈米 FET (例如，奈米導線 FET、奈米片材 FET、奈米結構 FET 或類似者)的實例。奈米 FET 包含基板 50 (例如，半導體基板)上之鰭片 66 上方的奈米結構 55 (例如，奈米片材、奈米導線或類似者)，其中奈米結構 55 充當奈米 FET 的通道區。奈米結構 55 可包括 p 型奈米結構、n 型奈米結構或其組合。隔離區 68 安置於相鄰鰭片 66 之間，該些相鄰鰭片可在相鄰隔離區 68 上方且自相鄰隔離區 68 之間突

出。儘管隔離區 68 描述/圖示為與基板 50 分離，但如本文中所使用，術語「基板」可單獨指半導體基板或指半導體基板與隔離區的組合。另外，儘管鰭片 66 之底部部分圖示為與基板 50 的單獨連續材料，但鰭片 66 及/或基板 50 之底部部分可包含單一材料或複數種材料。在此情形下，鰭片 66 指在相鄰隔離區 68 之間延伸的部分。

【0012】 閘極介電層 100 係在鰭片 66 之頂表面上方且沿著奈米結構 55 之頂表面、側壁及底表面。閘極電極 102 係在閘極介電層 100 上方。磊晶源極/汲極區 92 在閘極介電層 100 及閘極電極 102 的相對側上安置於鰭片 66 上。

【0013】 第 1 圖進一步圖示用於後續諸圖中的參考橫截面。橫截面 A - A' 係沿著閘極電極 102 之縱向軸線且在例如垂直於奈米 FET 之磊晶源極/汲極區 92 之間的電流流動方向的方向上。橫截面 B - B' 垂直於橫截面 A - A' 且平行於奈米 FET 之鰭片 66 的縱向軸線，且係在例如奈米 FET 之磊晶源極/汲極區 92 之間的電流流動之方向上。橫截面 C - C' 平行於橫截面 A - A' 且延伸穿過奈米 FET 之磊晶源極/汲極區。為了清楚，後續諸圖指這些參考橫截面。

【0014】 本文中所論述之一些實施例在使用後閘極製程形成的奈米 FET 的情形下予以論述。在其他實施例中，可使用先閘極製程。又，一些實施例預期到用於平面裝置，諸如平面 FET 或鰭片場效電晶體 (fin field-effect transistor, FinFET) 中的態樣。

【0015】 第 2 圖至第 29 C 圖為根據一些實施例的奈米 FET

之製造中中間階段的橫截面圖。第 2 圖至第 5 圖、第 6 A 圖、第 13 A 圖、第 14 A 圖、第 15 A 圖、第 16 A 圖、第 17 A 圖、第 18 A 圖、第 19 A 圖、第 20 A 圖、第 21 A 圖、第 22 A 圖、第 23 A 圖、第 24 A 圖、第 25 A 圖、第 26 A 圖、第 27 A 圖、第 28 A 圖及第 29 A 圖圖示在第 1 圖中圖示之參考橫截面 A - A'。第 6 B 圖、第 7 B 圖、第 8 B 圖、第 9 B 圖、第 10 B 圖、第 11 B 圖、第 11 C 圖、第 12 B 圖、第 12 D 圖、第 13 B 圖、第 14 B 圖、第 15 B 圖、第 16 B 圖、第 17 B 圖、第 18 B 圖、第 19 B 圖、第 20 B 圖、第 21 B 圖、第 22 B 圖、第 23 B 圖、第 24 B 圖、第 25 B 圖、第 26 B 圖、第 27 B 圖、第 28 B 圖及第 29 B 圖圖示在第 1 圖中圖示之參考橫截面 B - B'。第 7 A 圖、第 8 A 圖、第 9 A 圖、第 10 A 圖、第 11 A 圖、第 12 A 圖、第 12 C 圖、第 13 C 圖、第 25 C 圖、第 26 C 圖、第 27 C 圖、第 28 C 圖及第 29 E 圖圖示在第 1 圖中圖示之參考橫截面 C - C'。

【0016】 在第 2 圖中，設置基板 50。基板 50 可為半導體基板，諸如塊體基板、絕緣體上半導體 (semiconductor-on-insulator, SOI) 基板或類似者，該基板可經摻雜 (例如，運用 p 型或 n 型摻雜劑) 或未經摻雜。基板 50 可為晶圓，諸如矽晶圓。具體而言，SOI 基板為形成於絕緣體層上的半導體材料層。舉例而言，絕緣體層可為嵌埋氧化物 (buried oxide, BOX) 層、氧化矽層或類似者。絕緣體層設置於基板，通常矽或玻璃基板上。亦可使用諸如多層或梯度基板的其他基板。在一些實施例

中，基板 50 之半導體材料可包括：矽；鍺；包括碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及 / 或銻化銮的化合物半導體；合金半導體，包括矽鍺、磷化砷化鎵、砷化鋁銮、砷化鋁鎵、砷化鎵銮、磷化鎵銮，及 / 或磷化砷化鎵銮；或其組合。

【0017】 基板 50 具有 n 型區 50N 及 p 型區 50P。n 型區 50N 可係用於形成 n 型裝置，諸如 NMOS 電晶體（例如，n 型奈米 FET）；且 p 型區 50P 可係用於形成 p 型裝置，諸如 PMOS 電晶體（例如，p 型奈米 FET）。n 型區 50N 可與 p 型區 50P 實體分離（如藉由分隔器 20 圖示），且任何數目個裝置特徵（例如，其他主動裝置、經摻雜區、隔離結構等）可安置於 n 型區 50N 與 p 型區 50P 之間。儘管一個 n 型區 50N 及一個 p 型區 50P 予以圖示，但可提供任何數目個 n 型區 50N 及 p 型區 50P。在一些實施例中，一或多個井及 / 或反穿透（anti-punch through，APT）層可經由一或多個合適佈植步驟形成於基板 50 中。

【0018】 另外，在第 2 圖中，多層堆疊 64 形成於基板 50 上方。多層堆疊 64 包括第一半導體層 51A 至 51C 的交替層（統稱為第一半導體層 51）及第二半導體層 53A 至 53C（統稱為第二半導體層 53）。出於圖示之目的且如下文更詳細地論述，第二半導體層 53 將被移除，且第一半導體層 51 將經圖案化以在 p 型區 50P 中形成奈米 FET 的通道區。此外，第一半導體層 51 將被移除，且第二半導體層 53 將經圖案化以在 n 型區 50N 中形成奈米 FET 的通道區。

儘管如此，在一些實施例中，第一半導體層 51 可被移除，且第二半導體層 53 可經圖案化以在 n 型區 50N 中形成奈米 FET 的通道區，且第二半導體層 53 可經移除且第一半導體層 51 可經圖案化以在 p 型區 50P 中形成奈米 FET 的通道區。

【0019】 在又其他實施例中，第一半導體層 51 可被移除，且第二半導體層 53 可經圖案化以在 n 型區 50N 中及 p 型區 50P 兩者中形成奈米 FET 的通道區。在其他實施例中，第二半導體層 53 可被移除，且第一半導體層 51 可經圖案化以在 n 型區 50N 及 p 型區 50P 兩者中形成奈米 FET 的通道區。在此類實施例中，n 型區 50N 及 p 型區 50P 兩者中的通道區可具有相同材料組合物（例如，矽或類似者），且同時地形成。舉例而言，第 27A 圖、第 27B 圖及第 28C 圖圖示由如下此類實施例產生的結構：p 型區 50P 及 n 型區 50N 兩者中的通道區包含矽。

【0020】 出於圖示性目的，多層堆疊 64 圖示為包括第一半導體層 51 及第二半導體層 53 中每一者的三個層。在一些實施例中，多層堆疊 64 可包括任何數目個第一半導體層 51 及第二半導體層 53。多層堆疊 64 之數個層中的每一者可使用諸如以下各者的製程來磊晶生長：化學氣相沈積（chemical vapor deposition，CVD）、原子層沈積（atomic layer deposition，ALD）、氣相磊晶生長（vapor phase epitaxy，VPE）、分子束磊晶生長（molecular beam epitaxy，MBE）或類似者。在各種

實施例中，第一半導體層 51 可由適合於 p 型奈米 FET 的第一半導體材料，諸如矽鍺或類似者形成，且第二半導體層 53 可由適合於 n 型奈米 FET 的第二半導體材料，諸如矽、碳化矽或類似者形成。出於圖示性目的，多層堆疊 64 圖示為具有適合於 p 型奈米 FET 的最底半導體層。在一些實施例中，多層堆疊 64 可經形成，使得最底層位為適合於 n 型奈米 FET 的半導體層。

**【0021】** 第一半導體材料及第二半導體材料可為相對於彼此具有高蝕刻選擇性的材料。因此，第一半導體材料的第一半導體層 51 可在不顯著移除 n 型區 50N 中第二半導體材料之第二半導體層 53 的情況下被移除，藉此允許第二半導體層 53 被圖案化以形成 n 型奈米 FET 的通道區。類似地，第二半導體材料的第二半導體層 53 可在不顯著移除 p 型區 50P 中第一半導體材料之第一半導體層 51 的情況下被移除，藉此允許第一半導體層 51 被圖案化以形成 p 型奈米 FET 的通道區。在其他實施例中，n 型區 50N 及 p 型區 50P 中的通道區可經同時形成，且具有相同材料組合物，諸如矽、矽鍺或類似者。舉例而言，第 28A 圖、第 28B 圖及第 28C 圖圖示由如下此類實施例產生的結構：p 型區 50P 及 n 型區 50N 兩者中的通道區包含矽。

**【0022】** 現參看第 3 圖，根據一些實施例，鰭片 66 形成於基板 50 中，且奈米結構 55 形成於多層堆疊 64 中。在一些實施例中，奈米結構 55 及鰭片 66 可分別藉由在多層堆疊 64 及基板 50 中蝕刻出溝槽而形成於多層堆疊 64 及基

板 50 中。蝕刻可為任何可接受蝕刻製程，諸如反應性離子蝕刻 (reactive ion etch, RIE)、中性射束蝕刻 (neutral beam etch, NBE)、類似者或其組合。蝕刻可為各向異性的。藉由蝕刻多層堆疊 64 形成奈米結構 55 可進一步自第一半導體層 51 界定第一奈米結構 52A 至 52C (統稱為第一奈米結構 52)，且自第二半導體層 53 界定第二奈米結構 54A 至 54C (統稱為第二奈米結構 54)。第一奈米結構 52 及第二奈米結構 54 可進一步被統稱為奈米結構 55。

**【0023】** 鱗片 66 及奈米結構 55 可藉由任何合適方法來圖案化。舉例而言，鱗片 66 及奈米結構 55 可使用一或多種光學微影製程，包括雙重圖案化或多重圖案化製程來圖案化。具體而言，雙重圖案化或多重圖案化製程組合光學微影及自對準製程，從而允許圖案被產生，該些圖案相較於使用單一直接光學微影製程以其他方式可獲得的圖案具有例如較小間距。舉例而言，在一個實施例中，犧牲層形成於基板上方，且使用光學微影製程來圖案化。間隔物使用自對準製程沿著經圖案化之犧牲層來形成。犧牲層接著經移除，且剩餘間隔物可接著用於使鱗片 66 圖案化。

**【0024】** 第 3 圖出於圖示性目的圖示 n 型區 50N 及 p 型區 50P 中的鱗片 66 為具有大致上相等的寬度。在一些實施例中，n 型區 50N 中的鱗片 66 的寬度相較於 p 型區 50P 中的鱗片 66 可較大或較小。另外，雖然鱗片 66 及奈米結構 55 中之每一者圖示為始終具有一致寬度，但在其他實施例中，鱗片 66 及 / 或奈米結構 55 可具有漸縮側壁，使得

鱗片 66 及 / 或奈米結構 55 中每一者的寬度在朝向基板 50 的方向上連續地增大。在此類實施例中，奈米結構 55 中之每一者可具有不同寬度且形狀為梯形。

**【0025】** 在第 4 圖中，淺溝槽隔離區 (shallow trench isolation, STI) 區 68 相鄰於鱗片 66 形成。STI 區 68 可藉由在基板 50、鱗片 66 及奈米結構 55 上方且相鄰鱗片 66 之間沈積絕緣材料來形成。絕緣材料可為諸如氧化矽之氧化物、氮化物、類似者或其組合，且可藉由高密度電漿 CVD (high-density plasma CVD, HDP-CVD)、流動性 CVD (flowable CVD, FCVD)、類似者或其組合來形成。可使用藉由任何可接受製程形成的其他絕緣材料。在所圖示實施例中，絕緣材料為藉由 FCVD 製程形成的氧化矽。一旦形成了絕緣材料，退火製程便可予以執行。在實施例中，絕緣材料經形成，使得過量絕緣材料覆蓋奈米結構 55。儘管絕緣材料圖示為單一層，一些實施例可利用多個層。舉例而言，在一些實施例中，襯裡 (並未分離地圖示) 可首先沿著基板 50、鱗片 66 及奈米結構 55 的表面形成。其後，諸如上文論述之那些的填充材料可形成於襯裡上方。

**【0026】** 移除製程接著應用至絕緣材料以移除奈米結構 55 上方的過量絕緣材料。在一些實施例中，可利用諸如化學機械研磨 (chemical mechanical polish, CMP)、回蝕製程、其組合或類似者的平坦化製程。平坦化製程暴露奈米結構 55，使得奈米結構 55 及絕緣材料之頂表面在平



坦化製程完成之後為平齊的。

**【0027】** 絕緣材料接著經凹入以形成 STI 區 68。絕緣材料經凹入，使得區 50N 及區 50P 中鱗片 66 的上部部分自相鄰 STI 區 68 之間突出。另外，STI 區 68 之頂表面可具有如所圖示的平坦表面、凸起表面、凹入表面（諸如，碟形），或其組合。STI 區 68 的頂表面可藉由適當蝕刻形成為平坦的、凸起及/或凹入的。STI 區 68 可使用可接受蝕刻製程，諸如對於絕緣材料之材料為選擇性的製程凹入（例如，相較於鱗片 66 及奈米結構 55 的材料以更快速度蝕刻絕緣材料的材料）。舉例而言，使用例如稀釋氫氟（dilute hydrofluoric, dHF）酸的氧化物移除可予以使用。

**【0028】** 上文關於第 2 圖至第 4 圖描述的製程僅為鱗片 66 及奈米結構 55 可如何形成的一個實例。在一些實施例中，鱗片 66 及/或奈米結構 55 可使用遮罩及磊晶生長製程來形成。舉例而言，介電層可形成於基板 50 之頂表面上方，且溝槽可蝕刻穿過介電層以暴露下伏基板 50。磊晶結構可磊晶生長於溝槽中，且介電層可經凹入，使得磊晶結構自介電層突出以形成鱗片 66 及/或奈米結構 55。磊晶結構可包含上文論述之交替半導體材料，諸如第一半導體材料及第二半導體材料。在磊晶結構經磊晶生長的一些實施例中，磊晶生長材料可在生長期間原位進行摻雜，此情形可消除先前及/或後續佈植，儘管原位且佈植摻雜可一起使用。

**【0029】** 另外，僅出於圖示性目的，第一半導體層 51（及所得第一奈米結構 52）及第二半導體層 53（及所得第二奈

米結構 54)本文中圖示且論述為在 p 型區 50P 及 n 型區 50N 中包含相同材料。因此，在一些實施例中，第一半導體層 51 及第二半導體層 53 中的一或兩者可為不同材料，或以不同次序形成於 p 型區 50P 及 n 型區 50N 中。

【0030】 另外，在第 4 圖中，適當井(並未分離地圖示)可形成於鰭片 66、奈米結構 55 及/或 STI 區 68 中。在具有不同井類型之實施例中，針對 n 型區 50N 及 p 型區 50P 的不同佈植步驟可使用光阻劑或其他遮罩(並未分離地圖示)來達成。舉例而言，光阻劑可形成於 n 型區 50N 及 p 型區 50P 中之鰭片 66 及 STI 區 68 上方。光阻劑經圖案化以暴露 p 型區 50P。光阻劑可藉由使用旋塗技術來形成，且可使用可接受的光微影技術來圖案化。一旦光阻劑經圖案化，n 型雜質佈植在 p 型區 50P 中執行，且光阻劑可充當遮罩以實質上防止 n 型雜質佈植至 n 型區 50N 中。n 型雜質可為佈植於區中達在自約  $10^{13}$  原子/cm<sup>3</sup> 至約  $10^{14}$  原子/cm<sup>3</sup> 之範圍內之濃度的磷、砷、銻或類似者。在佈植之後，光阻劑諸如藉由可接受灰化製程來移除。

【0031】 在對 p 型區 50P 進行佈植之後或之前，光阻劑或其他遮罩(並未分離地圖示)形成於 p 型區 50P 及 n 型區 50N 中之鰭片 66、奈米結構 55 及 STI 區 68 上方。光阻劑經圖案化以暴露 n 型區 50N。光阻劑可藉由使用旋塗技術來形成，且可使用可接受的光微影技術來圖案化。一旦光阻劑經圖案化，p 型雜質佈植便可在 n 型區 50N 中執行，且光阻劑可充當遮罩以實質上防止 p 型雜質佈植至 p 型區

50P 中。p 型雜質可為佈植於區中達在自約  $10^{13}$  原子/cm<sup>3</sup> 至約  $10^{14}$  原子/cm<sup>3</sup> 之範圍內之濃度的硼、氟化硼、銮或類似者。在佈植之後，光阻劑可諸如藉由可接受灰化製程來移除。

【0032】 在 n 型區 50N 及 p 型區 50P 的佈植之後，退火可經執行以修復佈植損害且使經佈植之 p 型及 / 或 n 型雜質活化。在一些實施例中，磊晶鱗片之生長材料可在生長期間原位進行摻雜，此情形可消除佈植，儘管原位且佈植摻雜可一起使用。

【0033】 在第 5 圖中，虛設介電層 70 形成於鱗片 66 及 / 或奈米結構 55 上。虛設介電層 70 可例如為氧化矽、氮化矽、其組合或類似者，且可根據可接受技術來沈積或熱生長。虛設閘極層 72 形成於虛設介電層 70 上方，且遮罩層 74 形成於虛設閘極層 72 上方。虛設閘極層 72 可沈積於虛設介電層 70 上方，且接著諸如藉由 CMP 來平坦化。遮罩層 74 可沈積於虛設閘極層 72 上方。虛設閘極層 72 可為導電或非導電材料，且可選自包括以下各者的群組：非晶矽、多晶矽 (polycrystalline-silicon、polysilicon)、多晶矽鍺 (poly-crystalline silicon-germanium、poly-SiGe)、金屬氮化物、金屬矽化物、金屬氧化物及金屬。虛設閘極層 72 可藉由物理氣相沈積 (physical vapor deposition, PVD)、CVD、濺射沈積或用於沈積所選擇材料之其他技術來沈積。虛設閘極層 72 可由自隔離區之蝕刻具有高蝕刻選擇性的其他

材料製成。遮罩層 74 可包括例如氮化矽、氧氮化矽或類似者。在此實例中，單一虛設閘極層 72 及單一遮罩層 74 越過 n 型區 50N 及 p 型區 50P 形成。請注意，僅出於圖示性目的，虛設介電層 70 展示為覆蓋僅鰭片 66 及奈米結構 55。在一些實施例中，虛設介電層 70 可經沈積，使得虛設介電層 70 覆蓋 STI 區 68，使得虛設介電層 70 在虛設閘極層 72 與 STI 區 68 之間延伸。

**【0034】** 第 6A 圖至第 15B 圖圖示製造實施例裝置中的各種額外步驟。第 6A 圖、第 7A 圖、第 8A 圖、第 9A 圖、第 10A 圖、第 11A 圖、第 12A 圖、第 12C 圖、第 13A 圖、第 13C 圖、第 14A 圖及第 15A 圖圖示區 50N 或區 50P 中的特徵。在第 6A 圖及第 6B 圖中，遮罩層 74（參見第 5 圖）可使用可接受光微影及蝕刻技術來圖案化以形成遮罩 78。遮罩 78 之圖案接著可傳送至虛設閘極層 72 及虛設介電層 70 以分別形成虛設閘極 76 及虛設閘極介電層 71。虛設閘極 76 覆蓋鰭片 66 的各別通道區。遮罩 78 的圖案可用以實體分離虛設閘極 76 中的每一者與相鄰虛設閘極 76。虛設閘極 76 亦可具有大致上垂直於各別鰭片 66 之縱向方向的縱向方向。

**【0035】** 在第 7A 圖及第 7B 圖中，第一間隔物層 80 及第二間隔物層 82 分別形成於圖示於第 6A 圖及第 6B 圖中之結構上方。第一間隔物層 80 及第二間隔物層 82 將隨後經圖案化以充當用於形成自對準源極/汲極區の間隔物。在第 7A 圖及第 7B 圖中，第一間隔物層 80 形成於 STI 區 68

之頂表面；鰭片 66、奈米結構 55 及遮罩 78 的頂表面及側壁；及虛設閘極 76 及虛設閘極介電層 71 的側壁上。第二間隔物層 82 沈積於第一間隔物層 80 上方。第一間隔物層 80 可使用諸如熱氧化的技術由氧化矽、氮化矽、氧氮化矽或類似者來形成，或藉由 CVD、ALD 或類似者來沈積。第二間隔物層 82 可由相較於第一間隔物層 80 之材料具有不同蝕刻速度的材料，諸如氧化矽、氮化矽、氮氧化物或類似者形成，且可藉由 CVD、ALD 或類似者沈積。

**【0036】** 在形成第一間隔物層 80 之後且在形成第二間隔物層 82 之前，經輕度摻雜之源極/汲極 (lightly doped source/drain, LDD) 區 (並未分離地圖示) 的佈植可予以執行。在具有不同裝置類型的實施例中，類似於上文在第 4 圖中論述的佈植，諸如光阻劑之遮罩可形成於 n 型區 50N 上方，同時暴露 p 型區 50P，且適當類型 (例如，p 型) 雜質可佈植至 p 型區 50P 中的暴露鰭片 66 及奈米結構 55 中。可接著移除遮罩。隨後，諸如光阻劑之遮罩可形成於 p 型區 50P 上方，同時暴露 n 型區 50N，且適當類型雜質 (例如，n 型) 可佈植至 n 型區 50N 中的暴露鰭片 66 及奈米結構 55 中。可接著移除遮罩。n 型雜質可為先前論述之 n 型雜質中的任一者，且 p 型雜質可為先前論述之 p 型雜質中的任一者。輕度摻雜源極/汲極區可具有在自約  $1 \times 10^{15}$  原子/cm<sup>3</sup> 至約  $1 \times 10^{19}$  原子/cm<sup>3</sup> 之範圍內的雜質濃度。退火可用以修復佈植損害且使經佈植雜質活化。

**【0037】** 在第 8A 圖及第 8B 圖中，第一間隔物層 80 及第

二間隔物層 82 經蝕刻以形成第一間隔物 81 及第二間隔物 83。如下文將更詳細地論述，在後續處理期間，第一間隔物 81 及第二間隔物 83 用以自對準隨後形成的源極汲極區以及保護鱗片 66 及 / 或奈米結構 55 的側壁。第一間隔物層 80 及第二間隔物層 82 可使用合適蝕刻製程，諸如各向同性蝕刻製程（例如，濕式蝕刻製程）、各向異性蝕刻製程（例如，乾式蝕刻製程）、每一者的組合或類似者來蝕刻。在一些實施例中，第二間隔物層 82 之材料相較於第一間隔物層 80 之材料具有不同蝕刻速度，使得第一間隔物層 80 在圖案化第二間隔物層 82 時可充當蝕刻終止層，且使得第二間隔物層 82 在圖案化第一間隔物層 80 時可充當遮罩。舉例而言，第二間隔物層 82 可使用各向異性蝕刻製程來蝕刻，其中第一間隔物層 80 充當蝕刻終止層，其中第二間隔物層 82 的剩餘部分形成第二間隔物 83，如第 8A 圖中所圖示。其後，第二間隔物 83 充當遮罩，同時蝕刻第一間隔物層 80 的暴露部分，藉此形成第一間隔物 81，如第 8A 圖中所圖示。

**【0038】** 如第 8A 圖中所圖示，第一間隔物 81 及第二間隔物 83 安置於鱗片 66 及 / 或奈米結構 55 的側壁上。如第 8B 圖中所圖示，在一些實施例中，第二間隔物層 82（第 7A 圖）可自相鄰於遮罩 78、虛設閘極 76 及虛設閘極介電層 71 的第一間隔物層 80（第 7B 圖）上方移除，且第一間隔物 81 安置於遮罩 78、虛設閘極 76 及虛設閘極介電層 71 的側壁上。在其他實施例中，第二間隔物層 82 的一部

分可保持於相鄰於遮罩 78、虛設閘極 76 及虛設閘極介電層 71 之第一間隔物層 80 上方。

【0039】 請注意，以上揭示內容大致上描述形成間隔物及 LDD 區的製程。可使用其他製程及序列。舉例而言，可利用較少或額外間隔物，可利用不同序列的步驟(例如，第一間隔物 81 可在沈積第二間隔物 83 之前經圖案化)，額外間隔物可經形成且移除，及/或類似者。此外，n 型及 p 型裝置可使用不同結構及步驟來形成。

【0040】 在第 9A 圖及第 9B 圖中，根據一些實施例，第一凹槽 86 形成於鰭片 66、奈米結構 55 及基板 50 中。磊晶源極/汲極區將隨後形成於第一凹槽 86 中。第一凹槽 86 可延伸穿過第一奈米結構 52 及第二奈米結構 54 且延伸至基板 50 中。如第 9A 圖中所圖示，STI 區 68 之頂表面可與第一凹槽 86 的底表面平齊。在各種實施例中，鰭片 66 可經蝕刻，使得第一凹槽 86 的底表面安置於 STI 區 68 之頂表面下方；或類似者。第一凹槽 86 可藉由使用各向異性蝕刻製程，諸如 RIE、NBE 或類似者蝕刻鰭片 66、奈米結構 55 及基板 50 來形成。第一間隔物 81、第二間隔物 83 及遮罩 78 在用以形成第一凹槽 86 的蝕刻製程期間遮蔽鰭片 66、奈米結構 55 及基板 50 的數個部分。單一蝕刻製程或多個蝕刻製程可用以蝕刻奈米結構 55 及/或鰭片 66 的每一層。定時蝕刻製程可用以在第一凹槽 86 達到所要深度之後停止第一凹槽 86 的蝕刻。

【0041】 在第 10A 圖及第 10B 圖中，由第一半導體材料形

成之多層堆疊 64 (例如, 第一奈米結構 52) 之數個層之側壁的藉由第一凹槽 86 暴露之數個部分經蝕刻以在 n 型區 50N 中形成側壁凹槽 88, 且由第二半導體材料形成之多層堆疊 64 (例如, 第二奈米結構 54) 之數個層之側壁的藉由第一凹槽 86 暴露之數個部分經蝕刻以在 p 型區 50P 中形成側壁凹槽 88。儘管第一奈米結構 52 及第二奈米結構 54 在側壁凹槽 88 中的側壁在第 10B 圖中圖示為筆直的, 但側壁可為凹入或凸起的。側壁可使用各向同性蝕刻製程, 諸如濕式蝕刻或類似者來蝕刻。p 型區 50P 可使用遮罩(圖中未示)保護, 而對於第一半導體材料為選擇性的蝕刻劑用以蝕刻第一奈米結構 52, 使得第二奈米結構 54 及基板 50 相較於 n 型區 50N 中的第一奈米結構 52 保持相對未經蝕刻。類似地, n 型區 50N 可使用遮罩(圖中未示)保護, 而對於第二半導體材料為選擇性的蝕刻劑用以蝕刻第二奈米結構 54, 使得第一奈米結構 52 及基板 50 相較於 p 型區 50P 中的第二奈米結構 54 保持相對未經蝕刻。在第一奈米結構 52 包括例如 SiGe 且第二奈米結構 54 包括例如 Si 或 SiC 的實施例中, 運用氫氧化四甲銨 (tetramethylammonium hydroxide, TMAH)、氫氧化銨 (ammonium hydroxide, NH<sub>4</sub>OH) 或類似者的乾式蝕刻製程可用以蝕刻 n 型區 50N 中第一奈米結構 52 的側壁, 且運用氟化氫、另一氟類氣體或類似者的乾式蝕刻製程可用以蝕刻 p 型區 50P 中第二奈米結構 54 的側壁。

**【0042】** 在第 11A 圖至第 11C 圖中, 第一內部間隔物 90



形成於側壁凹槽 88 中。第一內部間隔物 90 可藉由將內部間隔物層(未分離地圖示)沈積於圖示於第 10A 圖及第 10B 圖中之結構上方來形成。第一內部間隔物 90 充當隨後形成之源極/汲極區與閘極結構之間的隔離特徵。如下文將更詳細地論述，源極/汲極區將形成於第一凹槽 86 中，而 n 型區 50N 中之第一奈米結構 52 及 p 型區 50P 中的第二奈米結構 54 將運用對應閘極結構替換。

**【0043】** 內部間隔物層可藉由保形沈積製程，諸如 CVD、ALD 或類似者來沈積。內部間隔物層可包含諸如氮化矽或氧氮化矽的材料，儘管可利用具有小於約 3.5 之 k 值的低介電常數(低 k)材料的任何合適材料。內部間隔物層可接著經各向異性蝕刻以形成第一內部間隔物 90。儘管第一內部間隔物 90 的外部側壁圖示為與 n 型區 50N 中第二奈米結構 54 的側壁平齊且與 p 型區 50P 中第一奈米結構 52 的側壁平齊，但第一內部間隔物 90 的外部側壁可分別延伸超出第二奈米結構 54 及/或第一奈米結構 52 的側壁，或自該些側壁凹入。

**【0044】** 此外，儘管第一內部間隔物 90 之外部側壁在第 11B 圖中圖示為筆直的，但第一內部間隔物 90 的外部側壁可為凹入或凸起的。作為實例，第 11C 圖圖示如下實施例：第一奈米結構 52 之側壁為凹入的，第一內部間隔物 90 之外部側壁為凹入的，且第一內部間隔物自 n 型區 50N 中的第二奈米結構 54 的側壁凹入。又圖示如下實施例：第二奈米結構 54 之側壁為凹入的，第一內部間隔物 90 之外

部側壁為凹入的，且第一內部間隔物自 p 型區 50P 中的第一奈米結構 52 的側壁凹入。內部間隔物層可藉由各向異性蝕刻製程，諸如 RIE、NBE 或類似者來蝕刻。第一內部間隔物 90 可藉由後續蝕刻製程，諸如用以形成閘極結構的蝕刻製程來防止對隨後形成的源極/汲極區(諸如下文關於第 12A 圖至第 12C 圖所論述的磊晶源極/汲極區 92)的損害。

【0045】 在第 12A 圖至第 12C 圖中，在第一凹槽 86 中形成磊晶源極/汲極區 92。在一些實施例中，源極/汲極區 92 可施加應力於 n 型區 50N 中之第二奈米結構 54 及 p 型區 50P 中之第一奈米結構 52 上，藉此改良效能。如第 12B 圖中所圖示，磊晶源極/汲極區 92 形成於第一凹槽 86 中，使得每一虛設閘極 76 安置於各別相鄰對的磊晶源極/汲極區 92 之間。在一些實施例中，第一間隔物 81 用以分離磊晶源極/汲極區 92 與虛設閘極 72，且第一內部間隔物 90 用以使磊晶源極/汲極區 92 與奈米結構 55 分離開適當側向距離，使得磊晶源極/汲極區 92 並不與所得奈米 FET 的隨後形成之閘極短路連接。

【0046】 n 型區 50N 中的磊晶源極/汲極區 92 (例如，NMOS 區)可藉由遮蔽 p 型區 50P (例如，PMOS 區)來形成。接著，磊晶源極/汲極區 92 磊晶生長於 n 型區 50N 中的第一凹槽 86 中。磊晶源極/汲極區 92 可包括適合於 n 型奈米 FET 的任何可接受材料。舉例而言，若第二奈米結構 54 為矽，則磊晶源極/汲極區 92 可包括施加張應力於

第二奈米結構 54 上的材料，諸如矽、碳化矽、經磷摻雜碳化矽、磷化矽或類似者。磊晶源極/汲極區 92 可具有自奈米結構 55 之各別上表面提升的表面，且可具有小面。

【0047】 p 型區 50P 中的磊晶源極/汲極區 92 (例如，PMOS 區)可藉由遮蔽 n 型區 50N (例如，NMOS 區)來形成。接著，磊晶源極/汲極區 92 磊晶生長於 p 型區 50P 中的第一凹槽 86 中。磊晶源極/汲極區 92 可包括適合於 p 型奈米 FET 的任何可接受材料。舉例而言，若第一奈米結構 52 為矽鍺，則磊晶源極/汲極區 92 可包含施加壓縮應力於第一奈米結構 52 上的材料，諸如矽鍺、經硼摻雜之矽鍺、鍺、鍺錫或類似者。磊晶源極/汲極區 92 亦可具有自多層堆疊 64 之各別表面提升的表面，且可具有小面。

【0048】 類似於針對形成輕度摻雜源極/汲極區繼之以退火先前論述的製程，磊晶源極/汲極區 92、第一奈米結構 52、第二奈米結構 54 及/或基板 50 可運用摻雜劑進行佈植以形成源極/汲極區。源極/汲極區可具有在約  $1 \times 10^{19}$  原子/cm<sup>3</sup> 與約  $1 \times 10^{21}$  原子/cm<sup>3</sup> 之間的雜質濃度。源極/汲極區的 n 型及/或 p 型雜質可為先前論述之雜質中的任一者。在一些實施例中，磊晶源極/汲極區 92 可在生長期間經原位摻雜。

【0049】 由於用以在 n 型區 50N 及 p 型區 50P 中形成磊晶源極/汲極區 92 的磊晶製程之結果，磊晶源極/汲極區 92 的上表面具有側向向外擴展超出奈米結構 55 之側壁的小面。在一些實施例中，這些小面使得相同 NSFET 的相

鄰磊晶源極/汲極區 92 合併，如藉由第 12 A 圖所圖示。在其他實施例中，相鄰磊晶源極/汲極區 92 在磊晶製程完成之後保持分離，如藉由第 12 C 圖所圖示。在圖示於第 12 A 圖及第 12 C 圖中之實施例中，第一間隔物 81 可經形成達 STI 區 68 的頂表面，藉此阻斷磊晶生長。在一些其他實施例中，第一間隔物 81 可覆蓋奈米結構 55 之側壁的數個部分，從而進一步阻斷磊晶生長。在一些其他實施例中，用以形成第一間隔物 81 的間隔物蝕刻可經調整以移除間隔物材料以允許磊晶生長區延伸至 STI 區 68 的表面。

**【0050】** 磊晶源極/汲極區 92 可包含一或多個半導體材料層。舉例而言，磊晶源極/汲極區 92 可包含第一半導體材料層 92 A、第二半導體材料層 92 B 及第三半導體材料層 92 C。任何數目個半導體材料層可用於磊晶源極/汲極區 92。第一半導體材料層 92 A、第二半導體材料層 92 B 及第三半導體材料層 92 C 中的每一者可由不同半導體材料形成，且可經摻雜達不同摻雜劑濃度。在一些實施例中，第一半導體材料層 92 A 可具有小於第二半導體材料層 92 B 且大於第三半導體材料層 92 C 的摻雜劑濃度。在磊晶源極/汲極區 92 包含三個半導體材料層的實施例中，第一半導體材料層 92 A 可經沈積，第二半導體材料層 92 B 可經沈積於第一半導體材料層 92 A 上方，且第三半導體材料層 92 C 可沈積於第二半導體材料層 92 B 上方。

**【0051】** 第 12 D 圖圖示如下實施例：n 型區 50 N 中之第一奈米結構 52 的側壁及 p 型區 50 P 中第二奈米結構 54 的

側壁為凹入的，第一內部間隔物 90 的外部側壁為凹入的，且第一內部間隔物 90 分別自第二奈米結構 54 及第一奈米結構 52 的側壁凹入。如第 12D 圖中所圖示，磊晶源極/汲極區 92 可與第一內部間隔物 90 接觸地形成，且可延伸越過 n 型區 50N 中之第二奈米結構 54 的側壁及 p 型區 50P 中第一奈米結構 52 的側壁。另外，在第一內部間隔物 90 自第二奈米結構 54 及/或第一奈米結構 52 的側壁凹入之實施例中，磊晶源極/汲極區 92 可分別形成於第二奈米結構 54 及/或第一奈米結構 52 之間。

【0052】 在第 13A 圖至第 13C 圖中，第一層間介電質 (interlayer dielectric, ILD) 96 沈積於圖示於第 6A 圖、第 12B 圖及第 12A 圖中的結構上方(第 7A 圖至第 12D 圖的製程並不變更第 6A 圖中圖示的橫截面)。第一 ILD 96 可由介電材料形成，且可藉由任何合適方法，諸如 CVD、電漿增強型 CVD (plasma-enhanced CVD, PECVD) 或 FCVD 沈積。介電材料可包括磷矽玻璃 (phospho-silicate glass, PSG)、硼矽玻璃 (boro-silicate glass, BSG)、硼磷矽玻璃 (boron-doped phospho-silicate glass, BPSG)、無摻雜矽玻璃 (undoped silicate glass, USG) 或類似者。可使用藉由任何可接受製程形成的其他絕緣材料。在一些實施例中，觸點蝕刻終止層 (contact etch stop layer, CESL) 94 安置於第一 ILD 96 與磊晶源極/汲極區 92、遮罩 78 及第一間隔物 81 之間。CESL 94 可包含

具有不同於上覆第一 I L D 9 6 之材料之蝕刻速度的介電材料，諸如氮化矽、氧化矽、氧氮化矽或類似者。

【0053】 在第 1 4 A 圖至第 1 4 B 圖中，諸如 C M P 之平坦化製程可經執行以使第一 I L D 9 6 的頂表面與虛設閘極 7 6 或遮罩 7 8 之頂表面平齊。平坦化製程亦可移除虛設閘極 7 6 上的遮罩 7 8，及第一間隔物 8 1 沿著遮罩 7 8 之側壁的數個部分。在平坦化製程之後，虛設閘極 7 6、第一間隔物 8 1 及第一 I L D 9 6 的頂表面在製程變化內為平齊的。因此，虛設閘極 7 2 之頂表面經由第一 I L D 9 6 暴露。在一些實施例中，遮罩 7 8 在平坦化製程使第一 I L D 9 6 之頂表面與遮罩 7 8 及第一間隔物 8 1 之頂表面平齊的狀況下可保持。

【0054】 在第 1 5 A 圖及第 1 5 B 圖中，虛設閘極 7 6 (第 1 4 A 圖及第 1 4 B 圖)及遮罩 7 8 (若存在)在一或多個蝕刻步驟中被移除，使得第二凹槽 9 8 被形成。第二凹槽 9 8 中虛設閘極介電層 7 1 (第 1 4 A 圖及第 1 4 B 圖)之數個部分亦可被移除。在一些實施例中，虛設閘極 7 6 及虛設閘極介電層 7 1 藉由各向異性乾式蝕刻製程來移除。舉例而言，蝕刻製程可包括使用反應氣體的乾式蝕刻製程，反應氣體以快於第一 I L D 9 6 或第一間隔物 8 1 的速度選擇性地蝕刻虛設閘極 7 2。每一第二凹槽 9 8 暴露及 / 或上覆奈米結構 5 5 的數個部分，該些部分充當後續完成奈米 F E T 的通道區。奈米結構 5 5 的充當通道區的數個部分安置於相鄰數對磊晶源極 / 汲極區 9 2 之間。在移除期間，當虛設閘極 7 6 (第 1 4 A

圖及第 14 B 圖)經蝕刻時，虛設閘極介電層 71(第 14 A 圖及第 14 B 圖)可用作蝕刻終止層。虛設閘極介電層 71(第 14 A 圖及第 14 B 圖)可接著在移除虛設閘極 76 之後被移除。

【0055】 在第 16 A 圖及第 16 B 圖中，為了形成開口 130，p 型區 50 P 中之第二奈米結構 54 可藉由在 n 型區 50 N 上方形成遮罩(圖中未示)及執行諸如濕式蝕刻之各向同性蝕刻製程或類似者使用對於第二奈米結構 54 之材料為選擇性的蝕刻劑來移除，而第一奈米結構 52、基板 50、STI 區 68 相較於第二奈米結構 54 保持相對未蝕刻。在第二奈米結構 54 包括例如 SiGe 且第一奈米結構 52 包括例如 Si 或 SiC 的實施例中，氟化氫、另一氟類氣體或類似者可用以移除 p 型區 50 P 中的第二奈米結構 54。在移除製程之後，開口 130 包含第一奈米結構 52 中每一者之間的區 50 I。

【0056】 在其他實施例中，n 型區 50 N 及 p 型區 50 P 中的通道區可例如藉由移除 n 型區 50 N 及 p 型區 50 P 兩者中的第一奈米結構 52 或藉由移除 n 型區 50 N 及 p 型區 50 P 兩者中的第二奈米結構 54 而同時形成。在此類實施例中，n 型奈米 FET 及 p 型奈米 FET 的通道區可具有相同材料組合物，諸如矽、矽鍺或類似者。舉例而言，第 28 A 圖、第 28 B 圖及第 28 C 圖圖示由如下此類實施例產生的結構：p 型區 50 P 及 n 型區 50 N 兩者中的通道區藉由第二奈米結構 54 提供，且包含矽。

【0057】 在第 17 A 圖至第 24 B 圖中，根據一些實施例，閘極介電層 100 及閘極電極 102 經形成用於第二凹槽 98 中的替換閘極結構。閘極介電層 100 (例如，高 k 閘極介電層)及閘極電極 102 (例如，WFM 層)分別運用鋁及氟進行處置。由於下文更詳細論述之鋁浸泡及氟浸泡，所得電晶體之平帶電壓( $V_{FB}$ )可朝向 WFM 層之金屬的帶邊緣增大，所得電晶體之臨限電壓可減低，且裝置效能可得以改良。

【0058】 閘極介電層在 n 型區 50N 及 p 型區 50P 中的形成可同時發生，使得每一區中之閘極介電層由相同材料形成，且閘極電極的形成可同時發生使得每一區中的閘極電極由相同材料形成。在一些實施例中，每一區中之閘極介電層可藉由獨特製程形成，使得閘極介電層可為不同材料及/或具有不同數目個層，及/或每一區中之閘極電極可藉由獨特製程形成，使得閘極電極可為不同材料及/或具有不同數目個層。各種遮蔽步驟在使用獨特製程時可用以遮蔽且暴露適當區。在以下描述內容中，n 型區 50N 之閘極電極及 p 型區 50P 的閘極電極經分離地形成。

【0059】 第 17 A 圖至第 23 D 圖圖示在 p 型區 50P 中形成閘極介電層 100 及閘極電極 102，且 n 型區 50N 至少於在 p 型區 50P 中形成閘極電極 102 同時可經遮蔽。

【0060】 在第 17 A 圖及第 17 B 圖中，閘極介電層 100 在 p 型區 50P 中保形沈積於第二凹槽 98 中。閘極介電層 100 包含一或多個介電層，諸如氧化物、金屬氧化物、類似者



或其組合。舉例而言，在一些實施例中，閘極介電層 100 可包含第一閘極介電層 101 (例如，包含氧化矽或類似者) 及第一閘極介電層 101 上方的第二閘極介電層 103 (例如，包含金屬氧化物或類似者)。在一些實施例中，第二閘極介電層 103 括高 k 介電材料，且在這些實施例中，第二閘極介電層 103 可具有大於約 7.0 之 k 值，且可包括金屬氧化物，或鉛、鋁、銦、鏷、錳、鋇、鈦、鉛的矽酸鹽及其組合。在一些實施例中，第一閘極介電層 101 可被稱作介面層，且第二閘極介電層 103 可被稱作高 k 閘極介電層。在一些實施例中，閘極介電層 100 的形成，諸如第二閘極介電層 103 的形成可包括在材料中形成孔隙。舉例而言，孔隙可為氧化物在沈積之前或之後並不經充分密集的微型孔隙。

**【0061】** 閘極介電層 100 的結構在 n 型區 50N 及 p 型區 50P 中相同或不同。舉例而言，n 型區 50N 可經遮蔽或暴露，同時在 p 型區 50P 中形成閘極介電層 100。在 n 型區 50N 經暴露的實施例中，閘極介電層 100 可同時形成於 n 型區 50N 中。閘極介電層 100 之形成方法可包括分子束沈積 (molecular-beam deposition, MBD)、ALD、PECVD，及類似者。

**【0062】** 第 18A 圖至第 23D 圖圖示閘極電極 102 之一部分 (例如，第一導電材料 105) 運用沈積前處置及沈積後處置在閘極介電層 100 上方的形成。處置的此組合用來調諧第一導電材料 105 且改良功能裝置的可靠性。

【0063】 在第 18 A 圖及第 18 B 圖中，鋁處置 109 (例如，針對閘極電極 102 的沈積前處置)施加至第二閘極介電層 103。在一些實施例中，鋁處置 109 為使含鋁前驅物流動以在第二閘極介電層 103 之表面上方形成鋁的第一殘餘物 111 的沈積製程(例如，ALD 製程、CVD 製程或類似者)。第一殘餘物 111 用以經由第一導電材料 105 (參見第 19 A 圖及第 19 B 圖)自後續氟處置(參見第 20 A 圖及第 20 B 圖)吸收氟且將氟吸收至閘極介電層 100 中。第一殘餘物 111 大致上保持於閘極介電層 100 的表面處，使得鋁經吸收或藉由閘極介電層 100 的分子部分氧化(例如，第二閘極介電層 103)。第一殘餘物 111 的鋁能夠隨後藉由非氧化或僅部分氧化而吸收氟。

【0064】 在一些實施例中，在鋁處置 109 期間施加的含鋁前驅物可為三乙基鋁(triethylaluminum, TEA) ( $\text{Al}_2(\text{C}_2\text{H}_5)_6$ )、三甲基鋁(trimethylaluminum, TMA) ( $\text{Al}(\text{CH}_3)_3$ )、其組合，或類似者。鋁處置 109 可在範圍為約 250 °C 至約 550 °C 之範圍內的溫度下且歷時在約 0.5 秒至約 5 分鐘或約 15 秒至約 30 秒之範圍內的持續時間執行。高於 550 °C 之溫度及/或長於 5 分鐘的持續時間可導致鋁擴散至第二閘極介電層 103 中且在第二閘極介電層內氧化。低於 250 °C 之溫度及/或小於 0.5 秒的持續時間可導致不足量的鋁(例如，不足量的低於殘餘物 111)隨後經由第一導電材料 105 吸收氟且吸收至第二閘極介電層 103 中。

【0065】 藉由以上述方式執行鋁處置 109 來避免觸發還原-氧化反應(或使此反應最小化)，鋁處置 109 並不將連續膜沈積於閘極介電層 100 上。然而，鋁之第一殘餘物 111 的離散凹坑可形成於第二閘極介電層 103 的頂表面上。第一殘餘物 111 的每一凹坑可與第一殘餘物 111 的其他凹坑斷開，且無連續膜形成於閘極介電層 100 上。第一殘餘物 111 可形成於閘極介電層 100 (例如，第二閘極介電層 103) 的暴露表面上，包括第一奈米結構 52 之間的區 50I 中。在第二閘極介電層 103 包含高 k 介電質，諸如  $\text{HfO}_2$  的一些實施例中，區 50I 中鋁與鉛的比率可小於 0.1，諸如在約 0.005 與約 0.1 之範圍內，或小於 0.005。

【0066】 在第 19A 圖及第 19B 圖中，第一導電材料 105 保形地沈積於 p 型區 50P 中的閘極介電層 100 及第一殘餘物 111 上方。在一些實施例中，第一導電材料 105 為 p 型 WFM，包含氮化鈦、氮化鋁、氮矽化鈦(TiSiN)或類似者。第一導電材料 105 可藉由 CVD、ALD、PECVD、PVD 或類似者來沈積。在一些實施例中，第一導電材料 105 運用鋁處置 109 經原位沈積。因此，相同沈積工具可用於兩個製程而不需要在不同工具或腔室之間傳送。第一導電材料 105 之原位及迅速沈積的優勢為，第一導電材料 105 的存在防止或大大減小第一殘餘物 111 中鋁運用閘極介電層 100 (例如，第二閘極介電層 103) 的氧化(或其他氧化)。

【0067】 第一導電材料 105 可經沈積以包圍第一奈米結構

52 中的每一者。第一導電材料 105 可僅部分填充區 501。因此，在沈積第一導電材料 105 之後，開口 130 可保持於第一奈米結構 52 之間的區 501 中。第一導電材料 105 具有運用第一殘餘物之鋁的吸收，此情形有助於防止鋁擴散至第二閘極介電層 103 中。因此，運用第二閘極介電層 103 防止第一殘餘物氧化或進一步氧化。此外，在形成第一導電材料 105 之後，在第二閘極介電層 103 之沈積期間形成於第二閘極介電層 103 中的孔隙(例如，微型孔隙)保持未被填充，且無鋁。因此，第一殘餘物 111 在第二閘極介電層 103 與第一導電材料 105 之間的區內保持於鋁的斷開凹坑中。

【0068】 在第 20A 圖及第 20B 圖中，氟處置 113 施加至第一導電材料 105。在一些實施例中，氟處置 113 為使含氟前驅物在第一導電材料 105 之表面上方流動的沈積製程(例如，ALD 製程、CVD 製程或類似者)。在一些實施中，含氟前驅物可為  $WF_x$ 、 $NF_x$ 、 $TiF_x$ 、 $TaF_x$ 、 $HfF_x$  或類似者，其中  $x$  為在 1 至 6 之範圍內的整數。舉例而言，在一些實施例中，含氟前驅物可為  $WF_6$  及 / 或  $NF_3$ 。當含氟前驅物到達第一導電材料 105 時，氟中的一些擴散通過第一導電材料 105。第一殘餘物 111 藉由朝向第一導電材料 105、第一殘餘物 111 與閘極介電層 100 (例如，第二閘極介電層 103) 之間的介面抽汲氟來改良此擴散。一些數量的氟將進一步擴散至閘極介電層 100 中。如上文所論述，因為防止第一殘餘物 111 的鋁到達第二閘極介電層 103 中

的孔隙，所以氟能夠擴散越過第一殘餘物 111 且填充第二閘極介電層 103 中那些孔隙中的一些。

【0069】 氟處置 113 可在約 250 °C 至約 475 °C 之範圍內的溫度下執行。已觀測到，當氟處置 113 之溫度低於 250 °C 時，含氟前驅物並不恰當使第一導電材料 105 及/或其下伏層游離並影響前述兩者之間的所要改變。已觀測到，當氟處置 113 之溫度大於 475 °C 時，自含氟前驅物游離的氟的量可能過大而不能精準地控制。在一些實施例中，氟處置 113 可經執行歷時約 1 秒至約 15 分鐘的範圍內，諸如約 30 秒的持續時間。已觀測到，當氟處置 113 經執行歷時小於 1 秒時，處置製程可能並不足以調諧所得電晶體的臨限電壓。已觀測到，當氟處置 113 經執行歷時大於 15 分鐘時，過量的氟可引入至裝置中，從而導致電容等效厚度 (capacitance equivalent thickness, CET) 懲罰 (例如，介面層 101 的再生長)。

【0070】 施加如上文所描述之鋁處置 109 及氟處置 113 兩者可致使第一導電材料 105 包含約 10.8% 至約 13% 以上的氟，諸如在約 5% 至約 25% 之範圍內的濃度之氟。此外，在第一殘餘物 111 之深度處 (例如，在第二閘極介電層 103 與第一導電材料 105 之間的介面處)，可包含在約 0.3% 至約 10% 之範圍內的鋁。低於約 0.3% 之鋁濃度可不足以吸收足夠氟至第二閘極介電層 103 且保持於第一導電材料 105 中，藉此致使替換閘極結構接收不足電壓調諧。高於約 10% 的鋁濃度可引起以下問題中的一或多者。舉例而言，

高鋁濃度可產生禁止氟擴散或移動越過第一殘餘物 111 且至第二閘極介電層 103 中的阻障。此外，高鋁濃度可進一步致使例如第二閘極介電層 103 情況下的增大之鋁氧化，其中一些鋁可填充第二閘極介電層 103 中之孔隙(例如，微型孔隙)中的一些或大部分，藉此導致如上文所描述的 CET 懲罰。另外，沿著第一導電材料 105 之高鋁濃度可破壞本文中所描述之替換閘極結構之臨限電壓的調諧之精度。

**【0071】** 在一些實施例中，為了避免觸發還原-氧化反應，氟處置 113 為使用單一化學物質(例如， $WF_6$ 、 $NF_3$  或類似者)而無另一化學物質情況下的沈積製程。因此，氟處置 113 並不將連續膜沈積於第一導電材料 105 上。然而，在含氟前驅物亦包含金屬的實施例中，金屬之第二殘餘物 115 的離散凹坑可形成於第一導電材料 105 的頂表面上。可使第二殘餘物 115 的每一凹坑自第二殘餘物 115 的其他凹坑斷開，且無連續膜形成於第一導電材料 105 上。於在氟處置 113 期間使用的含氟前驅物為  $WF_6$  的實施例中，第二前驅物 115 可為形成於第一導電材料 105 上的鎢殘餘物。第二殘餘物 115 可形成於第一導電材料 105 的暴露表面上，包括第一奈米結構 52 之間的區 501 中。在第二殘餘物 115 為鎢殘餘物且高 k 閘極介電層 103 包含  $HfO_2$  的一些實施例中，區 501 中鎢與鉛的比率可係在約 0.001 至約 0.3 之範圍內，或小於 0.1，諸如小於 0.001。已觀測到，當區 501 中鎢與鉛的比率大於 0.3 時，所得裝置可

能不具有所要臨限電壓(例如，臨限電壓可過高)。

【0072】 在含氟前驅物並不包含金屬(例如，含氟前驅物為 $\text{NF}_3$ )的其他實施例中，第二殘餘物 115 可能並不形成於第一導電材料 105 上。舉例而言，第 29A 圖至第 29C 圖圖示並不形成第二殘餘物 115 且在氟處置 113 期間使用的含氟前驅物為 $\text{NF}_3$ 的實施例。

【0073】 在一些實施例中，氟處置 113 可進一步導致至下伏閘極介電層 100，諸如高 k 閘極介電層 103 中的氟擴散，且氟可運用 X 射線光電子能譜法分析在高 k 閘極介電層 103 中觀測到。舉例而言，在高 k 閘極介電層 103 包含氧化鉛的實施例中，高 k 閘極介電層 103 中氟與鉛的比率由於氟處置 113 可係在約 0.07 至約 0.4 的範圍內。已觀測到，當高 k 閘極介電層 103 中氟與鉛的比率小於 0.07 時，氟的量可能並不足以調諧所得電晶體的臨限電壓。已觀測到，當高 k 閘極介電層 103 中氟與鉛的比率大於 0.4 時，過量氟可能已引入至高 k 閘極介電層 103 中，從而導致 CET 懲罰(例如，介面層 101 的再生長)。在一些實施例中，高 k 閘極介電層 103 中氟的量可係在約 2.5% 至約 6% 的範圍內。

【0074】 因此，如上文所描述，在對第一導電材料 105 執行氟處置 113 的各種實施例中，亦可使氟擴散至下伏閘極介電層(例如，高 k 閘極介電層)中。因此，所得電晶體之 $V_{FB}$ 可朝向 WFM 層之金屬的帶邊緣增大，所得裝置之臨限電壓可減低，且裝置效能可得以改良。舉例而言，在實

驗資料中，應用 WF<sub>6</sub> 浸泡的實施例氟處置在形成氣體退火之後已導致 10 mV 至 30 mV 之金屬-氧化物-半導體電容器 (metal-oxide-semiconductor capacitor, MOSC) 的正有效功函數 (effective work function, EFW) 移位。

【0075】 在第 21A 圖及第 21B 圖中，第二導電材料 107 保形地沈積於第一導電材料 105 及第二殘餘物 115 (若存在) 上。在一些實施例中，第二導電材料 107 為 p 型 WFM，包含氮化鈦、氮化鉬、氮化鎢、氮化鉬或類似者。第二導電材料 107 可藉由 CVD、ALD、PECVD、PVD 或類似者來沈積。因為第二導電材料 107 在氟處置 113 之後沈積，所以第二導電材料 107 可無氟，或相較於第一導電材料 105 具有較低氟濃度。

【0076】 第二導電材料 107 可填充第一奈米結構 52 之間的區 50I 之剩餘部分 (例如，填充開口 130，參見第 19A 圖及第 19B 圖)。舉例而言，第二導電材料 107 可沈積於第一導電材料 105 上，直至其合併且縫合在一起，且在一些實施例中，介面 107S 可藉由使第二導電材料 107 之第一部分 107A (例如，導電材料 107A) 觸碰區 50I 中第二導電材料 107 之第二部分 107B (例如，導電材料 107B) 形成。

【0077】 在第 22A 圖及第 22B 圖中，黏著層 117 保形沈積於第二導電材料 107 上方。在一些實施例中，黏著層 117 保形沈積於 p 型區 50P 中的第二導電材料 107 上。在一些



實施例中，黏著層 117 包含氮化鈦、氮化鉭或類似者。黏著層 117 可藉由 CVD、ALD、PECVD、PVD 或類似者來沈積。舉例而言，黏著層 117 可替代地被稱作膠層，且改良第二導電材料 107 與下伏填充金屬 119 之間的黏著。

**【0078】** 在第 23A 圖、第 23B 圖、第 23C 圖及第 23D 圖中，閘極電極 102 之剩餘部分經沈積以填充第二凹槽 98 的剩餘部分。舉例而言，填充金屬 119 可沈積於黏著層 117 上方。在一些實施例中，填充金屬 119 包含鈷、鈦、鋁、鎢、其組合或類似者，該填充金屬 119 藉由 CVD、ALD、PECVD、PVD 或類似者來沈積。所得閘極電極 102 形成為替換閘極，且可包含第一殘餘物 111、第一導電材料 105、第二殘餘物 115（若存在）、第二導電材料 107、黏著層 117 及填充金屬 119。第 23C 圖圖示沿著第 23B 圖之線 X-X' 的俯視圖（例如，在區 50I 中），而第 23D 圖圖示沿著第 23B 圖之線 Y-Y' 的俯視圖（例如，通過第一奈米結構 52 中的一者）。

**【0079】** 在 p 型區 50P 中，閘極介電層 100、第一導電材料 105、第二導電材料 107、黏著層 117 及填充金屬 119 可各自形成於第一奈米結構 52 之頂表面、側壁及底表面上。第一殘餘物 111（例如，鋁）可在第二閘極介電層 103 與第一導電材料 105 之間的介面處形成。第二殘餘物 115 可形成於第一導電材料 105 與第二導電材料 107 之間的介面處（包括例如氟至一者或兩者中的某擴散），且殘餘物 115 之金屬元素可不同於第一導電材料 105 及/或第二導電材

料 107 的金屬元素。閘極介電層 100、第一導電材料 105、殘餘物 115、第二導電材料 107、黏著層 117 及填充金屬 119 亦可沈積於第一 ILD 96、CESL 94、第一間隔物 81 及 STI 區 68 的頂表面上。在填充第二凹槽 98 之後，平坦化製程，諸如 CMP 可經執行以移除閘極介電層 100、第一導電材料 105、殘餘物 115、第二導電材料 107、黏著層 117 及填充金屬 119 的過量部分，該些過量部分係在第一 ILD 96 的頂表面上方。閘極電極 102 及閘極介電層 100 之材料的剩餘部分因此形成所得奈米 FET 的替換閘極結構。閘極電極 102 及閘極介電層 100 可統稱為「閘極結構」。

【0080】 第 24A 圖及第 24B 圖圖示 n 型區 50N 中的閘極堆疊。在 n 型區 50N 中形成閘極堆疊可包括首先移除 n 型區 50N 中的第一奈米結構 52。第一奈米結構 52 可藉由在 p 型區 50P 上方形成遮罩(圖中未示)及執行諸如濕式蝕刻之各向同性蝕刻製程或類似者使用對於第一奈米結構 52 之材料為選擇性的蝕刻劑來移除，而第二奈米結構 54、基板 50 及 STI 區 68 相較於第一奈米結構 52 保持相對未蝕刻。在第一奈米結構 52A 至 52C 包括例如 SiGe 且第二奈米結構 54A 至 54C 包括例如 Si 或 SiC 的實施例中，氫氧化四甲銨(tetramethylammonium hydroxide, TMAH)、氫氧化銨(ammonium hydroxide, NH<sub>4</sub>OH) 或類似者可用以移除 n 型區 50N 中的第一奈米結構 52。

【0081】 閘極堆疊接著形成於 n 型區 50N 中之第二奈米結

構 54 上方且周圍。閘極堆疊包括閘極介電層 100 及閘極電極 127。在一些實施例中，n 型區 50N 及 p 型區 50P 中之閘極介電層 100 可同時形成。另外，閘極電極 127 的至少數個部分可在形成閘極電極 102 (參見第 23A 圖至第 23D 圖) 之前或之後形成，且閘極電極 127 的至少數個部分可經形成，同時 p 型區 50P 被遮蔽。因此，閘極電極 127 可包含與閘極電極 102 不同的材料。舉例而言，閘極電極 127 可包含導電材料 121、阻障層 123 及填充金屬 125。導電材料 121 可為 n 型功函數金屬 (work function metal, WFM) 層，該 n 型功函數金屬層包含 n 型金屬，諸如鈦鋁、碳化鈦鋁、鈮鋁、碳化鈮、其組合或類似者。導電材料 121 可藉由 CVD、ALD、PECVD、PVD 或類似者來沈積。阻障層 123 可包含氮化鈦、氮化鈮、碳化鎢、其組合或類似者，且阻障層 123 可進一步充當黏著層。阻障層 123 可藉由 CVD、ALD、PECVD、PVD 或類似者來沈積。填充金屬 125 可包含鈷、鈦、鋁、鎢、其組合或類似者，該填充金屬 125 藉由 CVD、ALD、PECVD、PVD 或類似者來沈積。填充金屬 125 可能或可能不具有相同材料組合物，且與填充金屬 119 同時沈積。

**【0082】** 在填充 n 型區 50N 中之第二凹槽 98 之後，平坦化製程，諸如 CMP 可經執行以移除閘極介電層 100 及閘極電極 127 的過量部分，該些過量部分係在第一 ILD 96 的頂表面上方。閘極電極 127 及閘極介電層 100 之材料的剩餘部分因此形成 n 型區 50N 之所得奈米 FET 的替換閘

極結構。用以移除 p 型區 50P 中之閘極電極 102 之過量材料且移除 n 型區 50N 中閘極電極 127 之過量材料的 CMP 製程可同時或分離地執行。

**【0083】** 在第 25A 圖至第 25C 圖中，閘極結構(包括閘極介電層 100、閘極電極 102 及閘極電極 127)經凹入，使得凹槽直接形成於閘極結構上方且第一間隔物 81 的相對部分之間。包含介電材料，諸如氮化矽、氧氮化矽或類似者之一或多個層的閘極遮罩 104 填充於凹槽中，繼之以平坦化製程以移除在第一 ILD 96 上方延伸的介電材料之過量部分。隨後形成的閘極觸點(諸如下文關於第 27A 圖、第 27B 圖及第 27C 圖論述的閘極觸點 114)穿透閘極遮罩 104 以接觸經凹入閘極電極 102 的頂表面。

**【0084】** 如藉由第 25A 圖至第 25C 圖進一步圖示，第二 ILD 106 沈積於第一 ILD 96 上方且閘極遮罩 104 上方。在一些實施例中，第二 ILD 106 為藉由 FCVD 形成的可流動膜。在一些實施例中，第二 ILD 106 由諸如 PSG、BSG、BPSG、USG 或類似者的介電材料形成，且可藉由諸如 CVD、PECVD 或類似者的任何合適方法來沈積。

**【0085】** 在第 26A 圖至第 26C 圖中，第二 ILD 106、第一 ILD 96、CESL 94 及閘極遮罩 104 經蝕刻以形成第三凹槽 108，該些第三凹槽 108 暴露磊晶源極/汲極區 92 及/或閘極結構的表面。第三凹槽 108 可藉由使用各向異性蝕刻製程，諸如 RIE、NBE 或類似者進行蝕刻來形成。在一些實施例中，第三凹槽 108 可使用第一蝕刻製程蝕刻穿

過第二 ILD 106 及第一 ILD 96；可使用第二蝕刻製程蝕刻穿過閘極遮罩 104；且可接著使用第三蝕刻製程蝕刻穿過 CESL 94。諸如光阻劑之遮罩可在第二 ILD 106 上方形成且圖案化以遮蔽第二 ILD 106 的數個部分不受第一蝕刻製程及第二蝕刻製程影響。在一些實施例中，蝕刻製程可過度蝕刻，且因此第三凹槽 108 延伸至磊晶源極/汲極區 92 及/或閘極結構中，且第三凹槽 108 之底部可與磊晶源極/汲極區 92 及/或閘極結構的頂表面平齊(例如，處於同一位準，或距基板具有相同距離)，或低於該些頂表面(例如，更靠近於基板)。儘管第 26B 圖圖示第三凹槽 108 為在同一橫截面中暴露磊晶源極/汲極區 92 及/或閘極結構，但在各種實施例中，磊晶源極/汲極區 92 及/或閘極結構在不同橫截面中可經暴露，藉此減小使隨後形成之觸點短路連接的風險。

**【0086】** 在形成了第三凹槽 108 之後，矽化物區 110 形成於磊晶源極/汲極區 92 上方。在一些實施例中，矽化物區 110 藉由以下操作來形成：首先沈積能夠與下伏磊晶源極/汲極區 92 之半導體材料(例如，矽、矽鍺、鍺)反應的金屬(未圖示)，諸如鎳、鈷、鈦、鉭、鉑、鎢、其他貴金屬、其他耐火金屬、稀土金屬或其合金於磊晶源極/汲極區 92 的暴露部分上方，以形成矽化物或鍺化物區；接著執行熱退火製程以形成矽化物區 110。所沈積金屬之未經反應部分接著例如藉由蝕刻製程來移除。儘管矽化物區 110 被稱作矽化物區，但矽化物區 110 亦可為鍺化物區或矽鍺化物

區(例如, 包含矽化物及鍺化物的區)。在實施例中, 矽化物區 110 包含  $TiSi$ , 且具有範圍介於約 2 nm 與約 10 nm 之間的厚度。

**【0087】** 接著, 在第 27A 圖至第 27C 圖中, 觸點 112 及 114 (亦可被稱作觸點插頭) 形成於第三凹槽 108 中。觸點 112 及 114 可各自包含一或多個層, 諸如阻障層、擴散層及填充材料。舉例而言, 在一些實施例中, 觸點 112 及觸點 114 各自包括阻障層及導電材料, 且各自電耦接至下伏導電特徵(例如, 在所圖示實施例中, 閘極電極 102、閘極電極 127 及/或矽化物區 110)。觸點 114 電耦接至閘極電極 102 及 127, 且可被稱作閘極觸點, 且觸點 112 電耦接至矽化物區 110, 且可被稱作源極/汲極觸點。阻障層可包括鈦、氮化鈦、鉭、氮化鉭, 或類似者。導電材料可為銅、銅合金、銀、金、鎢、鈷、鋁、鎳或類似者。諸如 CMP 之平坦化製程可經執行以自第二 ILD 106 之表面移除過量材料。

**【0088】** 第 28A、第 28B 圖及第 28C 圖圖示根據一些其他實施例之裝置的橫截面圖。第 28A 圖圖示在第 1 圖中圖示之參考橫截面 A-A'。第 28B 圖圖示在第 1 圖中圖示之參考橫截面 B-B'。第 28C 圖圖示在第 1 圖中圖示之參考橫截面 C-C'。在第 28A 圖至第 28C 圖中, 類似參考數字指示與藉由如以上實施例中論述之類似製程形成的元件類似的元件, 諸如第 27A 圖至第 27C 圖的結構。然而, 在第 28A 圖至第 28C 圖中, n 型區 50N 及 P 型區 50P 中

的通道區包含相同材料。舉例而言，包含矽的第二奈米結構 54 提供 n 型區 50P 中 p 型奈米 FET 的通道區及 n 型區 50N 中 n 型奈米 FET 的通道區。第 28A 圖至第 28C 圖的結構可例如藉由以下操作形成：自 P 型區 50P 及 n 型區 50N 兩者移除第一奈米結構 52；在 p 型區 50P 中之第二奈米結構 54 周圍沈積閘極介電層 100 及閘極電極 102；及在 n 型區 50N 中第二奈米結構 54 周圍沈積閘極介電層 100 及閘極電極 102。

**【0089】** 第 29A 圖至第 29E 圖圖示根據一些其他實施例之裝置的橫截面圖。第 29A 圖圖示在第 1 圖中圖示之參考橫截面 A-A'。第 29B 圖圖示在第 1 圖中圖示之參考橫截面 B-B'。第 29E 圖圖示在第 1 圖中圖示之參考橫截面 C-C'。在第 29A 圖至第 29E 圖中，類似參考數字指示與藉由如以上實施例中論述之類似製程形成的元件類似的元件，諸如第 27A 圖至第 27C 圖的結構。然而，在第 29A 圖至第 29E 圖中，第二殘餘物 115 並不形成於第一導電材料 105 與第二導電材料 107 之間。舉例而言，當氟處置 113（參見第 20A 圖至第 20B 圖）期間使用的含氟前驅物並不含有金屬時，此情形可被達成。舉例而言，在含氟前驅物為  $\text{NF}_3$  的實施例中，第二殘餘物 115 可能並不形成。

**【0090】** 各種實施例提供閘極堆疊，該些閘極堆疊具有經鋁處置的閘極介電層及經氟處置之功函數金屬層。舉例而言，鋁處置可包括對閘極介電層（例如，高 k 閘極介電層）執行鋁浸泡，且氟處置可包括對 WFM 層執行氟浸泡。因此，

來自氟處置之氟可擴散至 W F M 中且至下伏閘極介電層中。雖然單獨氟處置(例如，在無鋁處置情況下)將傾向於將氟抽汲至 W F M 層及閘極介電層中以達成本文中描述的益處，但鋁處置改良這些層中氟的移動及固持。舉例而言，鋁處置形成鋁殘餘物，該鋁殘餘物經由後續處理通常保持插入於高 k 閘極介電層與 W F M 層之間。鋁殘餘物經由 W F M 層自氟處置吸收氟，且該氟中的一些接著繞過鋁殘餘物以填充高 k 閘極介電層中的孔隙。處置之組合致使那些層中所要量的氟，藉此達成如下益處：所得電晶體之平帶電壓朝向 W F M 層之金屬的帶邊緣增大，所得電晶體之臨限電壓減低，且裝置效能得以改良。

**【0091】** 在一些實施例中，一種形成閘極結構之方法包括：在一基板上方形形成複數個奈米結構；蝕刻該些奈米結構以形成第一凹槽；在該些第一凹槽中形成源極/汲極區；移除該些奈米結構中之第一奈米結構，從而留下該些奈米結構中的第二奈米結構；在該些第二奈米結構上方且周圍沈積一閘極介電層；對該閘極介電層執行一鋁處置；在該閘極介電層上方且周圍沈積一第一導電材料；對該第一導電材料執行一氟處置；及在該第一導電材料上方且周圍沈積一第二導電材料。在另一實施例中，該執行該鋁處置的步驟包含在該閘極介電層上方形成一鋁殘餘物的步驟。在另一實施例中，該執行該氟處置的步驟包含使氟擴散至該第一導電材料中的步驟。在另一實施例中，該執行該氟處置的步驟進一步包含使氟擴散至該閘極介電層中的步驟。在另



一實施例中，該執行該氟處置的步驟進一步包含在該第一導電材料上方形成一金屬殘餘物的步驟。在另一實施例中，該第一導電材料包含一 p 型功函數金屬層。在另一實施例中，該執行該鋁處置的步驟包含使包含三乙基鋁或三甲基鋁的一前驅物流動的步驟。在另一實施例中，該執行該氟處置的步驟包含使包含  $WF_x$ 、 $NF_x$ 、 $TiF_x$ 、 $TaF_x$  或  $HfF_x$  的一前驅物流動的步驟，且其中 x 為在 1 至 6 之一範圍內的一整數。

**【0092】** 在一些實施例中，一種閘極結構包括：一第一奈米結構，該第一奈米結構在一源極區與一汲極區之間延伸；該第一奈米結構上方的一第二奈米結構；一閘極介電層，該閘極介電層係在該第一奈米結構及該第二奈米結構上方且周圍；該閘極介電層上方的一鋁殘餘物；該閘極介電層及該鋁殘餘物上方的一功函數金屬 (WFM) 層，該 WFM 層包含氟，該 WFM 層的一第一部分安置於該第一奈米結構周圍，該 WFM 層的一第二部分安置於該第二奈米結構周圍；及一導電層，該導電層安置於該 WFM 層上方，該導電層的一第一部分安置於該第一奈米結構周圍，該導電層的一第二部分安置於該第二奈米結構周圍。在另一實施例中，該閘極結構進一步包括一金屬殘餘物，該金屬殘餘物直接插入於該 WFM 層與該導電層之間。在另一實施例中，該 WFM 層與該閘極介電層中的每一者包含氟。在另一實施例中，該導電層的該第一部分實體接觸該導電層的該第二部分。在另一實施例中，該 WFM 層為一 p 型 WFM 層。

在另一實施例中，該閘極介電層包含一第一閘極介電層及一第二閘極介電層。在另一實施例中，插入於該第二閘極介電層與該 WFM 層之間的一區包含自約 0.3% 至約 10% 之一範圍內的一濃度之鋁。

**【0093】** 在一些實施例中，一種電晶體包括：一第一介電材料，該第一介電材料安置於一第一奈米結構上方；一第一金屬殘餘物，該第一金屬殘餘物安置於該第一介電材料上方；一第一導電材料，該第一導電材料安置於該第一介電材料上方；一第二導電材料，該第二導電材料安置於該第一導電材料上方；一第三導電材料，該第三導電材料安置於該第二導電材料上方，該第三導電材料具有與該第一導電材料相同的組合物；一第二金屬殘餘物，該第二金屬殘餘物安置於該第三導電材料上方，該第二金屬殘餘物具有與該第一金屬殘餘物相同的組合物；一第二介電材料，該第二介電材料安置於該第二金屬殘餘物上方，該第二介電材料具有與該第一介電材料相同的組合物；及一第二奈米結構，該第二奈米結構安置於該第二介電材料上方。在另一實施例中，該電晶體進一步包括一第三金屬殘餘物，該第三金屬殘餘物插入於該第一導電材料與該第二導電材料之間；及一第四金屬殘餘物，該第四金屬殘餘物插入於該第二導電材料與該第三導電材料之間，該第四金屬殘餘物具有與該第三金屬殘餘物相同的組合物。在另一實施例中，該第三金屬殘餘物包含鎢。在另一實施例中，該第二介電材料、該第一導電材料、該第三導電材料及該第三介電材

料中的每一者包含氟。在另一實施例中，該第一金屬殘餘物包含鋁。

**【0094】** 前述內容概述若干實施例之特徵，使得熟習此項技術者可更佳地理解本揭露之態樣。熟習此項技術者應瞭解，其可易於使用本揭露作為用於設計或修改用於實施本文中引入之實施例之相同目的及/或達成相同優勢之其他製程及結構的基礎。熟習此項技術者亦應認識到，此類等效構造並不偏離本揭露之精神及範疇，且此類等效構造可在本文中進行各種改變、取代及替代而不偏離本揭露的精神及範疇。

**【符號說明】**

**【0095】**

2 0	:	分隔器
5 0	:	基板
5 0 I	:	區
5 0 N	:	N 型區
5 0 P	:	P 型區
5 1	:	第一半導體層
5 1 A	:	第一半導體層
5 1 B	:	第一半導體層
5 1 C	:	第一半導體層
5 2	:	第一奈米結構
5 2 A	:	第一奈米結構
5 2 B	:	第一奈米結構

5 2 C	:	第一奈米結構
5 3	:	第二半導體層
5 3 A	:	第二半導體層
5 3 B	:	第二半導體層
5 3 C	:	第二半導體層
5 4	:	第二奈米結構
5 4 A	:	第二奈米結構
5 4 B	:	第二奈米結構
5 4 C	:	第二奈米結構
5 5	:	奈米結構
6 4	:	多層堆疊
6 6	:	鰭片
6 8	:	淺溝槽隔離區 ( S T I ) 區
7 0	:	虛設介電層
7 1	:	虛設閘極介電層
7 2	:	虛設閘極層 / 虛設閘極
7 4	:	遮罩層
7 6	:	虛設閘極
7 8	:	遮罩
8 0	:	第一間隔物層
8 1	:	第一間隔物
8 2	:	第二間隔物層
8 3	:	第二間隔物
8 6	:	第一凹槽

8 8	:	側壁凹槽
9 0	:	第一內部間隔物
9 2	:	磊晶源極 / 汲極區
9 2 A	:	第一半導體材料層
9 2 B	:	第二半導體材料層
9 2 C	:	第三半導體材料層
9 4	:	觸點蝕刻終止層 (CESL)
9 6	:	第一層間介電質 (ILD)
9 8	:	第二凹槽
1 0 0	:	閘極介電層
1 0 1	:	第一閘極介電層 / 介面層
1 0 2	:	閘極電極
1 0 3	:	高 k 閘極介電層, 第二閘極 介電層
1 0 4	:	閘極遮罩
1 0 5	:	第一導電材料
1 0 6	:	第二層間介電質 (ILD)
1 0 7	:	第二導電材料
1 0 7 A	:	第一部分 / 導電材料
1 0 7 B	:	第二部分 / 導電材料
1 0 7 S	:	介面
1 0 8	:	第三凹槽
1 0 9	:	鋁處置
1 1 0	:	矽化物區

1 1 1	:	鋁的第一殘餘物
1 1 2	:	觸點
1 1 3	:	氟處置
1 1 4	:	觸點
1 1 5	:	金屬之第二殘餘物
1 1 7	:	黏著層
1 1 9	:	下伏填充金屬
1 2 1	:	導電材料
1 2 3	:	阻障層
1 2 5	:	填充金屬
1 2 7	:	閘極電極
1 3 0	:	開口
A - A '	:	橫截面
B - B '	:	橫截面
C - C '	:	橫截面

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】一種形成閘極結構之方法，包含以下步驟：  
在一基板上方形形成複數個奈米結構；  
蝕刻該些奈米結構以形成第一凹槽；  
在該些第一凹槽中形成源極/汲極區；  
移除該些奈米結構中之第一奈米結構，從而留下該些奈米結構中的第二奈米結構；  
在該些第二奈米結構上方且周圍沈積一閘極介電層；  
對該閘極介電層執行一鋁處置；  
在該閘極介電層上方且周圍沈積一第一導電材料；  
對該第一導電材料執行一氟處置；及  
在該第一導電材料上方且周圍沈積一第二導電材料。

【請求項 2】如請求項 1 所述之方法，其中該執行該鋁處置的步驟包含以下步驟：在該閘極介電層上方形成一鋁殘餘物。

【請求項 3】如請求項 1 所述之方法，其中該執行該氟處置的步驟包含以下步驟：使氟擴散至該第一導電材料中。

【請求項 4】如請求項 3 所述之方法，其中該執行該氟處置的步驟進一步包含以下步驟：使氟擴散至該閘極介電層中。

【請求項 5】如請求項 3 所述之方法，其中該執行該氟處置的步驟進一步包含以下步驟：在該第一導電材料上方形成一金屬殘餘物。

【請求項 6】如請求項 1 所述之方法，其中該執行該鋁處置的步驟包含以下步驟：使包含三乙基鋁或三甲基鋁的一前驅物流動。

【請求項 7】一種閘極結構，包含：

一第一奈米結構，該第一奈米結構在一源極區與一汲極區之間延伸；

該第一奈米結構上方的一第二奈米結構；

一閘極介電層，該閘極介電層係在該第一奈米結構及該第二奈米結構上方且周圍；

該閘極介電層上方的一鋁殘餘物；

該閘極介電層及該鋁殘餘物上方的一功函數金屬層，該功函數金屬層包含氟，該功函數金屬層的一第一部分安置於該第一奈米結構周圍，該功函數金屬層的一第二部分安置於該第二奈米結構周圍；及

一導電層，該導電層安置於該功函數金屬層上方，該導電層的一第一部分安置於該第一奈米結構周圍，該導電層的一第二部分安置於該第二奈米結構周圍。

【請求項 8】如請求項 7 所述之閘極結構，進一步包含一



金屬殘餘物，該金屬殘餘物直接插入於該功函數金屬層與該導電層之間。

【請求項 9】一種電晶體，包含：

一第一介電材料，該第一介電材料安置於一第一奈米結構上方；

一第一金屬殘餘物，該第一金屬殘餘物安置於該第一介電材料上方；

一第一導電材料，該第一導電材料安置於該第一介電材料上方；

一第二導電材料，該第二導電材料安置於該第一導電材料上方；

一第三導電材料，該第三導電材料安置於該第二導電材料上方，該第三導電材料具有與該第一導電材料相同的組合物；

一第二金屬殘餘物，該第二金屬殘餘物安置於該第三導電材料上方，該第二金屬殘餘物具有與該第一金屬殘餘物相同的組合物；

一第二介電材料，該第二介電材料安置於該第二金屬殘餘物上方，該第二介電材料具有與該第一介電材料相同的組合物；及

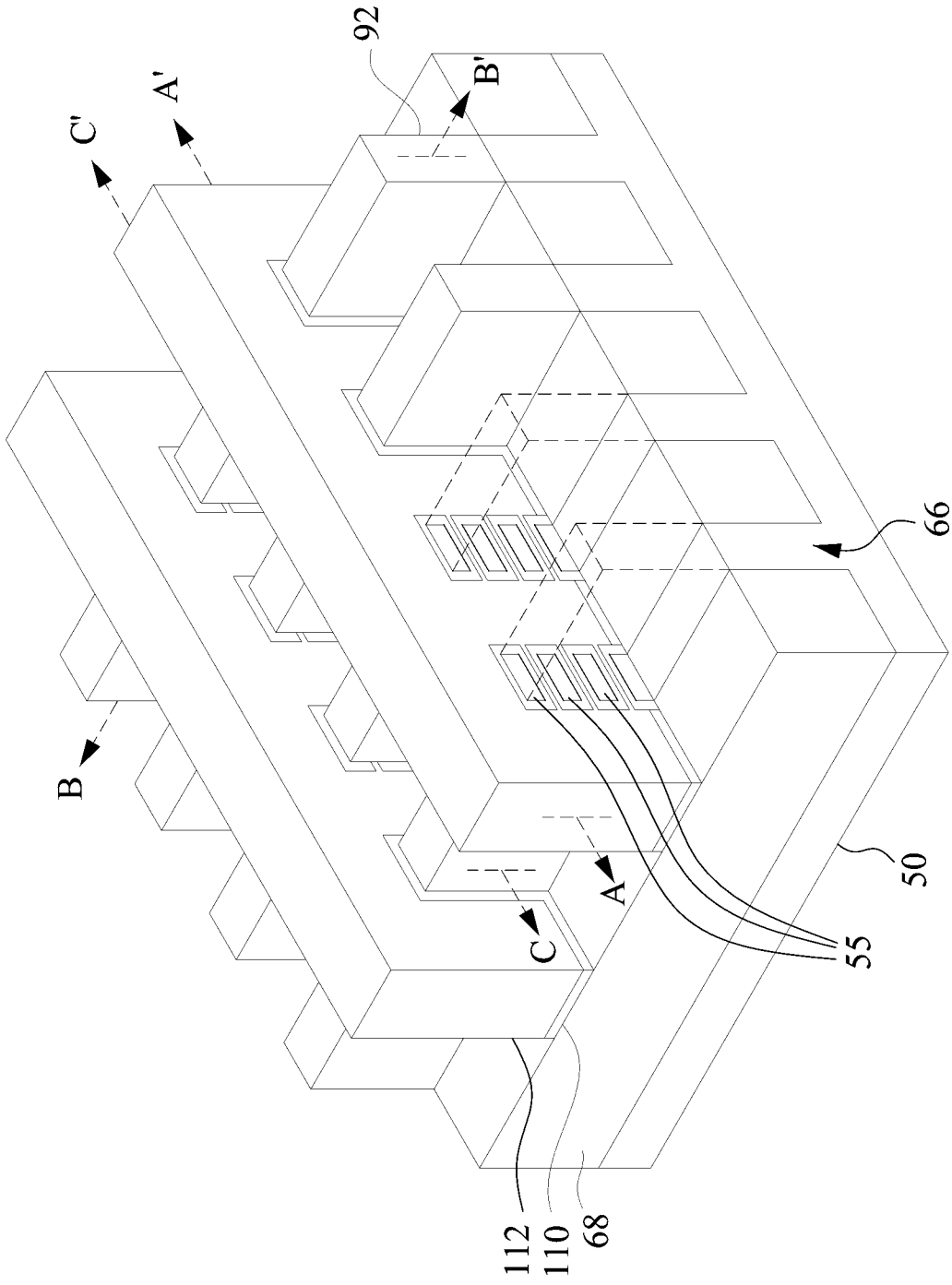
一第二奈米結構，該第二奈米結構安置於該第二介電材料上方。

【請求項 10】如請求項 9 所述之電晶體，進一步包含：

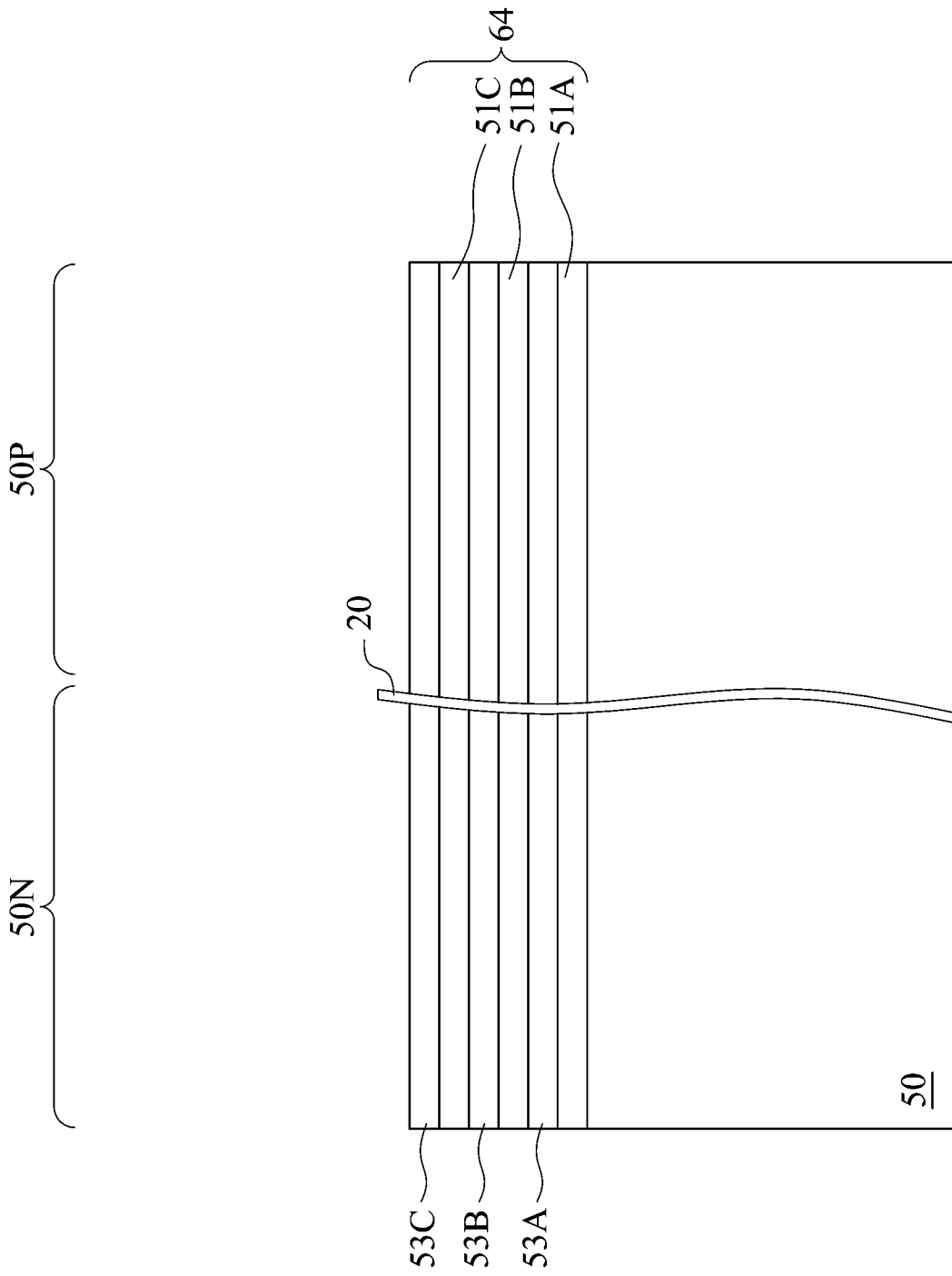
一第三金屬殘餘物，該第三金屬殘餘物插入於該第一導電材料與該第二導電材料之間；及

一第四金屬殘餘物，該第四金屬殘餘物插入於該第二導電材料與該第三導電材料之間，該第四金屬殘餘物具有與該第三金屬殘餘物相同的組合物。

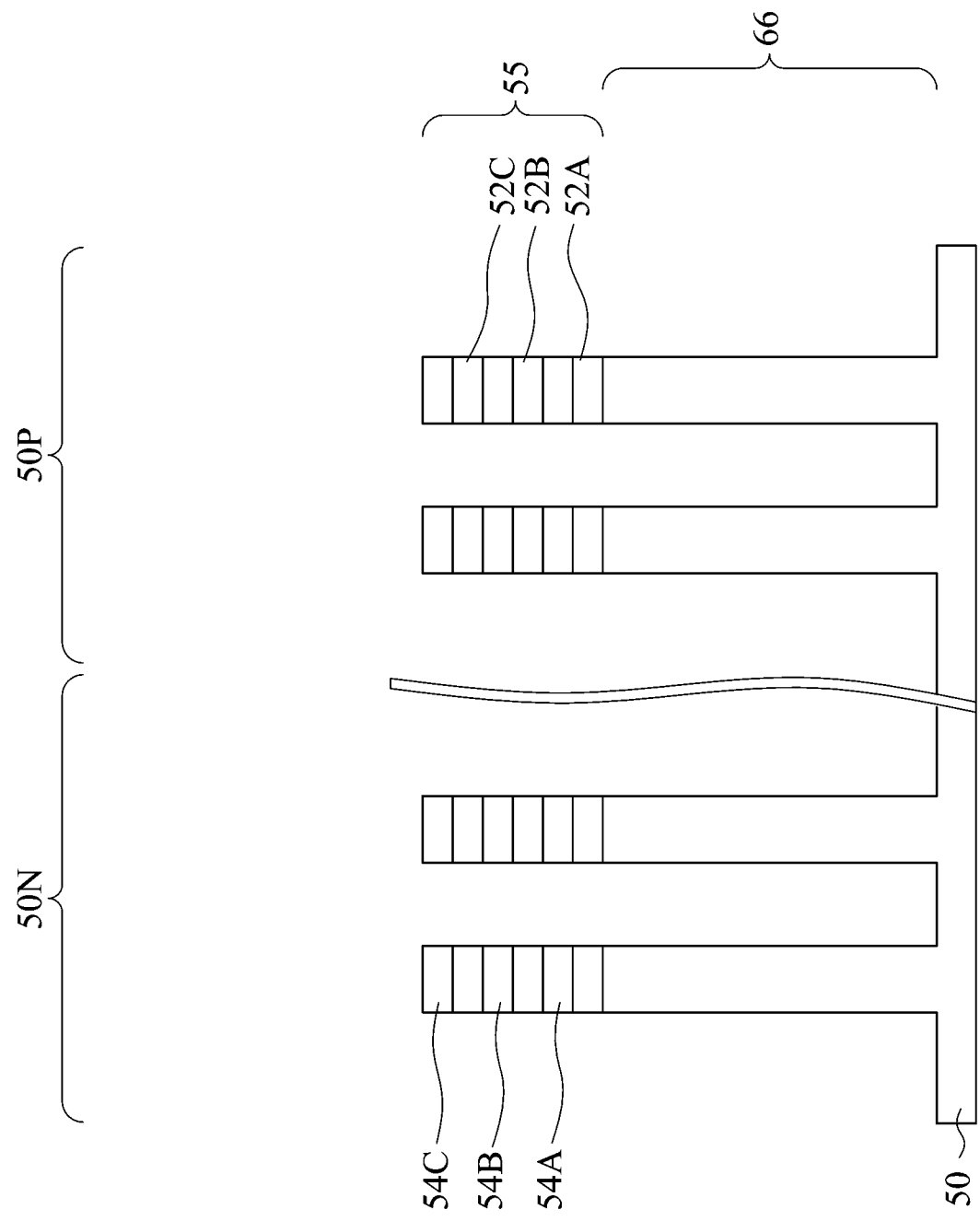
【發明圖式】



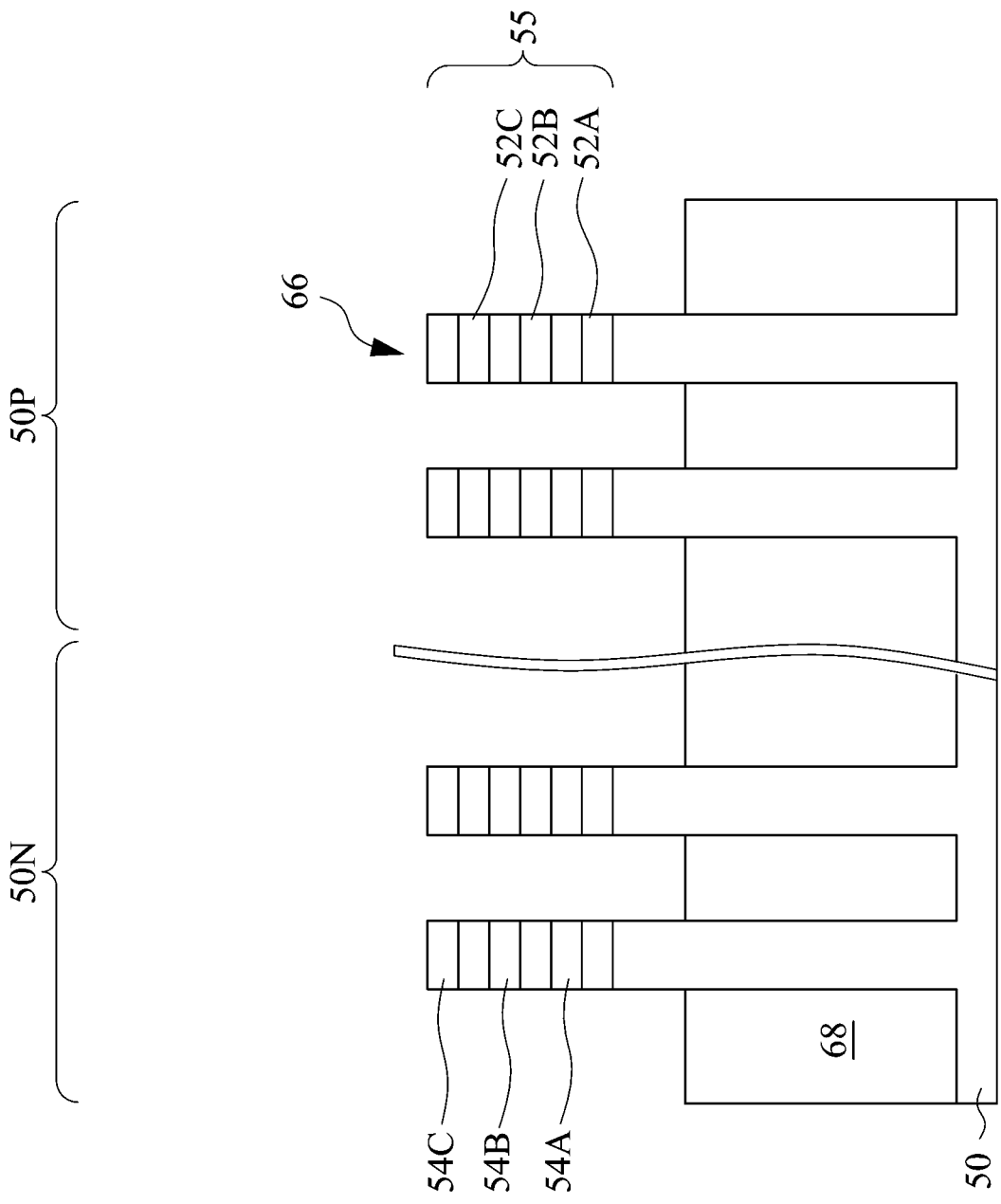
第 1 圖



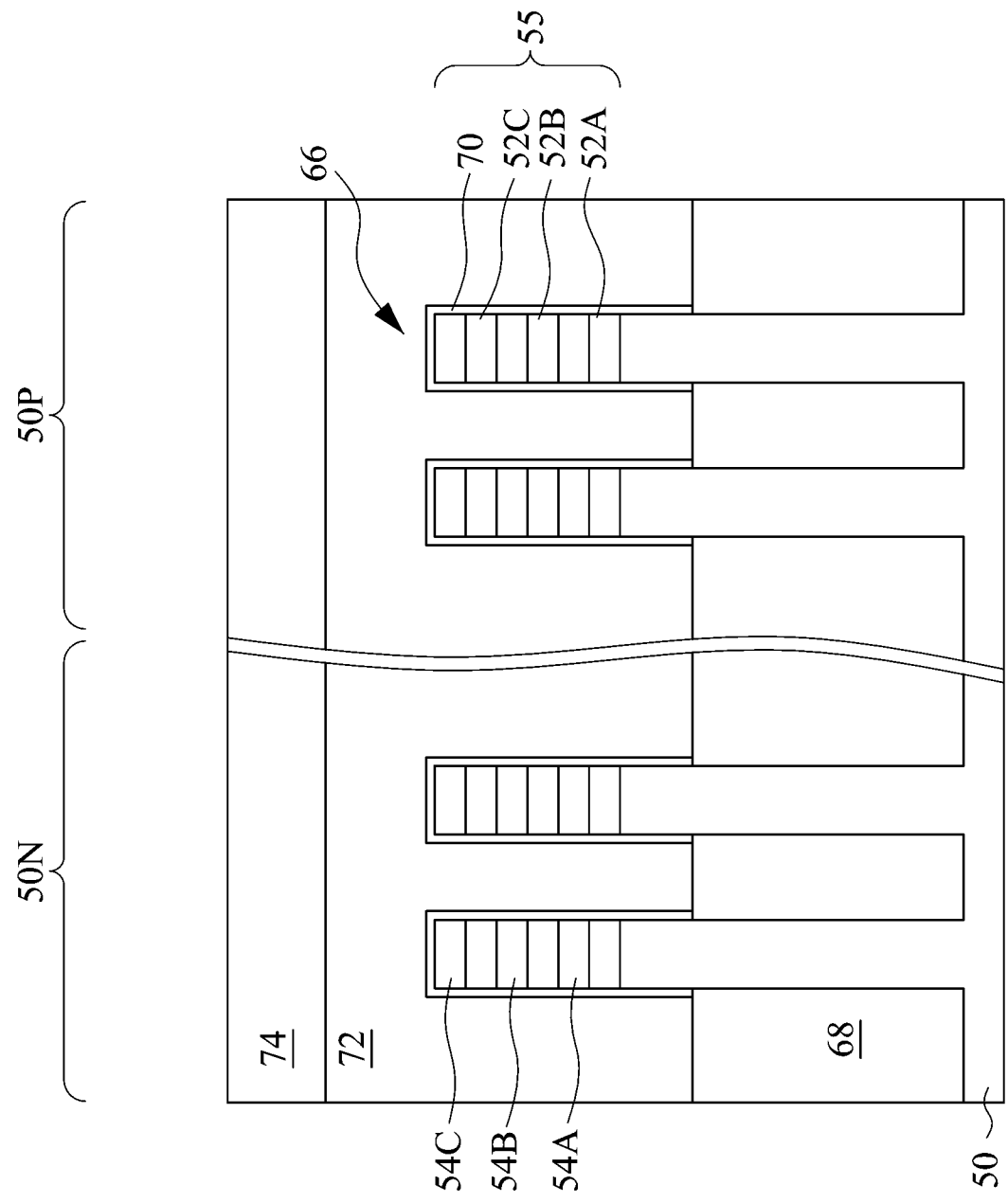
第 2 圖



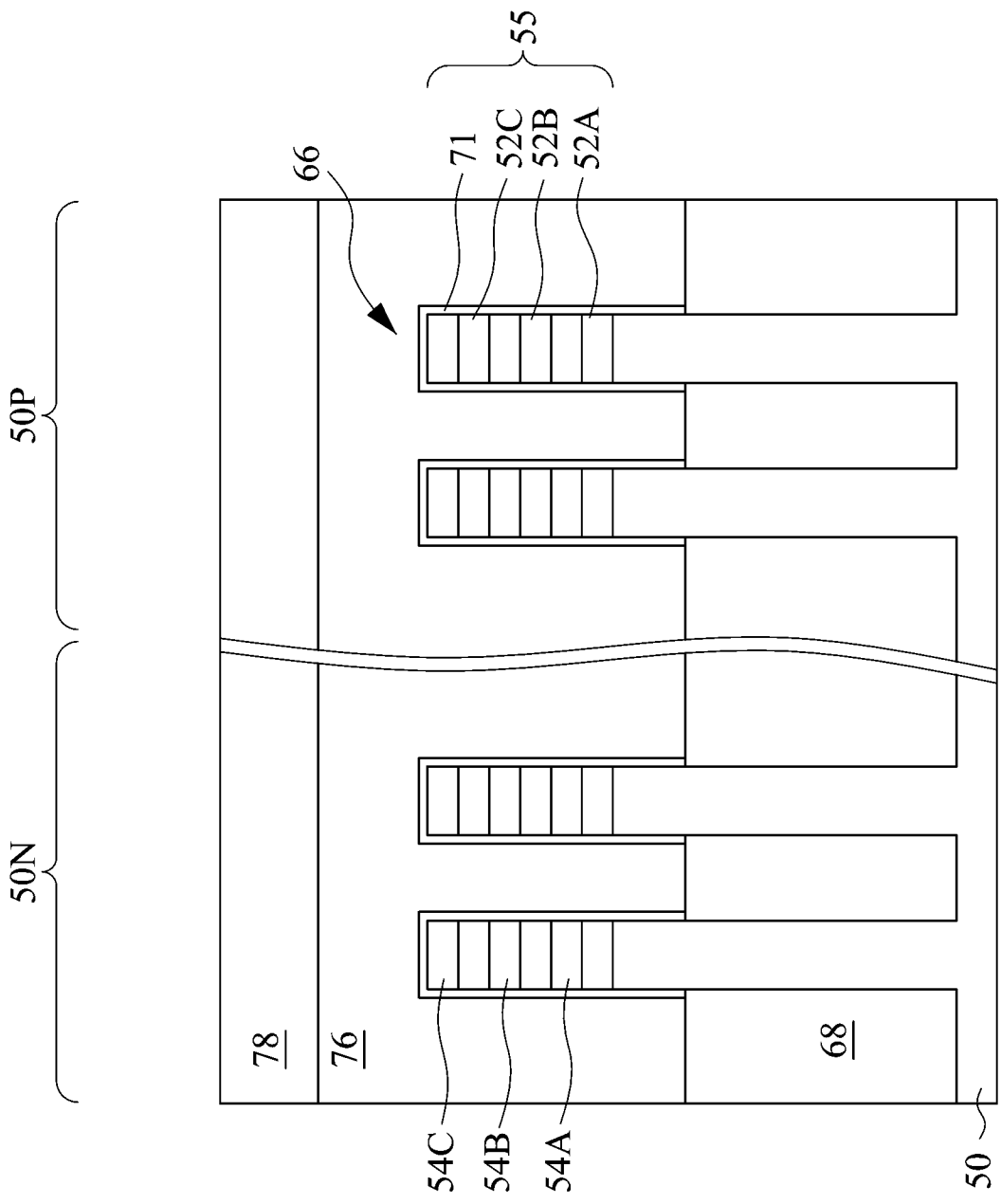
第 3 圖



第 4 圖

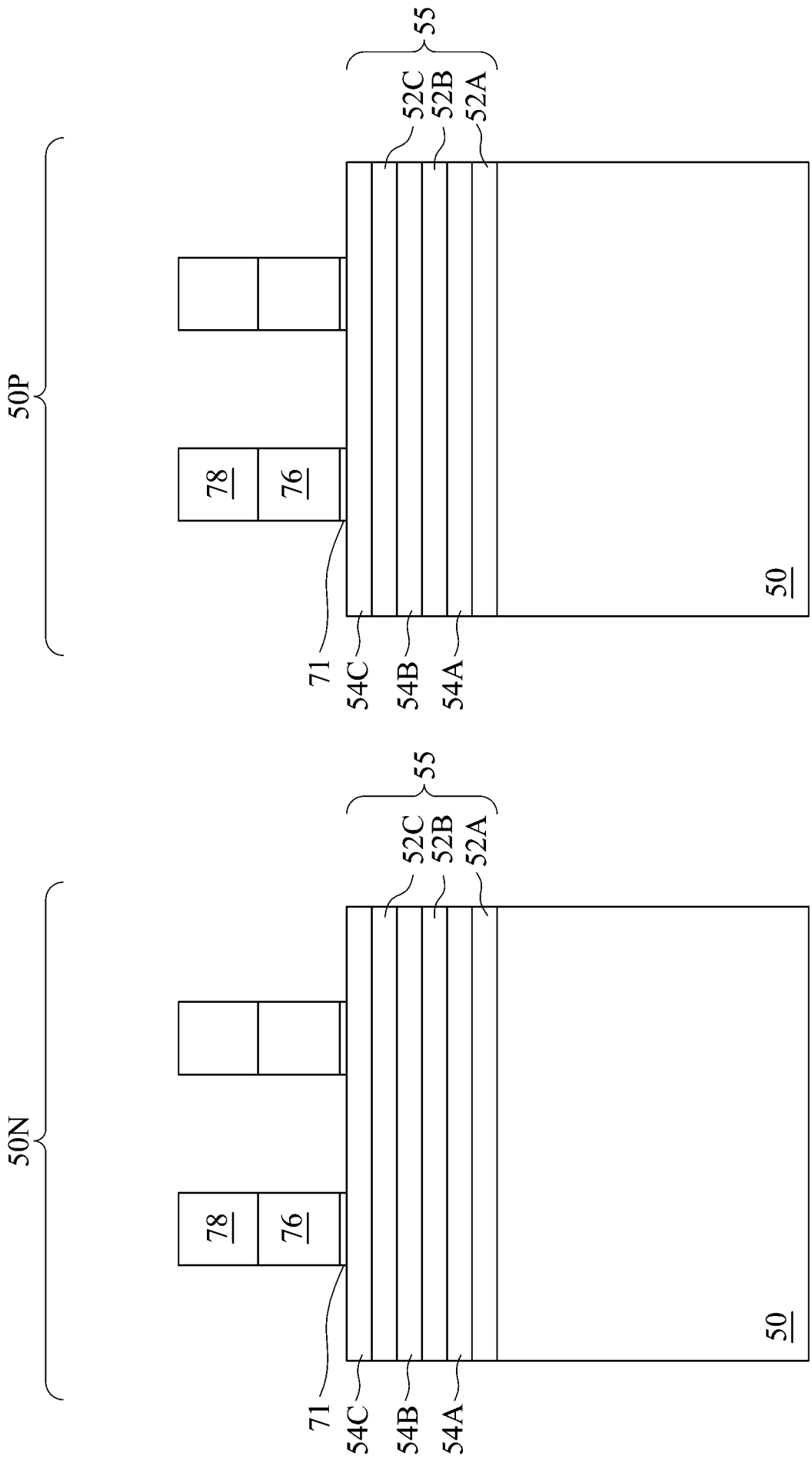


第 5 圖

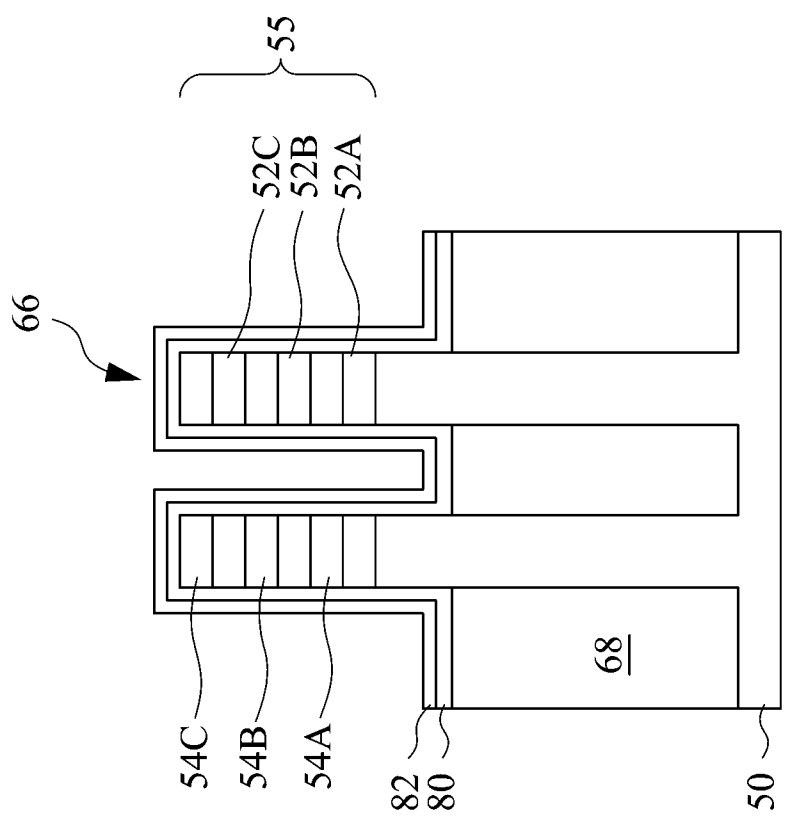


第 6A 圖

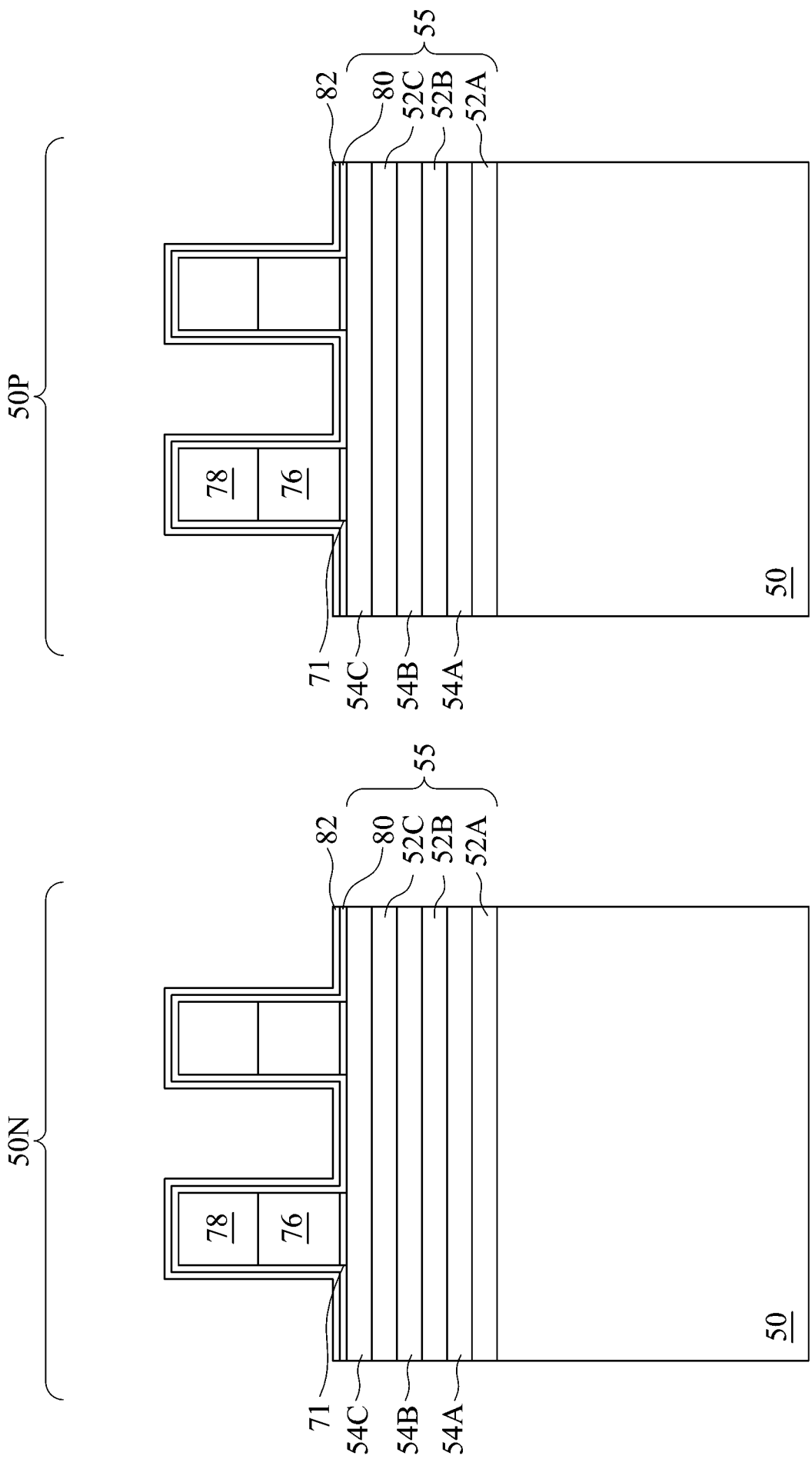




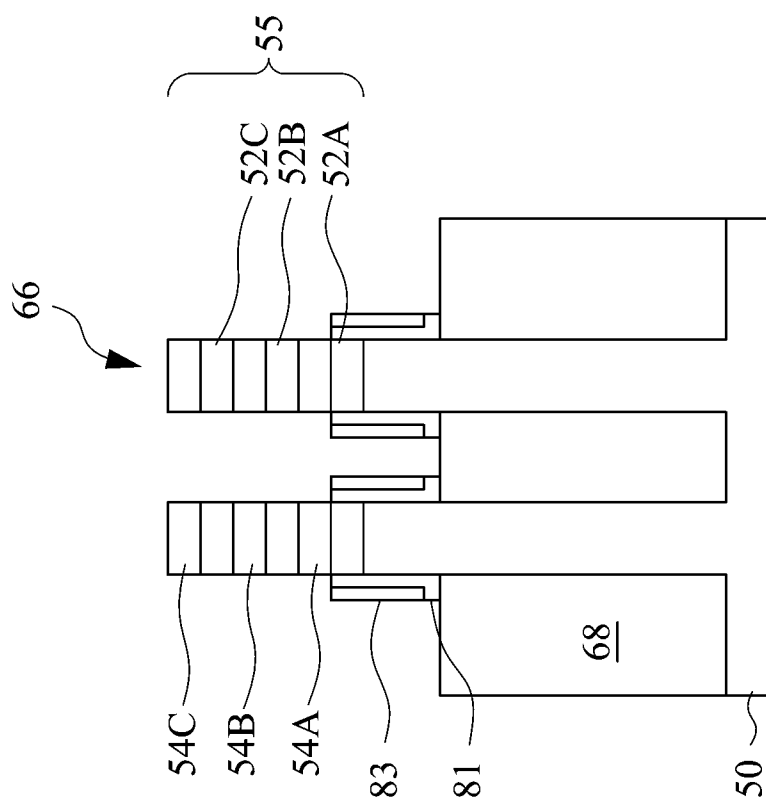
第6B圖



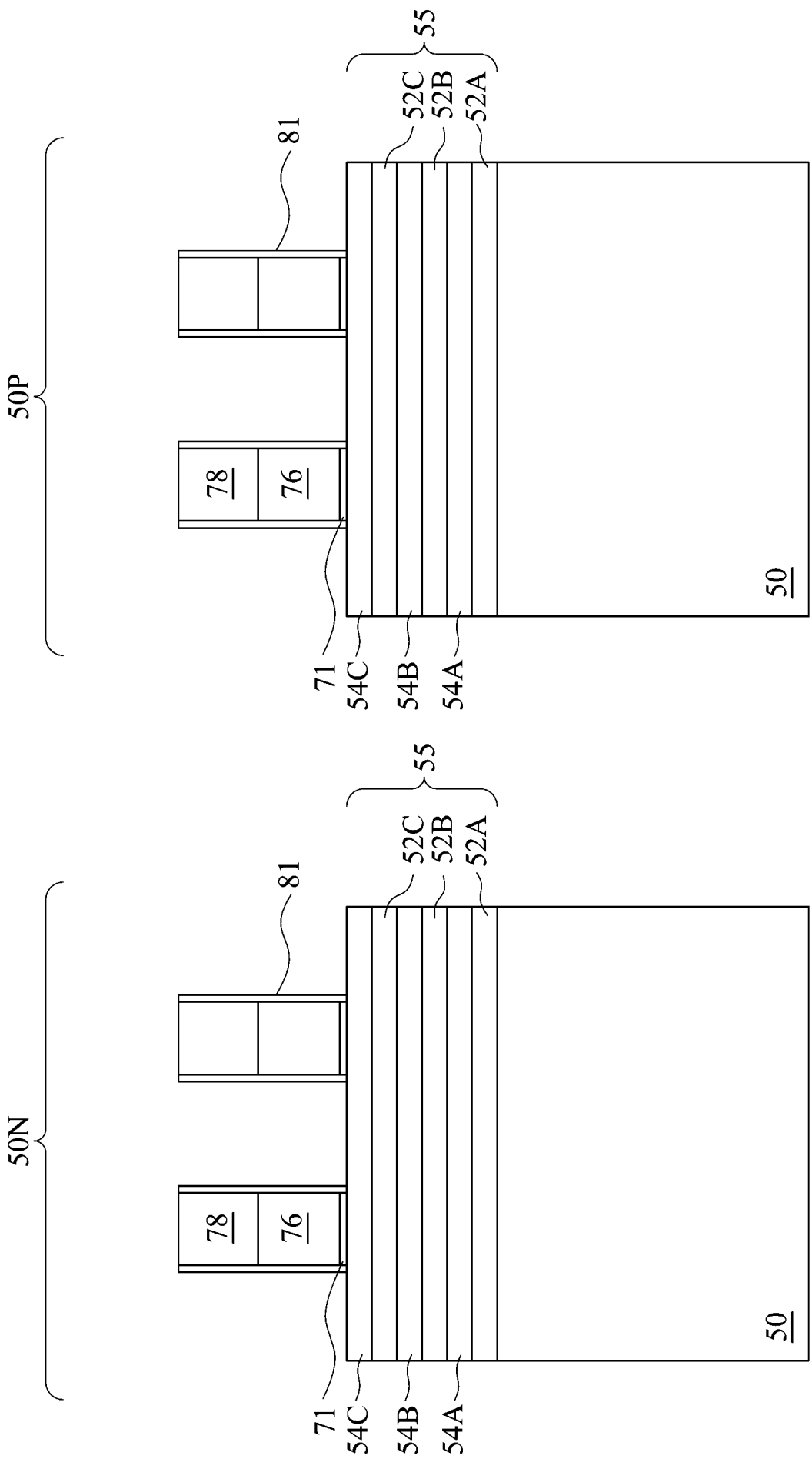
第 7A 圖



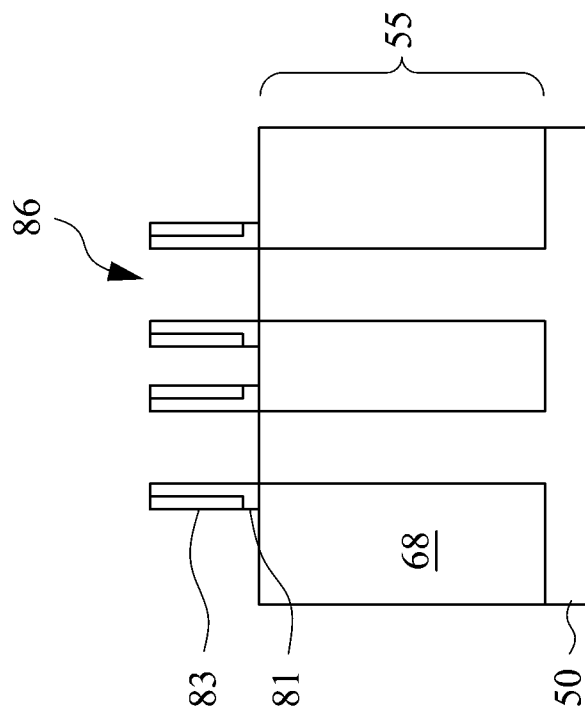
第 7B 圖



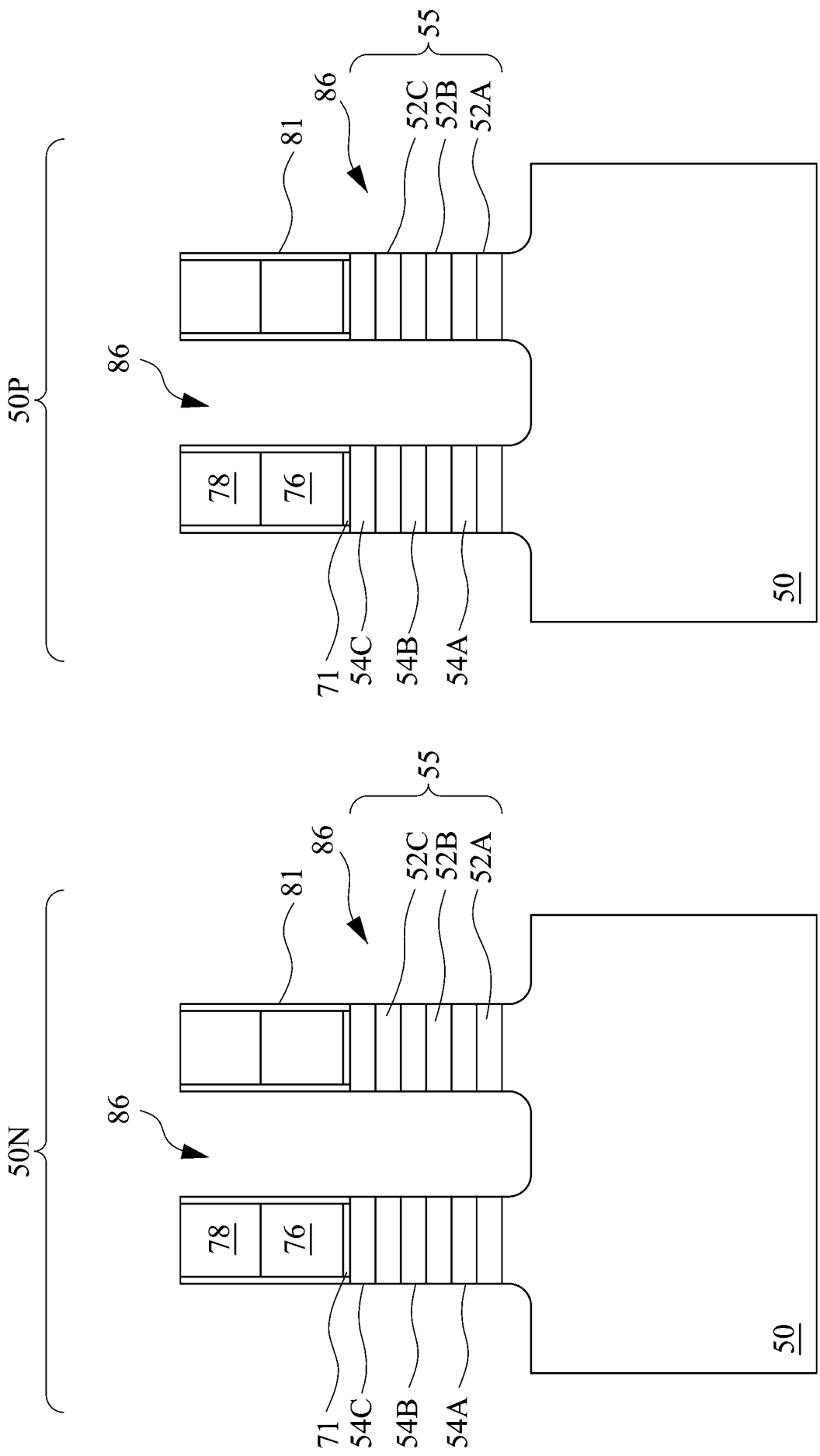
第 8A 圖



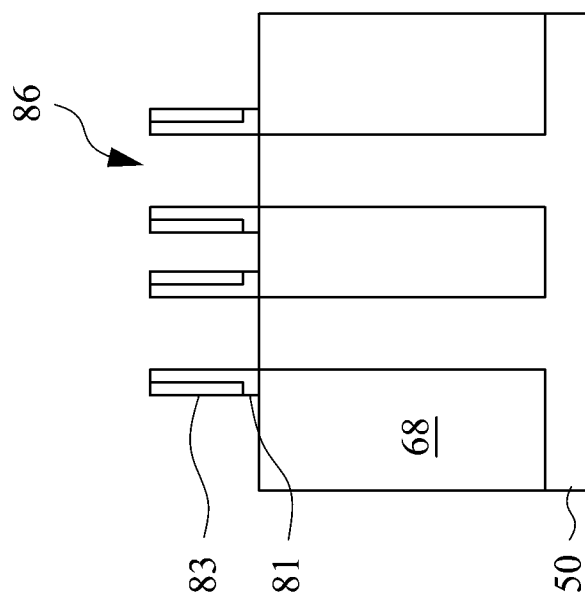
第 8B 圖



第 9A 圖

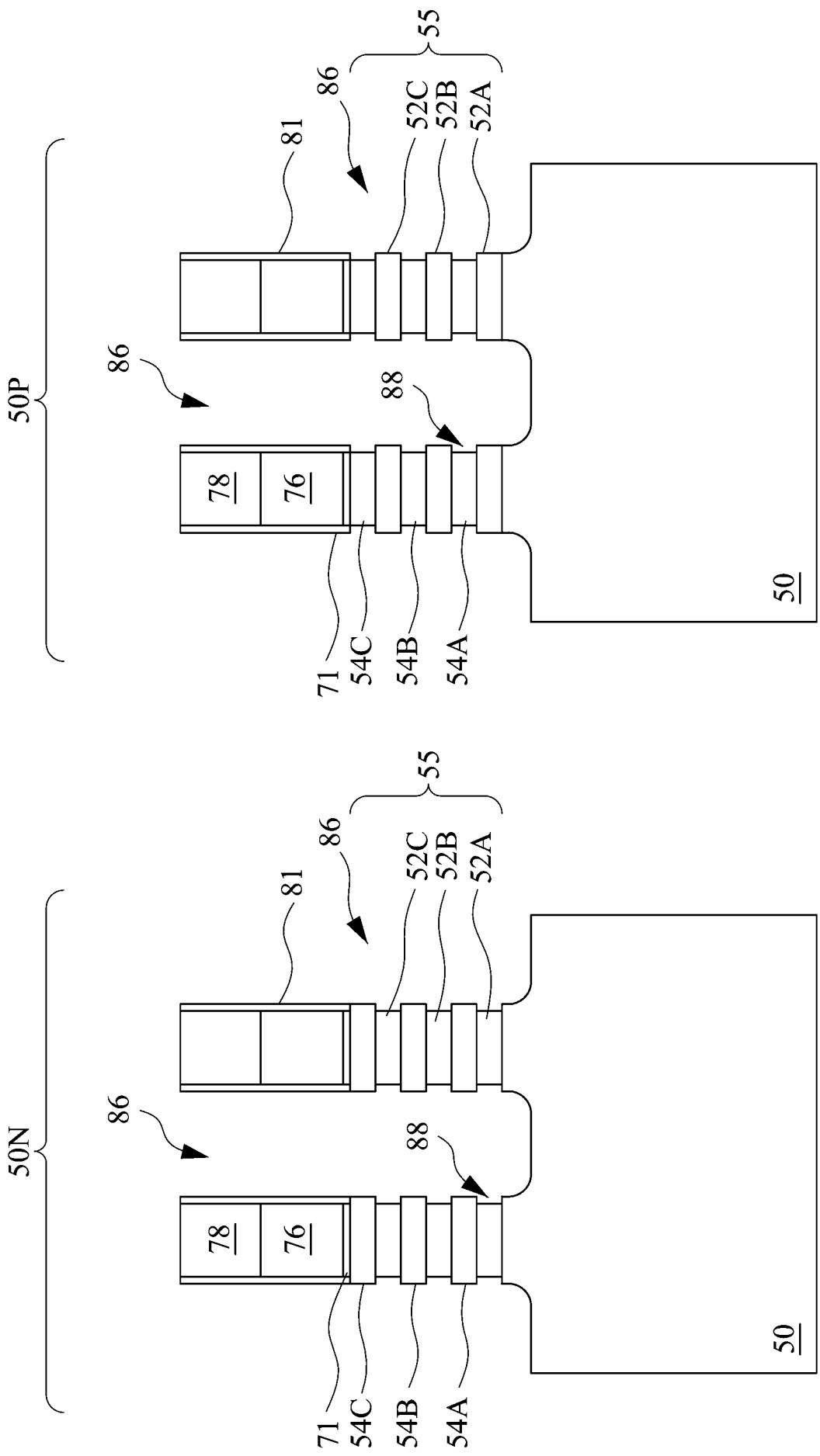


第 9B 圖

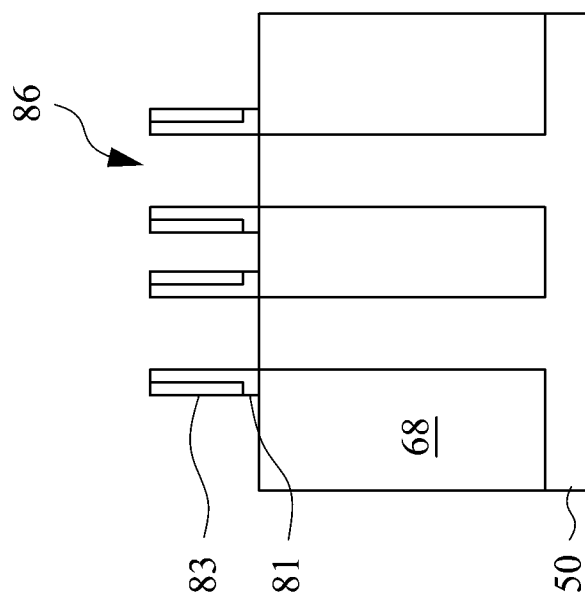


第 10A 圖

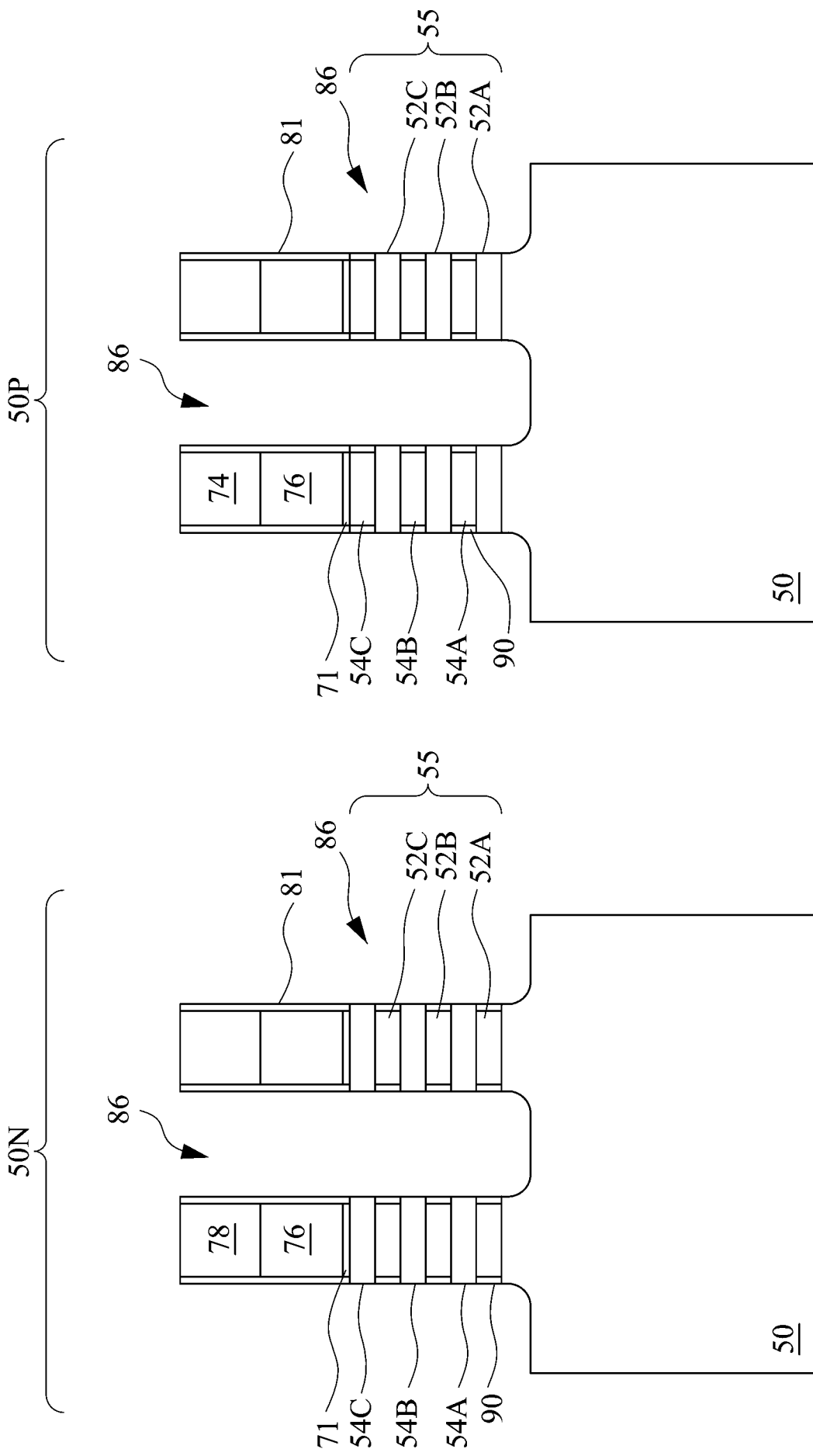




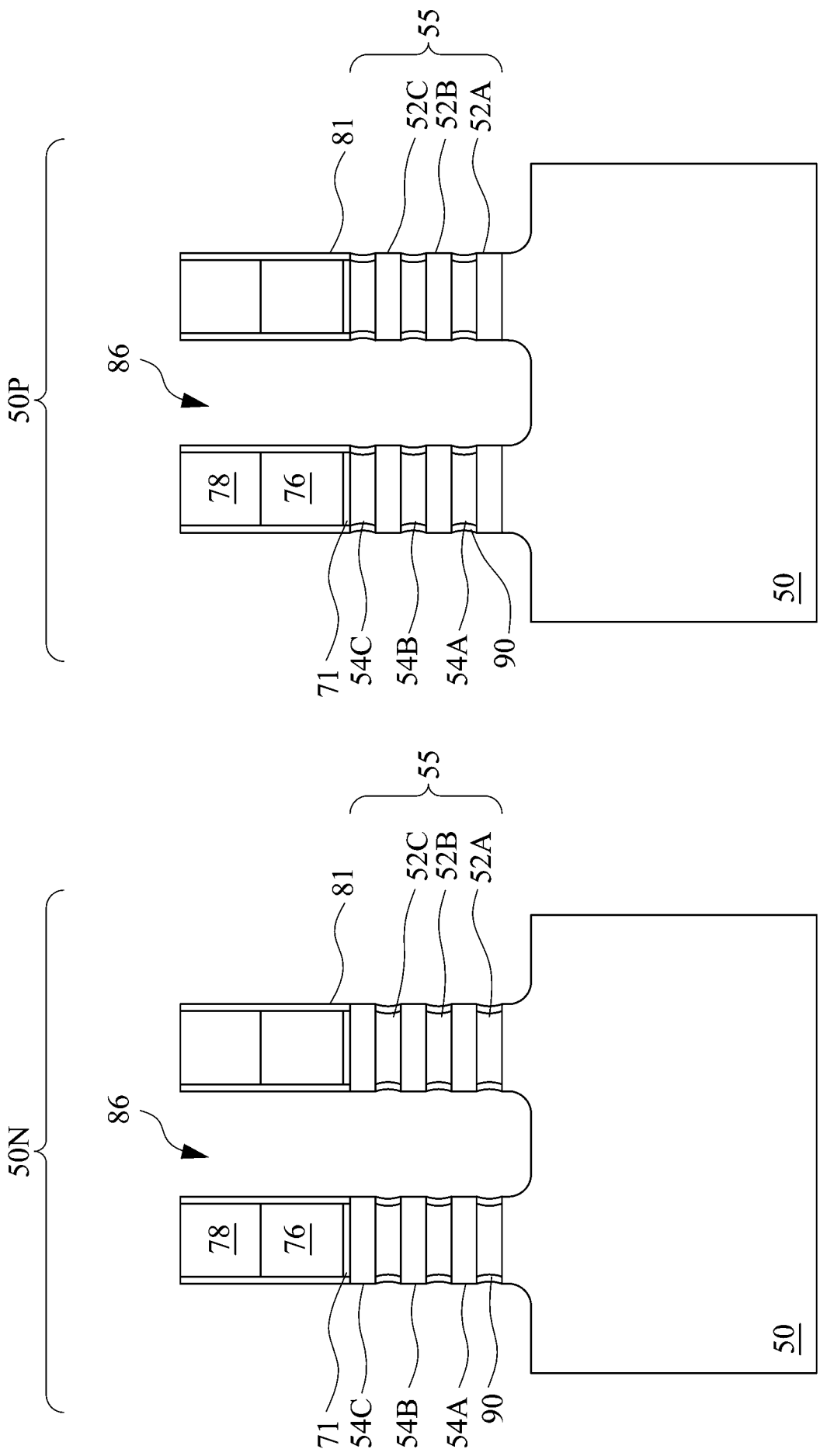
第 10B 圖



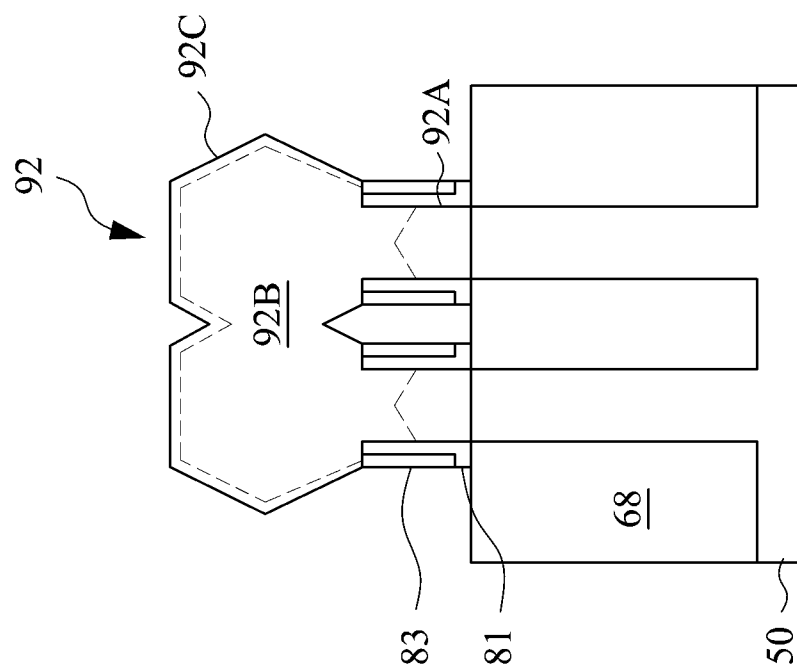
第 11A 圖



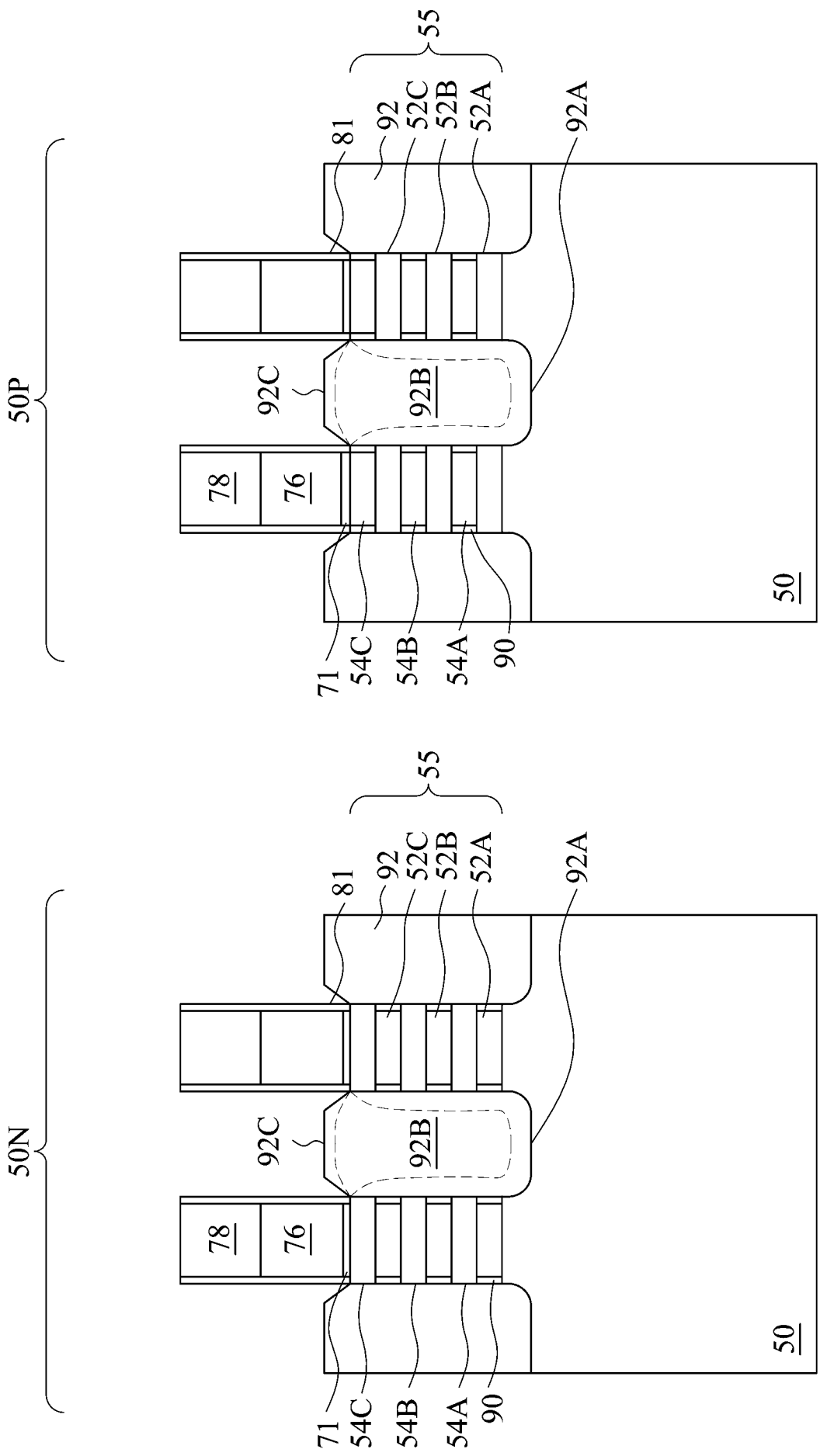
第 11B 圖



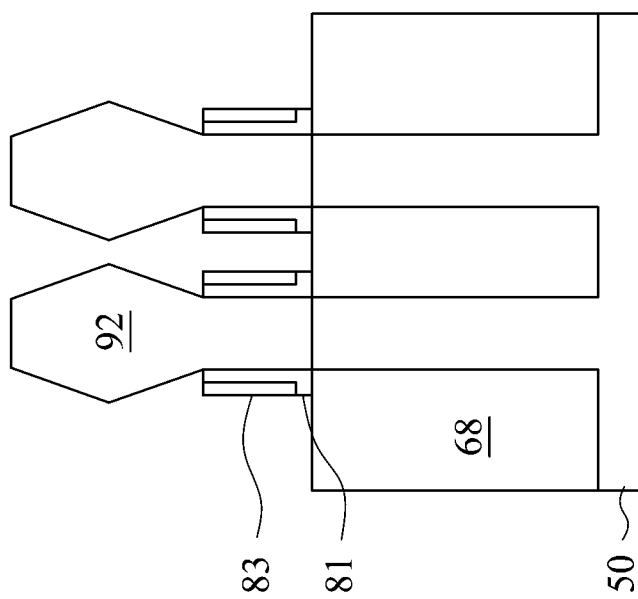
第 11C 圖



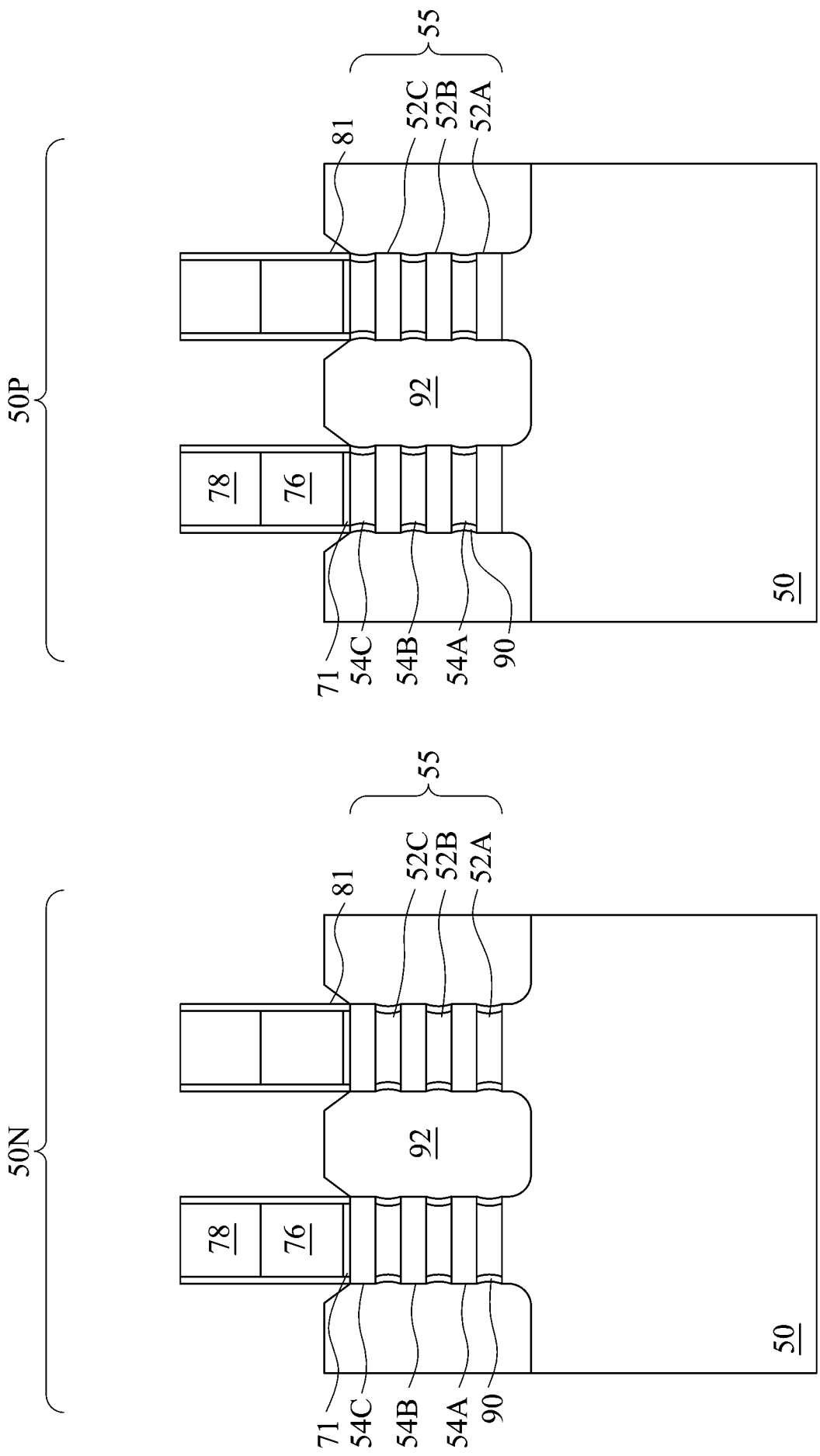
第 12A 圖



第 12B 圖

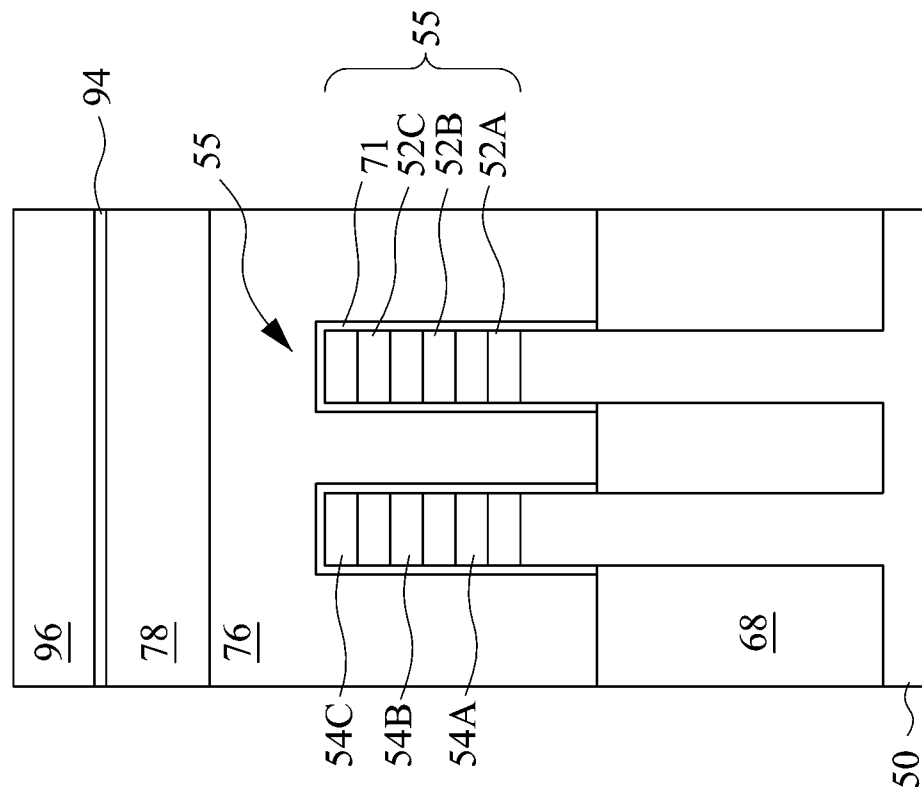


第 12C 圖

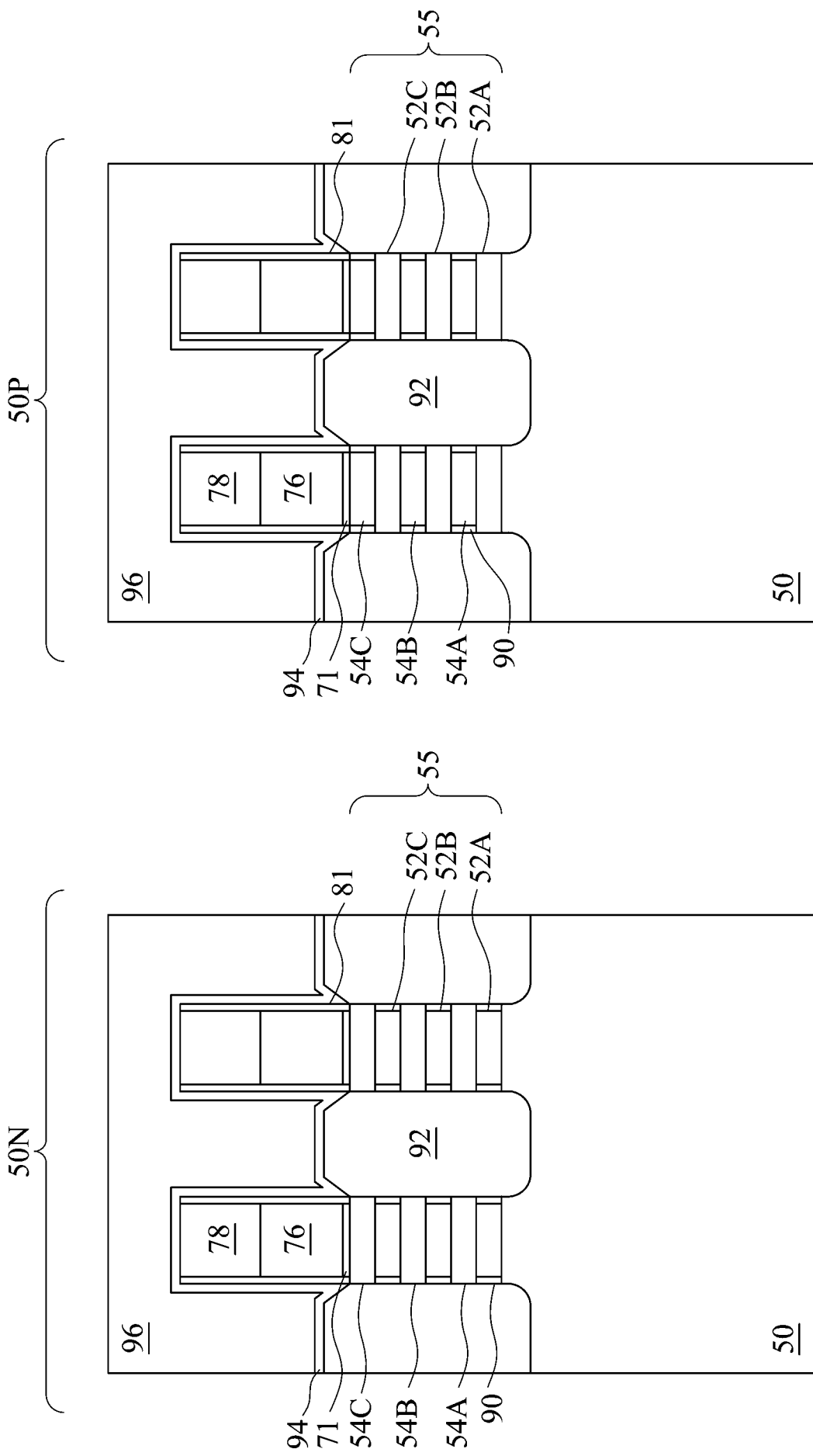


第 12D 圖

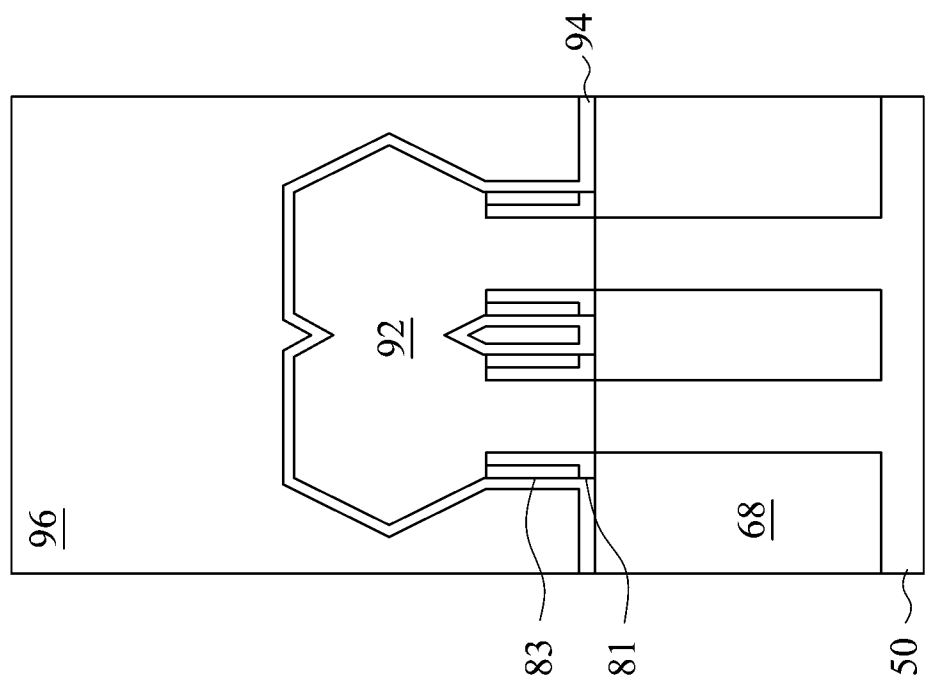




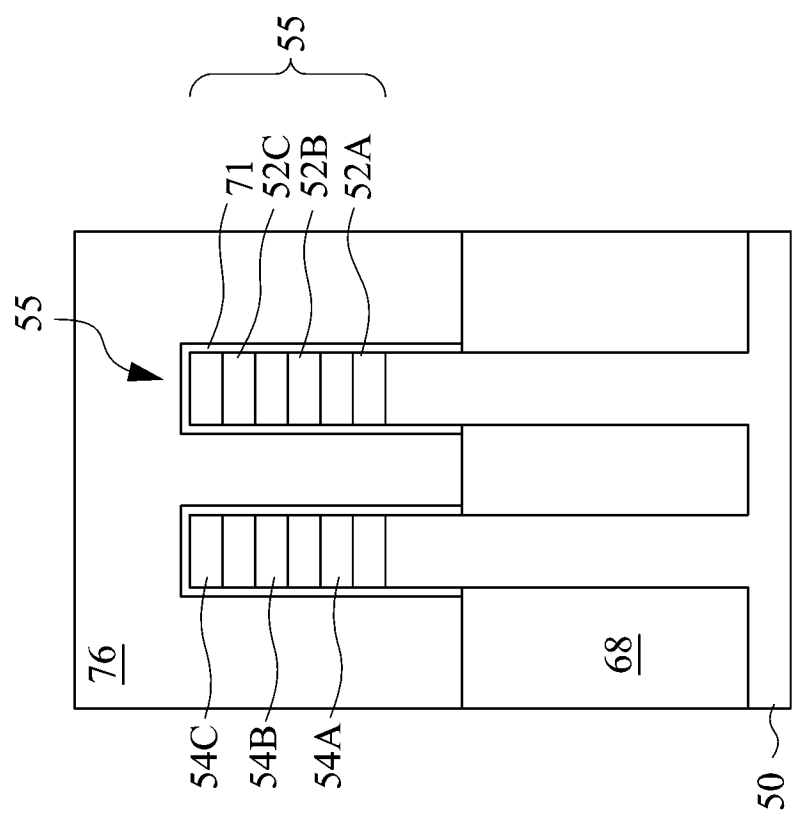
第 13A 圖



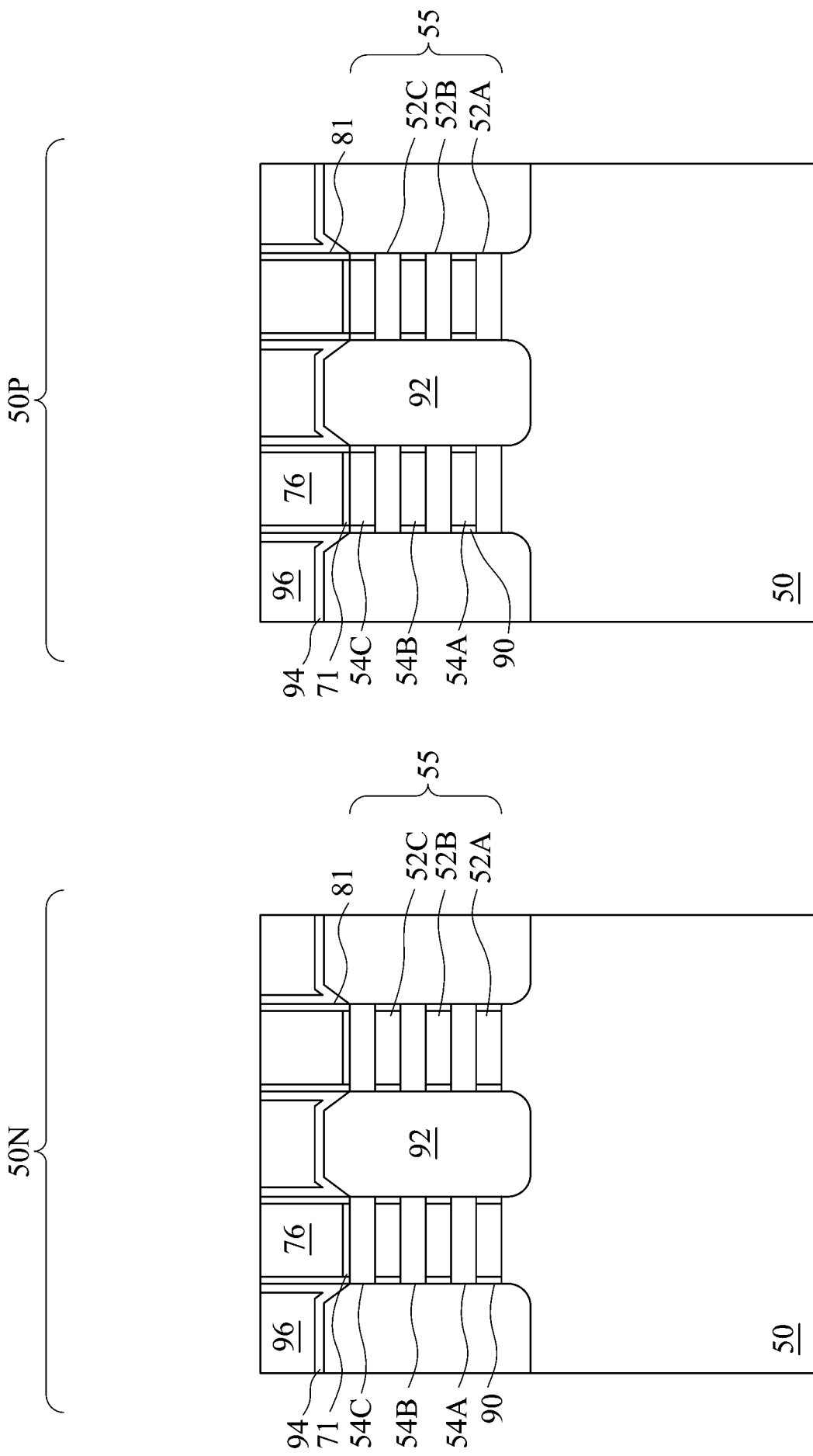
第 13B 圖



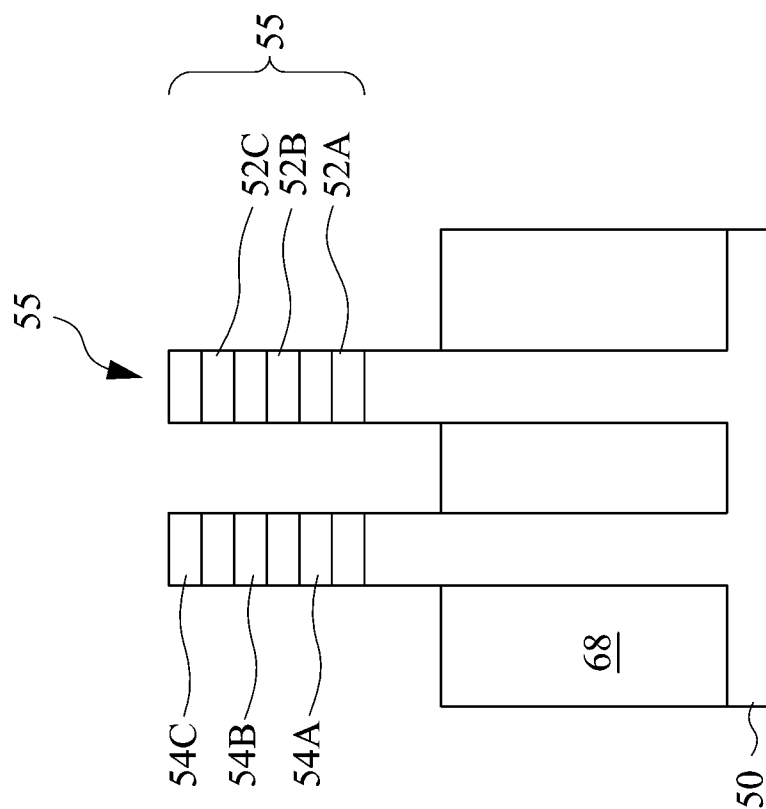
第 13C 圖



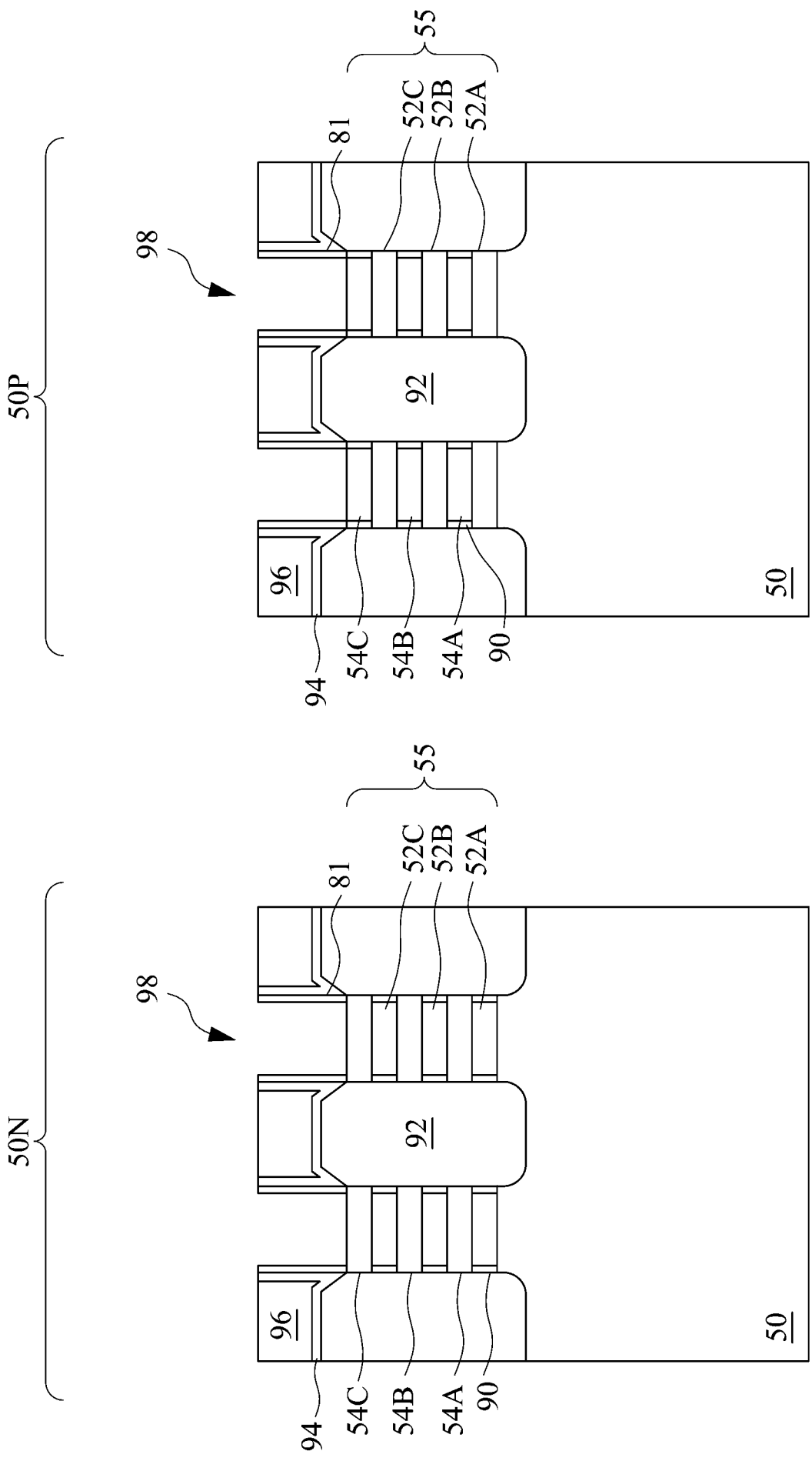
第 14A 圖



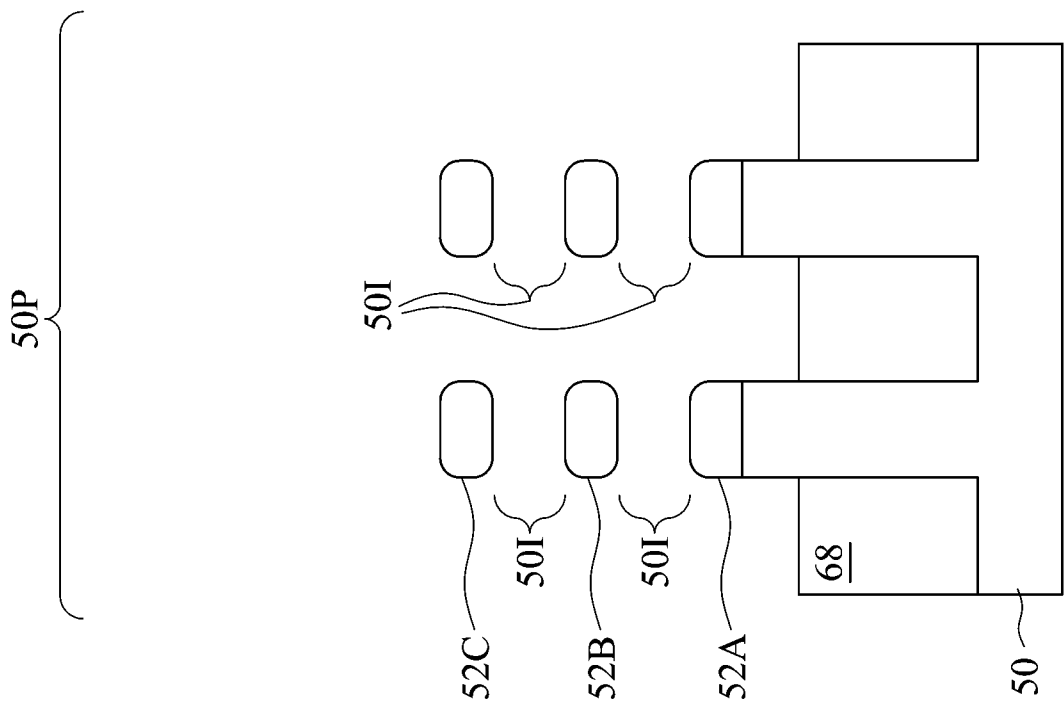
第 14B 圖



第 15A 圖

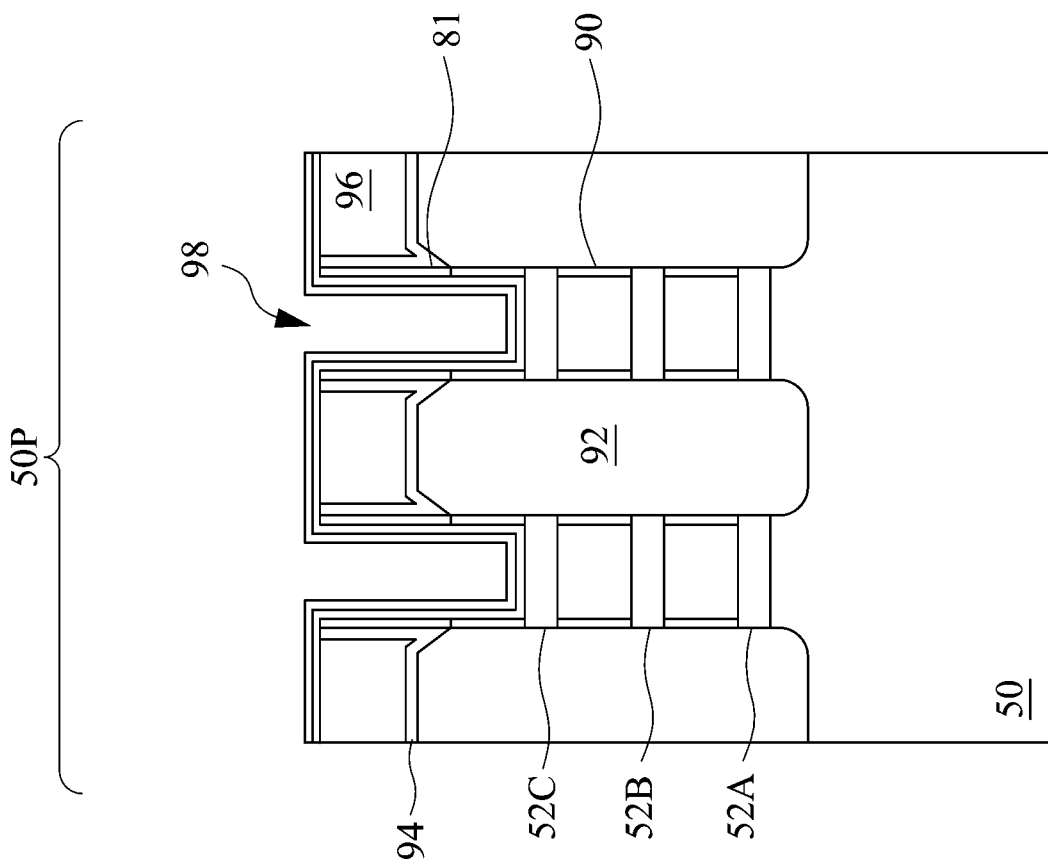


第 15B 圖

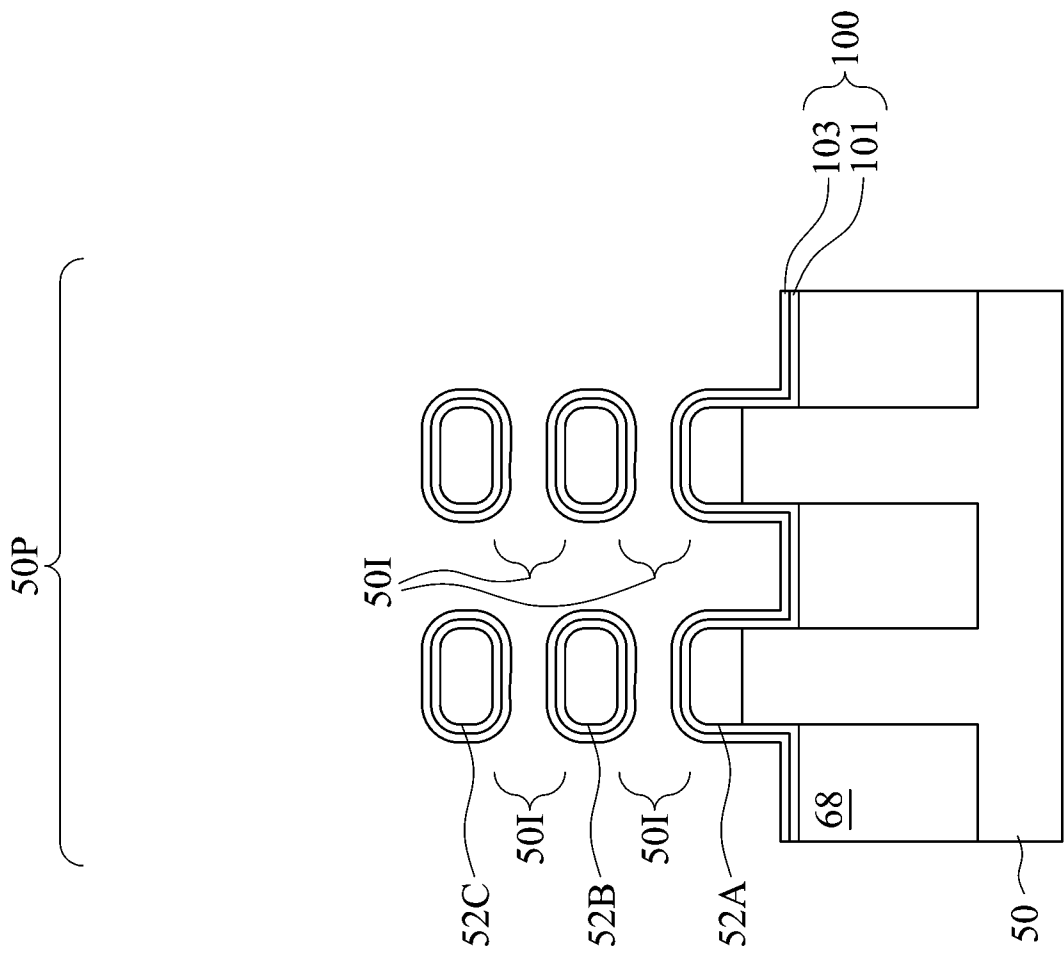


第 16A 圖

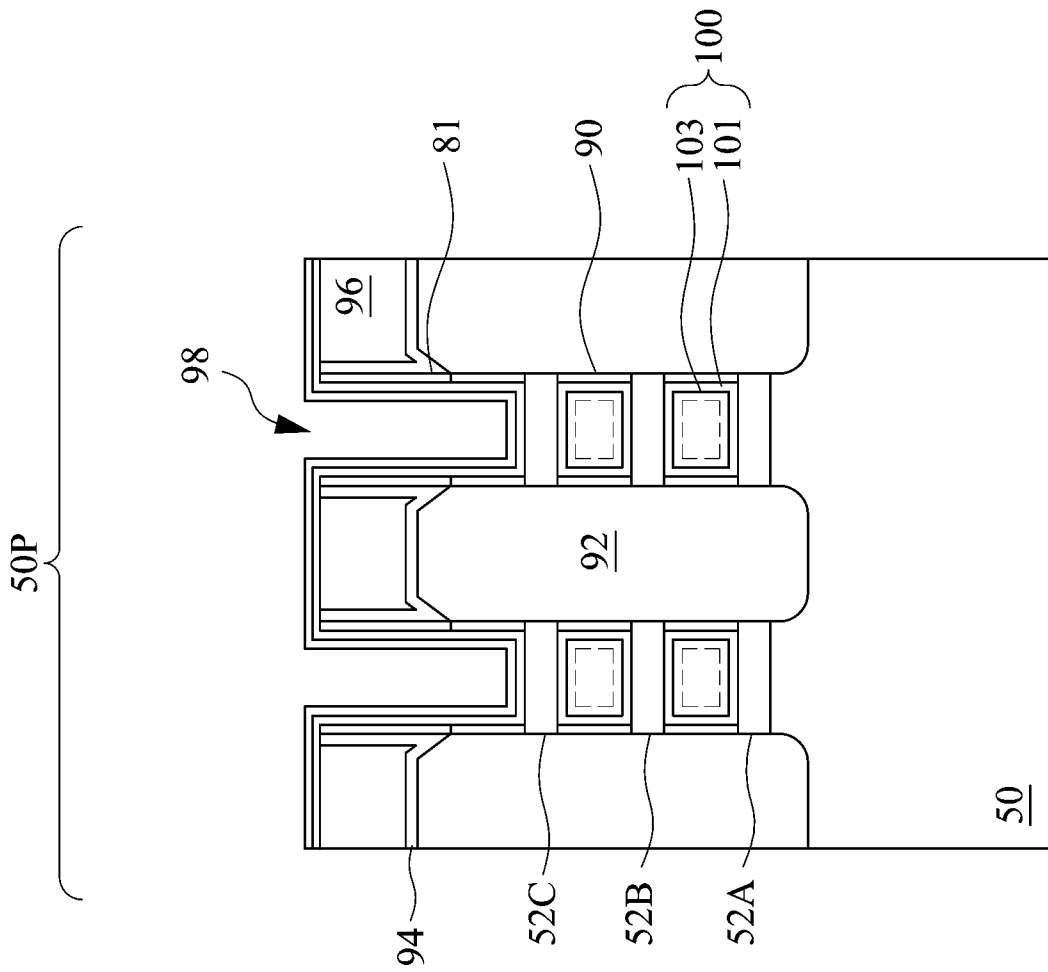




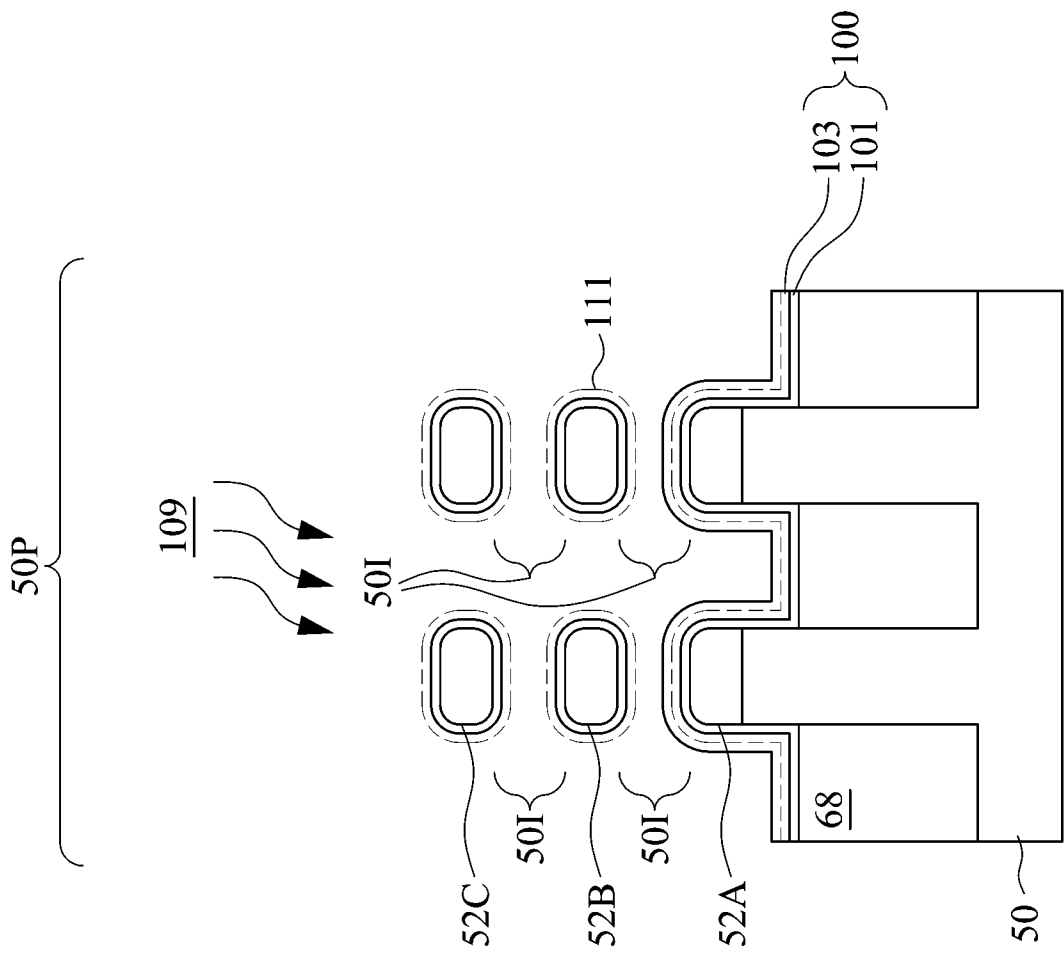
第 16B 圖



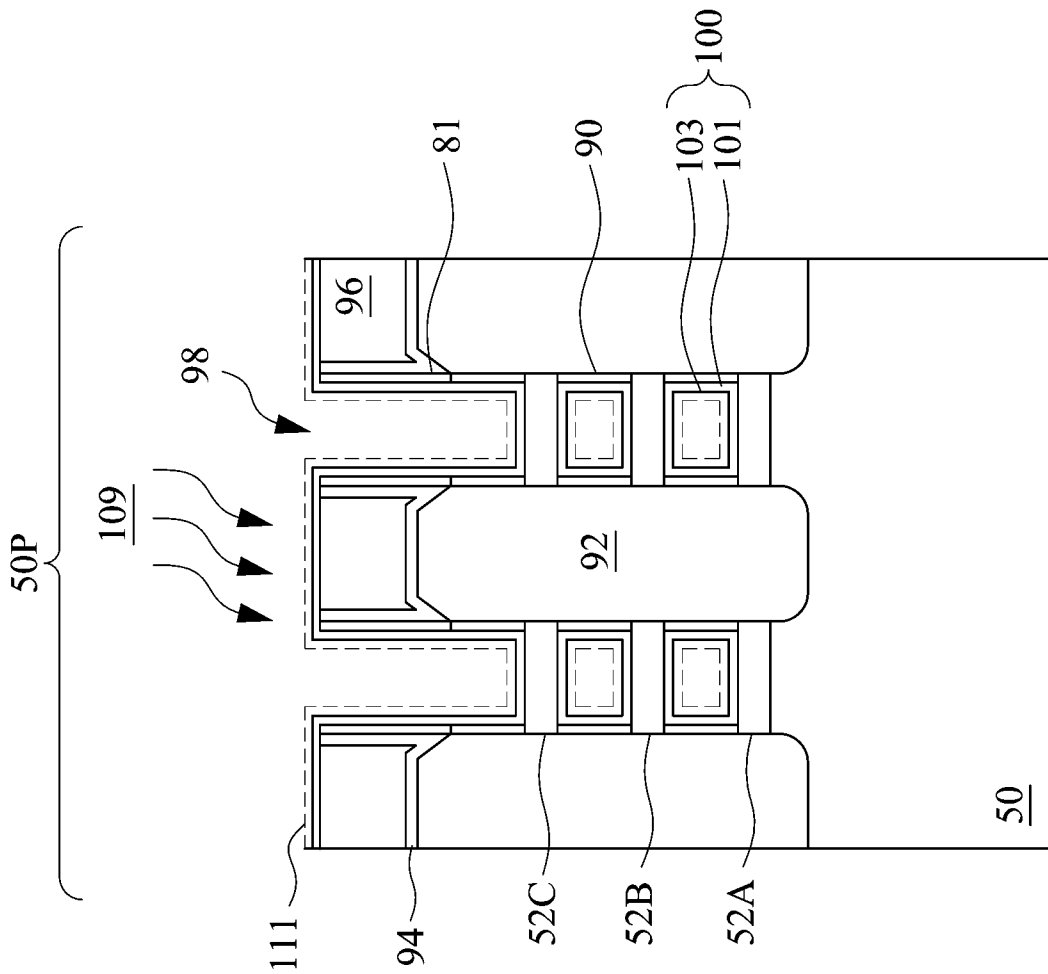
第 17A 圖



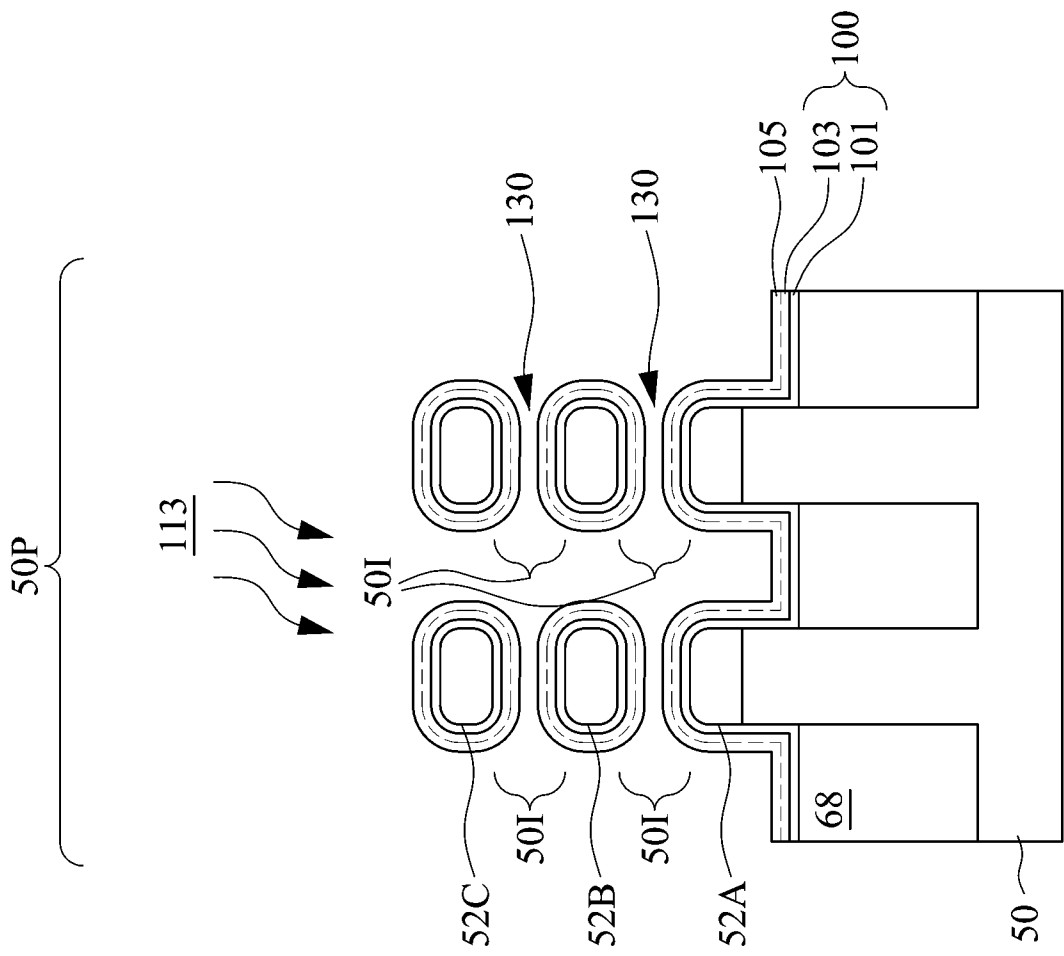
第 17B 圖



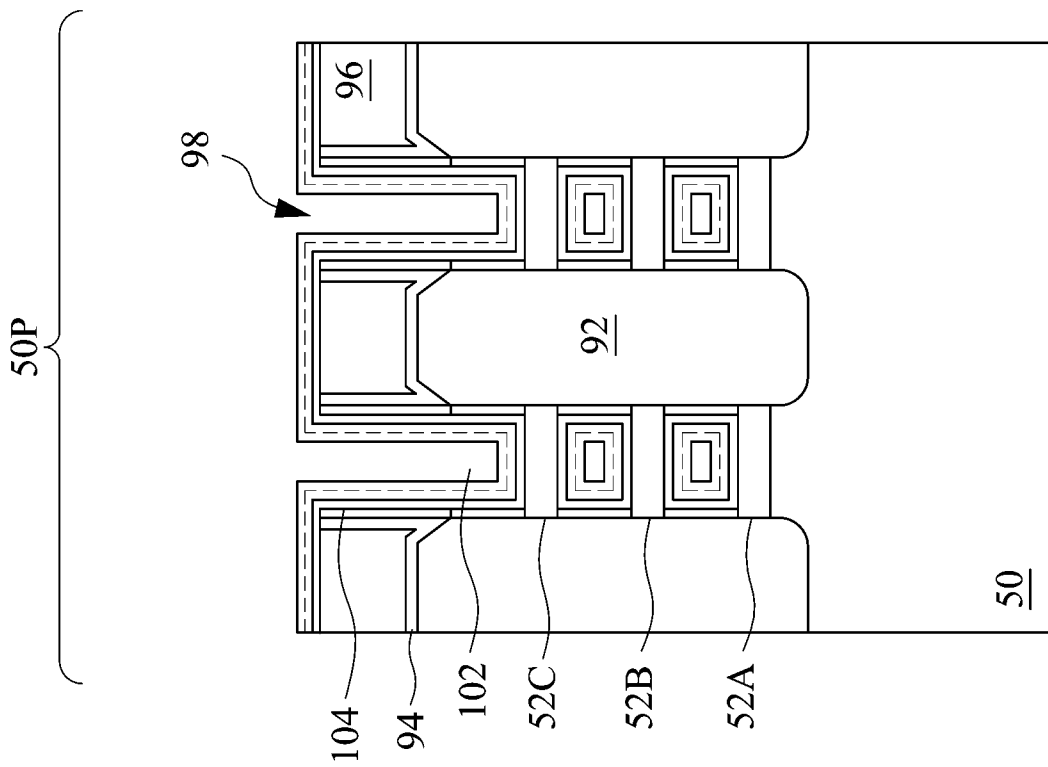
第 18A 圖



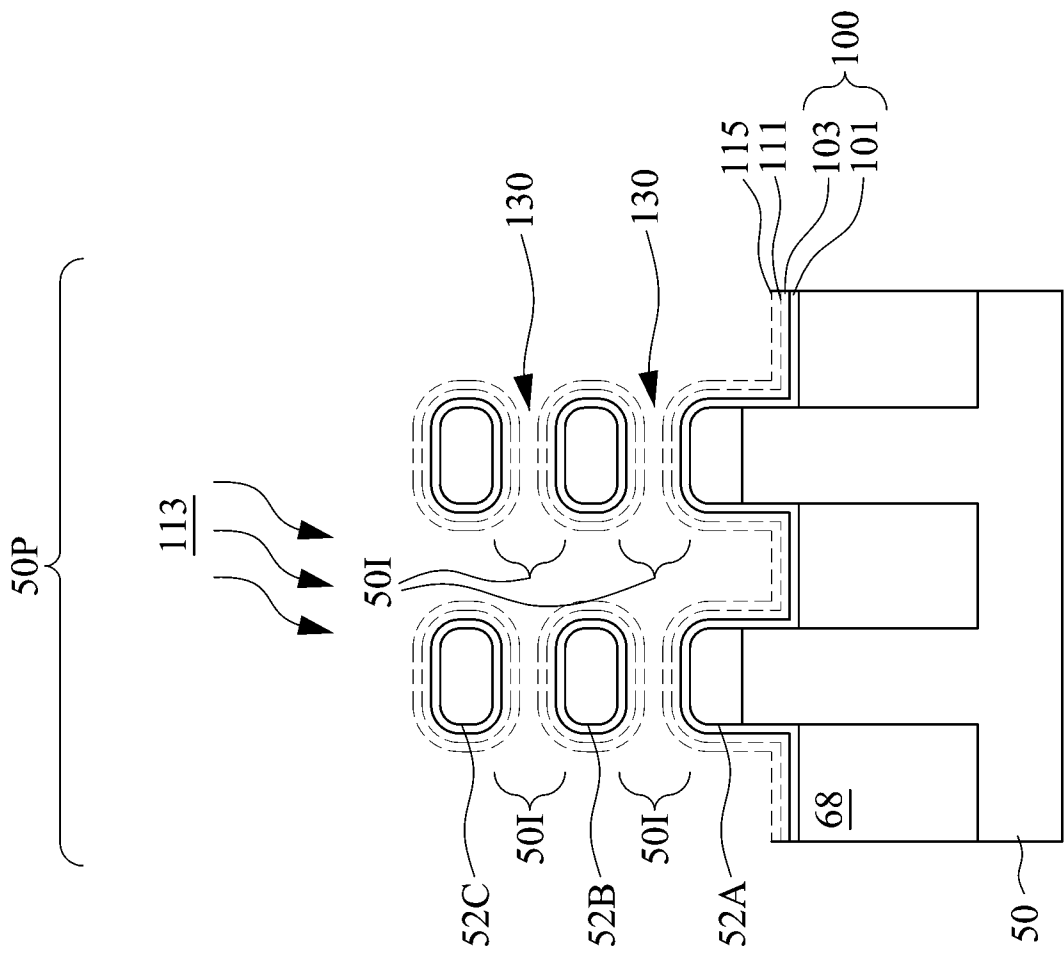
第 18B 圖



第 19A 圖

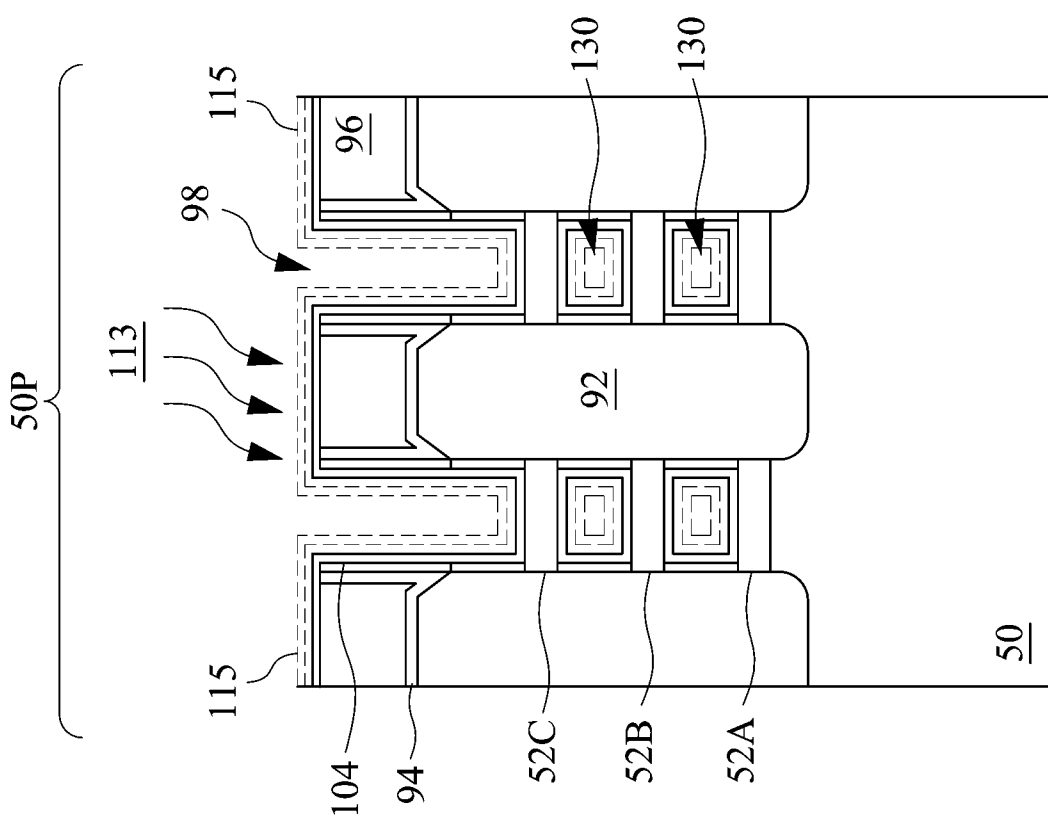


第 19B 圖

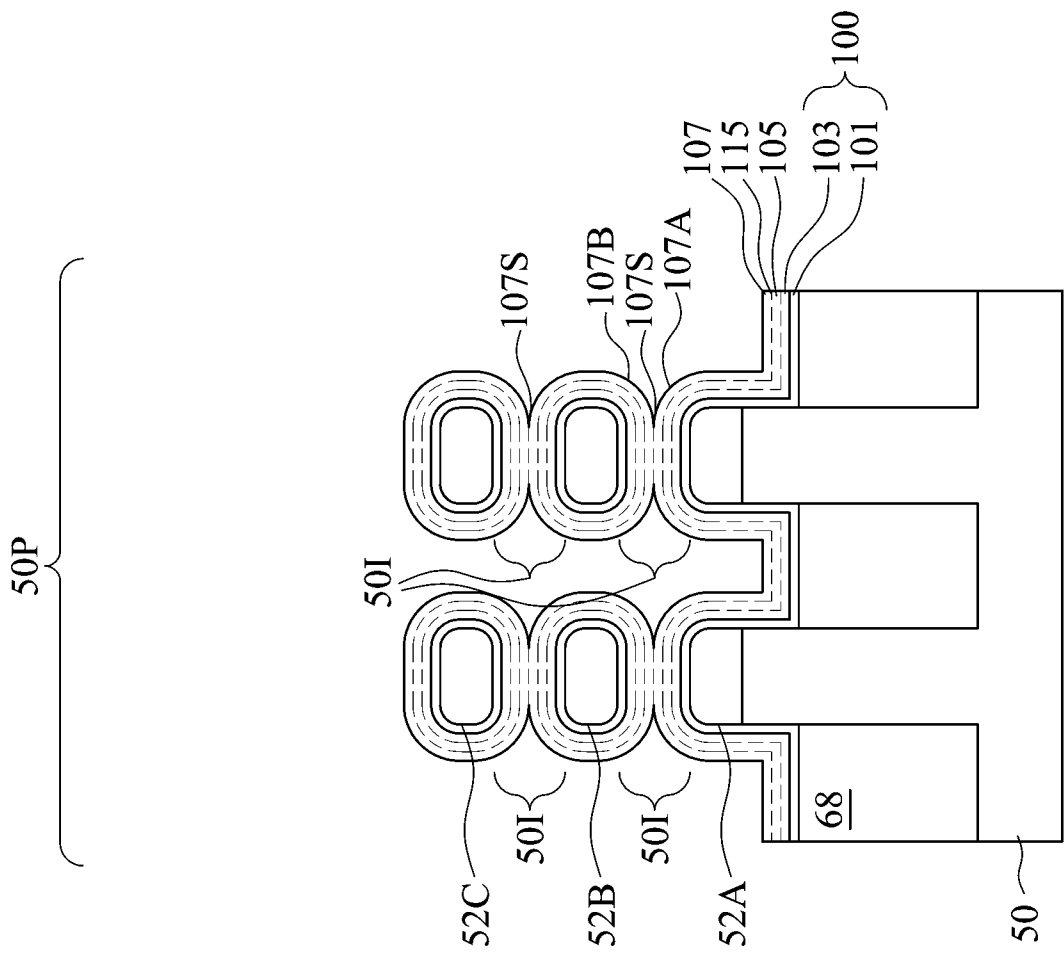


第 20A 圖

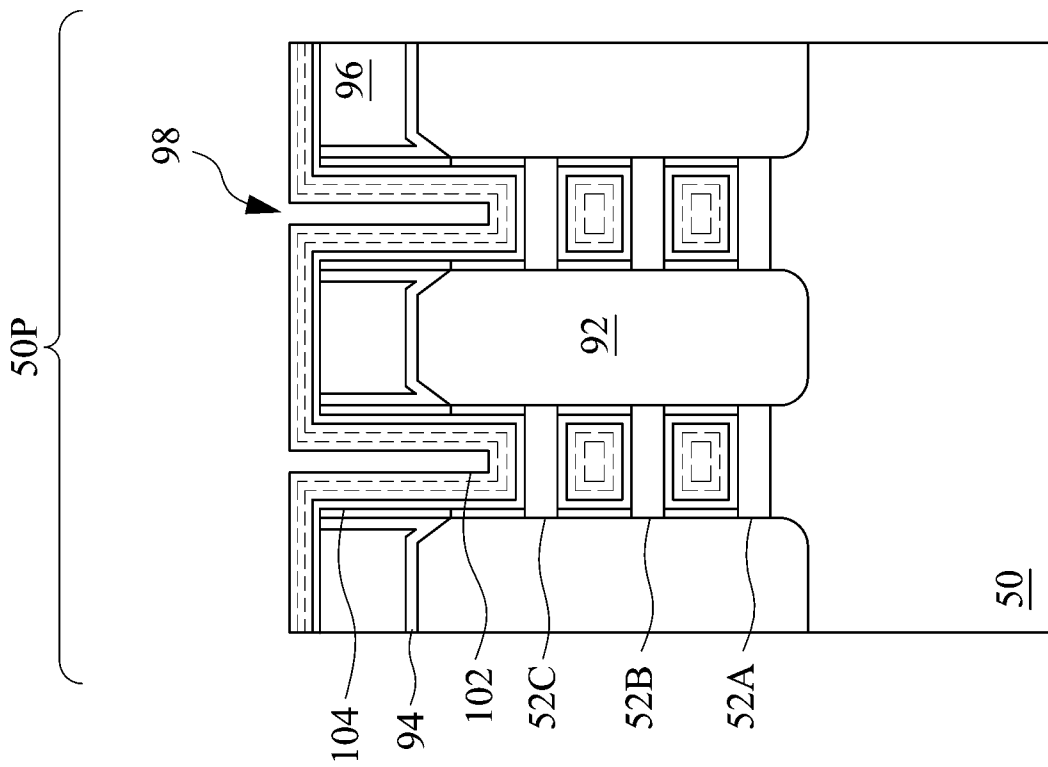




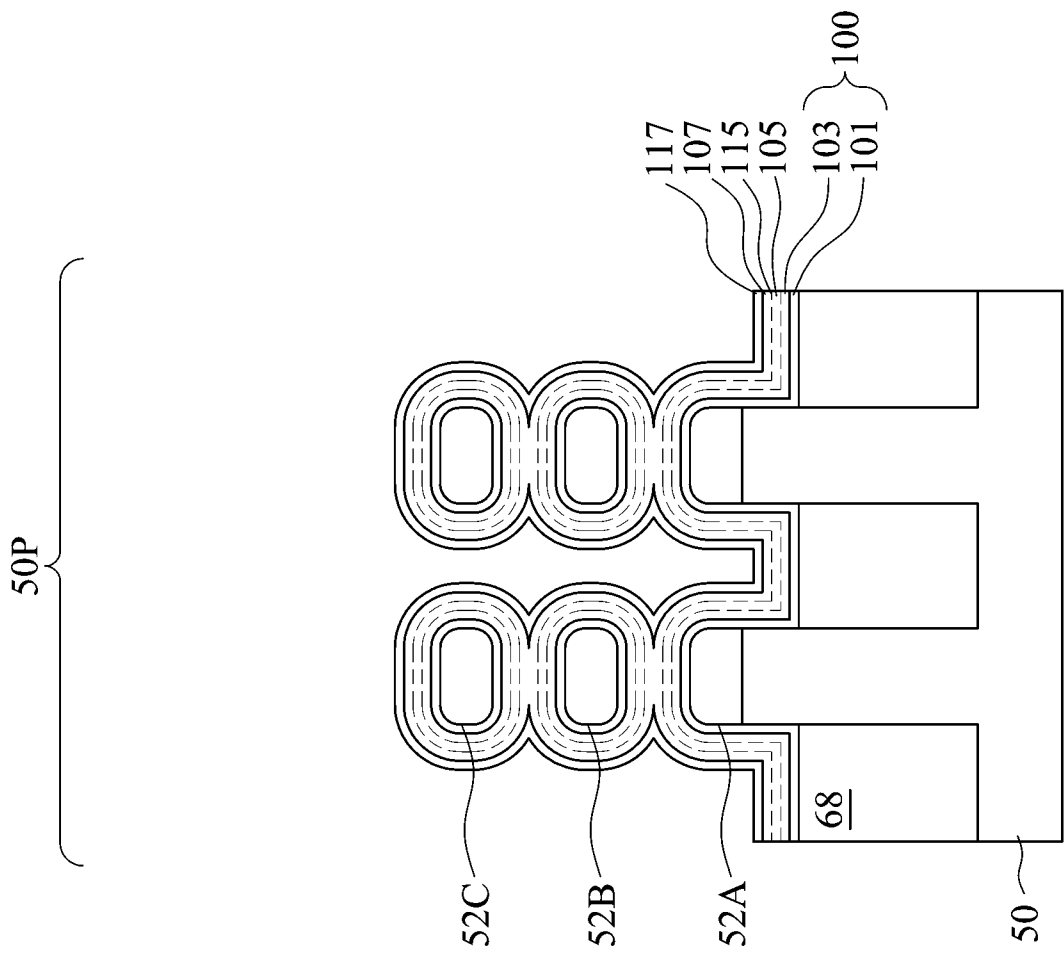
第 20B 圖



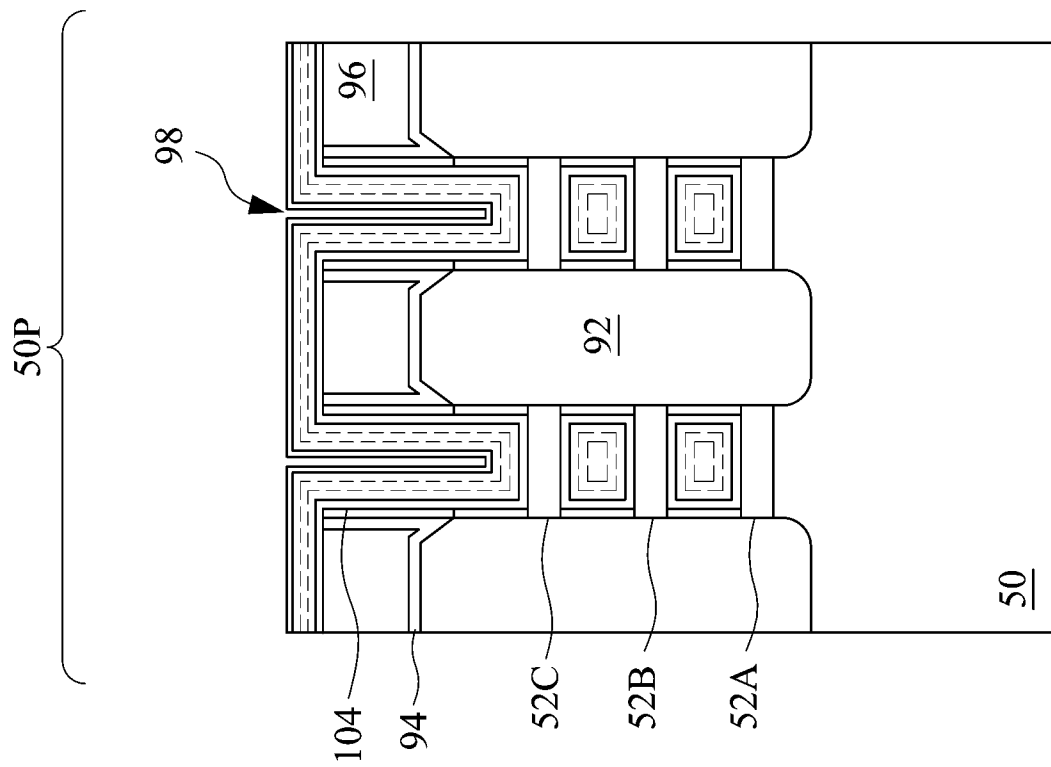
第 21A 圖



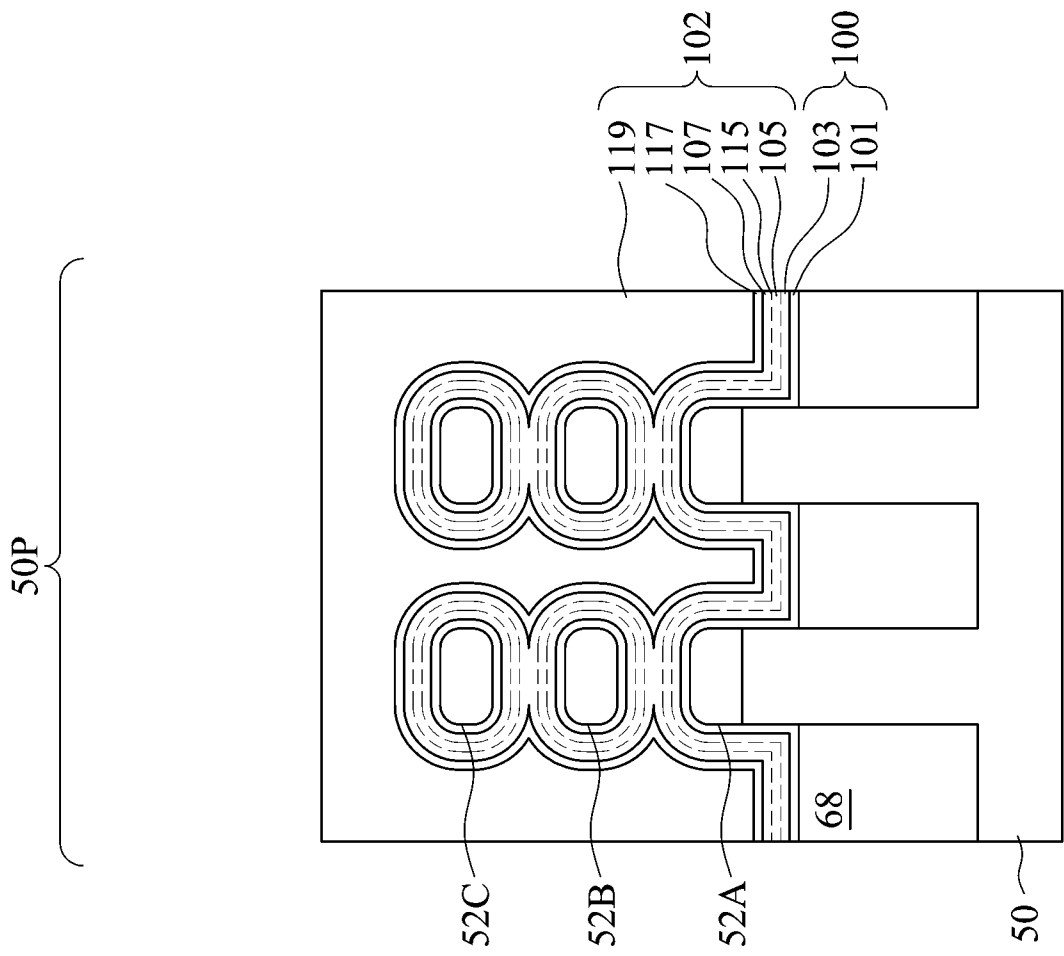
第 21B 圖



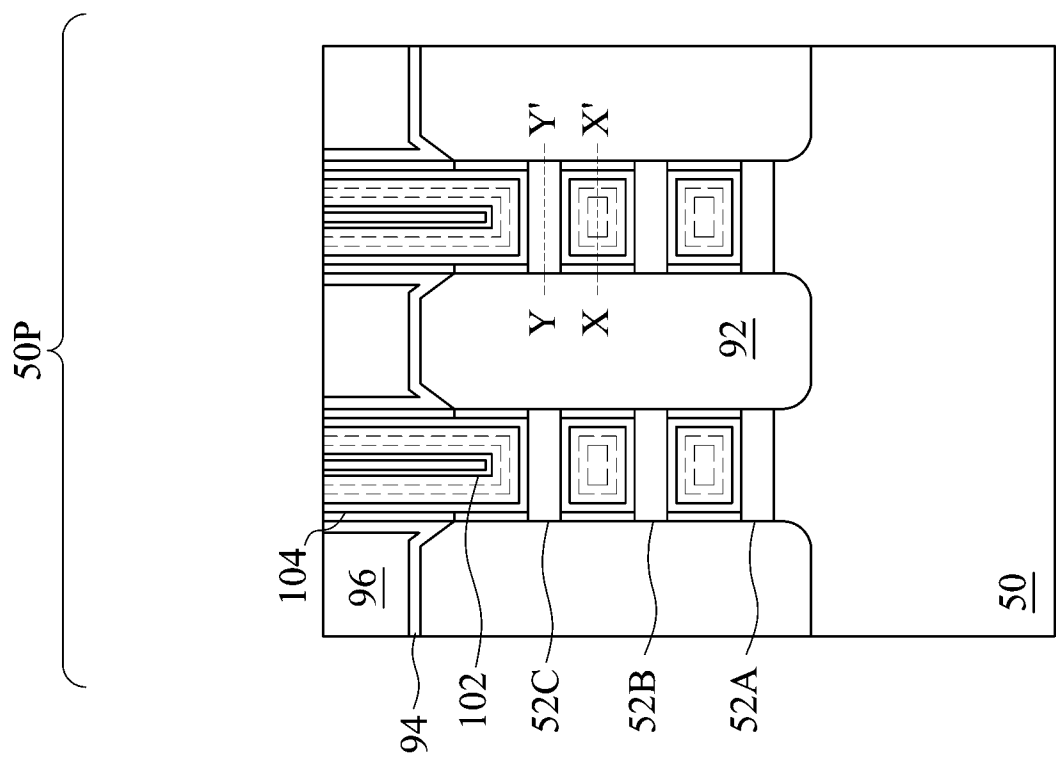
第 22A 圖



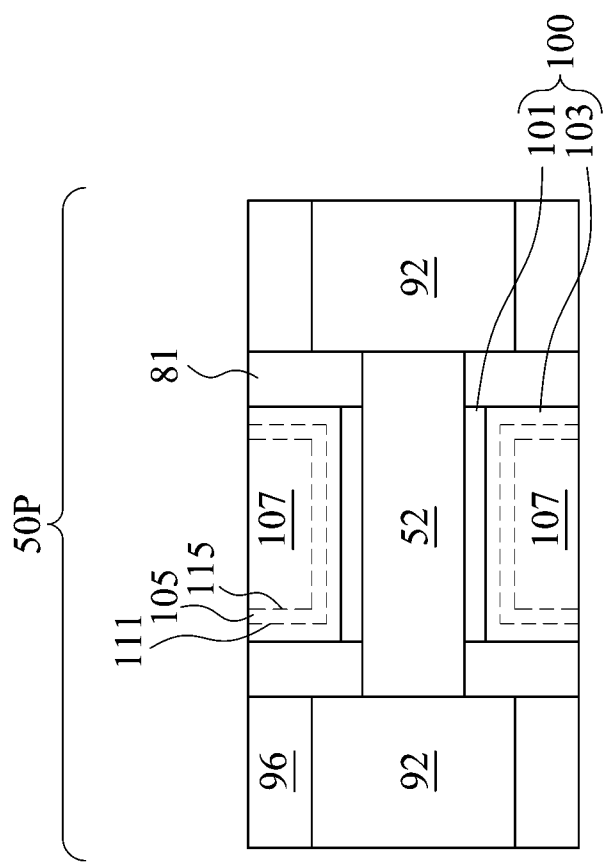
第 22B 圖



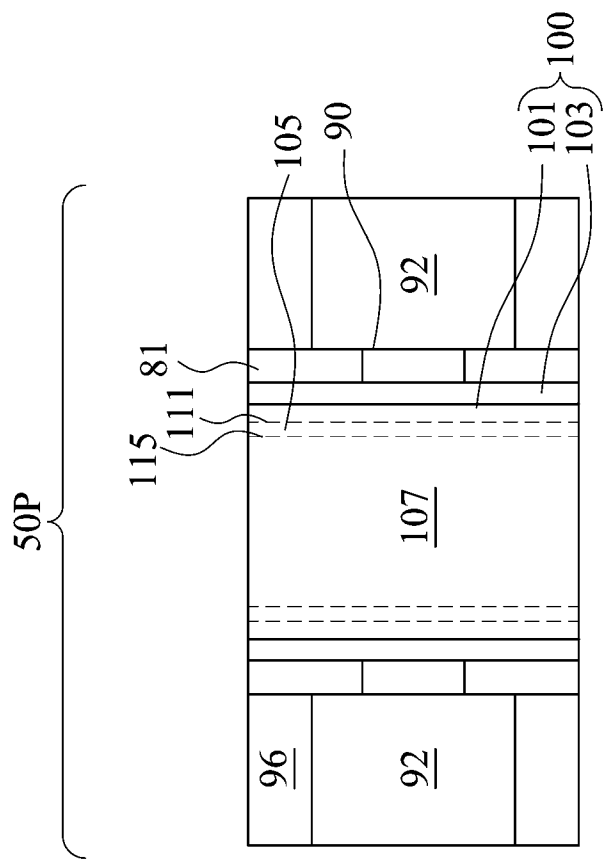
第 23A 圖



第 23B 圖

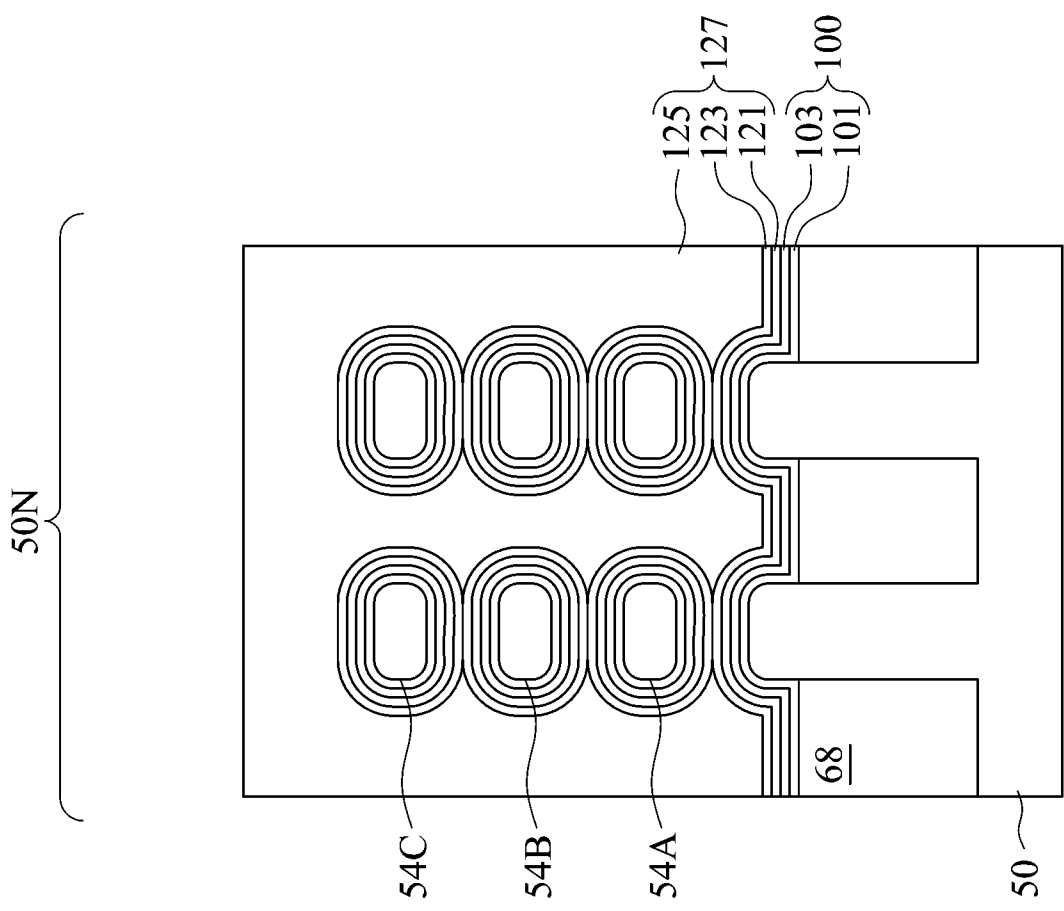


第 23D 圖

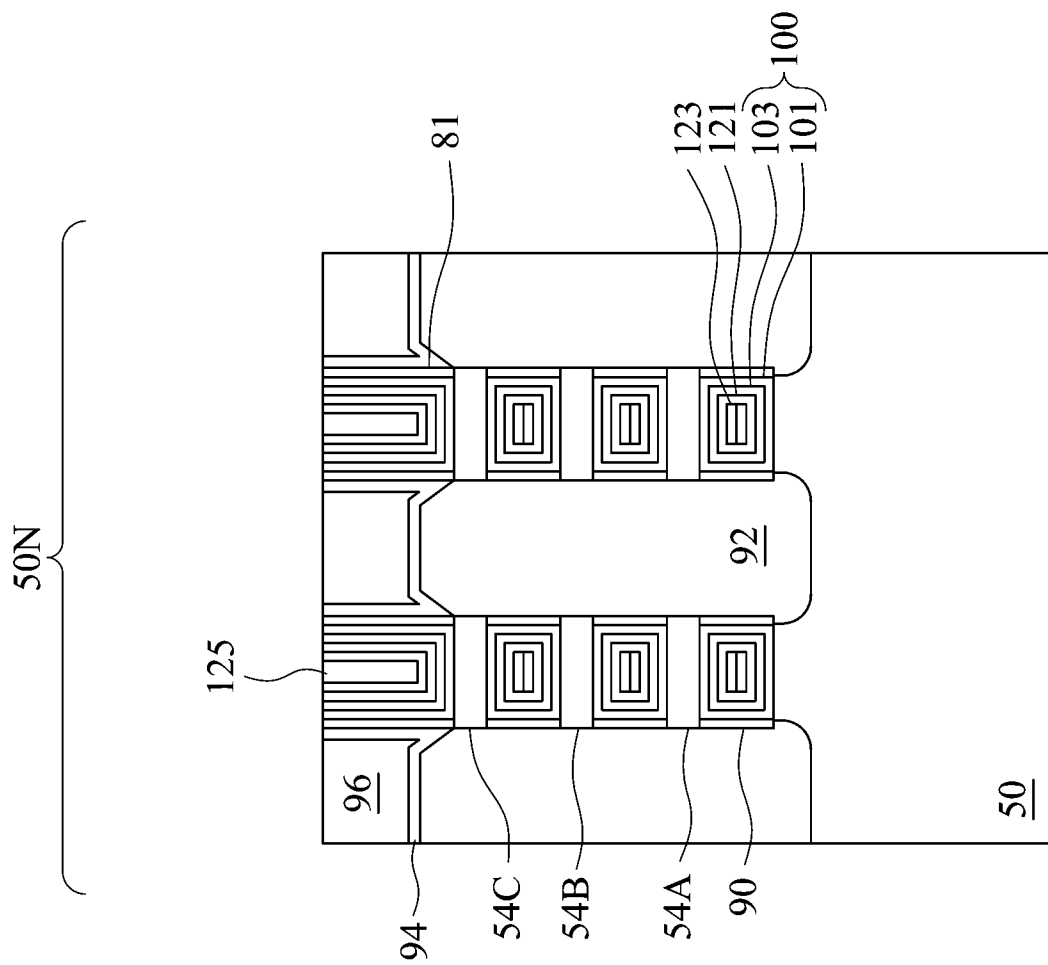


第 23C 圖

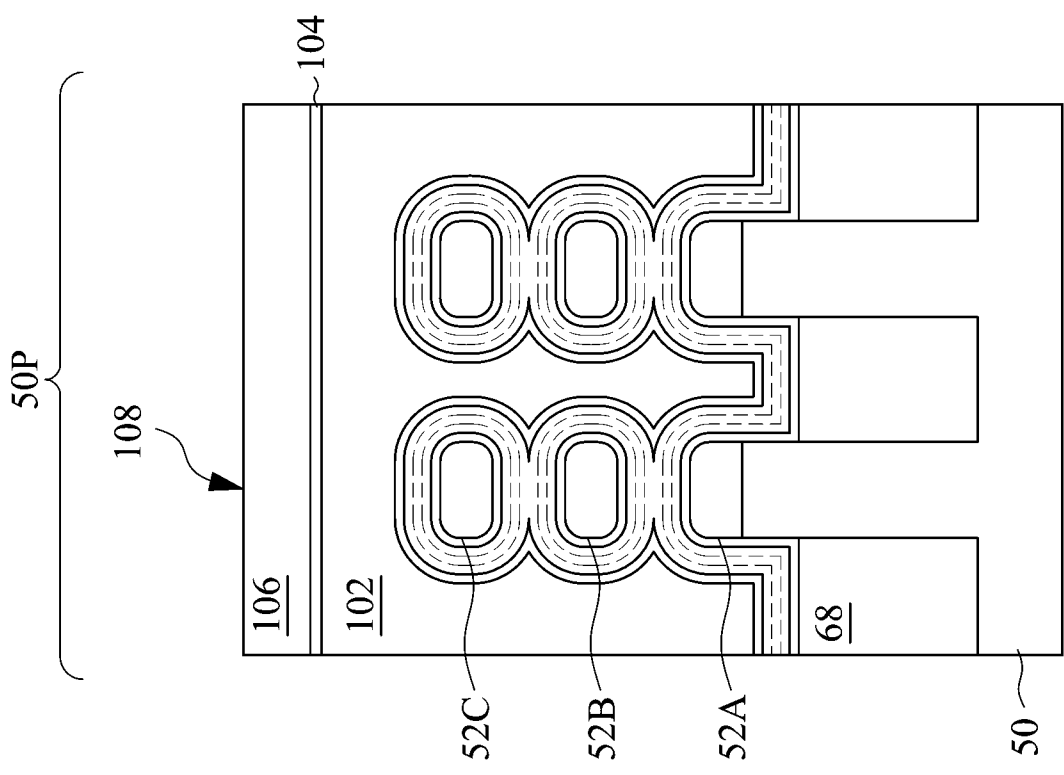
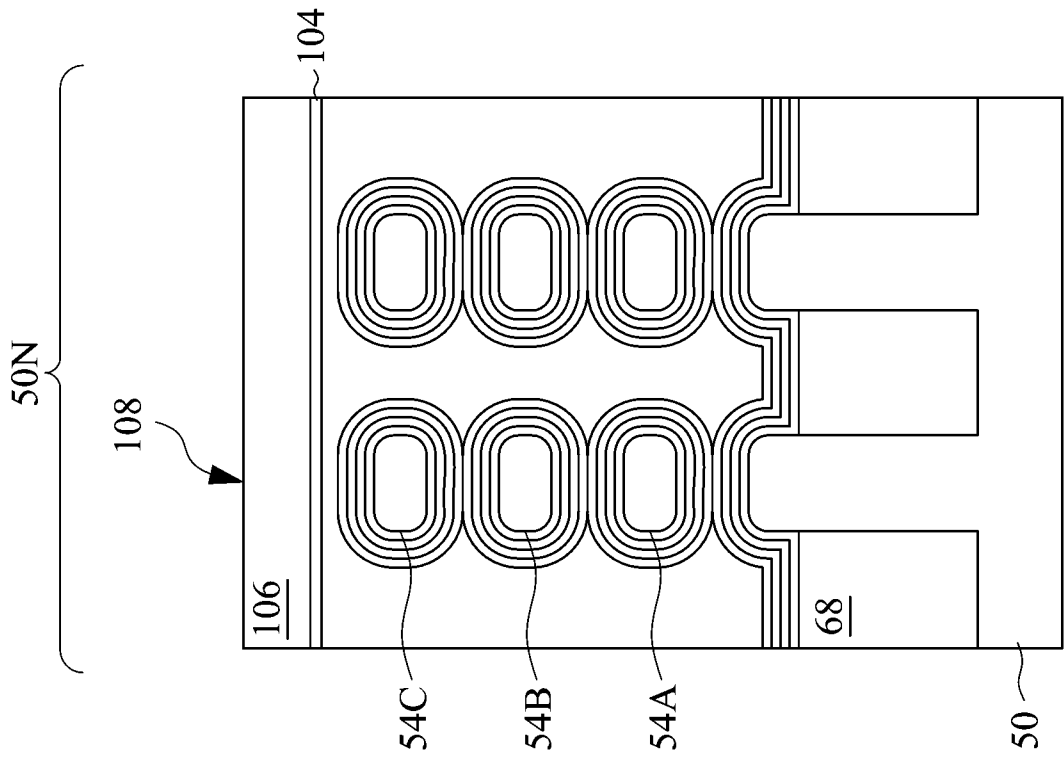




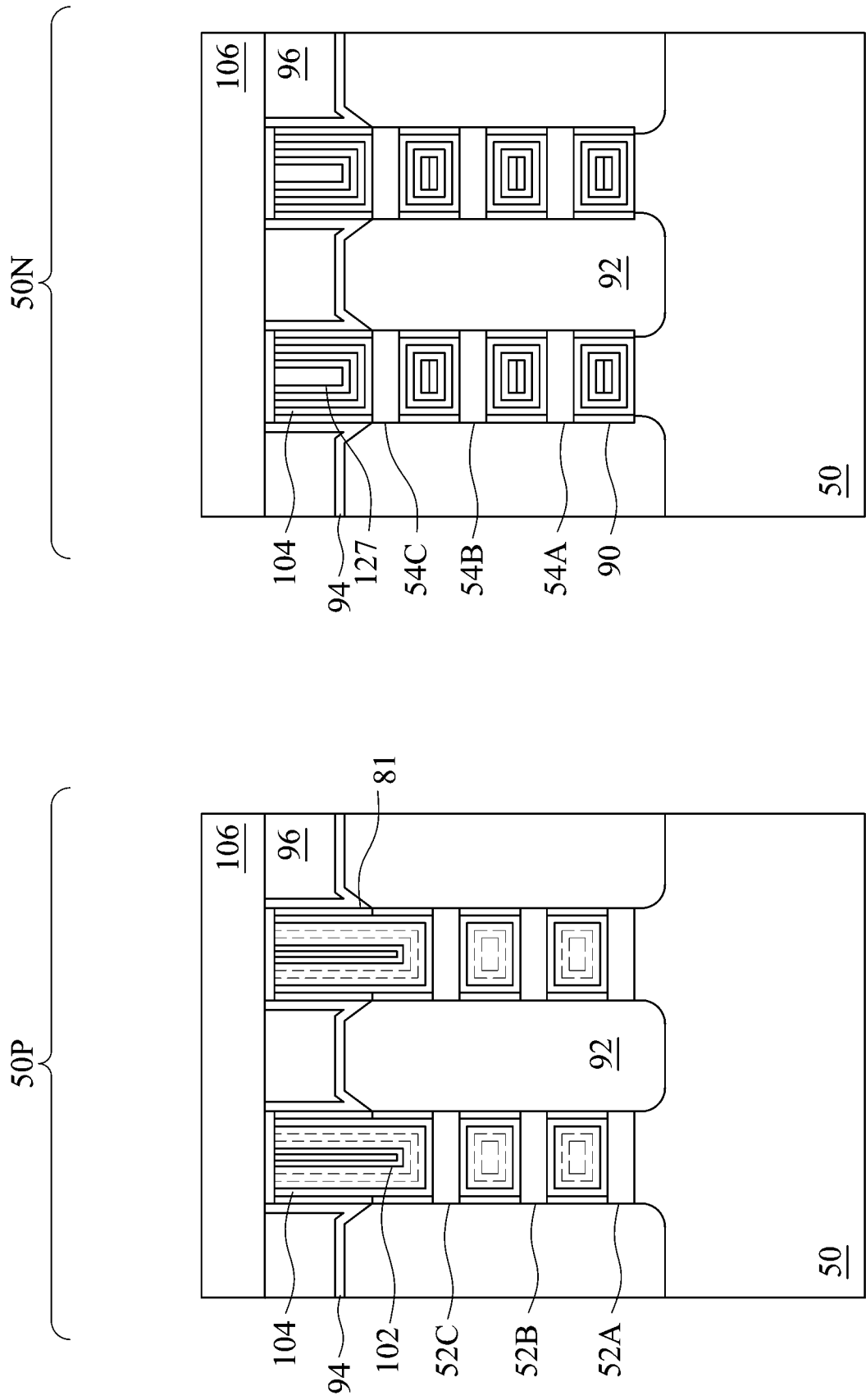
第 24A 圖



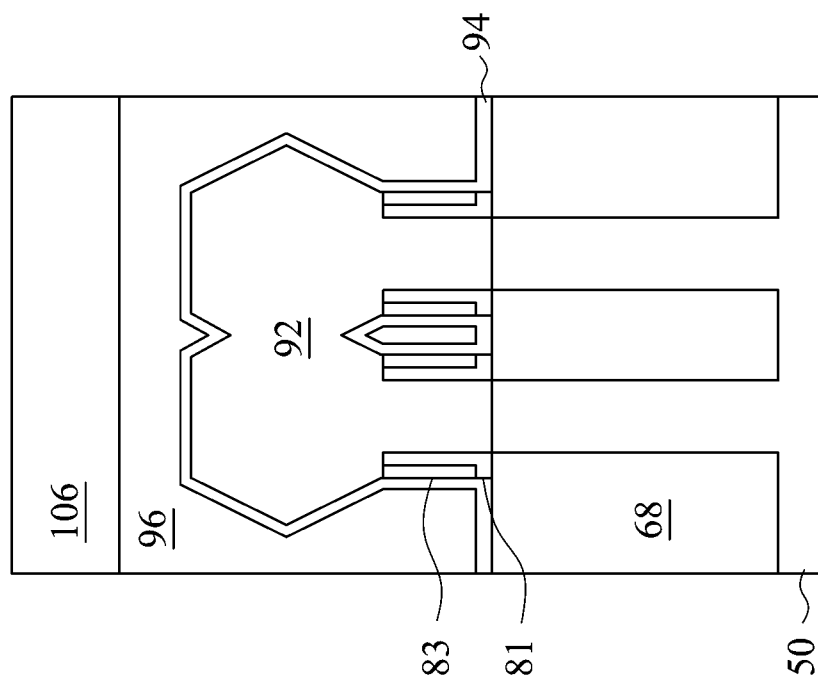
第 24B 圖



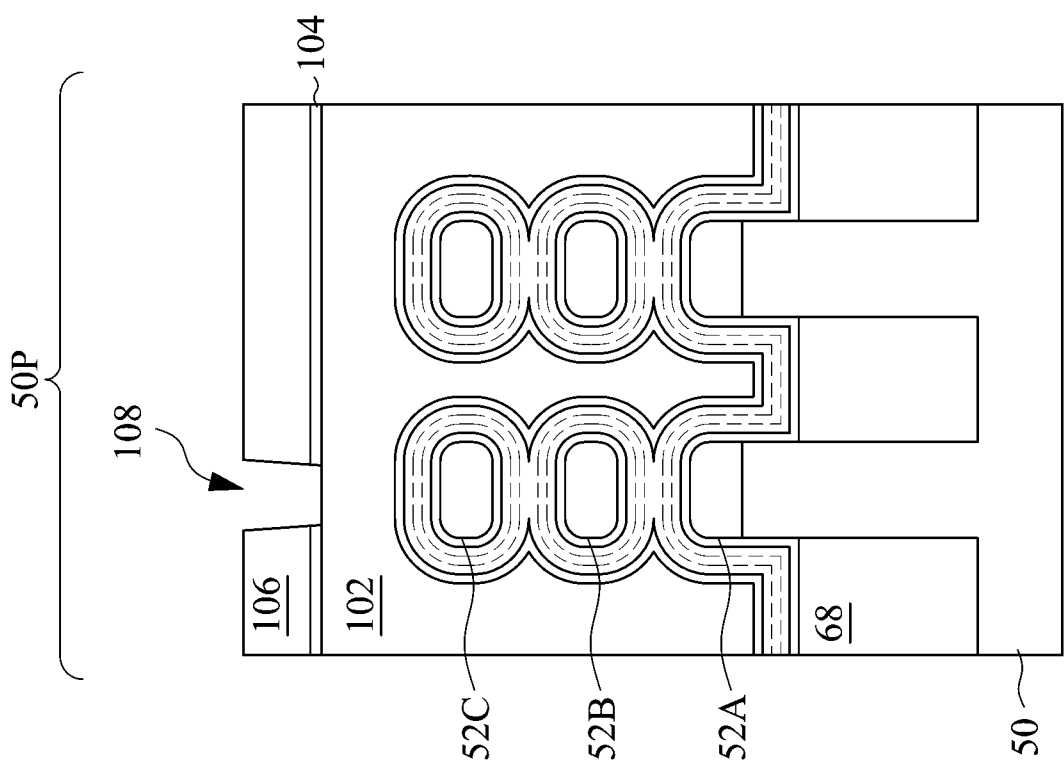
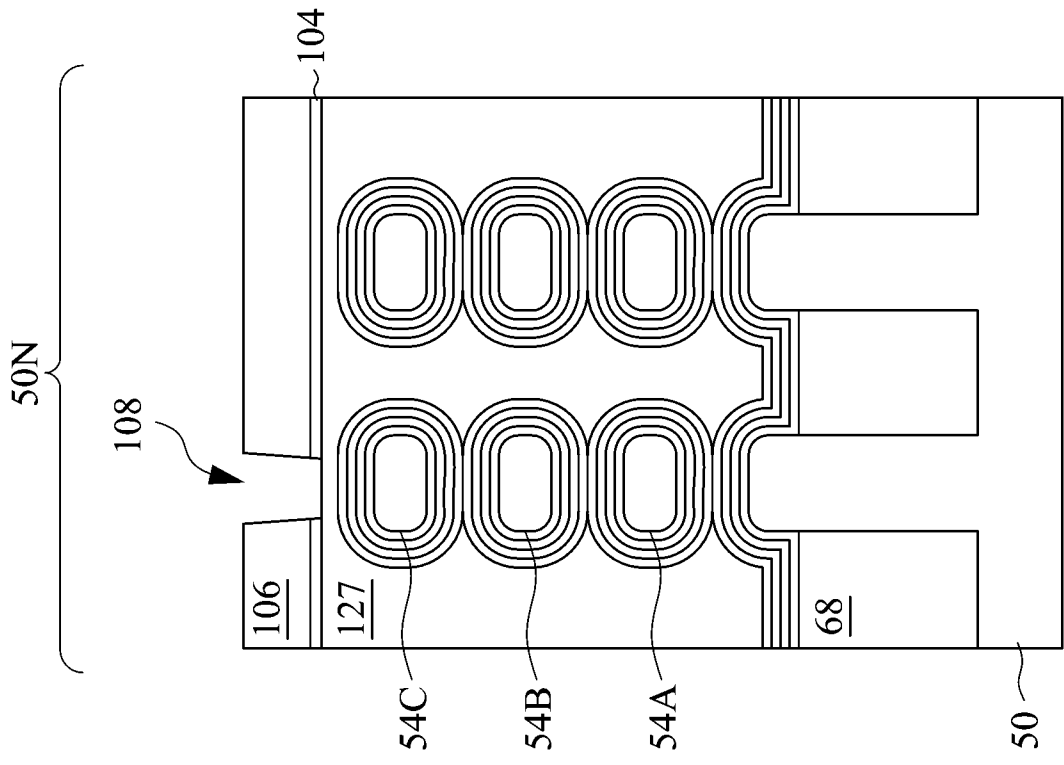
第 25A 圖



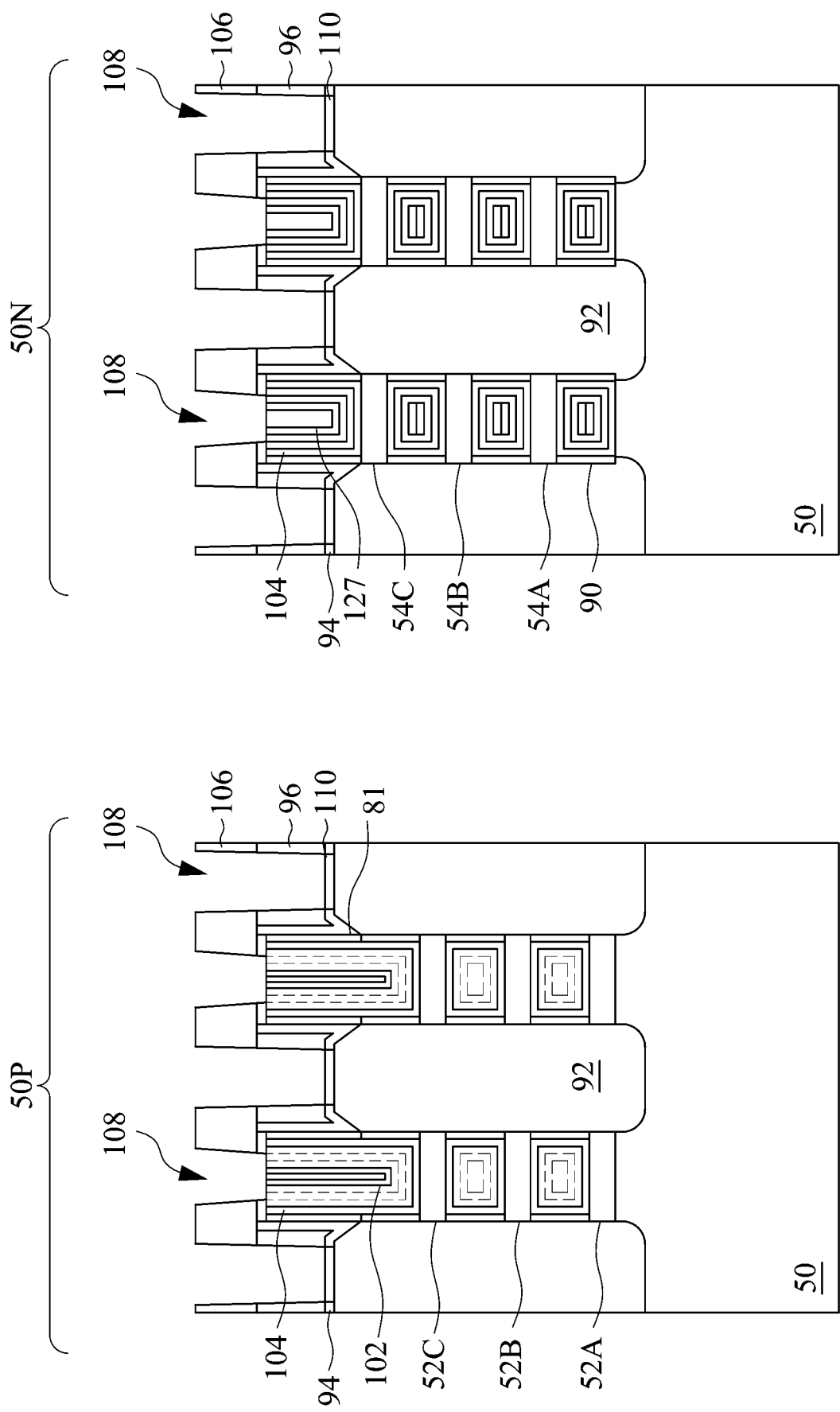
第 25B 圖



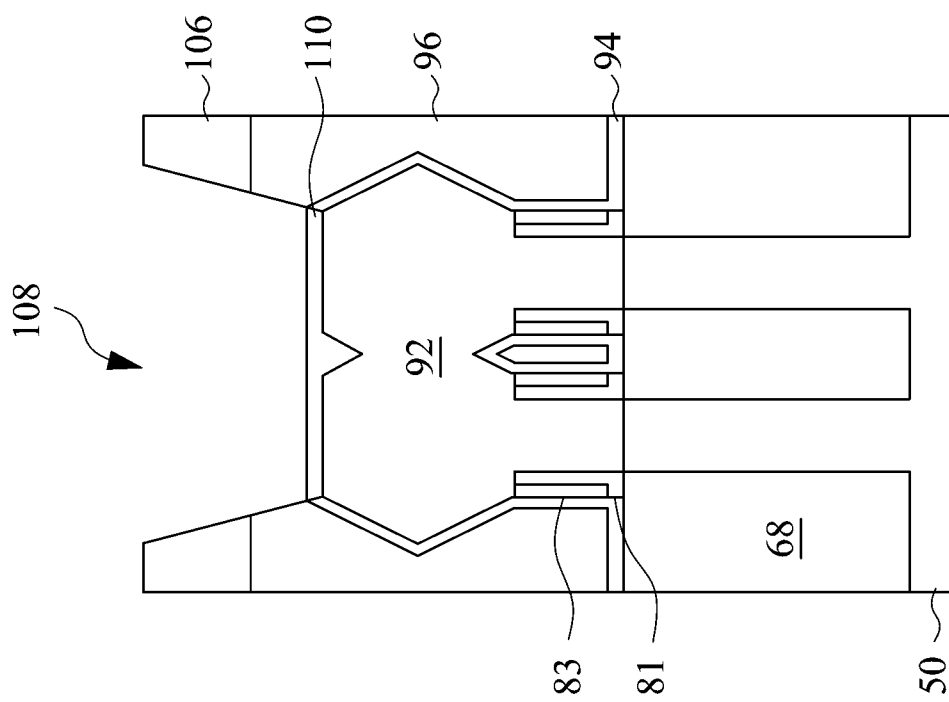
第 25C 圖



第 26A 圖

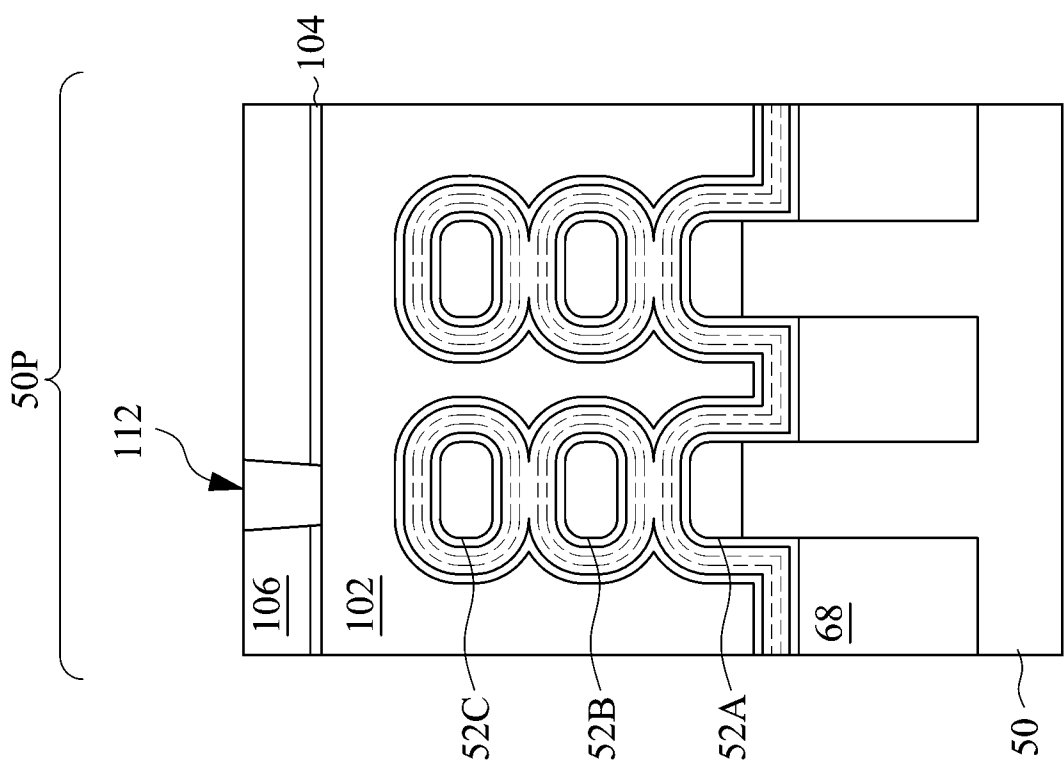
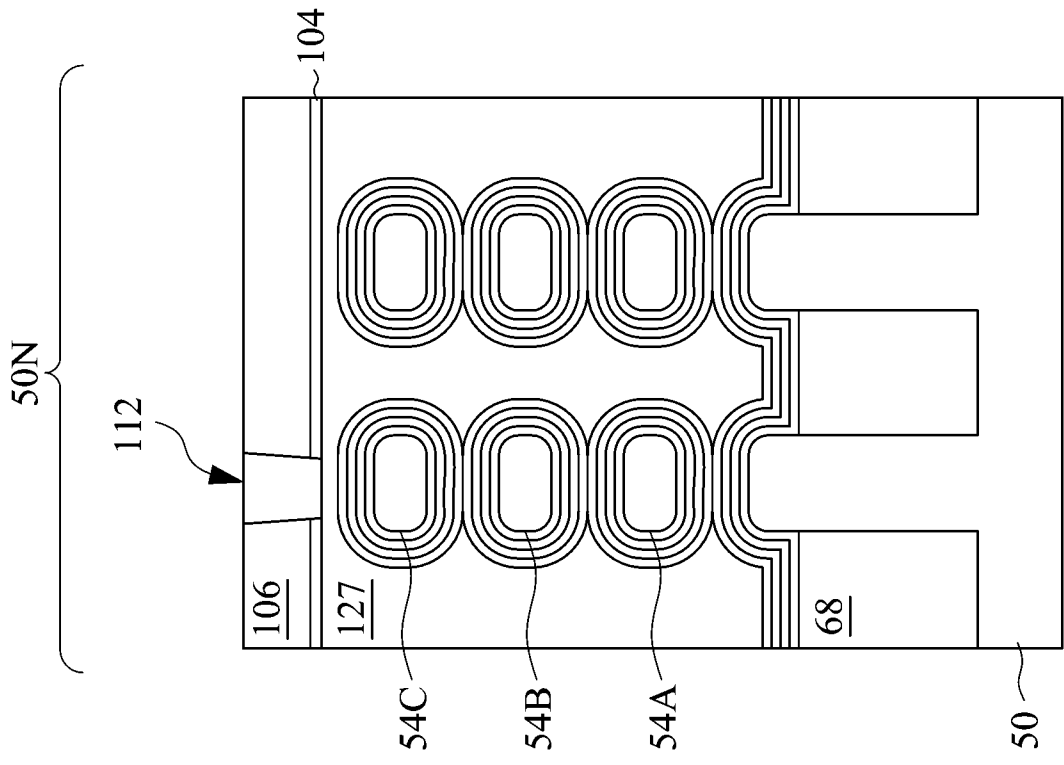


第 26B 圖

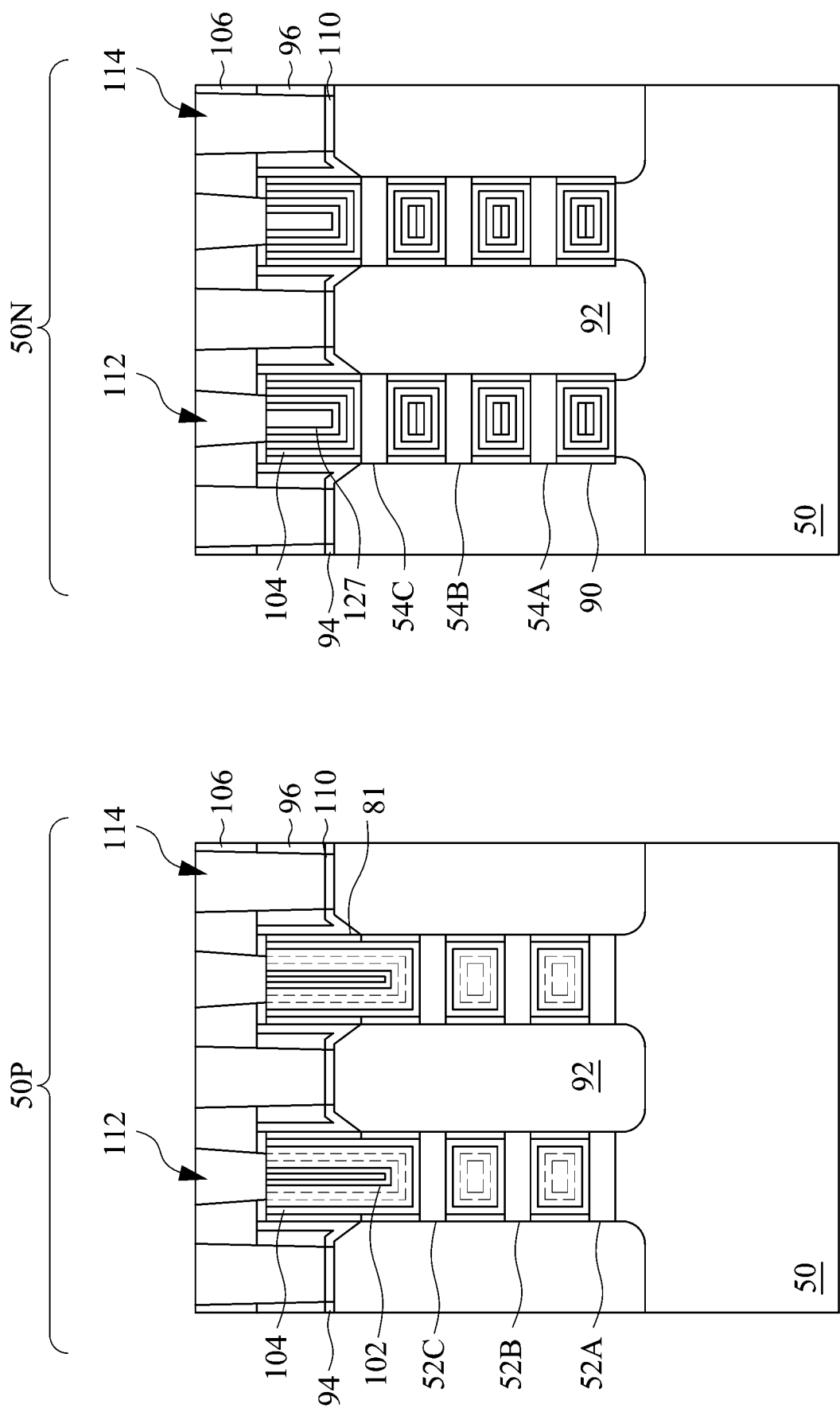


第 26C 圖

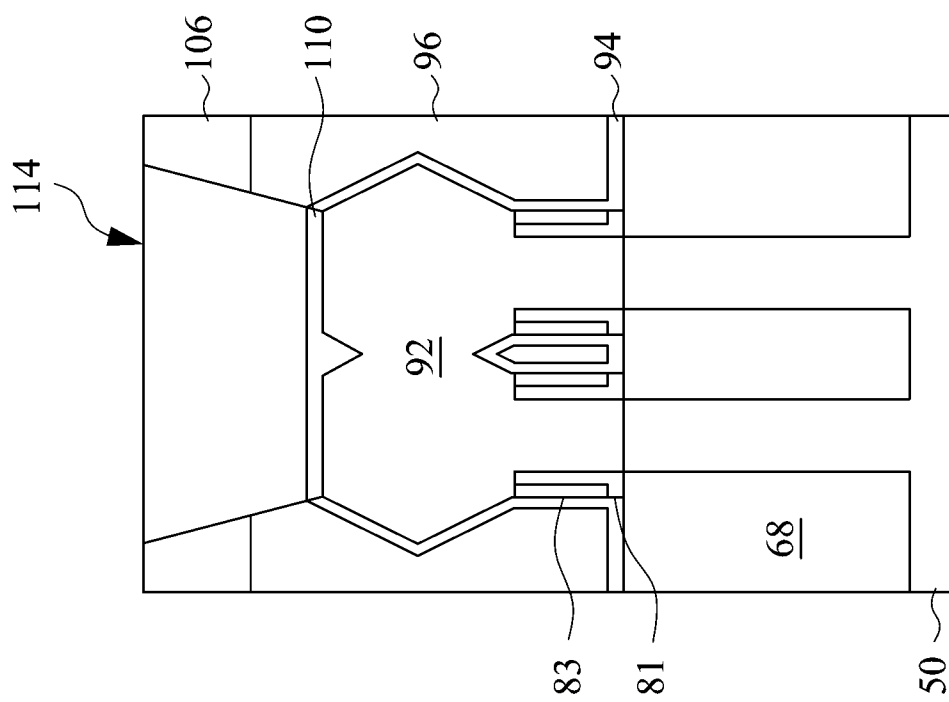




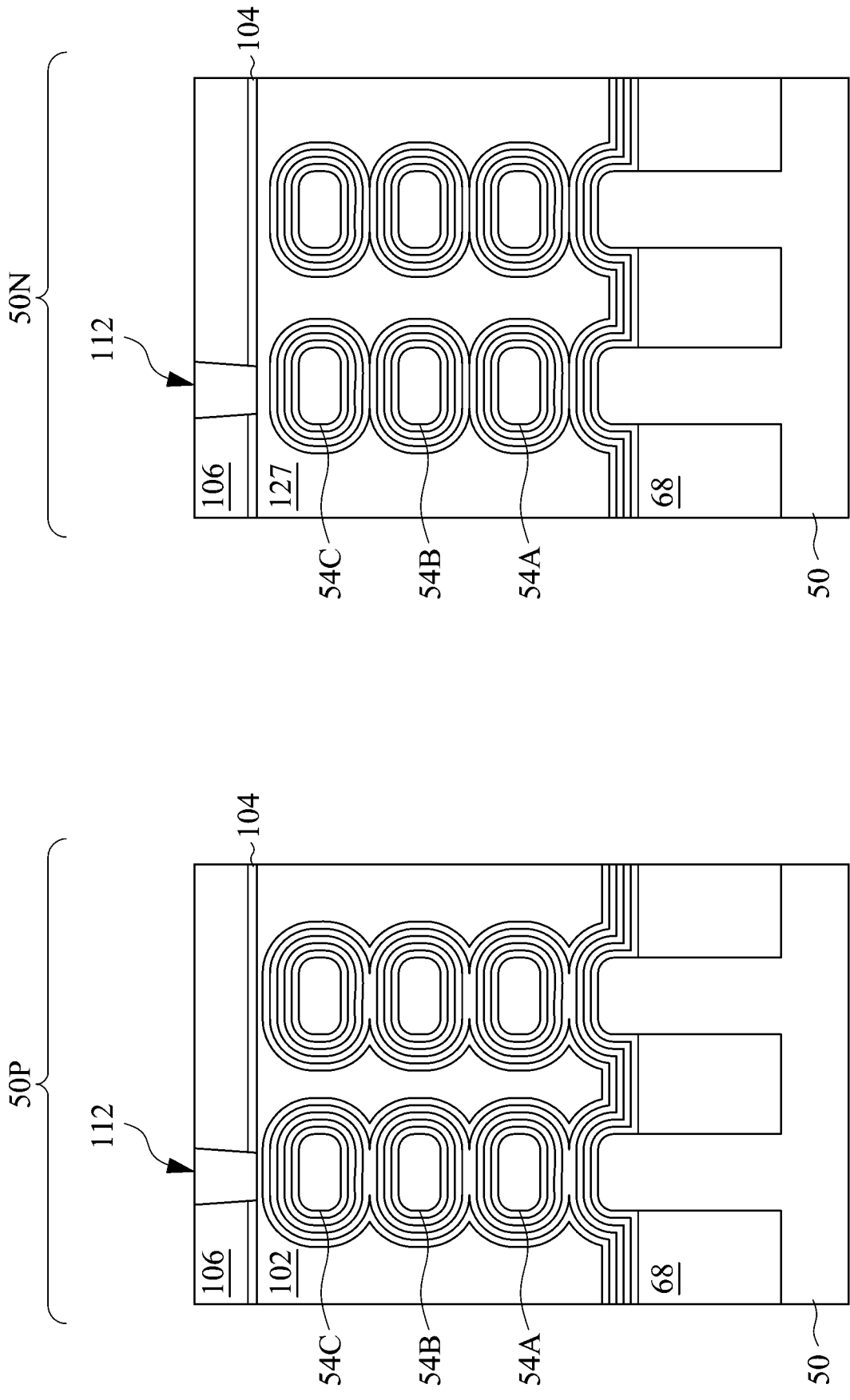
第 27A 圖



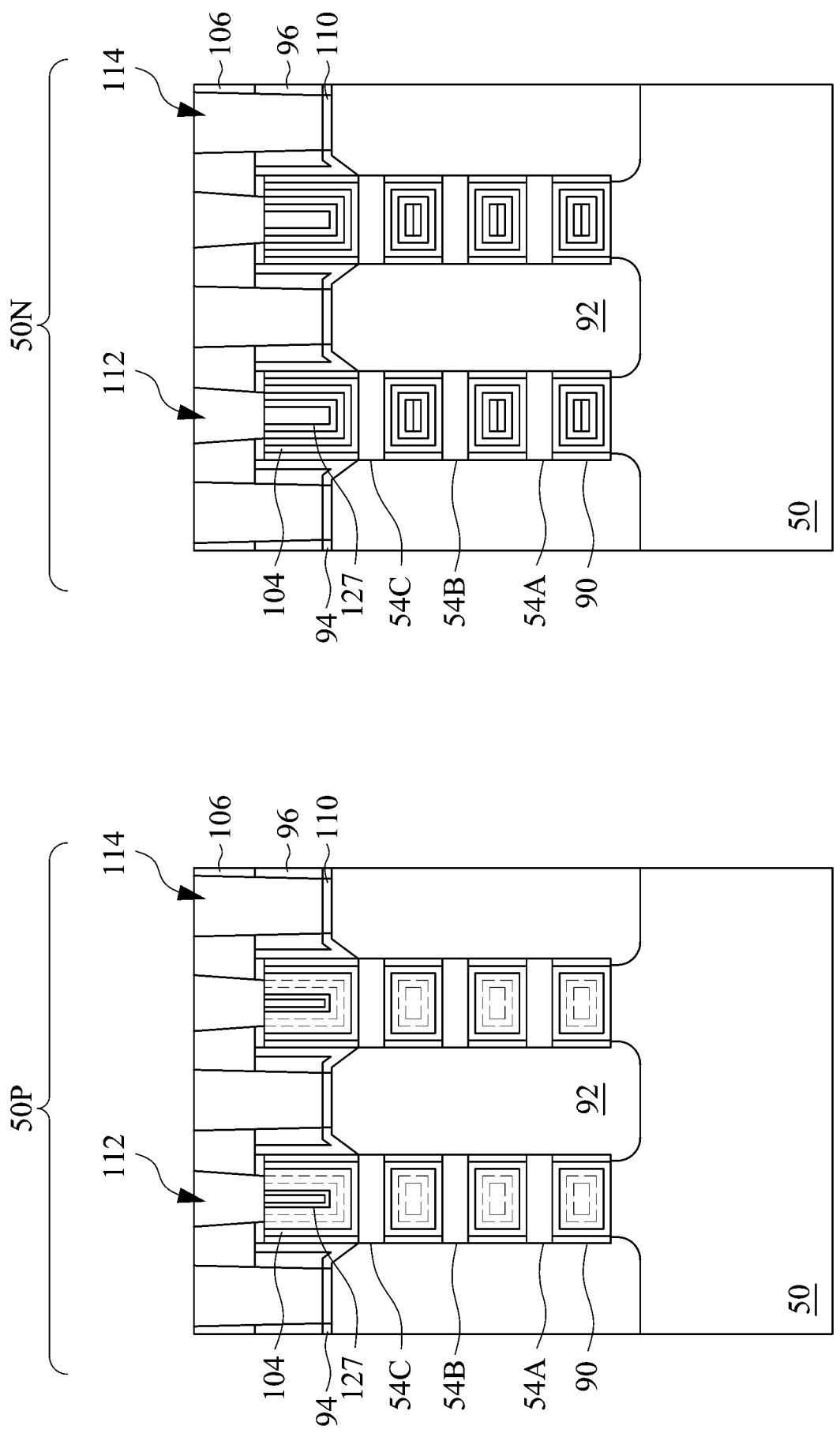
第 27B 圖



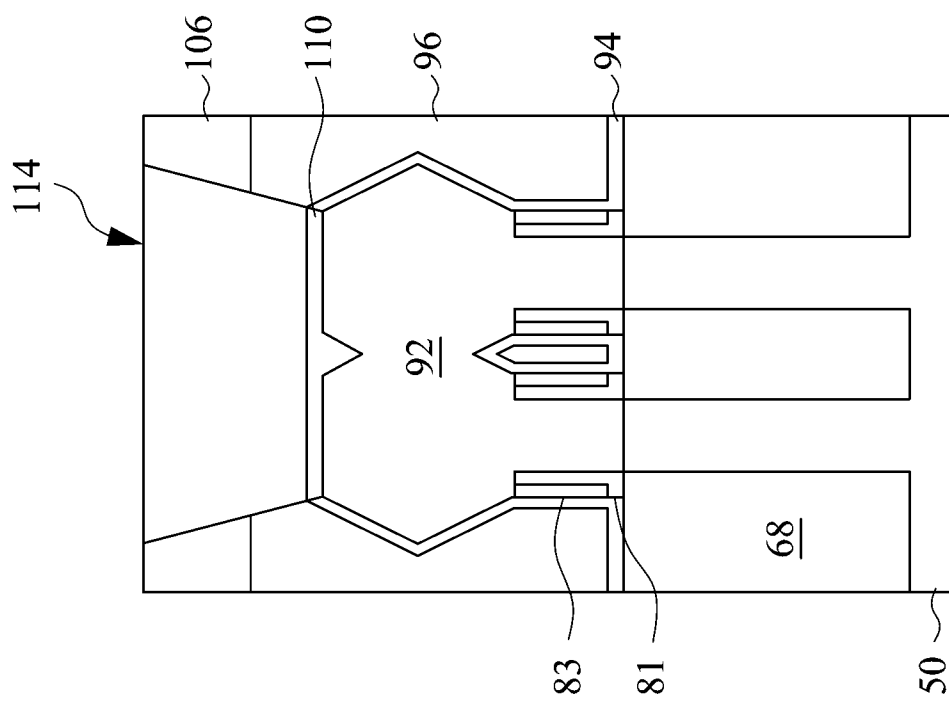
第 27C 圖



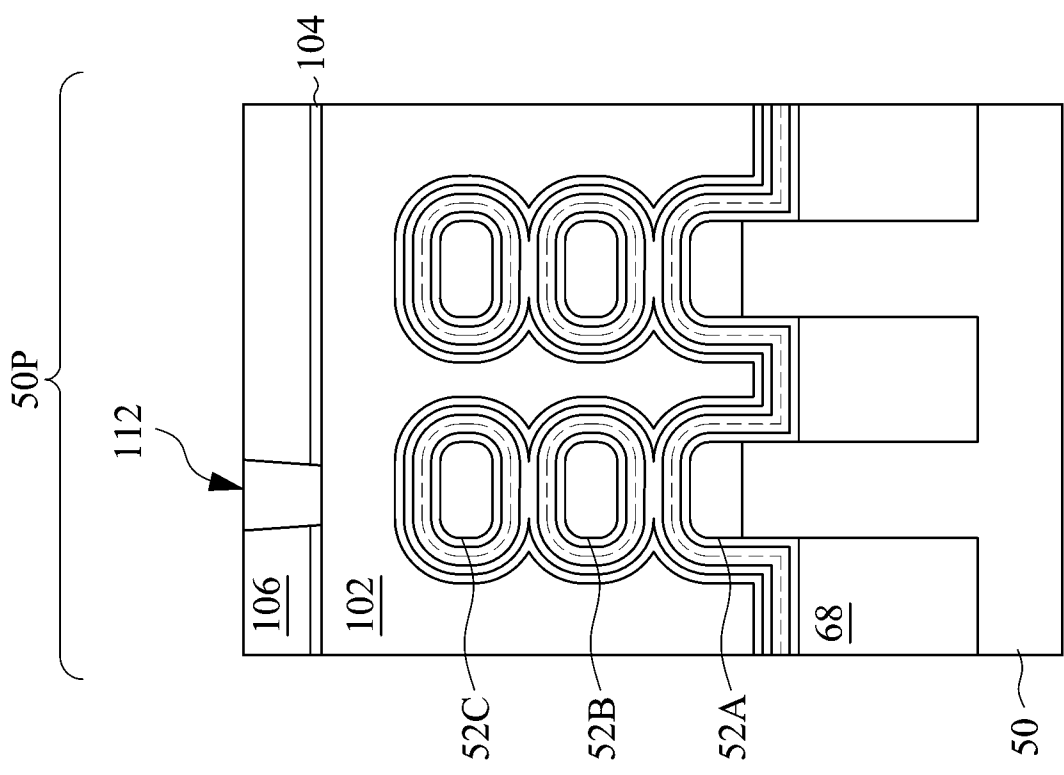
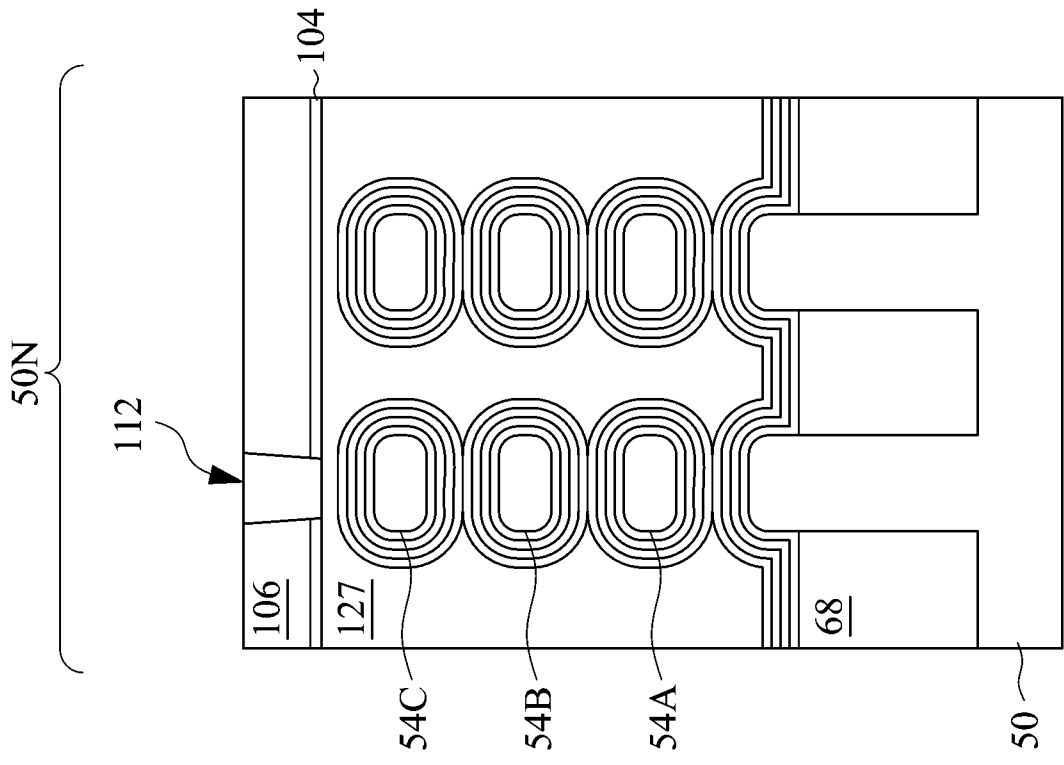
第 28A 圖



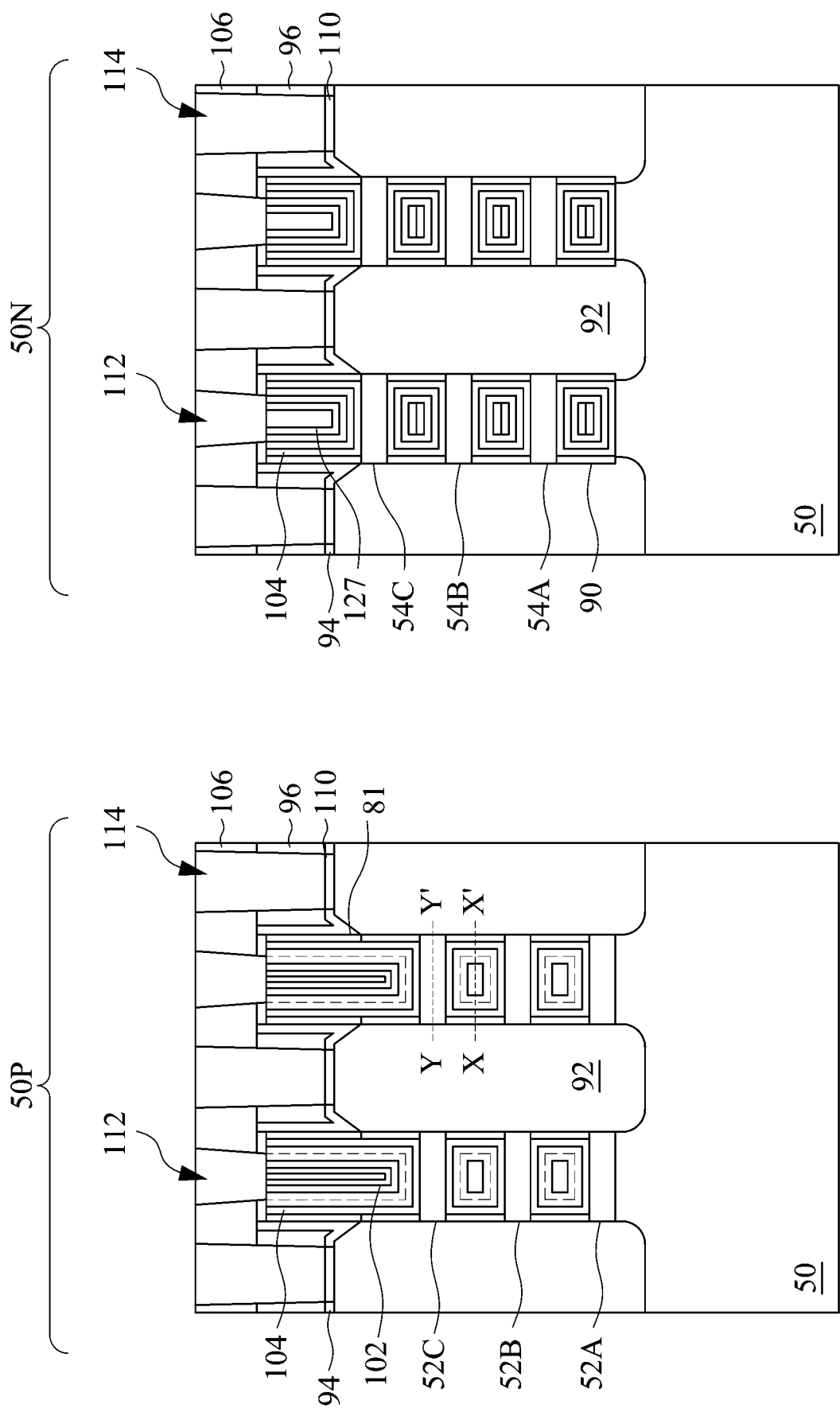
第 28B 圖



第 28C 圖

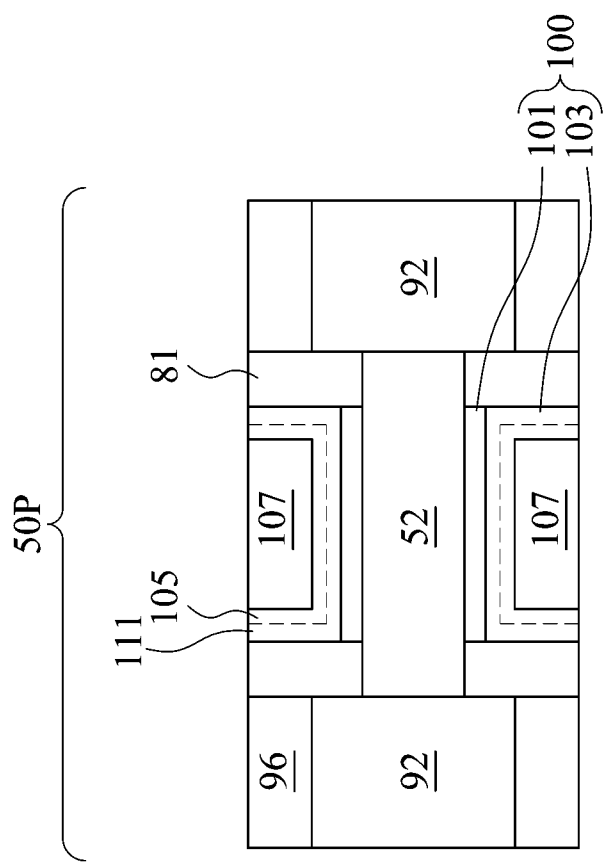


第 29A 圖

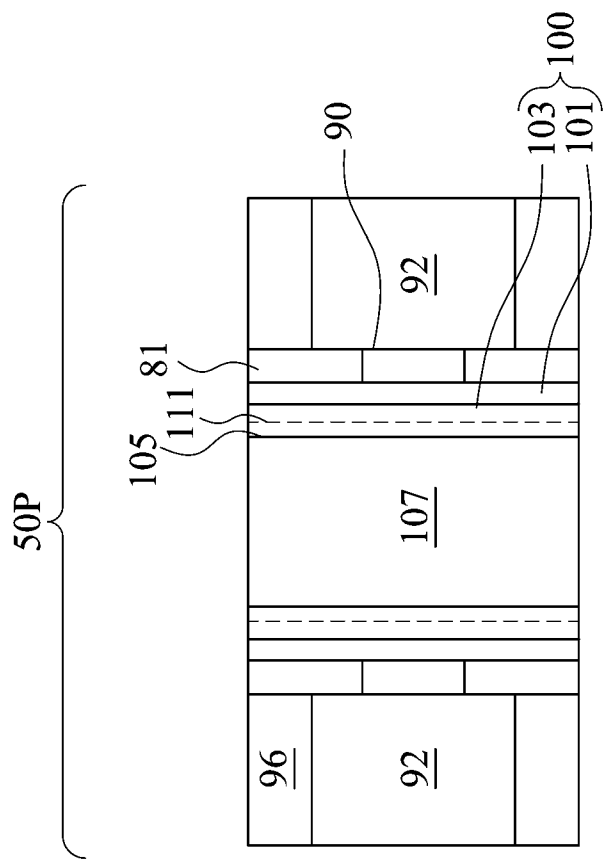


第 29B 圖

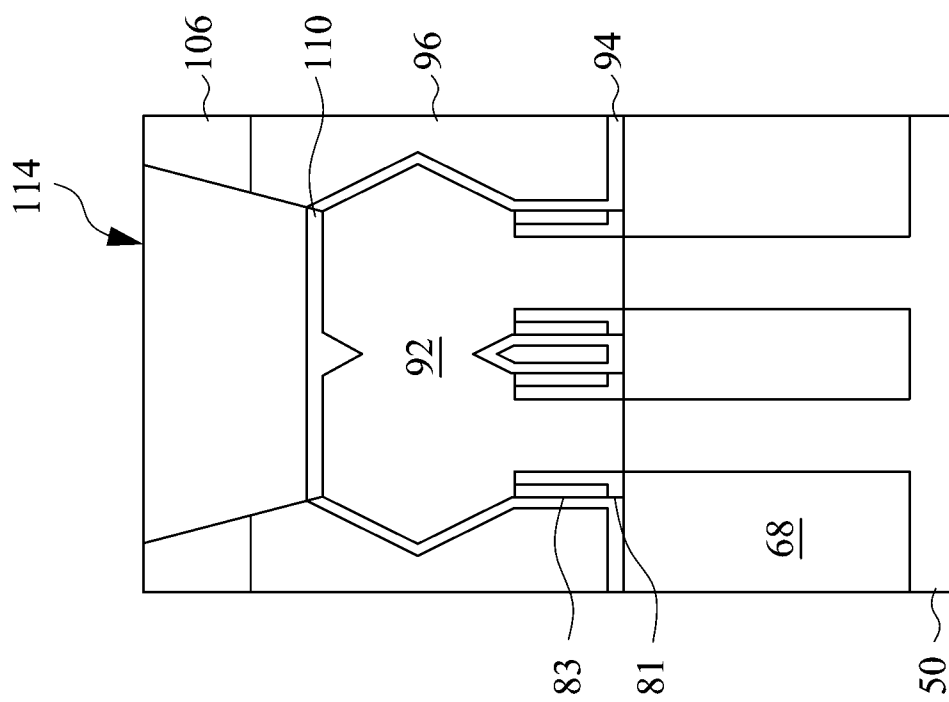




第 29D 圖



第 29C 圖



第 29E 圖