

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4226686号
(P4226686)

(45) 発行日 平成21年2月18日(2009.2.18)

(24) 登録日 平成20年12月5日(2008.12.5)

(51) Int.Cl.	F I
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/34 3 5 3 C
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 5 3 F
	G 1 1 C 11/34 3 6 2 S

請求項の数 3 (全 17 頁)

(21) 出願番号	特願平10-124367	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成10年5月7日(1998.5.7)	(74) 代理人	100092820 弁理士 伊丹 勝
(65) 公開番号	特開平11-317072	(72) 発明者	土田 賢二 神奈川県川崎市幸区堀川町580番1号 株式会社東芝 半導体システム技術センタ ー内
(43) 公開日	平成11年11月16日(1999.11.16)	(72) 発明者	戸田 春希 神奈川県川崎市幸区堀川町580番1号 株式会社東芝 半導体システム技術センタ ー内
審査請求日	平成16年6月30日(2004.6.30)	審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体メモリシステム及び半導体メモリのアクセス制御方法及び半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

複数のビット線対と複数のワード線の各交差部にメモリセルが配列されると共にビット線イコライズ回路を内蔵したメモリセルアレイ、このメモリセルアレイのメモリセル選択を行うデコーダ回路、メモリセルアレイのメモリセルデータを読み出すと共にビット線イコライズ回路を内蔵したセンスアンプ回路、及び前記センスアンプ回路と各セルアレイブロックの間に配置されて選択的に導通制御される転送ゲートを有し、前記メモリセルアレイが複数のセルアレイブロックに分割され、隣接するセルアレイブロックが前記センスアンプ回路を共有する半導体メモリと、

この半導体メモリに対して連続してアクセスする際に連続してアクセスされるアドレスを監視して、前記メモリセルアレイの一つのセルアレイブロック内を連続アクセスする場合には、第1のサイクルタイムを持つ第1の動作モードによりアクセス制御を行い、前記メモリセルアレイの離散的なセルアレイブロック間を連続アクセスする場合には、パイプライン処理により前記第1のサイクルタイムより短い第2のサイクルタイムを持つ第2の動作モードによりアクセス制御を行い、前記メモリセルアレイの隣接するセルアレイブロック間を連続アクセスする場合には、前記転送ゲートの導通制御によって、先行してアクセスされるセルアレイブロックのビット線イコライズ動作と次にアクセスされるセルアレイブロックのワード線活性化動作が一部並進することにより前記第1の動作モードと第2の動作モードの中間の第3のサイクルタイムを持つ第3の動作モードによりアクセス制御を行う制御装置と、

を備え、

前記制御装置は、前記第3の動作モードによりアクセス制御を行うとき、各セルアレイブロック内のビット線イコライズ回路により、隣接するセルアレイブロックの一方のワード線活性化が行われている間、他方のビット線イコライズ動作を行わせ、前記セルアレイブロック内のビット線イコライズ動作が行われている間、そのセルアレイブロックとセンスアンプ列の間の転送ゲートを非導通制御する

ことを特徴とする半導体メモリシステム。

【請求項2】

複数のビット線対と複数のワード線の各交差部にメモリセルが配列されると共にビット線イコライズ回路を内蔵したメモリセルアレイ、このメモリセルアレイのメモリセル選択を行うデコーダ回路、メモリセルアレイのメモリセルデータを読み出すと共にビット線イコライズ回路を内蔵したセンスアンプ回路、及び前記センスアンプ回路と各セルアレイブロックの間に配置されて選択的に導通制御される転送ゲートを有し、前記メモリセルアレイが複数のセルアレイブロックに分割され、隣接するセルアレイブロックが前記センスアンプ回路を共有する半導体メモリをアクセス制御する方法であって、

前記メモリセルアレイに対して連続してアクセスする際に連続してアクセスされるアドレスを監視して、前記メモリセルアレイの一つのセルアレイブロック内を連続アクセスする場合には、第1のサイクルタイムを持つ第1の動作モードによりアクセス制御を行い、前記メモリセルアレイの離散的なセルアレイブロック間を連続アクセスする場合には、パイプライン処理により前記第1のサイクルタイムより短い第2のサイクルタイムを持つ第2の動作モードによりアクセス制御を行い、前記メモリセルアレイの隣接するセルアレイブロック間を連続アクセスする場合には、前記転送ゲートの導通制御によって、先行してアクセスされるセルアレイブロックのビット線イコライズ動作と次にアクセスされるセルアレイブロックのワード線活性化動作が一部並進することにより前記第1の動作モードと第2の動作モードの中間の第3のサイクルタイムを持つ第3の動作モードによりアクセス制御を行い、

前記第3の動作モードによりアクセス制御を行うとき、各セルアレイブロック内のビット線イコライズ回路により、隣接するセルアレイブロックの一方のワード線活性化が行われている間、他方のビット線イコライズ動作を行わせ、前記セルアレイブロック内のビット線イコライズ動作が行われている間、そのセルアレイブロックとセンスアンプ列の間の転送ゲートを非導通制御する

ことを特徴とする半導体メモリのアクセス制御方法。

【請求項3】

複数のビット線対と複数のワード線の各交差部にメモリセルが配列されると共にビット線イコライズ回路を内蔵したメモリセルアレイ、このメモリセルアレイのメモリセル選択を行うデコーダ回路、メモリセルアレイのメモリセルデータを読み出すと共にビット線イコライズ回路を内蔵したセンスアンプ回路、及び前記センスアンプ回路と各セルアレイブロックの間に配置されて選択的に導通制御される転送ゲートを有し、前記メモリセルアレイが複数のセルアレイブロックに分割され、隣接するセルアレイブロックが前記センスアンプ回路を共有し、

前記メモリセルアレイが連続してアクセスされる際に、前記メモリセルアレイの一つのセルアレイブロック内を連続アクセスする場合には、第1のサイクルタイムを持つ第1の動作モードによりアクセス制御され、前記メモリセルアレイの離散的なセルアレイブロック間を連続アクセスする場合には、パイプライン処理により前記第1のサイクルタイムより短い第2のサイクルタイムを持つ第2の動作モードによりアクセス制御され、前記メモリセルアレイの隣接するセルアレイブロック間を連続アクセスする場合には、前記転送ゲートの導通制御によって、先行してアクセスされるセルアレイブロックのビット線イコライズ動作と次にアクセスされるセルアレイブロックのワード線活性化動作が一部並進することにより前記第1の動作モードと第2の動作モードの中間の第3のサイクルタイムを持つ第3の動作モードによりアクセス制御され、

前記第3の動作モードによりアクセス制御を行うとき、各セルアレイブロック内のビット線イコライズ回路により、隣接するセルアレイブロックの一方のワード線活性化が行われている間、他方のビット線イコライズ動作を行わせ、前記セルアレイブロック内のビット線イコライズ動作が行われている間、そのセルアレイブロックとセンスアンプ列の間の転送ゲートを非導通制御する

ことを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、高速アクセスを可能としたDRAM等を用いた半導体メモリシステムに関する。

10

【0002】

【従来の技術】

MOS型半導体記憶装置のうちDRAMは、メモリセルが比較的簡素なため最も高集積化が進み、現在あらゆるコンピュータ機器の主記憶メモリとして利用されている。一方、昨今の急激なマイクロプロセッサ(MPU)の性能向上に対応してメモリ性能を向上させるべく数々の高速データサイクル機能を搭載したDRAMが提案され、あるいは量産が開始され始めている。その代表例がシステムクロックと同期させて全ての入出力データをやり取りする、いわゆる同期型のシンクロナスDRAM(SDRAM)や、同様の動作ながらクロックの両エッジをトリガとしてアクセス可能としたダブル・データ・レートSDRAM(DDR-SDRAM)等である。更に、プロトコルベースのコマンドにより高速にデータ転送が行えるランパスDRAM(RDRAM)(Rambus Inc.仕様)等が開発されており、従来の非同期型のDRAMからこれら同期型DRAMへの移行の流れは将来的には必然なものと言える。

20

【0003】

このような同期型DRAMの特徴は、最大バンド幅が非常に高速であることにある。例えば、最新のSDRAMでの最大バンド幅としては、100Mbpsが達成されている。将来的なDDR-SDRAMでは200Mbps、R-DRAMでは800Mbpsに達すると予想される。但し、このような高バンド幅が実現可能なのは、メモリ空間の限られた特定の行方向のみのバーストアクセスに限定されている。すなわち、行アドレスが変化するいわゆるランダムアクセス時の速度に関しては、従来の非同期型DRAMとほぼ同程度の速度しか得られていない。

30

【0004】

この対策として、DRAMを主記憶に採用したコンピュータシステムにおいては、メモリの階層化が一般的な手法として採用されている。具体的には、DRAMに比べ高速アクセスが可能なSRAMで構成されるキャッシュメモリをMPUとDRAMの間に配置し、DRAMの一部分のデータをSRAMにキャッシングしておく手法である。この場合、MPUからのメモリアccessは高速なキャッシュメモリから行われ、キャッシュメモリにキャッシングされていないアドレス空間にアクセス命令が入った場合、即ちキャッシュミスした場合のみ、DRAMからのアクセスを行う。この手法により、MPUとDRAMの速度性能差がある場合においても、コンピュータシステム性能は大幅に改善されている。

40

【0005】

但し、キャッシュミスした場合にはDRAMからの読み出しが必要で、特にDRAMメモリ空間の同一ブロック内の別行アドレスがアクセスされた場合、MPUにとって最大の待ち時間が発生してしまう。以下、この問題をSDRAMを例にとって、図14を参照して説明する。

【0006】

図14は、SDRAMの読み出し動作タイミングの一例を示したものである。上述した、メモリの階層化を採用したコンピュータシステムにおいてキャッシュミスが発生し、主記憶としてSDRAMからのアクセスの必要が生ずると、時刻t1においてシステム側から

50

現在の活性化されているアドレスに対するプリチャージを行うべく「プリチャージコマンド (Precharge)」が発行される。これに続いて、所定の時間経過後、MPUから「アクティベートコマンド (Active)」が発行され、必要なメモリ空間に相当するバンクが活性化される。更に特定の時間経過後、「リードコマンド (Read)」が発行される。このリードコマンドから特定の時間後の時刻 t_2 から、特定のバースト長のデータがクロックに同期してSDRAMより読み出される。ここに示したように、クロックに同期して連続に読み出される場合の最大バンド幅は非常に高いものの、キャッシュミスの場合のランダムアクセスに対する実効的なバンド幅は著しく低下している。すなわち、ほぼ時刻 t_1 から t_2 にかけてはデータが読み出されない時間、換言すればMPU側から見た場合の待ち時間が大きい事がわかる。

10

【0007】

具体的には、図14に示したSDRAMの仕様の場合、ランダムアクセスサイクル時の最大バンド幅は、バーストサイクル時のその36%程度しかない。これが今後のコンピュータシステム性能向上のためのボトルネックとなる可能性が高く、より高速なアクセスタイム並びにサイクルタイムを実現した高性能DRAMの要求が高まりつつある。特に、現在の高性能サーバマシンを中心とするマルチMPUシステムでは、高速バースト転送のみならず、高速ランダムアクセスの重要性が高い。更に、将来のリアルタイム動画再生を主目的とする民生用マルチメディアシステムにおいても、同様の高速ランダムアクセスが可能なDRAMが要求されると思われる。

【0008】

このような要請を背景して、図15に示したような、Enhanced Memory Systems Inc.から発表されているEnhanced SDRAM (ESDRAM)や、図16に示したような、日本電気株式会社から発表されているVirtual Channel Memory (VCM)等が提案されている。

20

【0009】

【発明が解決しようとする課題】

以上のように、SDRAMやRDRAMに代表される高速データサイクルを実現したDRAMは、ランダムアクセスが必要となるアクセスのミスヒット時の待ち時間が大きく、これがシステムの性能向上のボトルネックとなっているという問題点がある。

【0010】

また、高速アクセスタイム及び高速サイクルタイムを実現すべく、大容量のキャッシュメモリを搭載する図15及び図16の方法では、チップサイズに対するオーバーヘッドが高く、低コスト化が達成され難いという問題点がある。

30

【0011】

この発明は、上記事情に鑑みてなされたものであり、格別の付随回路を搭載することなく、チップサイズに対するオーバーヘッドを抑制しながら、高速アクセスを可能とした半導体メモリシステム及び半導体メモリのアクセス制御方法を提供することを目的としている。

【0012】

【課題を解決するための手段】

本発明に係る半導体メモリシステムは、複数のビット線対と複数のワード線の各交差部にメモリセルが配列されると共にビット線イコライズ回路を内蔵したメモリセルアレイ、このメモリセルアレイのメモリセル選択を行うデコーダ回路、メモリセルアレイのメモリセルデータを読み出すと共にビット線イコライズ回路を内蔵したセンスアンプ回路、及び前記センスアンプ回路と各セルアレイブロックの間に配置されて選択的に導通制御される転送ゲートを有し、前記メモリセルアレイが複数のセルアレイブロックに分割され、隣接するセルアレイブロックが前記センスアンプ回路を共有する半導体メモリと、この半導体メモリに対して連続してアクセスする際に連続してアクセスされるアドレスを監視して、前記メモリセルアレイの一つのセルアレイブロック内を連続アクセスする場合には、第1のサイクルタイムを持つ第1の動作モードによりアクセス制御を行い、前記メモリセルア

40

50

レイの離散的なセルアレイブロック間を連続アクセスする場合には、パイプライン処理により前記第1のサイクルタイムより短い第2のサイクルタイムを持つ第2の動作モードによりアクセス制御を行い、前記メモリセルアレイの隣接するセルアレイブロック間を連続アクセスする場合には、前記転送ゲートの導通制御によって、先行してアクセスされるセルアレイブロックのビット線イコライズ動作と次にアクセスされるセルアレイブロックのワード線活性化動作が一部並進することにより前記第1の動作モードと第2の動作モードの中間の第3のサイクルタイムを持つ第3の動作モードによりアクセス制御を行う制御装置とを備え、前記制御装置は、前記第3の動作モードによりアクセス制御を行うとき、各セルアレイブロック内のビット線イコライズ回路により、隣接するセルアレイブロックの一方のワード線活性化が行われている間、他方のビット線イコライズ動作を行わせ、前記セルアレイブロック内のビット線イコライズ動作が行われている間、そのセルアレイブロックとセンスアンプ列の間の転送ゲートを非導通制御することを特徴としている。

10

【0015】

本発明に係る半導体メモリのアクセス方法は、複数のビット線対と複数のワード線の各交差部にメモリセルが配列されると共にビット線イコライズ回路を内蔵したメモリセルアレイ、このメモリセルアレイのメモリセル選択を行うデコーダ回路、メモリセルアレイのメモリセルデータを読み出すと共にビット線イコライズ回路を内蔵したセンスアンプ回路、及び前記センスアンプ回路と各セルアレイブロックの間に配置されて選択的に導通制御される転送ゲートを有し、前記メモリセルアレイが複数のセルアレイブロックに分割され、隣接するセルアレイブロックが前記センスアンプ回路を共有する半導体メモリをアクセス制御する方法であって、前記メモリセルアレイに対して連続してアクセスする際に連続してアクセスされるアドレスを監視して、前記メモリセルアレイの一つのセルアレイブロック内を連続アクセスする場合には、第1のサイクルタイムを持つ第1の動作モードによりアクセス制御を行い、前記メモリセルアレイの離散的なセルアレイブロック間を連続アクセスする場合には、パイプライン処理により前記第1のサイクルタイムより短い第2のサイクルタイムを持つ第2の動作モードによりアクセス制御を行い、前記メモリセルアレイの隣接するセルアレイブロック間を連続アクセスする場合には、前記転送ゲートの導通制御によって、先行してアクセスされるセルアレイブロックのビット線イコライズ動作と次にアクセスされるセルアレイブロックのワード線活性化動作が一部並進することにより前記第1の動作モードと第2の動作モードの中間の第3のサイクルタイムを持つ第3の動作モードによりアクセス制御を行い、前記第3の動作モードによりアクセス制御を行うとき、各セルアレイブロック内のビット線イコライズ回路により、隣接するセルアレイブロックの一方のワード線活性化が行われている間、他方のビット線イコライズ動作を行わせ、前記セルアレイブロック内のビット線イコライズ動作が行われている間、そのセルアレイブロックとセンスアンプ列の間の転送ゲートを非導通制御することを特徴としている。

20

30

本発明に係る半導体メモリは、複数のビット線対と複数のワード線の各交差部にメモリセルが配列されると共にビット線イコライズ回路を内蔵したメモリセルアレイ、このメモリセルアレイのメモリセル選択を行うデコーダ回路、メモリセルアレイのメモリセルデータを読み出すと共にビット線イコライズ回路を内蔵したセンスアンプ回路、及び前記センスアンプ回路と各セルアレイブロックの間に配置されて選択的に導通制御される転送ゲートを有し、前記メモリセルアレイが複数のセルアレイブロックに分割され、隣接するセルアレイブロックが前記センスアンプ回路を共有し、前記メモリセルアレイが連続してアクセスされる際に、前記メモリセルアレイの一つのセルアレイブロック内を連続アクセスする場合には、第1のサイクルタイムを持つ第1の動作モードによりアクセス制御され、前記メモリセルアレイの離散的なセルアレイブロック間を連続アクセスする場合には、パイプライン処理により前記第1のサイクルタイムより短い第2のサイクルタイムを持つ第2の動作モードによりアクセス制御され、前記メモリセルアレイの隣接するセルアレイブロック間を連続アクセスする場合には、前記転送ゲートの導通制御によって、先行してアクセスされるセルアレイブロックのビット線イコライズ動作と次にアクセスされるセルアレイブロックのワード線活性化動作が一部並進することにより前記第1の動作モードと第2

40

50

の動作モードの中間の第3のサイクルタイムを持つ第3の動作モードによりアクセス制御され、前記第3の動作モードによりアクセス制御を行うとき、各セルアレイブロック内のビット線イコライズ回路により、隣接するセルアレイブロックの一方のワード線活性化が行われている間、他方のビット線イコライズ動作を行わせ、前記セルアレイブロック内のビット線イコライズ動作が行われている間、そのセルアレイブロックとセンスアンプ列の間の転送ゲートを非導通制御することを特徴としている。

【0016】

この発明によると、半導体メモリのアクセス制御において、連続アクセスされるアドレスの順序に応じてサイクルタイムが異なる複数の動作モードを設定するという速度制約を導入することにより、キャッシュ部を搭載することなく、従来のDRAM等では得られない高速アクセスが可能になる。具体的にDRAM等においては、消費電力と速度の点から、メモリセルアレイは複数のセルアレイブロックに分割される。同一セルアレイブロック内を連続アクセスする際には、ワード線活性化とビット線プリチャージ動作を時系列的に行わなければならないから、第1のサイクルタイムを持つ第1の動作モードによりアクセス制御を行い、独立のセルアレイブロック間を連続アクセスする際には、各セルアレイブロック毎に独立にビット線プリチャージとワード線活性化が可能であることから、第1のサイクルタイムより短い第2のサイクルタイムを持つ第2の動作モードによりアクセス制御を行う。このようなアクセス制御を行えば、多分割された半導体メモリにおいては、確率的に同一セルアレイブロックに連続アクセスが入る場合は少ないことから、メモリシステム全体の高速化が図られる。

【0017】

更に、共有センスアンプ回路方式を採用した場合には、転送ゲートの制御により隣接するサブセルアレイのワード線活性化とビット線プリチャージを一部オーバーラップさせることができる。このオーバーラップ動作を利用することにより、隣接するセルアレイブロック間を連続アクセスする際には、第1の動作モードと第2の動作モードの中間の第3のサイクルタイムを持つ第3の動作モードによりアクセス制御を行うことができる。

【0018】

これにより、隣接するサブセルアレイを連続アクセスする場合に、離散的なサブセルアレイの連続アクセスの場合よりは遅いが、サブセルアレイ内部を連続アクセスする場合よりは高速のサイクルタイムでのアクセスが可能になる。

【0019】

【発明の実施の形態】

以下、図面を参照して、この発明の実施例を説明する。

図1は、この発明の実施例によるSDRAM100の等価回路構成を示す。メモリセルアレイ101は、ビット線とワード線の各交差部にダイナミック型メモリセルを配列形成して構成される。アドレスバッファ104は、外部から供給されるアドレスADDを取り込み、取り込まれたアドレスをデコードしてメモリセルアレイ101のカラム及びロウ選択を行うために、カラムデコーダ102及びロウデコーダ103が設けられている。メモリセルアレイ101のデータ読み出し/書き込みを行うセンスアンプ回路(I/Oゲートを含む)105は、データコントロール回路106を介してデータバッファ107に接続され、データバッファ107により外部とのデータ入出力が行われる。

【0020】

クロック同期によるデータ読み出し/書き込みを行うために、外部クロックCLKを取り込むためのクロックバッファ108が設けられ、外部からの各種コマンドを取り込んでデコードするためにコマンドデコーダ109が設けられている。これらのクロックバッファ108及びコマンドデコーダ109は、クロックイネーブル信号CKEにより活性化される。デコードされたコマンドとクロックバッファ108から得られるクロックによりデータ読み出し/書き込みのための各種コントロール信号を生成するために、コントロール信号発生回路111が設けられている。コントロール信号発生回路111は、メモリセルアレイ102を含むコア回路部に対して、プリチャージ制御、センスアンプ活性化制御等の

各種コントロール信号を生成するものである。モードレジスタ110は、バースト長やアクセス・レイテンシー等の各種動作モードを予め設定するためのもので、このモード設定レジスタ110の出力によりコントロール信号発生回路111が制御される。

【0021】

図2(a)(b)は、メモリセルアレイ101の構成例を示している。メモリセルアレイ101は図示のように、複数個(図の場合n個)のセルアレイブロック21に分けられ、各セルアレイブロック21にそれぞれ付随して、図1のセンスアンプ回路105を構成するセンスアンプ列22が配置されている。特に図2(b)は、隣接するセルアレイブロック21でセンスアンプ列22を共有した共有センスアンプ方式を採用した場合を示している。各セルアレイブロック21内には、複数のワード線とこれと交差する複数のビット線

10

【0022】

図3は、図2(b)の共有センスアンプ方式を採用した場合について、隣接する二つのセルアレイブロック21n, 21mと、これらに共有されるセンスアンプ22nmの構成を、一对のビット線について示している。セルアレイブロック21n, 21mには、図示のように、ワード線WLにより駆動されてビット線BL, bBLとの間でデータの授受が行われる1トランジスタ/1キャパシタ構成のメモリセルMCが配列形成されている。左側のセルアレイブロック21n内のビット線BLn, bBLnと、センスアンプ22nm内のビット線BLnm, bBLnmの間には、これらを選択的に接続するために、それぞれNMOSTランジスタQ1, Q2を介在させて、転送ゲート23Lが構成されている。同様に、右側のセルアレイブロック21m内のビット線BLm, bBLmと、センスアンプ22nm内のビット線BLnm, bBLnmの間には、これらを選択的に接続するために、それぞれNMOSTランジスタQ3, Q4を介在させて、転送ゲート23Rが構成されている。これらの転送ゲート23L, 23Rの制御により、センスアンプ22nmはセルアレイブロック21n, 21mのいずれかに選択的に接続されることになる。

20

【0023】

センスアンプ22nmは、PMOSTランジスタQ11, Q12により構成されたフリップフロップからなる、Hレベル側増幅用のPMOSセンスアンプSA1と、NMOSTランジスタQ13, Q14により構成されたフリップフロップからなる、Lレベル側増幅用のNMOSセンスアンプSA2とを有する。具体的にPMOSセンスアンプSA1を構成するPMOSTランジスタQ11, Q12は、ソースが共通に活性化信号SAPnmが与えられる信号線に接続され、ドレインがそれぞれビット線bBLnm, BLnmに接続され、ゲートがそれぞれビット線BLnm, bBLnmに接続される。同様に、NMOSセンスアンプSA2を構成するNMOSTランジスタQ13, Q14は、ソースが共通に活性化信号bSANnmが与えられる信号線に接続され、ドレインがそれぞれビット線bBLnm, BLnmに接続され、ゲートがそれぞれビット線BLnm, bBLnmに接続される。

30

【0024】

センスアンプ22nmはまた、ビット線BLnm, bBLnmをプリチャージ電位VBLにプリチャージするためのプリチャージ用NMOSTランジスタQ5, Q6と、イコライズ用NMOSTランジスタQ7とからなるビット線イコライズ回路24を有する。プリチャージ用NMOSTランジスタQ5, Q6は、ドレインが共通にプリチャージ電位VBLが与えられる信号線に接続され、ソースがそれぞれビット線bBLnm, BLnmに接続され、ゲートがイコライズ制御信号EQLnmが与えられる信号線に接続される。イコライズ用NMOSTランジスタQ7は、ゲートをプリチャージ用NMOSTランジスタQ5, Q6と共通にして、ビット線bBLnm, BLnmの間に介挿接続される。

40

【0025】

図3に示したSDRAMのコア回路部は、従来の汎用DRAMに対して特殊な変更は施されていないが、共有センスアンプ方式とするために、転送ゲート23L, 23Rがそれぞれ配置されている。例えば、外部アドレス入力によりセルアレイブロック21nが選択的

50

に活性化される場合には、転送ゲート23Lが導通状態、転送ゲート23Rが非導通状態に制御され、セルアレイブロック21nに配設されたメモリセルとセンスアンプ22nmが接続される。この時、非選択状態にあるセルアレイブロック21mは、転送ゲート23Rによりセンスアンプ22nmから切り離されてプリチャージ状態にある。

この様に構成されたSDRAMでのアクセス動作の実施形態を具体的に以下に説明する。

【0026】

[実施例1]

図4及び図5は、実施例1による二つの動作モード1, 2のアクセスタイミングを模式的に表している。二つの動作モード1, 2は、前述したように複数個に分割されたセルアレイブロック21のアクセス順序に依存して、SDRAM100を連続的に活性化する際の活性化の周期として定義されるサイクルタイムが異なる。図4の動作モード1は、同一のセルアレイブロック21(例えば、図2のセルアレイブロック<0>)内の異なるワード線に接続されたメモリセルを連続アクセスする場合である。この場合は、ワード線活性化とビット線プリチャージの動作は時系列的に行うことが必要であるから、従来のSDRAMとほぼ同一の速度となる。図4においては、クロックCLKに同期して発行される活性化コマンドACTの周期、即ちサイクルタイムを3クロックサイクルとし、活性化コマンドACTからメモリセルデータが読み出されるまでの時間、即ちアクセスタイムを2クロックサイクルとして、バースト長1でデータを読み出す例を示している。

【0027】

なお活性化コマンドACTとは実際には、活性化コマンド用端子がDRAM100にあるわけではなく、SDRAM100に取り込まれるチップセレクト信号/CSその他の制御信号の予め定められた組み合わせにより定義される信号群である。この活性化コマンドACTはコマンドデコーダ109によりデコードされて、コントロール信号発生回路111に送られ、ビット線プリチャージ、ワード線活性化、センスアンプ活性化等の一連のコントロール信号が発生されることになる。

【0028】

これに対して、図5の動作モード2は、互いに独立な、すなわち全く離散的なセルアレイブロック間、例えば図2に示したセルアレイブロック<0>とセルアレイブロック<3>との間等で連続してアクセスが行われる場合を示している。この場合、メモリセルに接続されるビット線やセンスアンプがアクセス毎に独立なため、図4に示した動作モード1のアクセスよりも高速なサイクルタイムが実現できる。即ち図5では、図4の場合と同じアクセスタイムで、サイクルタイムを1クロックサイクルとした例を示している。

【0029】

このようにこの実施例1では、連続してアクセスされるのが同一セルアレイブロック内か或いは離散的セルアレイブロックかに応じてサイクルタイムを変化させている。このような動作モード設定を行えば、離散的セルアレイブロックの連続アクセスの場合のサイクルタイムを小さくすることにより、従来のSDRAMのように格別のキャッシュ部を搭載しなくとも、従来のSDRAM以上に高速化が実現可能となる。

【0030】

SDRAMにおいては、消費電力と速度の両面から、メモリセルアレイは数十から数百のセルアレイブロックに分割されることが一般的である。例えば、現在量産化が開始された64MビットDRAMにおいては、最小セルアレイブロック容量は約1M程度であるので、アレイ分割総数は64程度になっている。このように非常に分割数が多い場合、確率的に同一セルアレイブロックに連続してアクセスが入る場合は少なく、その結果上述したような連続してアクセスされるセルアレイブロックに応じてサイクルタイムを変化させた場合、従来に比べ全体的なシステム性能が高くなる事は容易に予想される。更に、将来の高集積化によりさらにメモリセルアレイ分割が進めば、性能向上の度合いはますます高くなる。

【0031】

[実施例2]

実施例 2 は、先の実施例 1 で説明したような連続アクセスの態様に依じてサイクルタイムを異ならせる動作を行わせる S D R A M において、特に隣接セルアレイブロック間での連続アクセスの高速化を実現したものである。この実施例 2 においては、図 2 (b) に示すような、分割されるセルアレイブロック 2 1 が隣接するもの同士でセンスアンプ列 2 2 を共有する共有センスアンプ方式を採用した場合を前提とする。

【 0 0 3 2 】

実施例 2 の動作を説明する前に、実施例 1 の制御方式を採用した場合の限界を明らかにする。セルアレイブロック 2 1 n に配置された何れかのメモリセルのアクセスに連続して、隣接するセルアレイブロック 2 1 m に配設された何れかのメモリセルがアクセスされた場合を考える。この時、図 7 に示すように、まずはじめに先行してアクセスしたセルアレイ
10
ブロック 2 1 n をプリチャージ状態にする。具体的には、既に選択状態にあるセルアレイブロック 2 1 n に配設されたワード線 W L n i を非活性化 (N M O S メモリセルの場合はワード線を立ち下げる) し (t 1 1)、これが完了後、ビット線イコライズ回路 E Q L の制御信号 E Q L n m を活性化する (t 1 2)。これにより、ビット線対 B L n , b B L n を電氣的に短絡しプリチャージ電位 V B L にリセットする。

【 0 0 3 3 】

この一連のプリチャージが完了した後、これに続いてアクセスされるセルアレイブロック 2 1 m の活性化が開始される。具体的には、転送ゲート 2 3 L を非導通状態に制御するための制御信号 P H I T L を L レベルに遷移させると同時に、ビット線イコライズ回路 2 4
20
の制御信号 E Q L n m も L レベルに遷移させて、ビット線 B L n , b B L n をプリチャージ電位 V B L から切り離す (t 1 3)。同時に、転送ゲート 2 3 R を導通状態に設定する信号 P H I T R を H レベルに遷移させた後、セルアレイブロック 2 1 m の中の何れかのメモリセルに接続されたワード線 W L m i を活性化する (t 1 4)。

【 0 0 3 4 】

以上のように、隣接するセルアレイブロックを連続的にアクセスする場合に、先行してアクセスされるセルアレイブロックのプリチャージ動作の完了を待って、次のセルアレイブロックの活性化が時系列的に行われるとすると、アクセスタイム及びサイクルタイムは、
30
図 4 に示した同一セルアレイブロック内の連続アクセスの場合と同じとなるため、低速なアクセスしか実現できない。

【 0 0 3 5 】

このような隣接セルアレイブロック間での連続アクセスの場合に、一層の高速化を目指したのが実施例 2 である。図 6 はこの実施例 2 での動作モード 3 のタイミング図を示している。ここでは、アクセスタイムは、図 4 及び図 5 に示す動作モード 1 , 2 と同じであるが、
40
サイクルタイムを 2 クロックサイクルとした動作、即ち図 4 に示すセルアレイブロック内での連続的アクセスよりも短いサイクルタイムを実現した例を示している。

【 0 0 3 6 】

この様なアクセス動作を行う場合の具体的な動作タイミングを図 8 に示す。共有センスアンプ方式を採用した場合に、隣接したセルアレイブロック間の連続アクセスを、同一セルアレイブロック内の連続アクセスの場合よりもサイクルタイムを高速化するため、先行してアクセスされるセルアレイブロックのプリチャージ動作と、これに続いてアクセスされる
40
セルアレイブロックのワード線活性化動作とをオーバーラップ (インターリーブ) させることがキーポイントである。

【 0 0 3 7 】

図 8 は、図 3 に示す二つの隣接するセルアレイブロック 2 1 n , 2 1 m が連続的にアクセスされる場合を想定している。セルアレイブロック 2 1 n に対するアクセスコマンド A C T が発行されると、このセルアレイブロック 2 1 n とセンスアンプ 2 2 n m の間の転送ゲート 2 3 L が制御信号 P H I T L により非導通状態に制御される (t 2 1)。これに続いて、セルアレイブロック 2 1 m の何れかのワード線 W L n i が選択され活性化される (t 2 2)。ワード線の活性化が完了し、セルデータがビット線 B L n , b B L n に読み出されると、制御信号 P H I T L , P H I T R によりそれぞれ転送ゲート 2 3 L , 2 3 R が導
50

通状態，非導通状態に制御される（ t_{23} ）。これにより、セルアレイブロック $21n$ のメモリセルからの微小データはセンスアンプ $22nm$ に転送され、ここで検知増幅される。

【0038】

その後、カラムアドレスに従いカラム選択信号 $CSLi$ が活性化され、センスアンプ $22nm$ で増幅された信号はチップ外部に読み出される（ t_{24} ）。一方、この一連の動作と並進して、セルアレイブロック $21m$ の活性化コマンド ACT が発行されると、セルアレイブロック $21n$ の動作に関わらず、セルアレイブロック $21m$ の中の何れかのワード線 WLi が活性化される（ t_{26} ）。これは、共有センスアンプ方式を用いていて、セルアレイブロック $21n$ がアクセスされている間、セルアレイブロック $21m$ が転送ゲート $23R$ によりセンスアンプ $22nm$ から切断されていることにより可能となる。

10

【0039】

セルアレイブロック $21n$ から読み出されたセルデータがセンスアンプ $22nm$ により所定の電圧までリストアされると、セルアレイブロック $21n$ のプリチャージ動作に移行する。具体的には、メモリセルのワード線 WLn が非活性化され（ t_{25} ）、これに続いて制御信号 $EQLn$ が活性化される（ t_{26} ）。これにより、セルアレイブロック $21n$ のビット線 BLn ， $bBLn$ 並びにセンスアンプ $22nm$ のビット線 $BLnm$ ， $bBLnm$ が所定の電圧にプリチャージされる。図8の場合、このセルアレイブロック $21n$ のプリチャージ動作と、セルアレイブロック $21m$ のワード線 WLi の活性化開始が同じタイミングである。そして、セルアレイブロック $21m$ のビット線 BLm ， $bBLm$ にセルデータが読み出されたことを待って、制御信号 $PHITL$ ， $PHITR$ を遷移させて転送ゲート $23L$ ， $23R$ を切り替える（ t_{27} ）。

20

【0040】

これにより、隣接する2つのセルアレイブロック $21n$ ， $21m$ 間のセルデータをセンスアンプ $22nm$ で衝突させることなく、隣接セルアレイブロック間のオーバーラップ動作が可能となる。即ち、共有センスアンプ回路方式を持ち、隣接する2つのセルアレイブロック間で連続的にアクセスされる場合に、同一セルアレイブロック内の連続アクセスの場合よりも高速化することが可能となる。以上から、主としてコスト重視の観点から共有センスアンプ方式を採用した場合にも、通常の共有センスアンプ方式での速度的な制約を軽減することが可能となり、性能とコストの更なる両立が実現される。

30

【0041】

この発明が適用される $SDRAM100$ は、前述のように内部構成は従来と変わらず、アクセスの態様に応じた動作が可能である。具体的にこの様な動作モード制御は、図9に示すように、アクセス要求を出すマイクロプロセッサ 201 と、このマイクロプロセッサ 201 からのアクセス要求に回答して $SDRAM100$ をアクセスするメモリコントローラ $LSI202$ とを備えたメモリシステムにおいて行われる。前述した各実施例1，2の動作モード1，2，3は、マイクロプロセッサ 201 の中でソフトウェアにより決定され、各動作モードに応じてサイクルタイムの異なる活性化コマンド ACT が発行されることになる。

【0042】

図10は、マイクロプロセッサ 201 による動作モード設定のアルゴリズムを示す。動作モード設定に際してはまず、アクセスしようとする $SDRAM$ のアドレスデータを監視する（ $S1$ ）。 $SDRAM$ 内のセルアレイブロックに対するアドレス割り当ては予め判っているから、そのアドレス割り当てに基づいて、アクセスしようとするアドレスが一つのセルアレイブロックの内部を連続的にアクセスするものか否かを判定する（ $S2$ ）。 YES であれば、サイクルタイムの最も長い第1の動作モード1に設定する（ $S4$ ）。 NO であれば、更に隣接するセルアレイブロックを連続アクセスするものか否かを判定する（ $S3$ ）。その判定結果が NO であれば、連続アクセスは離散的なセルアレイブロックに対するものであるから、サイクルタイムが最も短い動作モード2に設定し（ $S5$ ）、 YES であれば、中間のサイクルタイムである動作モード3に設定する（ $S6$ ）。

40

50

【 0 0 4 3 】

この様にしてマイクロプロセッサ 2 0 1 は、S D R A M アクセスの動作モードに応じて前述のように活性化コマンド A C T を発行するクロックサイクルを決定することができる。

【 0 0 4 4 】

[実施例 3]

実施例 3 は、先の実施例に比べて、共有センスアンプ回路方式での隣接するセルアレイブロックのアクセスのインターリーブ動作を更に深くする。その様な深いインターリーブ動作を行うためには、S D R A M のコア回路部の構成を変更することが必要である。図 3 に対してこの実施例 3 を適用する場合のコア回路構成を図 1 1 に示す。図 3 と異なるのは、センスアンプ 2 2 n m 内にビット線イコライズ回路 2 4 1 を設けると同時に、各セルアレイブロック 2 1 n , 2 1 m 内にも、同様の構成のビット線イコライズ回路 2 4 2 , 2 4 3 を配置していることである。

10

【 0 0 4 5 】

図 1 2 はこの実施例 3 の動作タイミングを示した図である。この実施例 3 では、共有センスアンプ 2 2 n m に配置されたビット線 B L n m , b B L n m のイコライズ動作と、セルアレイブロック 2 1 n , 2 1 m 内のイコライズ動作とが独立に行われる。これは、隣接するセルアレイブロック 2 1 n , 2 1 m 間に連続的にアクセスが発生した場合の高速化のために、出来るだけ高速に共有センスアンプ 2 2 n m のビット線対 B L n m , b B L n m をイコライズし、このイコライズ動作とオーバーラップ動作しているこれに続いてアクセスされるセルアレイブロックからの読み出しのための準備を行うためである。

20

【 0 0 4 6 】

これにより、ワード線 W L n i の非活性化が完了してからの動作が前提となるビット線イコライズ動作（信号 E Q L n の立ち上がりで起動される）と、次サイクルでメモリセルからの微小信号を検知増幅する必要のあるセンスアンプ 2 2 n m のビット線 B L n m , b B L n m のイコライズ動作（信号 E Q L n m の立ち上がりで起動される）を独立に、かつ、ワード線 W L n i の非活性化を待たずに先行して行うことが可能となる。

【 0 0 4 7 】

具体的に図 1 2 の動作を説明すれば、制御信号 P H I T L , P H I T R を遷移させて転送ゲート 2 3 L , 2 3 R を非導通とし（t 2 1）、ワード線 W L n i を立ち上げて、セルアレイブロック 2 1 n のメモリセルデータを読み出す（t 2 2）。そして、カラム選択信号 C S L j を立ち上げて、セルアレイブロック 2 1 n から読み出したデータを外部に取り出す（t 2 4）。ここまでの動作は先の実施例 2 と基本的に同様である。

30

【 0 0 4 8 】

このセルアレイブロック 2 1 n でのデータ読み出しの間、セルアレイブロック 2 1 m では、イコライズ制御信号 E Q L m が H であってビット線イコライズ動作が行われており、このイコライズ動作が終了すると（t 3 1）、制御信号 P H I T L が立ち下がり、同時にセンスアンプ 2 3 n m のイコライズ制御信号 E Q L n m が立ち上がる（t 3 2）。即ち、セルアレイブロック 2 1 n 内のワード線 W L n i が立ち下がるタイミング t 3 4 より前に、転送ゲート 2 3 L が非導通とされ、センスアンプ 2 2 n m のビット線イコライズが行われる。そしてセンスアンプ 2 2 n m のビット線イコライズを行っている間に、セルアレイブロック 2 1 m の選択ワード線 W L m i が立ち上げられる（t 3 3）。セルアレイブロック 2 1 m のデータ読み出しを行っている間に、次の準備のために、セルアレイブロック 2 1 n 側のビット線イコライズ動作が開始される（t 3 5）。

40

【 0 0 4 9 】

このように、センスアンプ 2 2 n m のビット線 B L n m , b B L n m の先行イコライズにより、実施例 2 の場合よりも、隣接するセルアレイブロックに連続してアクセスが発生した場合の高速アクセスが可能となる。一般的に複数個（例えば、1 2 8 個、2 5 6 個、5 1 2 個など）のメモリセルが接続されるセルアレイブロック 2 1 n , 2 1 m でのビット線対の容量は、センスアンプ 2 2 n m 内のビット線対 B L n m , b B L n m の容量より数倍から十数倍大きい。このため、セルアレイブロック内でのビット線イコライズの時間は必

50

然的に長くなる傾向にある。この実施例3のように、プリチャージ動作に入ると直ちに転送ゲートを信号PHITLを遷移させて非導通状態に制御して高速にビット線イコライズを行うことにより、次サイクルでの使用の準備を行っておきたいセンスアンプ22nmのイコライズが、低速になりがちなセルアレイブロック内のビット線イコライズの影響を受け難くすることが可能となる。

【0050】

以上説明したように、この実施例3によると、ビット線イコライズ回路242, 243を各セルアレイブロック21n, 21mにも分散的に配置し、センスアンプ23nmとセルアレイブロック間の転送ゲートをそのプリチャージ時に直ちに非導通制御とし、センスアンプ23nmのビット線対をセルアレイブロックでのビット線対にイコライズに先行させて行うことで、隣接するセルアレイブロック間に連続してアクセスが発生した場合に、高速アクセス並びに高速サイクルが実現できる。

10

【0051】

この実施例では、それぞれNMOSTランジスタQ21~Q23, Q31~Q33からなるビット線イコライズ回路242, 243を設けているため、これらの占有面積分チップサイズが大きくなる。しかし、ビット線イコライズ回路242を構成するNMOSTランジスタQ21~Q23は、NMOSTランジスタQ1, Q2と同じウェルに形成することができ、同様にビット線イコライズ回路243を構成するNMOSTランジスタQ31~Q33は、NMOSTランジスタQ3, Q4と同じウェルに形成することができる。従って大幅な面積増大はない。

20

【0052】

[実施例4]

実施例4は、実施例3の変形である。実施例4においても、図11のコア回路構成が用いられる。実施例4の動作タイミングを図13に示す。図12の動作タイミングと異なる点は、転送ゲート23L, 23Rの制御法にある。即ち、図11のコア回路では、センスアンプ22nmのみならず、各セルアレイブロック21n, 21m内にもイコライズ回路242, 243が配置されている。そこで図13の動作においては、サブセルブロック21n側のイコライズ制御信号EQLnが活性である間は、転送ゲート制御信号PHITLを非活性に保つ。同様に、サブセルブロック21m側のイコライズ制御信号EQLmが活性である間は、転送ゲート制御信号PHITRを非活性に保つ。

30

【0053】

このように、転送ゲート23L, 23Rを通常非導通状態として、各セルアレイブロックとセンスアンプを電氣的に非接続としても、ビット線イコライズ回路が活性であればビット線対が電氣的にフローティング状態にはならず、DRAM動作に対しては支障がない。

【0054】

この手法の採用により、転送ゲート制御信号PHITL, PHITRの遷移回数を少なくする事ができ、この制御信号線の充放電に伴う消費電力を低減することが可能となる。転送ゲートの制御法以外の動作は、実施例3と同様であるので詳細な動作説明は省略する。

【0055】

この実施例によると、無用な充放電動作を回避することにより、消費電力削減が図られる。

40

以上、この発明の実施例を説明したが、この発明は上述した各実施例に限定されるものではなく、その主旨を逸脱しない範囲で種々変形して実施することができる。また、特にSDRAMを中心に説明してきたが、この発明はSDRAMに限らず、共有センスアンプ方式を採用した通常のDRAM、FRAM、PROM等、他の半導体メモリに同様に適用可能である。

【0056】

【発明の効果】

以上述べたようにこの発明によれば、従来の汎用DRAMに対してレジスタ回路等を付加することなく、キャッシュミス時に発生するMPUのウエイトサイクルを可能な限り小さ

50

くすることが可能な高速サイクルタイムのDRAM等の半導体メモリシステムを実現できる。特に、アクセスされるメモリセルが配置されたセルアレイブロックの順番により、アクセスのサイクル時間が異なるという時間制約を導入することで、レジスタ回路等の導入が不要となる。これにより、チップサイズに対するオーバーヘッドが抑制可能となり、性能とコストを両立可能な付加価値の高いDRAMを提供できる。

【0057】

更に、半導体メモリが共有センスアンプ回路方式を導入した構成を持つ場合に、隣接する2つのセルアレイブロック間で連続的にアクセスされる場合は、先行してアクセスされるセルアレイブロックのプリチャージ動作とこれに続いてアクセスされるセルアレイブロックのワード線活性化を並行して行うインターリーブ動作を適用することにより、アクセス時間制約を高速化することが可能となる。これにより、主としてコスト重視の観点から共有センスアンプ方式を採用した場合にも、速度的な制約を軽減することが可能となり、性能とコストの更なる両立が実現される。

【図面の簡単な説明】

【図1】この発明が適用されるSDRAMの等価回路を示す。

【図2】同SDRAMのメモリセルアレイの分割構成を示す。

【図3】共有センスアンプ方式をの場合のメモリセルアレイのより具体的な構成を示す。

【図4】この発明の実施例1によるセルアレイブロック内の連続アクセスを行う場合の動作モード1のタイミング図である。

【図5】同実施例1による離散的セルアレイブロック間の連続アクセスを行う場合の動作モード2のタイミング図である。

【図6】この発明の実施例2による隣接セルアレイブロック間の連続アクセスを行う場合の動作モード3のタイミング図である。

【図7】隣接セルアレイブロック間の連続アクセスを行う場合の通常動作タイミング図である。

【図8】実施例2による動作モード3での具体的な動作タイミング図である。

【図9】この発明が適用される半導体メモリシステムの構成を示す。

【図10】同メモリシステムにおけるDRAM動作モード設定のアルゴリズムを示す。

【図11】この発明の実施例3におけるSDRAMの要部構成を示す。

【図12】同実施例3でのアクセス動作タイミングを示す。

【図13】図12の動作を変形したアクセス動作タイミングを示す。

【図14】従来のSDRAMの動作タイミングを示す。

【図15】DRAMの高速アクセス化の従来の一手法を示す。

【図16】DRAMの高速アクセス化の従来他の手法を示す。

【符号の説明】

100...SDRAM、101...メモリセルアレイ、102...カラムデコーダ、103...rowデコーダ、104...アドレスバッファ、105...センスアンプ・I/Oゲート、106...データコントロール回路、107...データバッファ、108...クロックバッファ、109...コマンドデコーダ、111...コントロール信号発生回路、21...セルアレイブロック、22...センスアンプ列、23...転送ゲート、24...ビット線イコライズ回路。

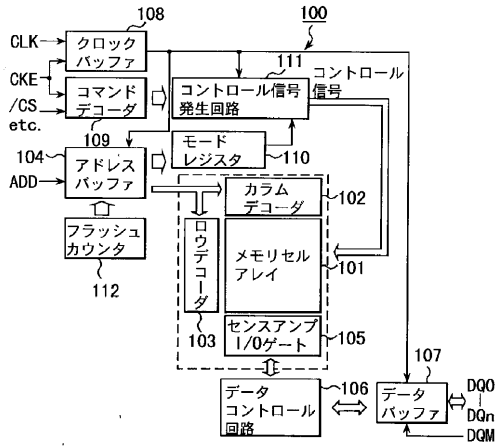
10

20

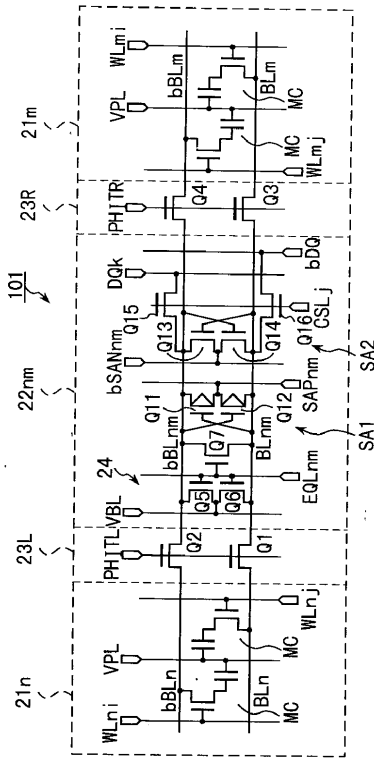
30

40

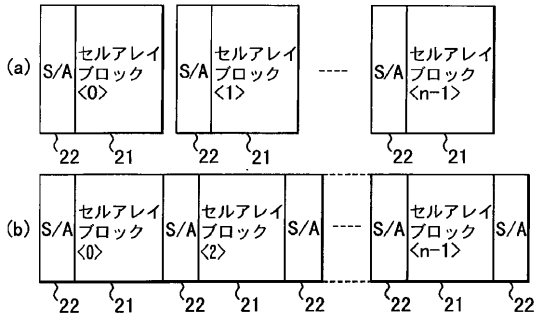
【図1】



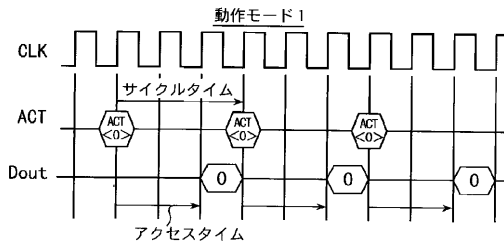
【図3】



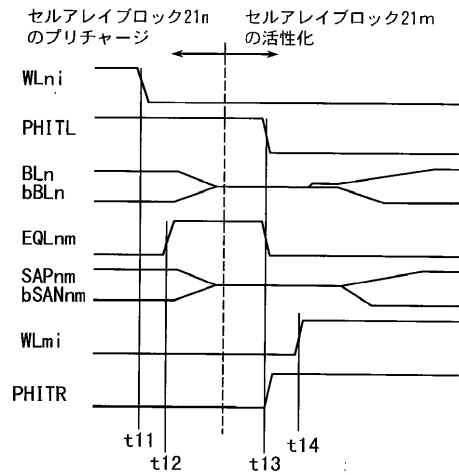
【図2】



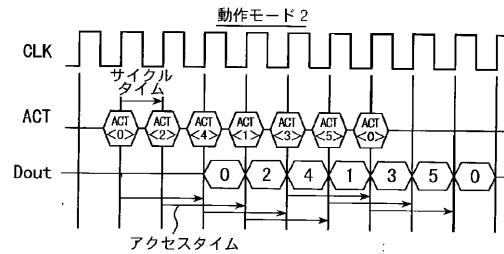
【図4】



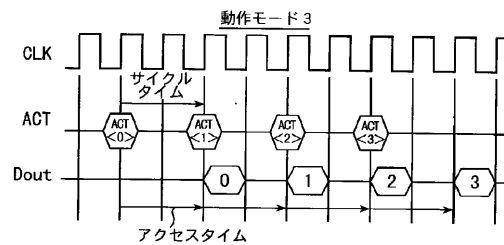
【図7】



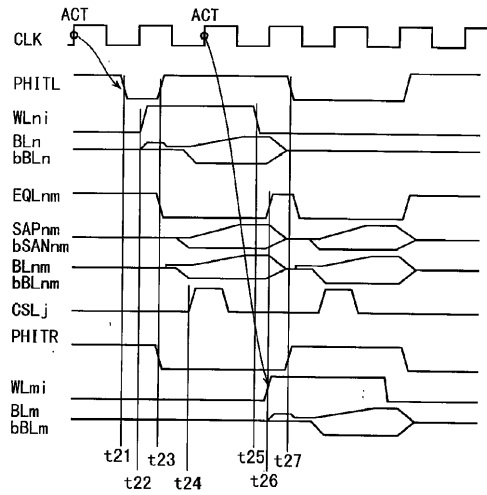
【図5】



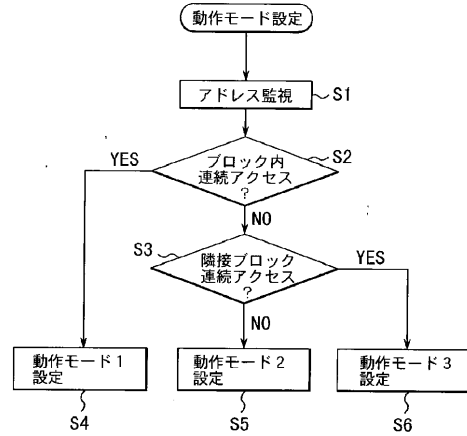
【図6】



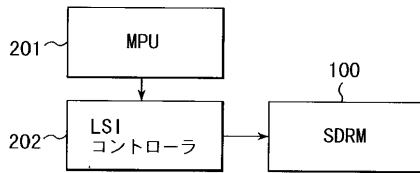
【図 8】



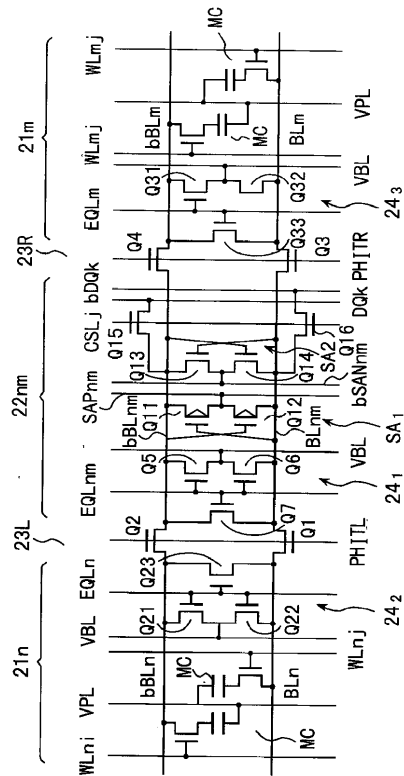
【図 10】



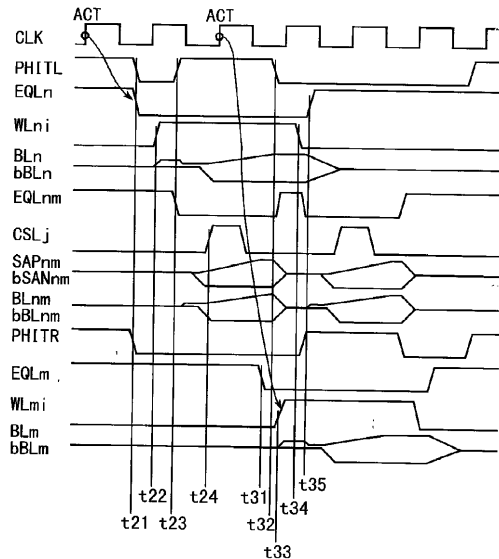
【図 9】



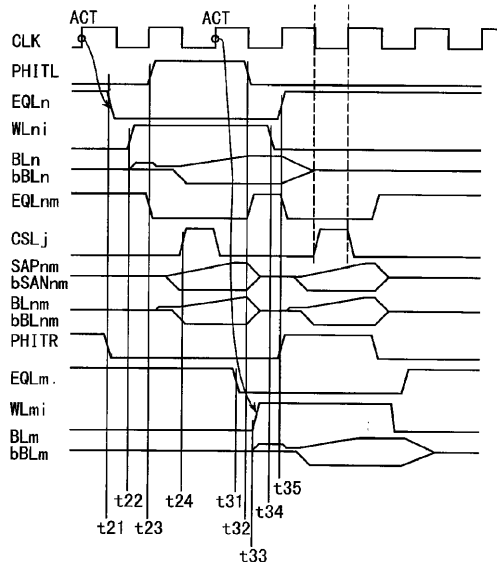
【図 11】



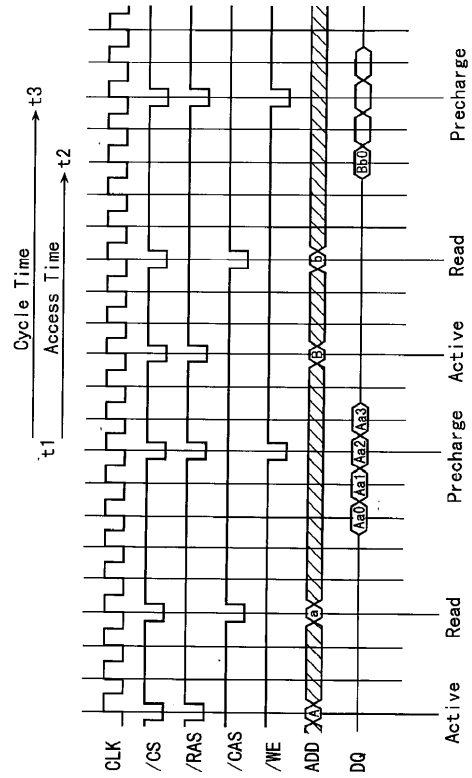
【図 12】



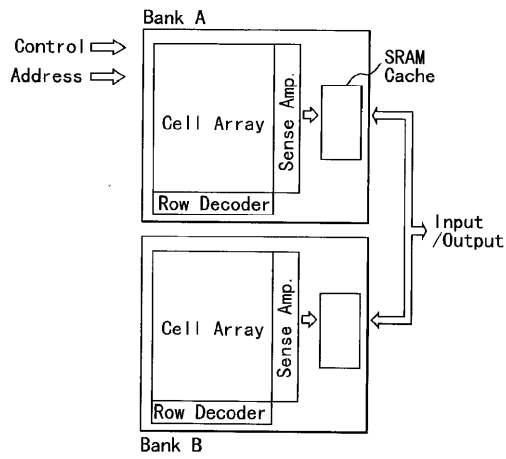
【 1 3 】



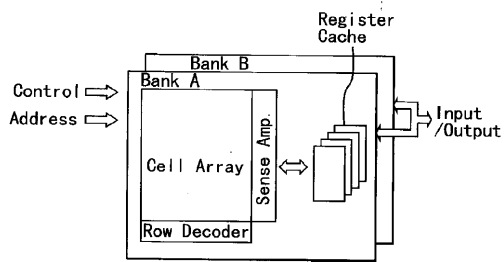
【 1 4 】



【 1 5 】



【 1 6 】



フロントページの続き

(56)参考文献 特開平7 - 73663 (JP, A)
特開平9 - 213068 (JP, A)
特開2000 - 90664 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/4091