



申請日期	Per. 1.16
案號	90100910
類別	H03M 1/00, H03K 17/00

A4
C4

519794

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	基座自動偏壓電路
	英 文	
二、發明人 創作	姓 名	1 吳高彬 2 姜勝祥
	國 籍	中華民國
	住、居所	1 台南市東區立德四路 4 號 2 高雄市前鎮區草衙巷 805-2 號
三、申請人	姓 名 (名稱)	義隆電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市展業一路 9 號 7 樓之 1
	代 表 人 姓 名	葉儀皓

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ | ）

本發明是有關於一種基座自動偏壓電路，且特別有關於一種以簡單之電路，自動將電路之基準偏壓至正確電壓準位。

隨著積體電路之進步與混合式電路之發展，電路利用數個不同電壓準位之電壓源以資工作，亦日益普遍，如電荷幫浦、液晶顯示推動器、滑鼠電路..等，皆利用數個不同電壓準位之電壓源，以供應電路操作所需要之電源，而當電路初使工作時，系統的最高工作電壓往往不明確，是故，如何將基座偏壓至正確電壓準位，以避免額外之基座電流造成栓鎖(Latch up)效應，是必要解決的重要課題。

如第 1 圖所繪示習知電壓比較電路圖形，兩個不同電壓源 VDD 與 Vpp，分別經由兩個串聯電阻 R1~R4 而接到接地電壓，然後經由一比較器 8 來判別兩者電壓之大小。由於電阻所佔用的面積很大，往往在設計上造成成本大幅提高的情形。

有鑒於此，本發明的在於提出一種簡單電路，達到基座正確偏壓之效果，為達上述目的，本創作係利用一比較器，其比較結果經過一控制電路後，用以控制開關之切換，而得到電路之最高電壓，並利用此電壓將基座偏壓至正確電壓準位。

本發明提供一種基座自動偏壓電路，在一第一電壓源與一第二電壓源之間，選擇較高準位之電壓，來作為一基座電壓信號。

其中基座自動偏壓電路包括由一比較器、一移位控制電

五、發明說明(乙)

路以及一開關電路所構成。其中，比較器接收第一電壓源與第二電壓源後，比較產生一比較信號。而移位控制電路接收比較信號與基座電壓信號後，送出第一控制信號與第二控制信號。至於開關電路則接收第一電壓源、第二電壓源、第一控制信號以及第二控制信號後，送出基座電壓信號。上述比較器更包括：第一 PMOS 電晶體之源極與基極共同連接到第一電壓源，其閘極連接到其汲極。第二 PMOS 電晶體，其源極與其基極共同連接第二電壓源，其閘極連接到第一 PMOS 電晶體之閘極，其汲極送出比較信號。第一 NMOS 電晶體，其汲極與其閘極共同連接到第一 PMOS 電晶體之汲極，其源極連接到一接地電壓。第二 NMOS 電晶體，其汲極連接到第二 PMOS 電晶體之汲極，其閘極連接到第一 NMOS 電晶體之閘極，其源極連接接地電壓。

至於，移位控制電路可包括：第一反向器接收比較信號與基座電壓信號後，送出一第一反向信號。第二反向器接收第一反向信號與基座電壓信號後，送出第一控制信號。以及第三反向器接收第一控制信號與基座電壓信號，並送出第二控制信號。上述第一反向器亦可以使用史密特觸發器取代。

而移位控制電路可包括：第三 PMOS 電晶體，其源極連接基座電壓信號，其汲極送出第一控制信號，其閘極送出第二控制信號。第四 PMOS 電晶體，其源極連接基座電壓信號，其汲極連接第三 PMOS 電晶體之閘極，其閘極連接第三 PMOS 電晶體之汲極。第三 NMOS 電晶體，其汲極連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

接到第三 PMOS 電晶體之汲極，其閘極接收比較信號，其源極連接接地電壓。第四反向器，接收比較信號，送出一第四反向信號。以及第四 NMOS 電晶體，其汲極連接到第四 PMOS 電晶體之汲極，其閘極接收第四反向信號，其源極連接接地電壓。

對於開關電路則可包括:第五 PMOS 電晶體，其閘極接收第一控制信號，其源極與其基極共同連接到基座電壓信號，其汲極連接到第一電壓源。以及第六 PMOS 電晶體，其閘極接收該第二控制信號，其源極與其基極共同連接到該基座電壓信號，其汲極連接到該第二電壓源。

此外，本發明亦可為另外一種基座自動偏壓電路，在第一電壓源與一第二電壓源之間，選擇較高準位之電壓，來作為一基座電壓信號。

其中基座自動偏壓電路包括:比較器接收一第一電壓源與一第二電壓源後，比較產生一比較信號。移位控制電路，接收比較信號與基座電壓信號後，送出一第一控制信號與一第二控制信號。以及開關電路接收第一電壓源、第二電壓源、第一控制信號以及第二控制信號後，送出基座電壓信號。而比較器更包括:一電流源產生一參考電流。一第一 PMOS 電晶體，其源極與其基極共同連接第一電壓源，其閘極連接到其汲極。一第二 PMOS 電晶體，其源極與其基極共同連接第二電壓源，其閘極連接到第一 PMOS 電晶體之閘極，其汲極送出比較信號。一第一 NMOS 電晶體，其汲極與其閘極共同連接到電流源，其源極連接到接地電壓。第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

NMOS電晶體，其汲極連接到第一PMOS電晶體之汲極，其閘極連接到第一NMOS電晶體之閘極，其源極連接到一接地電壓。以及第三NMOS電晶體，其汲極連接到該第二PMOS電晶體之汲極，其閘極連接到該第一NMOS電晶體之閘極，其源極連接到該接地電壓。

而移位控制電路與上述構造相同可由三個反向器所構成，移位控制電路與上述構造相同可由兩個PMOS電晶體、兩個NMOS電晶體、一個反向器所構成。開關電路則與上述構造相同由兩PMOS電晶體構成。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖所繪示習知電壓比較電路圖形；

第 2 圖繪示依照本發明一較佳實施例的一種基座自動偏壓電路方塊圖形；

第 3A 圖繪示第 2 圖中比較器之一實施例；

第 3B 圖繪示第 2 圖中比較器之另一實施例；

第 4A 圖繪示第 2 圖中移位控制電路之一實施例；

第 4B 圖繪示第 2 圖中移位控制電路之另一實施例；

第 5 圖繪示第 2 圖中開關電路線路圖形之實施例；

第 6 圖繪示第 2 圖之實際線路圖形之實施例；以及

第 7 圖繪示根據本發明之第 6 圖所示之基座自動偏壓電路的模擬結果。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明（七）

圖式之標號說明：

8, 10: 比較器

12: 移位控制電路

14: 開關電路

16、18: PMOS 電晶體

20、22: NMOS 電晶體

24、26: PMOS 電晶體

28、30、32: NMOS 電晶體

34: 電流源

36、38、40: 反向器

42: 第一反向信號

44、46: PMOS 電晶體

48、50: NMOS 電晶體

52: 反向器

53: 反向信號

54、56: PMOS 電晶體

實施例

請參照第 2 圖，其繪示的是依照本發明一較佳實施例的一種基座自動偏壓電路方塊圖。

本發明之基座自動偏壓電路能夠在一第一電壓源 V1 與一第二電壓源 V2 之間，選擇較高準位之電壓，來作為一基座電壓信號 V_{pp} 。在圖中我們可以看出本發明之基座自動偏壓電路由一比較器 10、一移位控制電路 12 以及一開關電路 14 所構成。

五、發明說明(6)

首先在運作時，比較器 10 接收一第一電壓源 V1 與一第二電壓源 V2 比較後，產生一比較信號 CMPO，即可得出電壓源 V1、V2 何者為電路中最高電位，而比較器 10 並將比較信號 CMPO 送到移位控制電路 12。移位控制電路 12 根據所接收的移位控制電路 12 進行判斷，來送出第一控制信號 SW1 與一第二控制信號 SW2 到開關電路 14，其中第一控制信號 SW1 與第二控制信號 SW2 電壓準位足以控制開關之開啓或關閉。開關電路 14 除第一控制信號 SW1 以及第二控制信號 SW2 外，並接收第一電壓源 V1 與第二電壓源 V2，來控制電路中最高電壓 Vpp，由 V1 或 V2 何者來提供。此外，基座電壓信號 Vpp 也會回送到移位控制電路 12，藉以提供移位控制器 12 之電源使用。

接著，在第 3A 圖繪示第 2 圖中比較器之一種線路圖形。在圖中我們可以看出比較器包括由兩個 PMOS 電晶體 16、18，以及兩個 NMOS 電晶體 20、22 所構成。其中 PMOS 電晶體 16 之源極與基極共同連接到第一電壓源 V1，其閘極連接到其汲極。而 PMOS 電晶體 18 之源極與基極共同連接第二電壓源 V2，其閘極連接到 PMOS 電晶體 16 之閘極，其汲極送出比較信號 CMPO。至於，NMOS 電晶體 20 之汲極與閘極共同連接到 PMOS 電晶體之汲極，其源極連接到一接地電壓 Vss。而 NMOS 電晶體 22 之汲極連接到 PMOS 電晶體 18 之汲極，其閘極連接到 NMOS 電晶體 22 之閘極，其源極連接接地電壓 Vss。

在運作時，電晶體 16~22 形成一電位比較器，第 3A 圖

五、發明說明(7)

中之 I_{bias} 可由電晶體 16、20 之外觀比(Aspect ratio)決定，當 $V_2 > V_1$ 時 PMOS 電晶體 18 之閘源極電壓差 V_{gs_18} 大於 PMOS 電晶體 16 之之閘源極電壓差 V_{gs_16} (即 $V_{gs_18} > V_{gs_16}$)，由於 PMOS 電晶體 16、18 是匹配元件(match device) 且沒有基體效應(body effect)，所以其臨界電壓(Threshold voltage) V_t 亦會匹配，因此 $I_{d_18} > I_{bias}$ ，而使 CMPO 被提昇至高電壓。反之，若 $V_2 < V_1$ ，CMPO 被拉至低電位。

另外，在第 3 B 圖繪示第 2 圖中比較器之另一種線路圖形。在圖中我們可以看出比較器包括由兩個 PMOS 電晶體 24、26，三個 NMOS 電晶體 28、30、32 以及一個電流源 34 所構成。其中，電流源 34 產生一參考電流 I_{bias} 。PMOS 電晶體 24 之源極與基極共同連接第一電壓源 V_1 ，閘極連接到汲極。而 PMOS 電晶體 26 之源極與基極共同連接第二電壓源 V_2 ，其閘極連接到 PMOS 電晶體 24 之閘極，其汲極送出比較信號 CMPO。至於 NMOS 電晶體 32 之汲極與閘極共同連接到電流源 34，其源極連接到接地電壓 V_{ss} 。NMOS 電晶體 28 之汲極連接到 PMOS 電晶體 24 之汲極，其閘極連接到 NMOS 電晶體 32 之閘極，其源極連接到一接地電壓 V_{ss} 。而 NMOS 電晶體 30 之汲極連接到 PMOS 電晶體 26 之汲極，閘極連接到 NMOS 電晶體 32 之閘極，其源極連接到接地電壓 V_{ss} 。

其中，在第 3B 圖的另一種比較器線路，係利用電流源產生的一電流 I_{bias} ，將 NMOS 電晶體 28、30 偏壓使其汲極(Drain)端的電流是電流源之鏡像，並經由 PMOS 電晶體 24

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (8)

產生一偏壓 VB，其中

$$V1-VB=Vt+\sqrt{\frac{I_{bias}}{\frac{1}{2}\mu nCox*\frac{W}{L}}}=V_{gs_24}$$

因此，當 $V2>V1$ 之 V_{gs_26} 為

$$V_{gs_26}=V_{gs_24}+(V2-V1)=Vt+\sqrt{\frac{I_{bias}}{\frac{1}{2}\mu nCox*\frac{W}{L}}}+(V2-V1)$$

$$\text{所以 } Id_{26}=\frac{1}{2}\mu nCox\left(\frac{W}{L}\right)(V_{gs_26}-V_T)^2=I_{bias}+\Delta I;$$

$$\text{其中 } \Delta I=2\sqrt{\frac{1}{2}\mu nCox\left(\frac{W}{L}\right)I_{bias}}*(V2-V1)+\frac{1}{2}\mu nCox\left(\frac{W}{L}\right)(V2-V1)^2$$

所以 $Id_{26}=I_{bias}+\Delta I>I_{bias}$ ，而使 CMPO 被提昇至高電位，反之，若 $V2<V1$ ，CMPO 被拉至低電位。

接著，在第 4A 圖繪示第 2 圖中移位控制電路之一種線路圖形。在圖中我們可以看出移位控制電路包括由三個反向器 36、38、40 所構成。第一反向器 36 接收比較信號 CMPO 與基座電壓信號 V_{pp} 後，送出第一反向信號 42。第二反向器 38 接收第一反向信號 42 與基座電壓信號 V_{pp} 後，送出第一控制信號 SW1。至於第三反向器 40 則接收第一控制信號 SW1 與基座電壓信號 V_{pp} ，並送出第二控制信號 SW2。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

此外，在第 4B 圖繪示第 2 圖中移位控制電路之另一種線路圖形。由圖中我們可以看出控制電路由兩個 PMOS 電晶體 44、46，兩個 NMOS 電晶體 48、50 以及一個反向器 52 所構成。其中，PMOS 電晶體 44 之源極連接基座電壓信號 V_{pp} ，汲極送出第一控制信號 SW1，閘極送出第二控制信號 SW2。PMOS 電晶體 46 之源極連接基座電壓信號 V_{pp} ，其汲極連接 PMOS 電晶體 44 之閘極，其閘極連接 PMOS 電晶體 44 之汲極。至於 NMOS 電晶體 48 之汲極連接到 PMOS 電晶體 44 之汲極，其閘極接收比較信號 CMPO，其源極連接接地電壓 V_{ss} 。而反向器 52 則接收比較信號，送出一反向信號 53。NMOS 電晶體 50 之汲極連接到 PMOS 電晶體 46 之汲極，其閘極接收反向信號 54，其源極連接接地電壓 V_{ss} 。

在第 4A 圖為控制電路圖形之第一反向器 36，亦可使用史密特觸發器(Smith trigger)連接於 CMPO，以防止電壓源之雜訊(Power Noise)干擾 CMPO，而導致錯誤訊號之產生。另外為能有效控制開關電路，控制電路之工作電壓必須為系統之最高電壓(即 V_{pp})，由於控制電路僅於暫態時耗些許電流，穩態時並不消耗電流，所以 V_{pp} 並不需要有提供大電流的能力。

接著，在第 5 圖繪示第 2 圖中開關電路線路圖形。在圖中我們可以看出開關電路包括由兩個 PMOS 電晶體 54、56 所構成。PMOS 電晶體 54 之閘極接收第一控制信號 SW1，其源極與其基極共同連接到基座電壓信號 V_{pp} ，其汲極連接到第一電壓源 V_1 ，而 PMOS 電晶體 56 之閘極接收第二控

五、發明說明（10）

制信號 SW2，其源極與其基極共同連接到基座電壓信號 V_{pp} ，其汲極連接到第二電壓源 V_2 。

在第 5 圖中 PMOS 電晶體 54、56 分別控制 V_1 、 V_2 至 V_{pp} 之路徑，當 $V_2 > V_1$ 時， $SW_2 = 0V$ ， $SW_1 = V_{pp}$ ，所以 $V_{pp} = V_2$ ，反之 $V_2 < V_1$ ，則 $V_{pp} = V_1$ ，需注意的是 SW_1 、 SW_2 為高電位時，必須被提昇至 V_{pp} ，否則將無法有效地將開關關閉。

而 V_{pp} 產生後，即可作為 PMOS 之基座偏壓之電位，如此即可確保 PMOS 之基座不會有順向偏壓電流之產生，固可避免栓鎖現象之發生，再者，若 V_1 、 V_2 產生變動，本發明之電路亦可即時偵測並即時反應而改變 V_{pp} 之值，固可確保電路操作之安全性。

為更清楚本發明實施例之座自動偏壓電路，在此以第 6 圖繪示第 2 圖之實際線路圖形。在此由第 3A 圖與第 3B 圖之比較器中，取第 3A 圖作為實施例，而第 4A 圖與第 4B 圖之控制電路中，取第 4A 圖作為實施例。得到第 6 圖之圖形的號碼使用原先號碼，其作用於上面以作詳述，所以在此不再重複說明。

接著，在第 7 圖繪示本發明實施例之座自動偏壓電路的模擬結果。由第 7 圖可知當 $V_2 > V_1$ 時，CMPO 變成高電位，使得 SW_2 為低電位， SW_1 為高電位， V_{pp} 則由 V_1 電壓變成 V_2 之電壓。

本發明之基座自動偏壓電路，利用一比較器，將其比較結果經過一控制電路後，以控制開關之切換，而得到電路之最高電壓，並利用此電壓將基座偏壓至正確電壓準

五、發明說明 ((()

位。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱： 基座自動偏壓電路)

一種基座自動偏壓電路，可自動偵測電路之最高的電壓電源，並根據偵測結果，自動將電路之基準偏壓至正確電壓準位。本創作係利用一比較器，其比較結果經過一控制電路後，用以控制開關之切換，而得到電路之最高電壓，並利用此電壓將基座偏壓至正確電壓準位，本創作能以簡單之電路，達到將基座正確偏壓之效果。

英文發明摘要（發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1.一種基座自動偏壓電路，應用於積體電路裝置中使基座偏壓至正確電位，包括：

一比較器，比較複數個電壓源並產生一比較信號輸出；

一移位控制電路，根據該比較信號，送出複數個對應該些電壓源之控制信號；以及

一開關電路，根據該些控制信號，決定該些電壓源之一輸出做為基座電壓；

其中該基座電壓更被提供至該移位控制電路以做為電源使用。

2.如申請專利範圍第1項所述之基座自動偏壓電路，其中該比較器更包括：

一第一 PMOS 電晶體，其源極與其基極共同連接到該第一電壓源，其閘極連接到其汲極；

一第二 PMOS 電晶體，其源極與其基極共同連接該第二電壓源，其閘極連接到該第一 PMOS 電晶體之閘極，其汲極送出該比較信號；

一第一 NMOS 電晶體，其汲極與其閘極共同連接到第一 PMOS 電晶體之汲極，其源極連接到一接地電壓；以及

一第二 NMOS 電晶體，其汲極連接到該第二 PMOS 電晶體之汲極，其閘極連接到該第一 NMOS 電晶體之閘極，其源極連接該接地電壓。

3.如申請專利範圍第1項所述之基座自動偏壓電路，其中該比較器更包括：

一電流源，產生一參考電流；

六、申請專利範圍

一第一 PMOS 電晶體，其源極與其基極共同連接該第一電壓源，其閘極連接到其汲極；

一第二 PMOS 電晶體，其源極與其基極共同連接該第二電壓源，其閘極連接到該第一 PMOS 電晶體之閘極，其汲極送出該比較信號；

一第一 NMOS 電晶體，其汲極與其閘極共同連接到該電流源，其源極連接到該接地電壓；

一第二 NMOS 電晶體，其汲極連接到第一 PMOS 電晶體之汲極，其閘極連接到該第一 NMOS 電晶體之閘極，其源極連接到一接地電壓；以及

一第三 NMOS 電晶體，其汲極連接到該第二 PMOS 電晶體之汲極，其閘極連接到該第一 NMOS 電晶體之閘極，其源極連接到該接地電壓。

4.如申請專利範圍第 1 項所述之基座自動偏壓電路，其中該移位控制電路包括：

一第一反向器，接收該比較信號與該基座電壓信號後，送出一第一反向信號；

一第二反向器，接收該第一反向信號該基座電壓信號後，送出該第一控制信號；以及

一第三反向器，接收該第一控制信號與該基座電壓信號，並送出該第二控制信號。

5.如申請專利範圍第 1 項所述之基座自動偏壓電路，其中該第一反向器係使用史密特觸發器。

6.如申請專利範圍第 1 項所述之基座自動偏壓電路，其

六、申請專利範圍

中該移位控制電路包括：

一第三 PMOS 電晶體，其源極連接該基座電壓信號，其汲極送出該第一控制信號，其閘極送出該第二控制信號；

一第四 PMOS 電晶體，其源極連接該基座電壓信號，其汲極連接該第三 PMOS 電晶體之閘極，其閘極連接該第三 PMOS 電晶體之汲極；

一第三 NMOS 電晶體，其汲極連接到該第三 PMOS 電晶體之汲極，其閘極接收該比較信號，其源極連接該接地電壓；

一第四反向器，接收該比較信號，送出一第四反向信號；以及

一第四 NMOS 電晶體，其汲極連接到該第四 PMOS 電晶體之汲極，其閘極接收該第四反向信號，其源極連接該接地電壓。

7.如申請專利範圍第 1 項所述之基座自動偏壓電路，其中該開關電路包括：

一第五 PMOS 電晶體，其閘極接收該第一控制信號，其源極與其基極共同連接到該基座電壓信號，其汲極連接到該第一電壓源；以及

一第六 PMOS 電晶體，其閘極接收該第二控制信號，其源極與其基極共同連接到該基座電壓信號，其汲極連接到該第二電壓源。

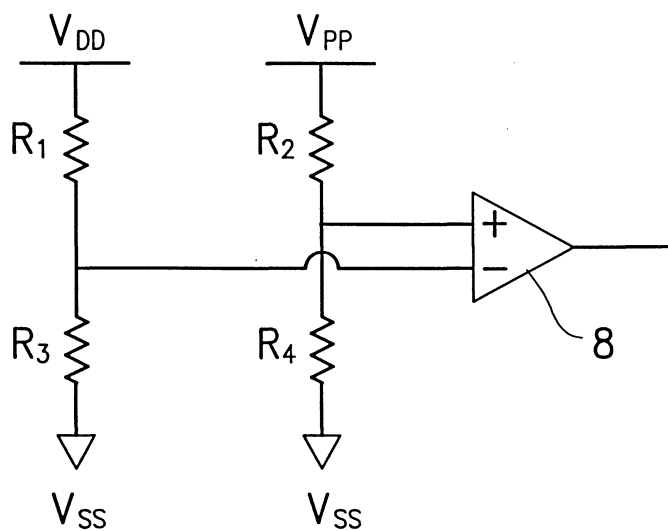
(請先閱讀背面之注意事項再填寫本頁)

裝

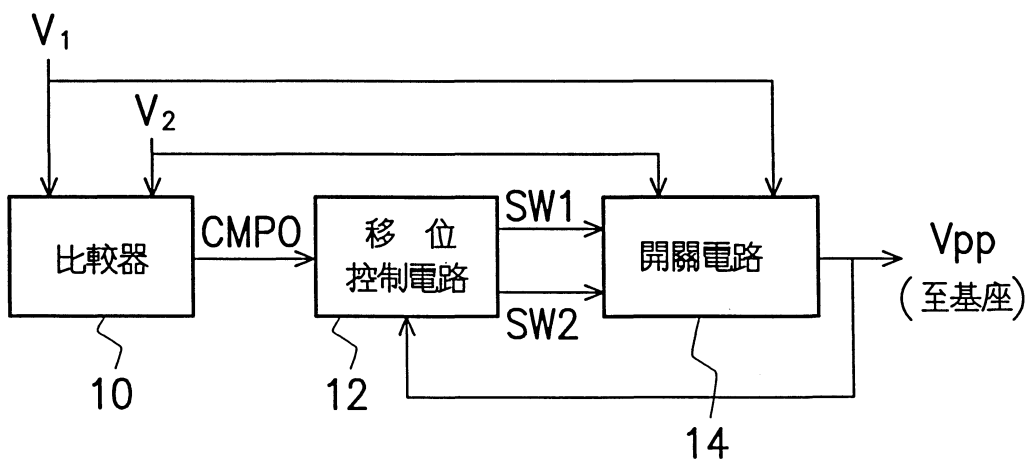
訂

線

5564TW

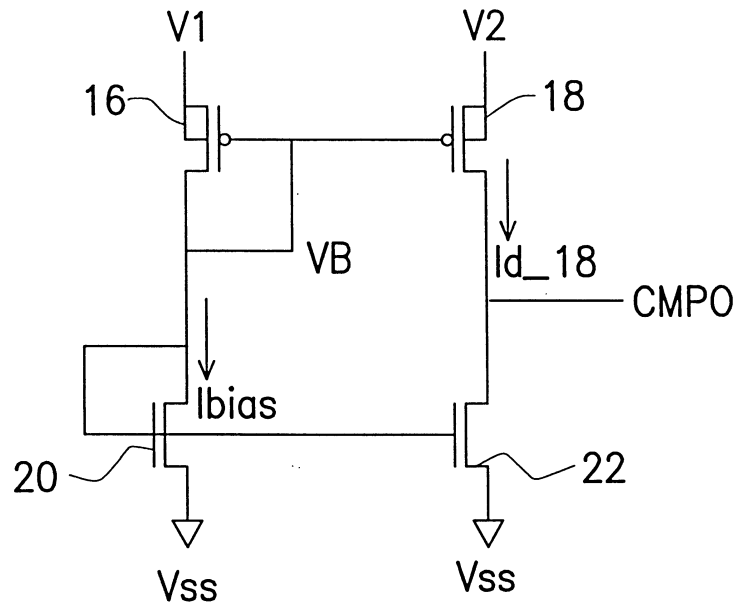


第 1 圖

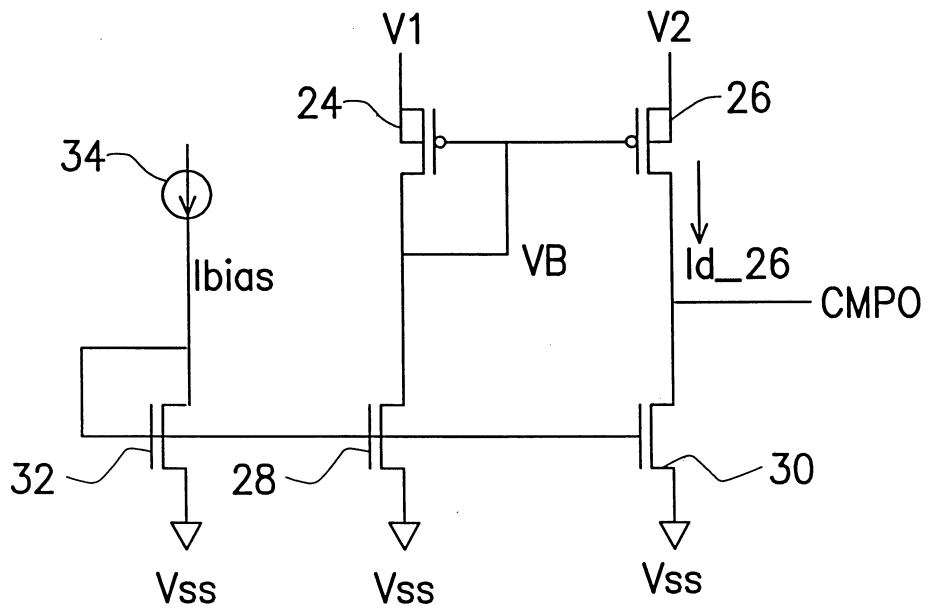


第 2 圖

5564TW

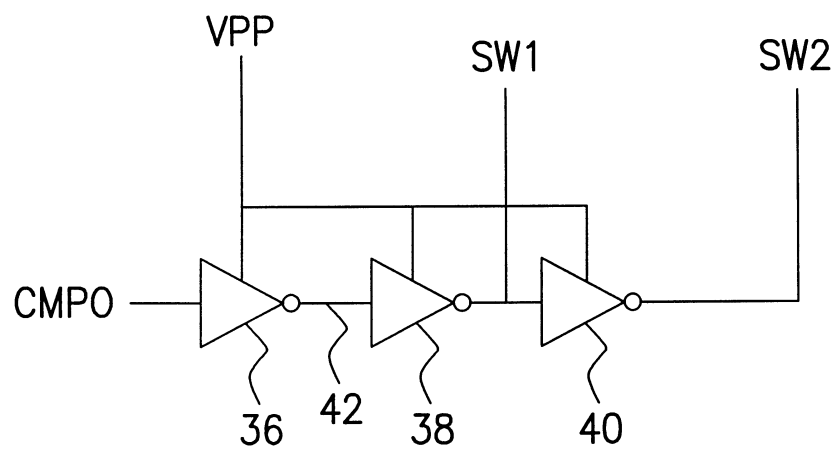


第3A圖

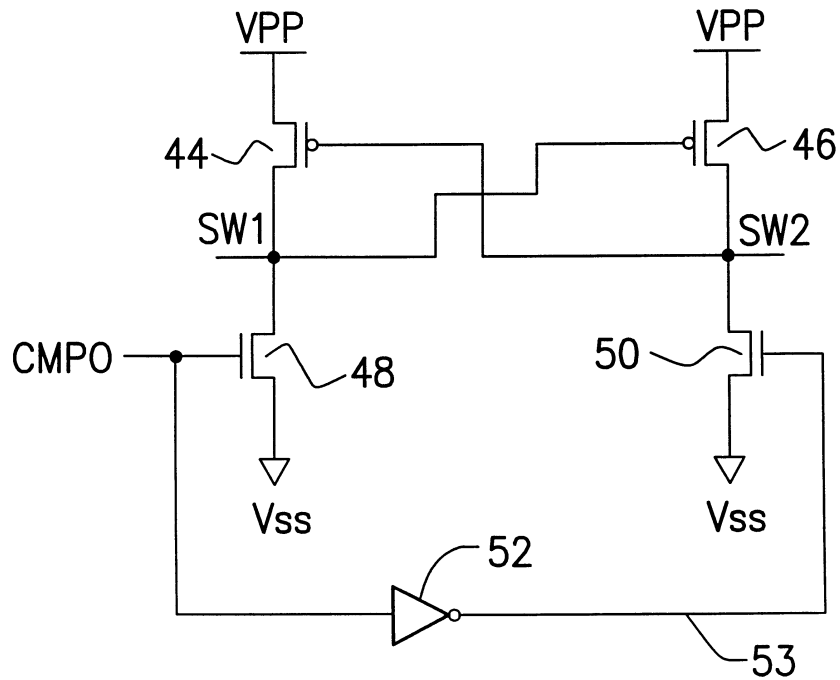


第3B圖

5564TW

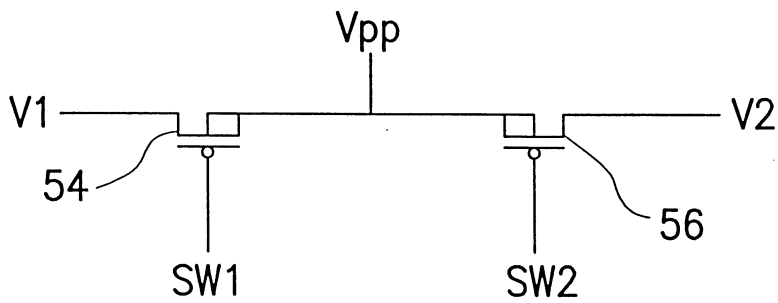


第 4A 圖

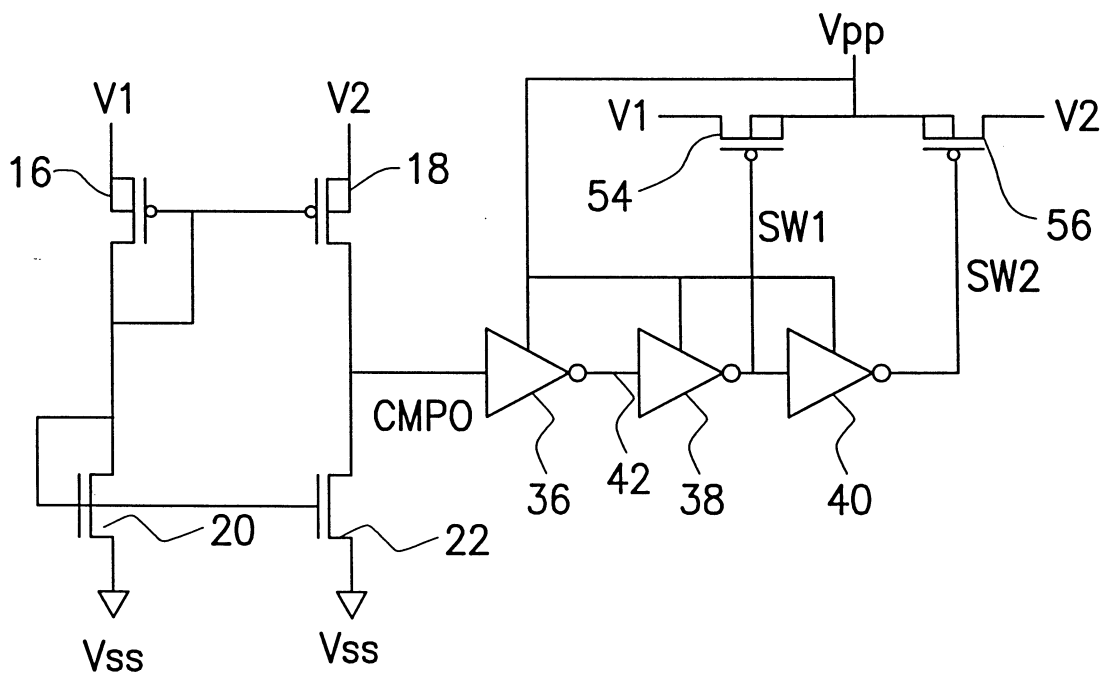


第 4B 圖

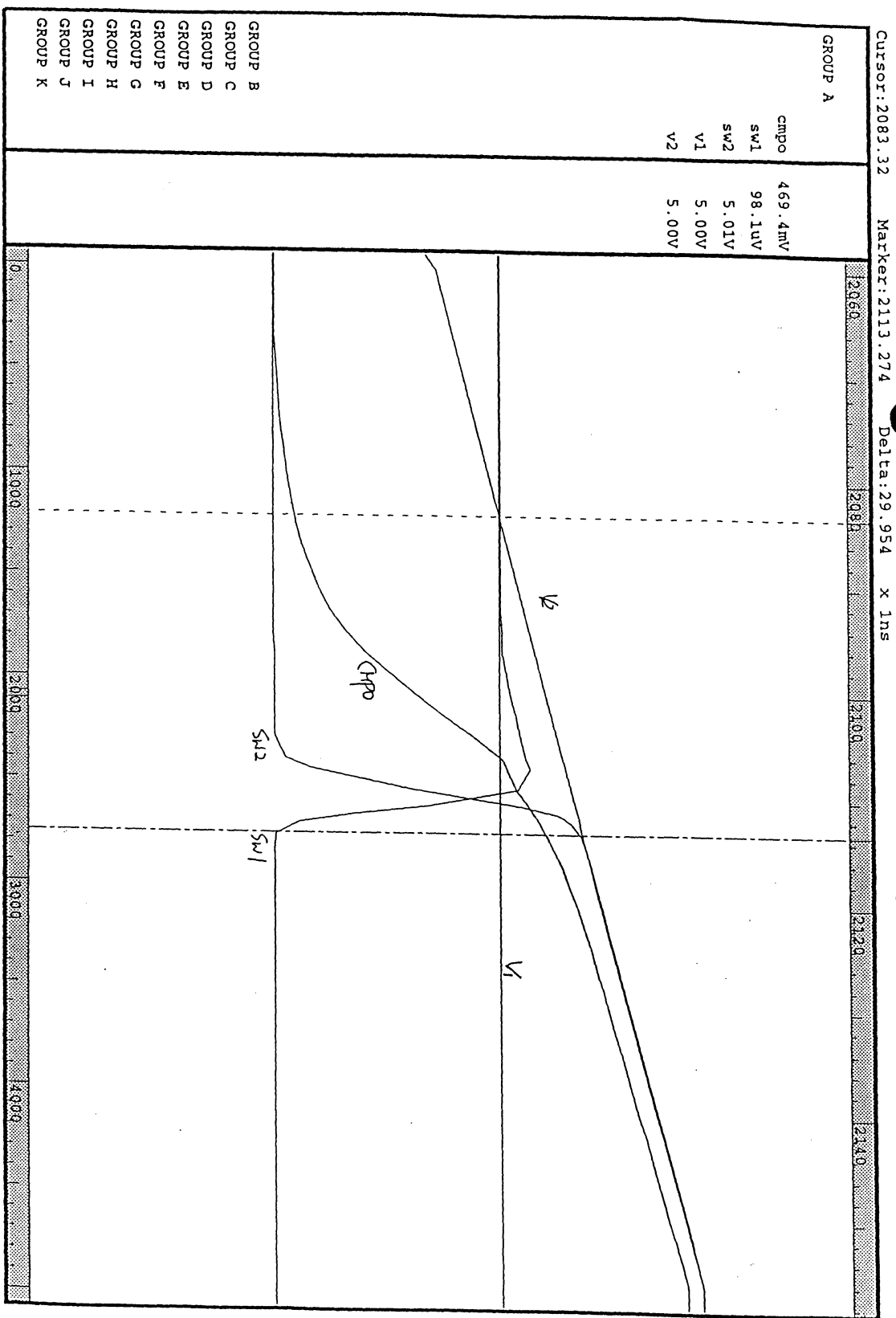
5564TW



第 5 圖



第 6 圖



第 7 圖