

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-45488

(P2004-45488A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/30</b>	G09G 3/30 J	3K007
<b>G09G 3/20</b>	G09G 3/20 611A	5C080
<b>H05B 33/14</b>	G09G 3/20 611J	
	G09G 3/20 612F	
	G09G 3/20 622P	
審査請求 未請求 請求項の数 20 O L (全 28 頁) 最終頁に続く		

(21) 出願番号	特願2002-199730 (P2002-199730)	(71) 出願人	000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号
(22) 出願日	平成14年7月9日(2002.7.9)	(71) 出願人	399111060 服部 励治 福岡県福岡市西区姪浜町200-1
		(74) 代理人	100096699 弁理士 鹿嶋 英貴
		(72) 発明者	服部 励治 福岡県福岡市西区姪浜町200-1-109
		Fターム(参考)	3K007 AB03 AB17 BA06 DB03 GA02 5C080 AA06 BB05 DD08 DD26 EE29 FF12 JJ02 JJ03 JJ04 JJ06

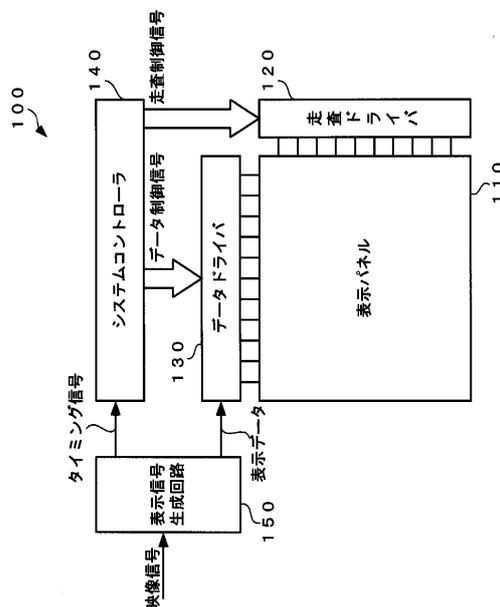
(54) 【発明の名称】 表示駆動装置及びその駆動制御方法

(57) 【要約】

【課題】単純マトリクス駆動方式の表示駆動装置において、比較的小さな電流値に設定された駆動電流であっても、表示素子の接合容量等を迅速に充電して応答特性に優れ、かつ、表示画質が良好な低消費電力の表示装置を実現することができる表示駆動装置及びその駆動制御方法を提供する。

【解決手段】表示装置100は、マトリクス状に有機EL素子OELが形成された表示パネル110と、該表示パネル110の走査ラインSLに順次走査信号Vsを印加する走査ドライバ120と、上記走査信号Vsの印加タイミングに同期して、表示パネル110のデータラインDLに、表示データに応じた信号時間幅を有する駆動電流Icを供給するとともに、所定のタイミングでセット電圧Vset又はリセット電圧Vresetを印加するデータドライバ130と、を有して構成されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

電流駆動型の表示素子が複数配列された表示パネルに対して、定電流制御による表示信号に応じた所定の駆動電流を供給することにより、前記表示素子を所定の駆動状態で動作させる表示駆動装置において、  
前記表示素子に設定される所定の選択期間内に、前記表示素子に前記駆動電流を所定期間供給する駆動電流供給手段と、  
前記起動電流供給手段による前記駆動電流の供給動作に先立って、前記駆動電流によって前記表示素子に印加される電圧に対応する所定の第 1 の一定電圧を印加する定電圧印加手段と、  
を備えることを特徴とする表示駆動装置。

10

## 【請求項 2】

前記駆動電流供給手段における前記駆動電流の供給は、前記表示信号に含まれる輝度階調成分に応じた P W M 制御によって行われることを特徴とする請求項 1 記載の表示駆動装置。

## 【請求項 3】

前記定電圧印加手段により前記第 1 の一定電圧を前記表示素子に印加する際、前記表示素子には電流が流れない状態とされることを特徴とする請求項 1 記載の表示駆動装置。

## 【請求項 4】

前記走査パネルは、行及び列方向に延伸して配設された複数の走査電極線及び信号電極線の各交点に、前記表示素子が接続され、  
前記表示駆動装置は、前記走査電極線を走査することにより、前記複数の表示素子を所定のタイミングで順次選択状態に設定する走査制御手段と、前記選択状態に設定された前記表示素子に対して、少なくとも、前記駆動電流を供給する信号制御手段と、を有し、  
前記信号制御手段は、前記選択状態に設定された前記表示素子に対して、所定の充電動作を行うための前記第 1 の一定電圧を印加する第 1 の電圧印加部と、前記第 1 の一定電圧が印加された前記表示素子に対して、前記所定期間の信号時間幅を有する前記駆動電流を供給する駆動電流供給部と、前記駆動電流が供給された前記表示素子に対して、所定の放電動作を行うための第 2 の一定電圧を印加する第 2 の電圧印加部と、を備えていることを特徴とする請求項 1 又は 3 記載の表示駆動装置。

20

30

## 【請求項 5】

前記第 1 の電圧印加部、駆動電流供給部及び第 2 の電圧印加部は、前記走査制御手段による前記選択状態に設定するタイミングに対応して動作することを特徴とする請求項 4 記載の表示駆動装置。

## 【請求項 6】

前記第 1 の電圧印加部は、前記表示素子に対して、前記第 1 の一定電圧を印加することにより、少なくとも、前記信号電極線の配線容量及び前記表示素子の素子容量を充電することを特徴とする請求項 4 又は 5 記載の表示駆動装置。

## 【請求項 7】

前記走査制御手段は、少なくとも、前記第 1 の電圧印加部により前記表示素子に前記第 1 の一定電圧を印加する期間中、前記走査電極線の全てに、前記表示素子に電流が流れない状態とする第 3 の一定電圧を印加することを特徴とする請求項 4 乃至 6 のいずれかに記載の表示駆動装置。

40

## 【請求項 8】

前記走査制御手段は、前記駆動電流供給部により前記表示素子に前記駆動電流を供給する期間中、前記表示素子が接続された前記走査電極線に、前記表示素子に前記駆動電流が流れる状態とする第 4 の一定電圧を印加することを特徴とする請求項 4 乃至 7 のいずれかに記載の表示駆動装置。

## 【請求項 9】

前記第 1 の一定電圧は、少なくとも前記表示パネルの前記信号電極線に接続された前記各

50

表示素子の閾値電圧以上の値であって、前記各表示素子に前記駆動電流が供給された際に前記各表示素子に印加される電圧の最大値を越えない値であることを特徴とする請求項 4 乃至 8 のいずれかに記載の表示駆動装置。

【請求項 10】

前記第 1 の一定電圧は、前記各表示素子に前記駆動電流が供給された際に前記各表示素子に印加される電圧の平均値と同等になるように設定されていることを特徴とする請求項 9 記載の表示駆動装置。

【請求項 11】

前記第 2 の一定電圧は、前記表示素子の閾値電圧を越えない値に設定されていることを特徴とする請求項 4 乃至 10 のいずれかに記載の表示駆動装置。

10

【請求項 12】

前記第 3 の一定電圧は、前記信号電極線の配線長に伴って変動が生じる前記第 1 の一定電圧の電圧値のうち、最高電圧から前記表示素子の閾値電圧を減算した電圧よりも高くなるように設定されていることを特徴とする請求項 7 乃至 11 のいずれかに記載の表示駆動装置。

【請求項 13】

前記第 4 の一定電圧は、接地電位に設定されていることを特徴とする請求項 8 乃至 12 のいずれかに記載の表示駆動装置。

【請求項 14】

前記駆動電流供給部における前記駆動電流の供給は、前記表示信号に含まれる輝度階調成分に応じた PWM 制御によって行われることを特徴とする請求項 4 乃至 13 のいずれかに記載の表示駆動装置。

20

【請求項 15】

前記信号制御手段は、単一の定電流発生手段により生成された一定電流を、前記複数の信号電極線各ごとに対応して設けられ、前記定電流発生手段から出力される前記一定電流を順次取り込んで保持する複数の電流記憶手段を備え、前記駆動電流は、前記各電流記憶手段に保持された前記一定電流を、該各電流記憶手段の各々から一斉に出力される電流であることを特徴とする請求項 4 乃至 14 のいずれかに記載の表示駆動装置。

【請求項 16】

前記各電流記憶手段は、相互に並列に配置された一対複数の電流記憶部を備え、前記複数の電流記憶部は、一方の電流記憶部に前記定電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に前記保持した電流に基づく前記駆動電流を出力する動作を、同時に並行して実行するように制御されることを特徴とする請求項 15 記載の表示駆動装置。

30

【請求項 17】

前記信号制御手段は、前記複数の電流記憶手段の前段に単一の入力電流記憶部を備え、前記入力電流記憶部は、前記定電流発生手段により生成された前記一定電流を前記入力電流記憶部に取り込んで保持し、前記入力電流記憶部に保持した電流を任意のタイミングで前記複数の電流記憶部に供給することを特徴とする請求項 15 記載の表示駆動装置。

【請求項 18】

前記表示素子は、有機エレクトロルミネッセンス素子であって、該有機エレクトロルミネッセンス素子のアノード電極が前記信号電極線に接続され、カソード電極が前記走査電極線に接続されていることを特徴とする請求項 1 乃至 17 のいずれかに記載の表示駆動装置。

40

【請求項 19】

行及び列方向に延伸して配設された複数の走査電極線及び信号電極線の各交点に、電流駆動型の表示素子が複数配列された表示パネルに対して、所定の駆動電流を供給することにより、前記表示素子を所定の駆動状態で動作させる表示駆動装置の駆動制御方法において、前記表示素子に設定される所定の選択期間内に、前記表示素子に前記駆動電流を供給する

50

動作に先立って、前記駆動電流によって前記表示素子に印加される電圧に対応する所定の第1の一定電圧を印加することを特徴とする表示駆動装置の駆動制御方法。

【請求項20】

前記選択状態に設定された前記表示素子に対して、所定の充電動作を行うための前記第1の一定電圧を印加する充電動作と、

前記第1の一定電圧が印加された前記表示素子に対して、前記駆動電流を供給して所望の表示階調となるように駆動する動作と、

前記駆動電流が供給された前記表示素子に対して、所定の放電動作を行うための第2の一定電圧を印加する放電動作と、

を前記走査電極線毎に、順次選択的に実行することを特徴とする請求項19記載の表示駆動装置の駆動制御方法。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示駆動装置及びその駆動制御方法に関し、特に、電流駆動型の表示素子を備えた単純マトリクス（パッシブマトリクス）型の表示パネルを有する表示装置に適用して良好な表示駆動装置及びその駆動制御方法に関する。

【0002】

【従来技術】

近年、パーソナルコンピュータや映像機器のモニターやディスプレイとして、液晶表示装置（LCD）等の陰極線管（CRT）に替わる表示装置や表示デバイスの普及が著しい。特に、液晶表示装置は、旧来の表示装置（CRT）に比較して、薄型軽量化、省スペース化、低消費電力化等が可能であるため、急速に普及している。また、比較的小型の液晶表示装置は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）等の表示デバイスとしても広く適用されている。 20

【0003】

このような液晶表示装置に続く次世代の表示デバイス（ディスプレイ）として、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や、無機エレクトロルミネッセンス素子（以下、「無機EL素子」と略記する）、あるいは、発光ダイオード（LED）等のような自己発光型の光学要素（表示素子）を備えた表示デバイスが期待されている。 30

【0004】

上述した各種の自己発光型の表示素子を備えた表示デバイスのうち、近年、有機化合物を発光材料とする有機EL素子からなる表示素子を備えた表示デバイスにおいて、カラー表示化や低電圧駆動等、他の表示素子に比較して優位な技術的成果が得られていることから、実用化や製品化に向けての研究開発が盛んに行われている。

ここで、図13に、有機EL素子の概略構成及び電圧-電流特性を示し、その構造及び発光原理、発光特性について簡単に説明する。

【0005】

図13(a)に示すように、有機EL素子OELは、大別して、ガラス基板等の透明な絶縁性基板111の一面側に、ITO（Indium Thin Oxide）等の透明電極材料からなるアノード電極（陽極）112と、有機化合物等の発光材料からなる有機EL層113と、金属材料からなる反射特性を有するカソード電極（陰極）114と、を順次積層した構成を有している。有機EL層113は、例えば、高分子系のホール輸送材料からなるホール輸送層113aと、高分子系の電子輸送性発光材料からなる電子輸送性発光層113bを積層して構成されている。 40

【0006】

このような有機EL素子OELにおいて、図13(a)に示すように、直流電圧源からアノード電極112に正電圧、カソード電極114に負電圧を印加することにより、ホール輸送層113aに注入されたホールと電子輸送性発光層113bに注入された電子が有機 50

EL層113内で再結合する際のエネルギーに基づいて光 $h\nu$ が放射される。そして、この光 $h\nu$ は、例えば、透明なアノード電極112を透過して絶縁性基板111の他面側(図面上方)に放出される。このとき、光 $h\nu$ の発光強度(すなわち、有機EL素子の発光輝度)は、アノード電極112とカソード電極114間に流れる電流量に応じて制御される。

#### 【0007】

ここで、有機EL素子OELの等価回路は、有機EL素子の電圧-電流特性が、図13(b)に示すように、ダイオードにおける電圧-電流特性に類似した傾向を示し、また、比較的薄い誘電体層(有機EL層113)を介して電極層(アノード電極112及びカソード電極114)が対向する構成を有しているため、図13(c)に示すように、ダイオード型の表示素子Epと接合容量Cpが並列に接続された構成として表すことができる。なお、有機EL素子の電圧-電流特性については、後述する発明の実施の形態において、詳しく説明する。

10

#### 【0008】

そして、上述したような有機EL素子等の自己発光型の表示素子(表示画素)をマトリクス状に配列した表示パネルを備えた表示装置における表示駆動方法としては、周知のように、各表示画素ごとに選択スイッチ及び蓄積容量を設けて、蓄積容量の充電電圧に応じて表示素子の駆動状態(発光状態)を制御するアクティブマトリクス駆動方式と、表示素子に対して直接所定のパルス信号を印加することにより時分割で発光状態を制御する単純マトリクス(パッシブマトリクス)駆動方式が知られている。

20

#### 【0009】

ここで、アクティブマトリクス駆動方式においては、画像表示の高輝度化や多階調化の点で優位であるものの、各表示画素ごとに選択スイッチ(薄膜トランジスタ)等の画素駆動機能を設ける必要があり、装置構成が複雑化するとともにより一層の微細化加工技術を必要とし、これに伴い製品コストの上昇を招くという欠点を有している。一方、単純マトリクス駆動方式においては、各表示画素に選択スイッチ等の画素駆動機能を備える必要がないため、装置構成が単純で製造歩留まりの向上を図ることができ、製品コストを低減することができるという特徴を有している。

#### 【0010】

以下、単純マトリクス駆動方式の表示装置の概略構成について、図14を参照して説明する。

30

単純マトリクス駆動方式の表示装置の一例は、図14に示すように、概略、行方向に配設された走査ライン(行電極)SLと列方向に配設されたデータライン(列電極)DLの各交点に表示素子(有機EL素子)OELが形成された表示パネル110Pと、所定のタイミングで各走査ラインSLに走査選択信号(パルス信号)を印加して各行の表示素子OELを順次選択状態に走査する走査ドライバ120Pと、走査ドライバ120Pによる走査に同期して、表示データに応じた駆動電流を生成して、データラインDLを介して各表示素子OELに供給するデータドライバ130Pと、所望の画像情報を表示パネル110Pに表示させるための走査制御信号(同期信号)及びデータ制御信号(同期信号)並びに表示データを生成して、走査ドライバ120P及びデータドライバ130Pの各々に供給するコントローラ140Pと、を備えて構成されている。

40

#### 【0011】

このような構成を有する表示装置において、コントローラ140Pから供給される走査制御信号に基づいて、走査ドライバ120Pにより各行の走査ラインSLに走査信号を一定の走査期間、順次印加(線順次走査)するとともに、この走査に同期してコントローラ140Pから供給されるデータ制御信号及び表示データに基づいて、該走査期間に、データドライバ130Pにより表示データに応じた所定の電流値を有する駆動電流を生成して(電流指定型)、もしくは、表示データに応じた信号時間幅(パルス信号幅)を有する一定電流値からなる駆動電流を生成して(パルス幅変調型)、各データラインDLを介して同時に供給することにより、走査(選択)されている行の各表示素子OELが所定の輝度階

50

調で発光する。このような動作を、表示パネル 1 画面分の各行について順次繰り返すことにより、所望の画像情報が表示パネル 1 1 0 P に表示される。

#### 【0012】

ここで、単純マトリクス駆動方式においては、上述したような電流駆動方式の他に、データドライバから各表示素子に所定の電圧を印加して駆動する方式（電圧駆動方式）も知られているが、表示素子として有機 E L 素子を適用した場合にあっては、図 1 4 に示したように、ダイオード型の表示素子 E p と接合容量 C p が並列に接続された構成を有し、かつ、各表示素子 O E L がデータライン D L に並列接続されているため、その接合容量の総和が大きくなるとともに、データラインの配線容量も付加されることになり、電圧駆動方式では、表示素子の駆動状態に遅延が生じたり、データドライバからの距離に応じて電圧降下が生じて、例えば、表示パネルの上方領域と下方領域で発光状態（輝度）にバラツキが生じて、表示画質の劣化を招くという問題を有している。そのため、有機 E L 素子を表示素子に適用した表示装置においては、電圧駆動方式に比較して、電流駆動方式が優位であると考えられている。

10

#### 【0013】

##### 【発明が解決しようとする課題】

しかしながら、上述したような単純マトリクス駆動方式の表示装置においては、以下に示すような問題を有している。

すなわち、電流駆動方式において、表示素子に所定の駆動電流を供給して所定の輝度階調で動作させることは、電圧駆動方式の場合と同様に、該駆動電流により表示素子の接合容量等を充電するとともに、当該表示素子が接続されたデータラインにおける選択されていない他の表示素子の接合容量を充電することに相当する。

20

#### 【0014】

この場合、電圧駆動方式に比較して、大きな電流値を有する駆動電流を供給することにより、応答特性の劣化や発光輝度のバラツキの発生を低減することができるが、電源の仕様や省電力化のためにデータドライバから供給される駆動電流が比較的小さな電流値に設定されている場合や、表示パネルの大型化や高精細化に伴って表示画素数（走査ライン数）が増加することにより、接合容量の総和が増大した場合には、駆動タイミングに対して表示素子に流下する駆動電流や、それによる電圧が所定値に達するまでに要する時間が増加して、図 1 5 ( a )、( b ) に示すように、電流値及び電圧値とも応答特性が劣化して、発光輝度の不足やバラツキの発生が顕著になるという問題を生じる。なお、図 1 5 ( a ) において、横軸は時間、縦軸は表示素子への供給電流、T s p y は駆動電流の供給期間、T d l y は駆動電流の供給開始から表示素子の動作開始までの遅延時間であり、図 1 5 ( b ) において、横軸は時間、縦軸は表示素子の順方向印加電圧、V t h は表示素子における動作の閾値電圧である。

30

#### 【0015】

このような電流駆動方式における問題を解決する技術としては、例えば、特定の行の表示素子の動作後に、リセット動作により各データライン、もしくは、データライン及び走査ラインを一時に接地電位に接続して、各表示素子の接合容量に蓄積された電荷を放出させることにより、次に走査される行の表示素子の接合容量を駆動電流により急速に充電するようにして、応答特性を向上させる手法があるが、リセット動作ごとに全データラインを一斉に接地電位に接続して接合容量に蓄積された電荷を放出する必要があるため、駆動制御方法が複雑になるとともに、消費電力が増大するという問題を有している。

40

#### 【0016】

また、例えば、表示素子への駆動電流の供給時に、所定時間、表示素子の接合容量を充電する電圧を合わせて印加することにより、応答特性を向上させる手法があるが、この場合、充電するための電圧の印加時間を調整することが必要になるため、そのための回路構成が複雑になるとともに、調整制御が難しくなるという問題を有している。

#### 【0017】

そこで、本発明は、上述したような問題点に鑑み、単純マトリクス駆動方式の表示駆動装

50

置において、比較的小さな電流値に設定された駆動電流であっても、表示素子の接合容量等を迅速に充電して応答特性に優れ、良好な表示画質を得ることができ、かつ、消費電力を低減させることができる表示装置を実現することができる表示駆動装置及びその駆動制御方法を提供することを目的とする。

**【 0 0 1 8 】****【 課題を解決するための手段 】**

請求項 1 に係る表示駆動装置は、表示駆動装置において、電流駆動型の表示素子が複数配列された表示パネルに対して、定電流制御による表示信号に応じた所定の駆動電流を供給することにより、前記表示素子を所定の駆動状態で動作させる表示駆動装置において、前記表示素子に設定される所定の選択期間内に、前記表示素子に前記駆動電流を所定期間供給する駆動電流供給手段と、前記起動電流供給手段による前記駆動電流の供給動作に先立って、前記駆動電流によって前記表示素子に印加される電圧に対応する所定の第 1 の一定電圧を印加する定電圧印加手段と、を備えることを特徴としている。

10

**【 0 0 1 9 】**

請求項 2 に係わる表示駆動装置は、請求項 1 記載の表示駆動装置において、前記駆動電流供給手段における前記駆動電流の供給は、前記表示信号に含まれる輝度階調成分に応じた PWM 制御によって行われることを特徴としている。

請求項 3 に係わる表示駆動装置は、請求項 1 記載の表示駆動装置において、前記定電圧印加手段により前記第 1 の一定電圧を前記表示素子に印加する際、前記表示素子には電流が流れない状態とされることを特徴としている。

20

**【 0 0 2 0 】**

請求項 4 に係る表示駆動装置は、請求項 1 又は 3 記載の表示駆動装置において、前記走査パネルは、行及び列方向に延伸して配設された複数の走査電極線及び信号電極線の各交点に、前記表示素子が接続され、前記表示駆動装置は、前記走査電極線を走査することにより、前記複数の表示素子を所定のタイミングで順次選択状態に設定する走査制御手段と、前記選択状態に設定された前記表示素子に対して、少なくとも、前記駆動電流を供給する信号制御手段と、を有し、前記信号制御手段は、前記選択状態に設定された前記表示素子に対して、所定の充電動作を行うための前記第 1 の一定電圧を印加する第 1 の電圧印加部と、前記第 1 の一定電圧が印加された前記表示素子に対して、前記所定期間の信号時間幅を有する前記駆動電流を供給する駆動電流供給部と、前記駆動電流が供給された前記表示素子に対して、所定の放電動作を行うための第 2 の一定電圧を印加する第 2 の電圧印加部と、を備えていることを特徴としている。

30

**【 0 0 2 1 】**

請求項 5 に係る表示駆動装置は、請求項 4 記載の表示駆動装置において、前記第 1 の電圧印加部、駆動電流供給部及び第 2 の電圧印加部は、前記走査制御手段による前記選択状態に設定するタイミングに対応して動作することを特徴としている。

請求項 6 に係る表示駆動装置は、請求項 4 又は 5 記載の表示駆動装置において、前記第 1 の電圧印加部は、前記表示素子に対して、前記第 1 の一定電圧を印加することにより、少なくとも、前記信号電極線の配線容量及び前記表示素子の素子容量を充電することを特徴としている。

40

**【 0 0 2 2 】**

請求項 7 に係る表示駆動装置は、請求項 4 乃至 6 のいずれかに記載の表示駆動装置において、前記走査制御手段は、少なくとも、前記第 1 の電圧印加部により前記表示素子に前記第 1 の一定電圧を印加する期間中、前記走査電極線の全てに、前記表示素子に電流が流れない状態とする第 3 の一定電圧を印加することを特徴としている。

請求項 8 に係る表示駆動装置は、請求項 4 乃至 7 のいずれかに記載の表示駆動装置において、前記走査制御手段は、前記駆動電流供給部により前記表示素子に前記駆動電流を供給する期間中、前記表示素子が接続された前記走査電極線に、前記表示素子に前記駆動電流が流れる状態とする第 4 の一定電圧を印加することを特徴としている。

**【 0 0 2 3 】**

50

請求項 9 に係る表示駆動装置は、請求項 4 乃至 8 のいずれかに記載の表示駆動装置において、前記第 1 の一定電圧は、少なくとも前記表示パネルの前記信号電極線に接続された前記表示素子の閾値電圧以上の値であって、前記各表示素子に前記駆動電流を供給して印加される電圧の最大値を越えない値であることを特徴としている。

請求項 10 に係わる表示駆動装置は、請求項 9 記載の表示駆動装置において、前記第 1 の一定電圧は、前記各表示素子に前記駆動電流が供給された際に前記各表示素子に印加される電圧の平均値と同等になるように設定されていることを特徴としている。

【0024】

請求項 11 に係る表示駆動装置は、請求項 4 乃至 10 のいずれかに記載の表示駆動装置において、前記第 2 の一定電圧は、前記表示素子の閾値電圧よりも微小電圧分低く設定されていることを特徴としている。

10

請求項 12 に係る表示駆動装置は、請求項 7 乃至 11 のいずれかに記載の表示駆動装置において、前記第 3 の一定電圧は、前記信号電極線の配線長に伴って変動が生じる前記第 1 の一定電圧の電圧値のうち、最高電圧から前記表示素子の閾値電圧を減算した電圧よりも高くなるように設定されていることを特徴としている。

【0025】

請求項 13 に係る表示駆動装置は、請求項 8 乃至 12 のいずれかに記載の表示駆動装置において、前記第 4 の一定電圧は、接地電位に設定されていることを特徴としている。

請求項 14 に係る表示駆動装置は、請求項 4 乃至 13 のいずれかに記載の表示駆動装置において、前記駆動電流供給部における前記駆動電流の供給は、前記表示信号に含まれる輝度階調成分に応じた PWM 制御によって行われることを特徴としている。

20

【0026】

請求項 15 に係る表示駆動装置は、請求項 4 乃至 14 のいずれかに記載の表示駆動装置において、前記信号制御手段は、単一の定電流発生手段により生成された一定電流を、前記複数の信号電極線各ごとに対応して設けられ、前記定電流発生手段から出力される前記一定電流を順次取り込んで保持する複数の電流記憶手段を備え、前記駆動電流は、前記各電流記憶手段に保持された前記一定電流を、該各電流記憶手段の各々から一斉に出力される電流であることを特徴としている。

請求項 16 に係る表示駆動装置は、請求項 15 記載の電流駆動装置において、前記各電流記憶手段は、相互に並列に配置された一対複数の電流記憶部を備え、前記複数の電流記憶部は、一方の電流記憶部に前記定電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に前記保持した電流に基づく前記駆動電流を出力する動作を、同時に並行して実行するように制御されることを特徴としている。

30

【0027】

請求項 17 に係る表示駆動装置は、請求項 15 記載の表示駆動装置において、前記信号制御手段は、前記複数の電流記憶手段の前段に単一の入力電流記憶部を備え、前記入力電流記憶部は、前記定電流発生手段により生成された前記一定電流を前記入力電流記憶部に取り込んで保持し、前記入力電流記憶部に保持した電流を任意のタイミングで前記複数の電流記憶部に供給することを特徴としている。

請求項 18 に係る表示駆動装置は、請求項 1 乃至 17 のいずれかに記載の表示駆動装置において、前記表示素子は、有機エレクトロルミネッセンス素子であって、該有機エレクトロルミネッセンス素子のアノード電極が前記信号電極線に接続され、カソード電極が前記走査電極線に接続されていることを特徴としている。

40

【0028】

請求項 19 に係る表示駆動装置の駆動制御方法は、行及び列方向に延伸して配設された複数の走査電極線及び信号電極線の各交点に、電流駆動型の表示素子が複数配列された表示パネルに対して、所定の駆動電流を供給することにより、前記表示素子を所定の駆動状態で動作させる表示駆動装置の駆動制御方法において、前記表示素子に設定される所定の選択期間内に、前記表示素子に前記駆動電流を供給する動作に先立って、前記駆動電流によって前記表示素子に印加される電圧に対応する所定の第 1 の一定電圧を印加することを特

50

徴としている。

【0029】

請求項20に係る表示駆動装置は、請求項19記載の表示駆動装置の駆動制御方法において、前記選択状態に設定された前記表示素子に対して、所定の充電動作を行うための前記第1の一定電圧を印加する充電動作と、前記第1の一定電圧が印加された前記表示素子に対して、前記駆動電流を供給して所望の表示階調となるように駆動する動作と、前記駆動電流が供給された前記表示素子に対して、所定の放電動作を行うための第2の一定電圧を印加する放電動作と、を前記選択期間内に、順次選択的に実行することを特徴としている。

【0030】

すなわち、本発明に係る表示駆動装置及びその駆動制御方法は、有機EL素子や発光ダイオード等の電流駆動型の表示素子を備えた単純マトリクス型の表示パネルに表示データに応じた所望の画像情報を表示するための表示駆動装置であって、各表示素子に対して表示データに応じた所定の信号時間幅（パルス幅）を有する一定電流（駆動電流）を供給することにより、発光輝度を制御するパルス幅変調（PWM）制御を行う際に、上記駆動電流の供給に先立って、各表示素子に対して所定の一定電圧（上記駆動電流を各表示素子に供給する際に印加される電圧と同等の電圧；第1の一定電圧）を印加するように構成している。

【0031】

これにより、駆動電流の供給に先立って、一定電圧により、表示素子を動作させることなく、データライン（信号電極線）の配線容量や表示素子の素子容量（接合容量）を充電することができるので、駆動電流の供給時（定電流供給期間）に配線容量や素子容量を充電する時間を要することなく、動作に必要な電流値を有する駆動電流を迅速に表示素子に供給することができる。

したがって、表示素子の走査期間（選択期間）における応答速度を向上させて、階調表示に必要な信号時間幅分の動作期間を確保することができ、表示画質の向上を図ることができる。

【0032】

また、データラインに一定電圧を印加する場合、表示パネルの略中央領域の表示素子に供給される電流の電流値を基準とする。これにより、データラインに付加される配線容量により電圧降下が生じた場合であっても、表示パネルの全域の表示素子に供給される電流値のばらつきを抑制して良好な表示画質を実現することができる。

また、上記駆動電流の供給に際し、全ての走査ライン（走査電極線）の電位を所定のハイレベルを有する電圧に設定することにより、データラインに上記一定電圧を印加した場合であっても、いずれの有機EL素子にも電流は流下しないので、セット電圧に到達するまでの充電動作に要する時間を短縮することができる。

【0033】

また、上記駆動電流の供給に際し、定電流源（定電流発生部）から一定電流を供給することにより、データラインにおける電圧降下に対して上記一定電圧を補償することができるので、表示素子に印加される電圧の経時変化に良好に対応することができる。

さらに、上記駆動電流の供給終了後、データラインに印加される一定電圧（第2の一定電圧の電圧値を接地電位（0V）に設定する必要がなく、表示素子の閾値電圧以下の任意の電圧に設定すればよいので、その電位差分、配線容量や素子容量に対する充放電電荷量を削減することができ、消費電力の削減を図ることができる。

【0034】

【発明の実施の形態】

以下、本発明に係る表示駆動装置及びその駆動制御方法について、実施の形態を示して詳しく説明する。

<表示装置の概略構成>

まず、本発明に係る表示駆動装置及びその駆動制御方法を適用可能な表示装置の概略構成

10

20

30

40

50

について、図面を参照して説明する。

【0035】

図1は、本発明に係る表示駆動装置及びその駆動制御方法を適用可能な表示装置の全体構成の一例を示すブロック図であり、図2は、本発明を適用可能な表示装置の要部構成を示す概略回路図である。

なお、以下の説明においては、表示パネルの表示素子として有機EL素子OELを用いることとしたが、本発明に係る表示装置はこれに限るものではなく、有機EL素子の他に発光ダイオード等を表示素子に用いた場合にも良好に適用することができる。

【0036】

図1、図2に示すように、本発明を適用可能な表示装置100は、概略、相互に直交する方向に配設された複数の走査ライン（陰極線）SL及び複数のデータライン（陽極線）DLの各交点に、例えば、有機EL素子OELからなる表示素子が形成された表示パネル（画素アレイ）110と、表示パネル110の走査ラインSLに接続され、各走査ラインSLに所定のタイミングで順次走査信号Vsを印加することにより、行ごとの表示素子を選択状態に制御する走査ドライバ（走査制御手段）120と、表示パネル110のデータラインDLに接続され、上記走査信号Vsの印加タイミングに同期して、表示データに応じた信号時間幅（パルス幅）を有する一定電流（駆動電流）Icを供給するとともに、所定のタイミングでセット電圧Vset（第1の一定電圧）又はリセット電圧Vreset（第2の一定電圧）を印加するデータドライバ（信号制御手段）130と、後述する表示信号生成回路150から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120及びデータドライバ130の動作状態を制御する走査制御信号及びデータ制御信号を生成、出力するシステムコントローラ140と、表示装置100の外部から供給される映像信号に基づいて、上記表示データを生成してデータドライバ130に供給するとともに、該表示データに基づいて各有機EL素子を所定の駆動状態で動作させるためのタイミング信号（システムクロック等）を生成してシステムコントローラ140に供給する表示信号生成回路150と、を備えて構成されている。

【0037】

以下、上記各構成について具体的に説明する。

（表示パネル）

本発明に適用可能な表示装置は、図2に示すように、例えば、データラインDLをアノード電極（陽極）、走査ラインSLをカソード電極（陰極）として、上述した図13に示した断面構造を有する有機EL素子OELが、各データラインDLと走査ラインSLの交点部分に形成された単純マトリクス型の表示パネルを備えた構成を有している。ここで、有機EL素子OELは、上述した図14と同様に、ダイオード型の表示素子Eaと接合容量Caが並列に接続された構成を有している。

【0038】

（走査ドライバ）

走査ドライバ120は、システムコントローラ140から供給される走査制御信号に基づいて、各走査ラインSLにローレベルの走査信号Vs（=Vs1）を順次印加することにより、各行ごとの表示素子を選択状態とし、データドライバ130によりデータラインDLを介して供給される一定の駆動電流Icの書き込み、及び、所定のリセット電圧Vresetの印加を行うように制御する。

【0039】

走査ドライバ120は、図2に示すように、システムコントローラ140から供給される走査制御信号（シフトスタート信号、シフトクロック等）に基づいて、シフト出力信号RS1、RS2、・・・（以下、便宜的に「シフト出力信号RS」とも記す）を順次出力するシフトレジスタ121と、各走査ラインSLごとに設けられ、シフト出力信号RS1、RS2、・・・に基づいて、接点が切り替わるスイッチSWL1、SWL2、・・・（以下、便宜的に「スイッチSWL」とも記す）と、スイッチSWL1、SWL2、・・・の一方の切替接点に共通に所定の高電圧（ハイレベル）の信号電圧Vsh（第3の一定電圧

を供給する高電圧電源と、スイッチSWL1、SWL2、・・・の他方の切替接点に共通に所定の低電圧（ローレベル）の信号電圧Vs1（第4の一定電圧）を供給する低電圧電源と、を備えて構成され、シフトレジスタ121により表示パネル110の上方から下方に順次シフトしつつ生成されたシフト出力信号RS1、RS2、・・・が、スイッチSWL1、SWL2、・・・に入力されることにより、切替接点が低電圧電源側に順次切り替わり、所定の期間（1走査期間における駆動電流Icの供給期間、及び、リセット電圧Vresetの印加期間）のみ、ローレベルの信号電圧Vs1を有する走査信号Vsが、選択された行（走査ライン）の有機EL素子OELのアノード電極側に印加される。なお、シフトレジスタ121によりシフト出力信号RS1、RS2、・・・が、スイッチSWL1、SWL2、・・・に入力されていない状態（行が選択されていない状態）においては、スイッチSWL1、SWL2、・・・の切替接点が高電圧電源側に切り替わり、ハイレベルの信号電圧Vshを有する走査信号Vsが印加される。

#### 【0040】

（データドライバ）

図3は、本発明に係る表示駆動装置に適用可能なデータドライバの要部構成を示す回路図である。

データドライバ130は、システムコントローラ140から供給される各種データ制御信号（出力イネーブル信号、出力制御信号、シフトスタート信号、シフトクロック等）に基づいて、表示信号生成回路150から供給される1行分ごとの表示データを所定のタイミングで順次取り込んで保持し、該表示データの輝度階調に対応する信号時間幅（パルス幅）を有する一定値の電流成分に変換して、上記各走査ラインごとに設定される走査期間内の所定のタイミングで各データラインDLに供給する。

#### 【0041】

データドライバ130は、図2に示すように、シフト出力信号CS1、CS2、・・・を順次出力する図示しないシフトレジスタと、各データラインDLごとに設けられ、システムコントローラ140から供給されるデータ制御信号（出力制御信号等）に基づいて、接点が切り替わるスイッチSWC1、SWC2、・・・と、スイッチSWC1、SWC2、・・・の第1の切替接点に共通に所定の高電圧（ハイレベル）のセット電圧Vset（第1の一定電圧）を供給する高電圧電源（第1の電圧印加部）と、スイッチSWC1、SWC2、・・・の第2の切替接点に、表示データの輝度階調成分に基づく信号時間幅（パルス幅）を有し、一定の電流値を有する駆動電流Icを供給する定電流発生部131（駆動電流供給部）と、スイッチSWC1、SWC2、・・・の第3の切替接点に共通に所定の低電圧（ローレベル）のリセット電圧Vreset（第2の一定電圧）を供給する低電圧電源（第2の電圧印加部）と、を備えて構成されている。なお、本発明に係るデータドライバに適用可能な定電流発生部については、詳しく後述する。

#### 【0042】

ここで、データドライバ130の各データラインDLごとに設けられるスイッチSWC1、SWC2、・・・は、例えば、図3に示すように、一定のセット電圧Vsetを供給する高電圧電源にソース端子が接続され、データラインDLにドレイン端子が接続され、第1のタイミングで制御信号Vgsがゲート端子に印加されるnチャンネル型の電界効果型トランジスタからなるスイッチ素子（以下、「NMOSTランジスタ」と記す）Tr11と、一定の駆動電流Icを供給する定電流発生部131にソース端子が接続され、データラインDLにドレイン端子が接続され、第2のタイミングで制御信号Vgcがゲート端子に印加されるNMOSTランジスタTr12と、一定のリセット電圧Vresetを供給する低電圧電源にソース端子が接続され、データラインDLにドレイン端子が接続され、第3のタイミングで制御信号Vgrがゲート端子に印加されるpチャンネル型の電界効果型トランジスタからなるスイッチ素子（以下、「PMOSTランジスタ」と記す）Tr13と、を有した構成を適用することができる。

#### 【0043】

すなわち、各スイッチSWC1、SWC2、・・・は、単一のデータラインDLに対して

、NMOSトランジスタTr11、Tr12及びPMOSトランジスタTr13が並列に接続された構成を有し、各々異なるタイミングで選択的にオン動作して、所定の電圧又は電流をデータラインDLに供給する。

また、各NMOSトランジスタTr11、Tr12及びPMOSトランジスタTr13のゲート端子に印加される制御信号Vgs、Vgc、Vgrは、システムコントローラ140から供給されるデータ制御信号及び表示信号生成回路150から供給される表示データに基づいて生成され、各行（走査ライン）ごとに設定される走査期間内の所定のタイミングで選択的に印加される。これらのスイッチSWC1、SWC2、・・・の動作とデータラインDLに供給される電圧成分及び電流成分については、詳しく後述する。

なお、図3において、データラインDLに直列に形成された抵抗成分Rpa、Rp、Rpbは、データラインDLの配線抵抗を等価的に表したものであり、データラインDLの両端に形成された容量成分Cpa、Cpbは、データラインDLに寄生する配線容量（寄生容量）である。

#### 【0044】

（システムコントローラ）

システムコントローラ140は、走査ドライバ120及びデータドライバ130の各々に対して、動作状態を制御する走査制御信号及びデータ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて走査信号Vs及び駆動電流Ic、セット電圧Vset、リセット電圧Vresetを生成、出力させ、各有機EL素子のカソード電極に走査信号Vsを供給するとともに、各有機EL素子のアノード電極に駆動電流Ic、セット電圧Vset、リセット電圧Vresetを供給して、各有機EL素子を所定の輝度階調で動作させて、所定の映像信号に基づく画像情報を表示パネル110に表示させる制御を行う。

#### 【0045】

（表示信号生成回路）

表示信号生成回路150は、例えば、表示装置の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110の1行分ごとに表示データとしてデータドライバ130に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路160は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ140に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ140は、表示信号生成回路160から供給されるタイミング信号に基づいて、走査ドライバ120やデータドライバ130に対して供給する走査制御信号及びデータ制御信号を生成する。

#### 【0046】

次に、上述した走査ドライバ及びデータドライバの動作、及び、走査ライン及びデータラインに供給される電圧、電流成分について、図面を参照して詳しく説明する。

図4は、本発明に適用可能な走査ドライバ及びデータドライバにおける制御動作（駆動制御方法）を示すタイミングチャートであり、図5は、本発明に適用可能な走査ドライバ及びデータドライバにより印加される電圧相互の関係を示す電圧-電流特性図である。また、図6は、本発明を適用可能な表示装置における表示駆動動作を示すタイミングチャートである。

#### 【0047】

本発明に係るデータドライバ（表示駆動装置）の制御動作においては、図4に示すように、各走査ラインごとに異なるタイミングで設定される走査期間Tsel内に、各データラインDLに対して、上述したセット電圧Vsetを印加するセット期間Tsetと、駆動電流Icを供給する定電流供給期間Tcと、リセット電圧Vresetを印加するリセット期間Tresetが順次設定される。なお、図4においては、特定の行（走査ライン）の表示素子を駆動する場合について示す。

#### 【0048】

(セツト期間)

セツト期間  $T_{set}$  においては、図 4 に示すように、特定の行に設定された走査期間 (選択期間) の開始タイミングで、データドライバ 130 に設けられた NMOS トランジスタ  $Tr_{11}$  のゲート端子にハイレベルのセツト制御信号  $V_{gs}$  が印加されてオン動作するとともに、PMOS トランジスタ  $Tr_{13}$  のゲート端子にハイレベルのリセツト制御信号  $V_{gr}$  が印加されてオフ動作する。また、このとき、NMOS トランジスタ  $Tr_{12}$  のゲート端子にはローレベルの電流供給制御信号  $V_{gc}$  が印加されており、オフ状態を継続する。これにより、NMOS トランジスタ  $Tr_{11}$  を介して、所定の高電圧 (例えば、12V) を有するセツト電圧  $V_{set}$  がデータライン DL (有機 EL 素子のアノード電極) に印加される (データライン電圧  $V_{dl} = V_{set}$ )。 10

【0049】

セツト電圧  $V_{set}$  は、後述する定電流供給期間  $T_c$  にデータライン DL に対して一定の駆動電流  $I_c$  を供給することにより表示素子に印加される電位 ( $V_c$ ) に対応する値に設定されている。すなわち、図 5 に示すように、駆動電流  $I_c$  をデータライン DL に印加した場合、電源となるデータドライバ 130 から有機 EL 素子 OEL までの配線長に応じて、電圧降下  $V_{drop}$  が生じ、データドライバ 130 に最も近い側で最も高い電圧  $V_{max}$  が供給され、データドライバ 130 から最も離れた側で最も低い電圧  $V_{min}$  が供給される。セツト電圧  $V_{set}$  は、後述するように、全ての走査ライン SL に接続された有機 EL 素子 OEL が発光しない状態とするため、少なくとも有機 EL 素子 OEL の閾値電圧 (ターン・オン電圧) 以上であって、駆動電流  $I_c$  が供給された際に各表示素子に印加される電圧の最高電圧  $V_{max}$  を越えない値であればよく、更に好ましくは、表示パネル全体におけるセツト電圧  $V_{set}$  の印加による効果の均一性を高めるために、表示パネル 110 の中央領域の有機 EL 素子 OEL に一定の電流値を有する駆動電流  $I_c$  を供給することができる電圧、すなわち、データライン DL における最高電圧値  $V_{max}$  と最低電圧値  $V_{min}$  の平均値となる電圧、をセツト電圧  $V_{set}$  となるように設定する。 20

【0050】

また、このセツト期間  $T_{set}$  においては、走査ドライバ 120 に設けられたスイッチ SWL は、高電圧電源側の切替接点に接続され、ハイレベルの走査信号  $V_s (= V_{sh})$  が走査ライン SL (有機 EL 素子のカソード電極) に印加される。ここで、選択状態にない他の行の走査ライン SL についても、上記特定の行と同様に、走査ドライバ 120 からハイレベルの走査信号  $V_s (= V_{sh})$  が印加される。 30

【0051】

セツト期間  $T_{set}$  において全ての行の走査ライン SL に印加されるハイレベルの走査信号  $V_s (= V_{sh})$  は、セツト電圧  $V_{set}$  として上記の最高電圧 ( $V_{max}$ ) がデータライン DL に印加された場合であっても、全ての走査ライン SL に接続された有機 EL 素子 OEL が発光しない電圧 (例えば、9V) に設定されている。具体的には、図 5 及び次式 (1) に示すように、データライン DL に印加される最高電圧値 ( $V_{max}$ ) から有機 EL 素子 OEL のターン・オン電圧  $V_{turn-on}$  を差し引いた電圧 ( $V_{max} - V_{turn-on}$ ) よりも高くなるように設定されている。 40

$$V_s (= V_{sh}) > V_{max} - V_{turn-on} \quad \dots (1)$$

【0052】

ここで、各行の走査ラインに接続された有機 EL 素子 OEL には、上記セツト電圧  $V_{set}$  及び式 (1) に示した関係を有する走査信号  $V_s (= V_{sh})$  が、各々アノード電極及びカソード電極に印加されることにより、アノード電極及びカソード電極間の電位差が生じることになるが、本発明においては、この電位差によってはいずれの有機 EL 素子にも電流が流下しないように設定されている。

したがって、セツト期間  $T_{set}$  における各電圧の印加により、後述する駆動電流  $I_c$  の供給 (定電流供給期間  $T_c$ ) に先立って、データライン DL に付加される配線容量及び有機 EL 素子の接合容量が所定電圧 ( $= V_{set}$ ) まで急速に充電され、また、各有機 EL 素子は、未発光の状態を保持する。 50

## 【0053】

(定電流供給期間)

次いで、定電流供給期間  $T_c$  においては、図4に示すように、データドライバ130に設けられたNMOSトランジスタ  $Tr_{11}$  のゲート端子にローレベルのセット制御信号  $V_{gs}$  が印加されてオフ動作した後、NMOSトランジスタ  $Tr_{12}$  のゲート端子にハイレベルの電流供給制御信号  $V_{gc}$  が印加されてオン動作する。また、このとき、PMOSトランジスタ  $Tr_{13}$  のゲート端子にはハイレベルのリセット制御信号  $V_{gr}$  が印加されており、オフ状態を継続する。これにより、NMOSトランジスタ  $Tr_{12}$  を介して、定電流発生部131により生成された一定の電流値を有する駆動電流  $I_c$  がデータラインDL(有機EL素子のアノード電極)に供給される(有機EL素子供給電流  $I_{el} = I_c$ )。 10

## 【0054】

ここで、データドライバ130からデータラインDLを介して有機EL素子OELに供給される駆動電流  $I_c$  は、表示信号生成回路から供給される表示データに基づく輝度階調に対応した所定の信号時間幅(パルス幅)で供給されるように設定される。また、この定電流供給期間  $T_c$  において駆動電流  $I_c$  を供給することによりデータラインDLに印加される電位  $V_c$  (例えば、12V)は、上述したセット期間  $T_{set}$  において、データラインDLに印加されるセット電圧  $V_{set}$  と同等になるように設定されている(データライン電圧  $V_{dl} = V_c = V_{set}$ )。 10

## 【0055】

また、この定電流供給期間  $T_c$  においては、走査ドライバ120に設けられたスイッチ  $S_{WL}$  は、低電圧電源側の切替接点に接続され、ローレベルの走査信号  $V_s (= V_{sl})$  が走査ラインSL(有機EL素子のカソード電極)に印加される。ここで、選択状態にない他の行の走査ラインSLには、上ハイレベルの走査信号  $V_s (= V_{sh})$  が継続して印加される。ここで、ローレベルの走査信号  $V_s (= V_{sl})$  は、例えば、接地電位(0V)に設定される。 20

## 【0056】

したがって、定電流供給期間  $T_c$  における各電流、電圧の印加により、選択された走査ラインに接続された有機EL素子に、発光動作を行うために必要な所定の駆動電流  $I_c$  が、周知のパルス幅変調(PWM駆動)制御方法に基づいて、表示データに応じた所定の信号時間幅(階調が低い場合には短時間、高い場合には長時間)で供給されるので、各有機EL素子が所定の輝度階調で発光する。このとき、上述したセット期間  $T_{set}$  において、定電圧源(セット電圧  $V_{set}$  の供給する電源)によりデータラインDLに付加された配線容量及び有機EL素子の接合容量がセット電圧  $V_{set} (= V_c)$  にまで充電されているので、駆動電流  $I_c$  の供給に対して、極めて短い時間で発光動作に必要な駆動電流  $I_c$  の電流値まで上昇することになり、有機EL素子が迅速に発光動作する。 30

## 【0057】

(リセット期間)

次いで、リセット期間  $T_{reset}$  においては、図4に示すように、データドライバ130に設けられたNMOSトランジスタ  $Tr_{12}$  のゲート端子にローレベルの電流供給制御信号  $V_{gc}$  が印加されてオフ動作した後、PMOSトランジスタ  $Tr_{13}$  のゲート端子にローレベルのリセット制御信号  $V_{gr}$  が印加されてオン動作する。また、このとき、NMOSトランジスタ  $Tr_{11}$  のゲート端子にはローレベルのセット制御信号  $V_{gs}$  が印加されており、オフ状態を継続する。これにより、PMOSトランジスタ  $Tr_{13}$  を介して、所定の低電圧(例えば、6V)を有するリセット電圧  $V_{reset}$  がデータラインDL(有機EL素子のアノード電極)に印加され、データラインDLに付加された配線容量及び有機EL素子の素子容量に蓄積された電荷が放出される(データライン電圧  $V_{dl} = V_{reset}$ )。 40

## 【0058】

リセット電圧  $V_{reset}$  は、上述したセット期間  $T_{set}$  及び定電流供給期間  $T_c$  にデータラインDLに対して印加された高電圧( $V_{set} = V_c$ )の電位を一時に放出してリ 50

セットすることができる任意の電位に設定されている。具体的には、図5に示すように、リセット電圧  $V_{reset}$  を有機EL素子のターン・オン電圧  $V_{turn-on}$  よりもわずかに低い電圧 ( $V_{reset} < V_{turn-on}$ ) に設定する。これにより、行の走査が繰り返されて、次回選択された場合に、リセット電圧  $V_{reset}$  を接地電位 ( $0V$ ) に設定した場合に比較して、上記セット期間  $T_{set}$  における充電動作に要する時間が短縮されるとともに、充放電に係る消費電力が削減される。

したがって、表示パネルを構成する各走査ラインについて、図6に示すように、走査期間内に、上述した一連の動作期間を設定することにより、表示データに基づく所定の画像情報が表示パネルに階調表示される。

#### 【0059】

このように、本実施形態に係る表示駆動装置（走査ドライバ及びデータドライバ）においては、走査期間内に、駆動電流  $I_c$  の供給動作に先立って定電圧源からセット電圧  $V_{set}$  をデータラインDLに印加し、予めデータラインDLに付加された配線容量や有機EL素子の接合容量を充電することができるので、定電流源を用いて該容量を充電する場合に比較して、充電動作を短時間で急速に行うことができる。この場合、データラインDLの配線長等に伴う電圧降下の影響を受けにくく、表示パネル110における走査ラインSLの配設位置に関わらず、略均等なセット電圧  $V_{set}$  に充電することができる。

#### 【0060】

ここで、セット電圧  $V_{set}$  は、有機EL素子における駆動電流を供給する際の電圧  $V_c$  に近似するように設定されているので、セット期間  $T_{set}$  から定電流供給期間  $T_c$  に動作が切り替わり、一定の駆動電流  $I_c$  を供給する状態になった場合であっても、データライン電圧  $V_{dl}$  の調整量を小さくすることができ、当該調整に要する時間を短縮して応答表示特性の向上を図ることができる。

また、上記セット期間  $T_{set}$  における迅速な充電動作により、走査期間内における動作時間（定電流供給期間  $T_c$ ）を相対的に長く確保することができるので、パルス幅変調制御方式により各有機EL素子における動作時間（信号時間幅）を制御した場合であっても、良好な階調表示を実現することができる。

#### 【0061】

また、上記セット期間  $T_{set}$  において、全ての走査ラインSLの電位を所定のハイレベルを有する電圧  $V_{sh}$  に設定することにより、データラインDLにセット電圧  $V_{set}$  を印加した場合であっても、いずれの有機EL素子にも電流は流下しないので、セット電圧  $V_{set}$  に到達するまでのプリチャージ（充電）に要する時間を短縮して、応答特性の向上を図ることができる。

また、定電流供給期間  $T_c$  において、定電流源から一定の電流値を有する駆動電流  $I_c$  を供給することにより、データラインDLにおける電圧降下に対して所定の電圧  $V_c$  を補償することができるので、有機EL素子OELに印加される電圧の経時変化に良好に対応することができるので、各有機EL素子OELに対して略均一な電圧  $V_c$  に基づく一定電流（駆動電流） $I_c$  を供給して、輝度階調のバラツキのない良好な表示画質を実現することができる。

#### 【0062】

ここで、各有機EL素子OELに対して、一定の電流値を有する駆動電流  $I_c$  を、表示データに含まれる輝度階調成分に応じた時間信号幅（パルス幅）で供給するパルス幅変調制御方式を採用しているので、定電流供給期間  $T_c$  に各有機EL素子に供給する駆動電流  $I_c$  は、一定の電流値を有する電流であればよく、また、セット電圧  $V_{set}$  の電圧値を変更制御する必要もないので、当該電流及び電圧を供給するための定電流源及び定電圧源として簡易な回路構成を適用することができる。

#### 【0063】

さらに、定電流供給期間  $T_c$  終了後のリセット  $T_{reset}$  期間において、データラインDLに印加されるリセット電圧  $V_{reset}$  の電圧値を接地電位 ( $0V$ ) に設定する必要がなく、有機EL素子OELのターン・オン電圧  $V_{turn-on}$  以下の任意の電圧に設

10

20

30

40

50

定すればよいので、その電位差分 ( $V_{reset} < V_{turn-on}$ )、配線容量や有機 EL 素子 OEL の接合容量に対する充放電電荷量を削減することができ、消費電力の削減を図ることができる。

また、リセット  $T_{reset}$  期間において、選択されていない走査ラインを含む全ての走査ライン SL を、定電流供給期間  $T_c$  終了 (リセット期間) ごとにリセットする手法を適用していないので、有機 EL 素子 OEL の接合容量に対する充放電動作を行う必要がなく、消費電力の削減を図ることができる。

#### 【0064】

< 定電流発生部の第 1 の実施形態 >

次に、上述した実施形態に係るデータドライバにおいて、一定電流値を有する駆動電流を出力する定電流発生部の第 1 の実施形態について、図面を参照して具体的に説明する。 10

図 7 は、上述した実施形態に適用可能な定電流発生部の第 1 の実施形態を示す概略ブロック図である。

#### 【0065】

図 7 に示すように、定電流発生部 131 は、複数の有機 EL 素子 OEL を動作させるための駆動電流  $I_c$  を生成するための一定電流  $I_p$  を出力する単一の定電流発生回路 10A と、該定電流発生回路 10A から供給される一定電流  $I_p$  を、後述する電流記憶回路 30A の各々へ順次供給する際のタイミングを設定するシフトレジスタ 20A と、シフトレジスタ 20A から所定のタイミングで出力されるスイッチ切換信号 (シフト出力) SR により、定電流発生回路 10A から各電流記憶回路 30A への一定電流  $I_p$  の供給状態を制御する複数のスイッチ手段 40A と、出力端子  $T_{out}$  ごとに設けられ、定電流発生回路 10A から供給される一定電流  $I_p$  を、シフトレジスタ 20A に基づく所定のタイミングでスイッチ手段 40A を介して順次取り込んで保持 (記憶) する複数の電流記憶回路 30A と、各出力端子  $T_{out}$  に接続され、表示データが供給されて、表示データに含まれる輝度階調成分に基づく PWM 制御によって駆動電流  $I_c$  を供給する信号時間幅 (パルス幅) を設定する PWM 制御回路 80 と、PWM 制御回路 80 の出力端及び前述のセット電圧  $V_{set}$ 、リセット電圧  $V_{reset}$  と、上記複数の有機 EL 素子 OEL に接続されるデータライン DL 間に設けられる前述の 3 接点切替型のスイッチ SWC と、を備えて構成されている。 20

#### 【0066】

以下、上記各構成について、具体的に説明する。 30

(定電流発生回路)

図 8 は、本実施例に適用可能な定電流発生回路の一具体例を示す回路構成図である。

定電流発生回路 10A は、概略、複数の有機 EL 素子の各々を所定の発光状態で動作させるために必要な電流値を有する一定電流  $I_p$  を生成して、有機 EL 素子の各々に対応して設けられた個別の電流記憶回路 30A に出力するように構成されている。ここで、定電流発生回路 10A としては、例えば、図 8 に示すように、前段の制御電流生成部 11 と、後段のカレントミラー回路部 12 からなる回路構成を適用することができる。なお、本実施例で示す定電流発生回路は、本発明に係る表示駆動装置に適用可能な一例を示すものにすぎず、この回路構成に限定されるものではない。また、定電流発生回路 10A として、制御電流生成部 11 とカレントミラー回路部 12 を備えた構成を示すが、これに限定されるものではない。 40

#### 【0067】

制御電流生成部 11 は、例えば、図 8 に示すように、一端側が高電位電源  $V_{dd}$  に接続された抵抗  $R_{11}$  の他端側にエミッタが接続され、後段のカレントミラー回路部 12 (出力接点  $N_{11}$ ) にコレクタが接続された pnp 型バイポーラトランジスタ (以下、「pnp トランジスタ」と略記する)  $Q_{11}$  と、該 pnp トランジスタ  $Q_{11}$  のベースにソースが接続され、セット信号 SET が入力されるセット端子  $T_{set}$  にドレインが接続され、所定の制御信号 IN が入力される入力端子  $T_{in}$  にゲートが接続された NMOS トランジスタ  $M_{11}$  と、を備えた回路構成を有している。 50

## 【0068】

また、カレントミラー回路部12は、例えば、図8に示すように、上記制御電流生成部11の出力接点N11にコレクタ及びベースが接続されたnpn型バイポーラトランジスタ（以下、「npnトランジスタ」と略記する）Q12と、該npnトランジスタのエミッタ及び低電位電源V<sub>ss</sub>間に接続された抵抗R12と、所定の電流成分を有する出力電流（一定電流I<sub>p</sub>）が出力される出力端子T<sub>cs</sub>にコレクタが接続され、上記制御電流生成部11の出力接点N11にベースが接続されたnpnトランジスタQ13と、該npnトランジスタQ13のエミッタ及び低電位電源V<sub>ss</sub>間に接続された抵抗R13と、を備えた回路構成を有している。

## 【0069】

ここで、出力電流（一定電流I<sub>p</sub>）は、上記制御電流生成部11により生成され、出力接点N11を介して入力された制御電流の電流値に対して、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有している。本実施例においては、電流記憶回路30Aに対して負極性の出力電流を供給することにより、電流成分が電流記憶回路30A側から定電流発生回路10A方向に引き込まれるように流下する。

## 【0070】

（シフトレジスタ/スイッチ手段）

シフトレジスタ20Aは、図示を省略した制御部（例えば、図1に示したシステムコントローラ140）から供給される制御信号に基づいて、順次出力されるシフト出力を、各データラインDLに対応して設けられたスイッチ手段40Aの各々にスイッチ切換信号SRとして順次印加する。各スイッチ手段40Aは、シフトレジスタ20Aから出力されるスイッチ切換信号SRに基づいて、各々異なるタイミングでオン動作し、上記定電流発生回路10Aからの一定電流I<sub>p</sub>を、各電流記憶回路30Aに供給して、取り込み保持されるように制御する。

## 【0071】

（電流記憶回路）

図9は、本実施例に適用可能な電流記憶回路及び上記スイッチ手段からなる構成の一具体例を示す回路構成図であり、図10は、本実施例に適用可能な電流記憶回路における基本動作を示す概念図である。

電流記憶回路30Aは、定電流発生回路10Aから出力される一定電流I<sub>p</sub>を、上記シフトレジスタ20Aから出力されるシフト出力に基づいて順次取り込み保持し、該保持された電流成分をそのまま、もしくは、該電流成分に基づいて生成される所定電流を、駆動電流I<sub>c</sub>として出力端子T<sub>out</sub>を介して各データラインDLに一斉に出力するように構成されている。ここで、電流記憶回路30Aとしては、例えば、図9に示すように、前段の電流成分保持部31（スイッチ手段40Aを含む）と、後段のカレントミラー回路部32からなる回路構成を適用することができる。なお、本実施例で示す電流記憶回路は、本発明に係る表示駆動装置に適用可能な一例を示すものにすぎず、この回路構成に限定されるものではない。また、電流記憶回路30Aとして、制御電流生成部31とカレントミラー回路部32を備えた構成を示すが、これに限定されるものではない。

## 【0072】

電流成分保持部31は、例えば、図9に示すように、接点N31及び上記定電流発生回路10Aの出力端子T<sub>cs</sub>間にソース及びドレインが接続され、シフトレジスタのシフト出力端子T<sub>sr</sub>にゲートが接続されたPMOSトランジスタM31と、高電位電源V<sub>dd</sub>及び接点N32間にソース及びドレインが接続され、接点N31にゲートが接続されたPMOSトランジスタM32と、接点N32及び定電流発生回路10Aの出力端子T<sub>cs</sub>間にソース及びドレインが接続され、シフトレジスタ20Aのシフト出力端子T<sub>sr</sub>にゲートが接続されたPMOSトランジスタM33と、高電位電源V<sub>dd</sub>及び接点N31間に接続された蓄積容量C31と、接点N32及び後段のカレントミラー回路部32への出力接点N33間にソース及びドレインが接続され、図示を省略した制御部（例えば、図1に示したシステムコントローラ140）から供給され、後段のカレントミラー回路部32への制

10

20

30

40

50

御電流の出力状態を制御する出力イネーブル信号  $E_N$  が入力される出力制御端子  $T_{en}$  にゲートが接続された  $PMOS$  トランジスタ  $M_{34}$  と、を備えた構成を有している。ここで、シフトレジスタ  $20A$  からのスイッチ切換信号（シフト出力） $SR$  に基づいて、オン/オフ動作する  $PMOS$  トランジスタ  $M_{31}$ 、 $M_{33}$  は、上述したスイッチ手段  $40A$  を構成する。また、高電位電源  $V_{dd}$  及び接点  $N_{31}$  間に設けられる蓄積容量  $C_{31}$  は、 $PMOS$  トランジスタ  $M_{32}$  のゲート - ソース間に形成される寄生容量であってもよい。

#### 【0073】

また、カレントミラー回路部  $32$  は、例えば、図  $9$  に示すように、各々、上記電流成分保持部  $31$  の出力接点  $N_{33}$  にコレクタ及びベースが接続され、接点  $N_{34}$  にエミッタが接続された  $npn$  トランジスタ  $Q_{31}$ 、 $Q_{32}$  と、接点  $N_{34}$  及び低電位電源  $V_{ss}$  間に接続された抵抗  $R_{31}$  と、高電位電源  $V_{dd}$  にコレクタが接続され、上記電流成分保持部  $31$  の出力接点  $N_{33}$  がベースに接続された  $npn$  トランジスタ  $Q_{33}$  と、該  $npn$  トランジスタ  $Q_{33}$  のエミッタ及び出力電流（駆動電流  $I_c$ ）が出力される出力端子  $T_{out}$  間に接続された抵抗  $R_{32}$  と、を備えた構成を有している。ここで、出力電流（駆動電流  $I_c$ ）は、上記電流成分保持部  $31$  から出力され、出力接点  $N_{33}$  を介して入力された制御電流の電流値に対して、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有している。

なお、カレントミラー回路部  $32$  の回路構成における電流比率を規定する抵抗  $R_{31}$ 、 $R_{32}$  に替えて、 $npn$  トランジスタ  $Q_{31} \sim Q_{33}$  の面積比を変えることによって上記電流比率を規定するように構成してもよい。その場合、抵抗  $R_{31}$ 、 $R_{32}$  の抵抗値のバラツキに起因する回路内部における電流成分のバラツキの発生を抑制して、出力電流のバラツキを抑制することができる。

#### 【0074】

このような構成を有する電流記憶回路（スイッチ手段を含む）における基本動作は、有機  $EL$  素子の動作サイクル（走査期間）に対して、相互に時間的な重なりが生じない所定のタイミングで電流記憶動作及び電流出力動作が実行される。

#### （電流記憶動作）

電流記憶動作においては、まず、制御部（システムコントローラ  $140$ ）から出力制御端子  $T_{en}$  を介して、ハイレベルの出力イネーブル信号  $E_N$  を印加することにより、出力制御手段としての  $PMOS$  トランジスタ  $M_{34}$  がオフ動作する。この状態で、定電流発生回路  $10A$  から負極性の電流成分を有する電流  $I_p$  を入力端子  $T_{cs}$ （定電流発生回路  $10A$  の出力端子  $T_{cs}$ ）を介して供給するとともに、シフトレジスタ  $20A$  からシフト出力端子  $T_{sr}$  を介して、所定のタイミングでローレベルのスイッチ切換信号  $SR$  を印加することにより、入力制御手段（スイッチ手段  $40A$ ）としての  $PMOS$  トランジスタ  $M_{31}$ 、 $M_{33}$  がオン動作する。

#### 【0075】

これにより、接点  $N_{31}$ （すなわち、 $PMOS$  トランジスタ  $M_{32}$  のゲート端子、又は、蓄積容量  $C_{31}$  の一端側）に負極性を有する電流  $I_p$  に応じたローレベルの電圧レベルが印加されて、高電位電源  $V_{dd}$  及び接点  $N_{31}$  間（ $PMOS$  トランジスタ  $M_{32}$  のゲート - ソース間）に電位差が生じることにより、 $PMOS$  トランジスタ  $M_{32}$  がオン動作し、図  $10(a)$  に示すように、高電位電源から  $PMOS$  トランジスタ  $M_{32}$ 、 $M_{33}$  を介して入力端子  $T_{cs}$  方向に、電流  $I_p$  と同等の書込電流  $I_w$  が引き込まれるように流下する。

#### 【0076】

このとき、蓄積容量  $C_{31}$  には、高電位電源  $V_{dd}$  及び接点  $N_{31}$  間（ $PMOS$  トランジスタ  $M_{32}$  のゲート - ソース間）に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される。ここで、蓄積容量  $C_{31}$  に蓄積された電荷（電圧成分）は、電流記憶動作の終了により、シフトレジスタ  $20A$  からシフト出力端子  $T_{sr}$  を介して、ハイレベルのスイッチ切換信号  $SR$  が印加され、 $PMOS$  トランジスタ  $M_{31}$ 、 $M_{33}$  がオフ動作して、上記書込電流  $I_w$  の引き込みが停止された後においても保持される。

## 【0077】

(電流出力動作)

次いで、電流記憶動作終了後の負荷の駆動動作においては、制御部(システムコントローラ140)から出力制御端子Tenを介して、ローレベルの出力イネーブル信号ENを印加することにより、PMOSトランジスタM34がオン動作する。このとき、蓄積容量C31に保持された電圧成分により、PMOSトランジスタM32のゲート-ソース間に電流記憶動作時と同等の電位差が生じているので、図10(b)に示すように、高電位電源からPMOSトランジスタM32、M34を介して出力接点N33(カレントミラー回路部32)方向に、上記書込電流Iw(=電流Ip)と同等の電流値を有する駆動制御電流Iacが流下する。

10

## 【0078】

これにより、カレントミラー回路部32に流下した駆動制御電流Iacは、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有する駆動電流Icに変換されて、各出力端子Toutを介してデータラインDL(有機EL素子OEL)に供給される。ここで、電流記憶回路30AからデータラインDLへ供給される負荷駆動電流Icは、電流出力動作の終了により、制御部から出力制御端子Tenを介して、ハイレベルの出力イネーブル信号ENが印加され、PMOSトランジスタM34がオフ動作することにより供給が停止される。

## 【0079】

以上のような構成及び駆動方法を有する電流駆動装置において、電流書込期間においては、単一の定電流発生回路10Aにより所定の電流値を有する一定電流Ipが生成されて出力されるとともに、シフトレジスタ20Aから順次出力されるスイッチ切替信号SRが各スイッチ手段40Aに順次印加される。これにより、各スイッチ手段40Aが異なるタイミングで順次オン動作して、上記定電流発生回路10Aから出力された電流Ipに対応する書込電流Iwが各電流記憶回路30Aに順次流下して書き込まれ、電圧成分として保持される(上記電流記憶動作)。

20

## 【0080】

次いで、電流出力期間においては、全ての電流記憶回路30Aに単一の定電流発生回路10Aから出力された一定電流Icが保持された後、制御部から各電流記憶回路30Aに出力イネーブル信号ENが同一のタイミングで共通に印加される。これにより、電流記憶回路30Aに保持されていた電圧成分に応じた電流が、図示を省略したPWM制御部により設定された所定の信号時間幅を有する駆動電流Icとして、出力端子Toutを介して各データラインに一斉に供給される(上記電流出力動作)。

30

そして、このような電流書込期間及び電流出力期間を、図1に示した走査ドライバ120により各走査ラインSLを順次選択する走査期間ごとに繰り返し設定することにより、各行ごとの有機EL素子を順次所定の輝度階調で動作させることができる。

## 【0081】

したがって、本実施例に係る定電流発生部を備えたデータドライバによれば、図2に示したような表示パネル110に配設された走査ラインSLごとに接続された有機EL素子に対して、各データラインDLを介して、単一の電流源(定電流発生回路)から供給される均一な電流特性を有する一定電流からなり、表示データに応じた信号時間幅を有する駆動電流Icを、各走査ラインSLの走査期間中に一斉に供給して有機EL素子を所定の輝度階調で発光させる動作を、各行ごとに順次繰り返すことにより、各データライン間(定電流発生部を構成する各半導体チップ間、及び、該半導体チップにおける出力端子間)における電流値のバラツキを抑制して、各有機EL素子を均一な動作特性で動作させることができるので、所望の画像情報を表示ムラの発生を抑制しつつ、良好な輝度階調で表示することができる。

40

## 【0082】

<定電流発生部の第2の実施形態>

次いで、上述した定電流発生部の第2の実施形態について、図面を参照して説明する。

50

図 1 1 は、上述した実施形態に適用可能な定電流発生部の第 2 の実施形態を示す概略ブロック図である。ここで、上述した実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

【0083】

本実施形態に係る定電流発生部は、図 1 1 に示すように、一定電流  $I_p$  を共通に供給する単一の定電流発生回路 10 B と、所定数の出力端子  $T_{out}$  に対応して設けられた複数の電流記憶回路 30 B (電流記憶部 31 a、31 b) と、シフトレジスタ 20 B (シフトレジスタ部 21 a、21 b) と、複数の入力側スイッチ手段 40 B (スイッチ 41 a、41 b) と、複数の出力側スイッチ手段 50 B からなる回路構成と、を備え、各出力端子  $T_{out}$  ごとに一对の電流記憶部 31 a、31 b を備え、一方の電流記憶部により単一の定電流発生回路 10 B から供給される一定電流  $I_p$  を順次保持する動作と、他方の電流記憶部に既に保持した電流を、出力端子  $T_{out}$  を介して一括して出力する動作を、同時並行的に実行するように構成されている。

10

【0084】

このような構成を有する電流駆動装置において、第 1 の動作期間 (電流記憶部 31 a 側は電流書込期間 / 電流記憶部 31 b 側は電流出力期間) においては、シフトレジスタ 21 a からのスイッチ切換信号  $SR_1$  が、各電流記憶回路 30 B の電流記憶部 31 a に対応して設けられた各スイッチ 41 a に、順次出力されることにより、各スイッチ 41 a が所定期間のみ順次オン動作して、定電流発生回路 10 B から供給される電流  $I_p$  が各電流記憶部 31 a に順次書き込まれる。このとき、シフトレジスタ 21 b からはスイッチ切換信号  $SR_2$  が出力されず、全てのスイッチ 41 b がオフ状態にある。

20

【0085】

また、このとき、制御部からは、各出力端子  $T_{out}$  に対応して設けられた出力側スイッチ手段 50 B を電流記憶部 31 b 側に切り換え設定する出力選択信号  $SEL$  が共通に出力されるとともに、所定のタイミングで、全ての電流記憶部 31 b に対して、出力イネーブル信号  $EN_2$  が共通に出力されることにより、各電流記憶部 31 b に既に保持されている電流が各出力端子  $T_{out}$  を介して一斉に出力される。

【0086】

次いで、上記第 1 の動作期間終了後に設定される第 2 の動作期間 (電流記憶部 31 a 側は電流出力期間 / 電流記憶部 31 b 側は電流書込期間) においては、シフトレジスタ 21 b からのスイッチ切換信号  $SR_2$  が、各電流記憶回路 30 B の電流記憶部 31 b に対応して設けられた各スイッチ 41 b に、順次出力されることにより、各スイッチ 41 b が所定期間のみ順次オン動作して、定電流発生回路 10 B から供給される電流  $I_p$  が各電流記憶部 31 b に順次書き込まれる。このとき、シフトレジスタ 21 a からはスイッチ切換信号  $SR_1$  が出力されず、全てのスイッチ 41 a がオフ状態にある。

30

【0087】

また、このとき、制御部からは、出力側スイッチ手段 50 B を電流記憶部 31 a 側に切り換え設定する出力選択信号  $SEL$  が共通に出力されるとともに、所定のタイミングで、全ての電流記憶部 31 a に対して、出力イネーブル信号  $EN_1$  が共通に出力されることにより、各電流記憶部 31 a に上記第 1 の動作期間において保持された電流が各出力端子  $T_{out}$  を介して一斉に出力される。

40

そして、このような第 1 及び第 2 の動作期間を、所定の動作周期ごとに繰り返し設定することにより、定電流発生回路 10 B から連続的に出力される電流  $I_p$  が、一对の電流記憶部 31 a、31 b のうち、一方に保持されるとともに、他方から出力される動作が、交互かつ連続的に実行される。

【0088】

したがって、本実施形態に係る電流駆動装置によれば、上述した第 1 の実施形態と同様に、単一の定電流発生回路から出力される電流を各電流記憶回路 (電流記憶部) に順次取り込んで保持し、所定のタイミングで一括して出力することにより、単一の電流源から供給される均一な電流特性を有する電流を各出力端子ごとに保持することができるので、各出

50

力端子間の負荷駆動電流のバラツキを抑制することができるとともに、各出力端子ごとに  
 一对の電流記憶部を備え、定電流発生回路から出力される電流を、一方の電流記憶部側に  
 順次書き込みを行っている状態で、他方の電流記憶部側に保持された電流を一括して出力  
 することにより、電流書き込み動作時の待ち時間を短縮、もしくは、なくすことができるので  
 、実質的に常時、所定の負荷駆動電流を出力端子を介して各負荷に供給して、負荷への駆  
 動電流の供給時間を長くすることができ、駆動状態を細かく制御することができる。

【0089】

<定電流発生部の第3の実施形態>

次いで、上述した定電流発生部の第3の実施形態について、図面を参照して説明する。

図12は、上述した実施形態に適用可能な定電流発生部の第3の実施形態を示す概略ブロッ  
 ック図である。ここで、上述した実施形態と同等の構成については、同一又は同等の符号  
 を付して、その説明を簡略化又は省略する。 10

【0090】

本実施形態に係る定電流発生部は、図12に示すように、所定数の出力端子 $T_{out}$ に対  
 応して設けられた複数の電流記憶回路30C(電流記憶部32a、32b)と、シフトレ  
 ジスタ20C(シフトレジスタ部22a、22b)と、複数の入力側スイッチ手段40C  
 (スイッチ42a、42b)と、複数の出力側スイッチ手段50Cからなる回路構成と、  
 これらの回路構成の前段であって、定電流発生回路10Cから出力される一定電流 $I_p$   
 が供給される入力部に、図示を省略したシフトレジスタからのシフト出力に基づいてオン/  
 オフ動作する入力部スイッチ手段60Cと、定電流発生回路10Cから出力される一定電  
 流 $I_p$ を取り込んで保持する入力電流記憶回路70Cからなる回路構成が同一の半導体基  
 板上に形成された複数の半導体チップCP1、CP2、・・・CPnと、各半導体チップ  
 CP1、CP2、・・・CPnに対して、一定電流 $I_p$ を共通に供給する単一の定電流発  
 生回路10Cと、を備えている。なお、本実施例に適用される定電流発生回路10C、シ  
 フトレジスタ20C(シフトレジスタ部22a、22b)、電流記憶回路30C(電流記  
 憶部32a、32b)及び入力側スイッチ手段40C(スイッチ42a、42b)は、上  
 述した実施例と略同等の構成を有しているので、詳細な説明を省略する。 20

【0091】

ここで、出力側スイッチ手段50Cは、所定の出力選択信号SELに基づいて、電流記憶  
 部32a、32bのいずれかを選択して、該電流記憶部32a、32bに保持された電流  
 の各出力端子 $T_{out}$ (データラインDL)への出力状態を選択的に切り替え制御する。 30  
 また、各半導体チップCP1、CP2、・・・CPnに設けられる入力側スイッチ手段6  
 0Cは、図示を省略したシフトレジスタ(又は、制御部)から順次出力されるシフト出力  
 に基づいて、各々異なるタイミングでオン動作し、定電流発生回路10Cから出力された  
 一定電流 $I_p$ を各半導体チップCP1、CP2、・・・CPnに供給して、入力電流記憶  
 回路70Eに取り込み保持されるように制御する。

【0092】

入力電流記憶回路70Cは、上述した実施例に示した電流記憶回路(図9参照)と同等の  
 構成を有し、定電流発生回路10Cから出力される電流 $I_p$ を、上記入力側スイッチ手段  
 60Cがオン状態となる所定のタイミングで順次取り込み保持し、該保持された電流 $I_p$   
 を、図示を省略した制御部から出力される出力イネーブル信号に基づいて、各半導体チッ  
 プ内の入力側スイッチ手段40C(スイッチ42a、42bのいずれか)を介して、電流  
 記憶回路30C(電流記憶部32a、32bのいずれかに)出力する。 40

【0093】

このような構成を有する電流駆動装置において、まず、定電流発生回路10Cから出力さ  
 れる所定の電流値を有する一定電流 $I_p$ が各半導体チップCP1、CP2、・・・CPn  
 に共通に供給され、所定のタイミングで各半導体チップCP1、CP2、・・・CPnご  
 とに設けられた入力側スイッチ手段60Cを介して、入力電流記憶回路70Cに順次取り  
 込まれて保持される。

そして、第1の動作期間において、入力電流記憶回路70Cに保持された電流が、各半導 50

体チップCP1、CP2、・・・CPnにおいて同時並行的に、入力側スイッチ手段40Cの一方(例えば、スイッチ42a)を介して、電流記憶回路30Cの一方(例えば、電流記憶部32a)に転送されて保持される。このとき、電流記憶回路30Cの他方(例えば、電流記憶部32b)に既に保持されている電流が、図示を省略したPWM制御部により表示データに応じた所定の信号時間幅で、駆動電流Icとして出力端子Toutを介して各データラインDLに一斉に供給される。

#### 【0094】

次いで、上記第1の動作期間終了後の所定のタイミングで、再び、定電流発生回路10Cから出力される一定電流Ipが、所定のタイミングで各半導体チップCP1、CP2、・・・CPnごとに設けられた入力部スイッチ手段60Cを介して、入力電流記憶回路70Cに順次取り込まれて保持される。 10

次いで、上記第1の動作期間終了後であって、入力電流記憶回路70Cへの一定電流Ipの取り込み保持動作が終了した後に設定される第2の動作期間においては、上述した第1の動作期間と同様に、入力電流記憶回路70Cに保持された電流が、各半導体チップCP1、CP2、・・・CPnにおいて同時並行的に、入力側スイッチ手段40Cの他方(例えば、スイッチ42b)を介して、電流記憶回路30Cの他方(例えば、電流記憶部32b)に転送されて保持される。このとき、上記第1の動作期間において電流記憶回路30Cの一方(例えば、電流記憶部32a)に保持された電流が駆動電流Icとして各出力端子Toutを介して各データラインDLに一斉に出力される。

#### 【0095】

そして、このような一連の動作期間を、走査期間ごとに繰り返し設定することにより、定電流発生回路10Cから出力される一定電流Ipを、入力部の入力電流記憶回路70Cに順次保持して後段の電流記憶回路30Cに転送するとともに、電流記憶回路30Cの一方に取り込んで保持する動作と、他方に保持されている電流を、駆動電流Icとして一斉に各出力端子Toutに出力する動作が、交互かつ連続的に実行される。 20

#### 【0096】

したがって、本実施形態に係る定電流発生部の構成によれば、図2に示したような表示パネル110に配設されるデータラインDLの本数が増大し、所定数ごとのデータラインを個別の半導体チップ(ドライバチップ)により駆動するような場合であっても、単一の定電流発生回路から出力される電流を、各半導体チップに共通に供給することができるので、複数の半導体チップに亘る全データライン間の駆動電流のバラツキを抑制することができる。また、半導体チップごとに設けられた入力電流記憶回路に順次取り込み、その後、各半導体チップの各電流記憶回路に電流を取り込む動作を、各半導体チップ間で同時並行的に行うことができるため、実質的に、各半導体チップ(入力電流記憶回路)への電流の書き込み時間のみで、全てのデータラインに対応した電流記憶回路に所定の駆動電流を保持することができて、この駆動電流の保持に要する時間を大幅に短縮することができるため、駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。また、表示パネルの大画面化や高精細化に良好に対応することができる。 30

#### 【0097】

##### 【発明の効果】

以上説明したように、本発明に係る表示駆動装置及びその駆動制御方法によれば、駆動電流の供給動作に先立つセット期間において、一定電圧により、表示素子を動作させることなく、データライン(信号電極線)の配線容量や表示素子の素子容量(接合容量)を充電することができるので、駆動電流の供給時(定電流供給期間)に配線容量や素子容量を充電する時間を要することなく、動作に必要な電流値を有する駆動電流を迅速に表示素子に供給することができる。 40

したがって、表示素子の走査期間(選択期間)における応答速度を向上させて、階調表示に必要な信号時間幅分の動作期間を確保することができ、表示画質の向上を図ることができる。

#### 【0098】

また、データラインに一定電圧を印加する場合、表示パネルのデータラインに接続された各表示素子に駆動電流により印加される電圧の平均値を基準とする。これにより、データラインに付加される配線容量により電圧降下が生じた場合であっても、表示パネルの全域の表示素子に供給される電流値のばらつきを抑制して良好な表示画質を実現することができる。

また、上記駆動電流の供給に際し、全ての走査ライン（走査電極線）の電位を所定のハイレベルを有する電圧に設定することにより、データラインに上記一定電圧を印加した場合であっても、いずれの有機EL素子にも電流は流下しないので、セット電圧に到達するまでの充電動作に要する時間を短縮することができる。

【0099】

また、上記駆動電流の供給に際し、定電流源（定電流発生部）から一定電流を供給することにより、データラインにおける電圧降下に対して上記一定電圧を補償することができるので、表示素子に印加される電圧の経時変化に良好に対応することができる。

さらに、上記駆動電流の供給終了後、データラインに印加される一定電圧（第2の一定電圧の電圧値を接地電位（0V）に設定する必要がなく、表示素子の閾値電圧以下の任意の電圧に設定すればよいので、その電位差分、配線容量や素子容量に対する充放電電荷量を削減することができ、消費電力の削減を図ることができる。

【図面の簡単な説明】

【図1】本発明に係る表示駆動装置及びその駆動制御方法を適用可能な表示装置の全体構成の一例を示すブロック図である。

【図2】本発明を適用可能な表示装置の要部構成を示す概略回路図である。

【図3】本発明に係る表示駆動装置に適用可能なデータドライバの要部構成を示す回路図である。

【図4】本発明に適用可能な走査ドライバ及びデータドライバにおける制御動作（駆動制御方法）を示すタイミングチャートである。

【図5】本発明に適用可能な走査ドライバ及びデータドライバにより印加される電圧相互の関係を示す電圧 - 電流特性図である。

【図6】本発明を適用可能な表示装置における表示駆動動作を示すタイミングチャートである。

【図7】上述した実施形態に適用可能な定電流発生部の第1の実施形態を示す概略ブロック図である。

【図8】本実施例に適用可能な定電流発生回路の一具体例を示す回路構成図である。

【図9】本実施例に適用可能な電流記憶回路及び上記スイッチ手段からなる構成の一具体例を示す回路構成図である。

【図10】本実施例に適用可能な電流記憶回路における基本動作を示す概念図である。

【図11】上述した実施形態に適用可能な定電流発生部の第2の実施形態を示す概略ブロック図である。

【図12】上述した実施形態に適用可能な定電流発生部の第3の実施形態を示す概略ブロック図である。

【図13】有機EL素子の概略構成及び電圧 - 電流特性を示す図である。

【図14】従来技術における単純マトリクス駆動方式の表示装置の概略構成図である。

【図15】従来技術における単純マトリクス駆動方式の表示装置の問題点を説明する図である。

【符号の説明】

100	表示装置
110	表示パネル
120	走査ドライバ
130	データドライバ
140	システムコントローラ
150	表示信号生成回路

10

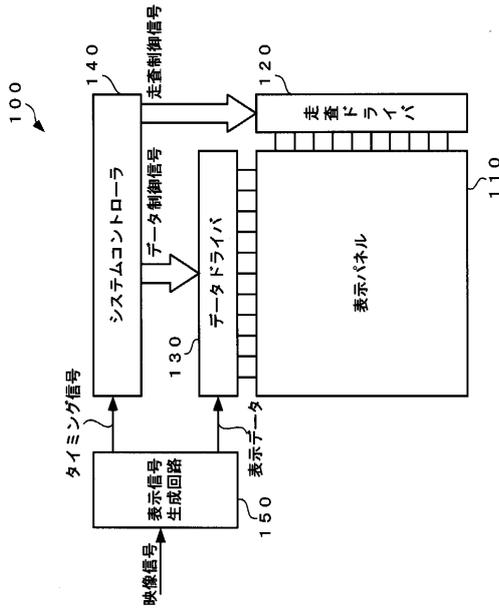
20

30

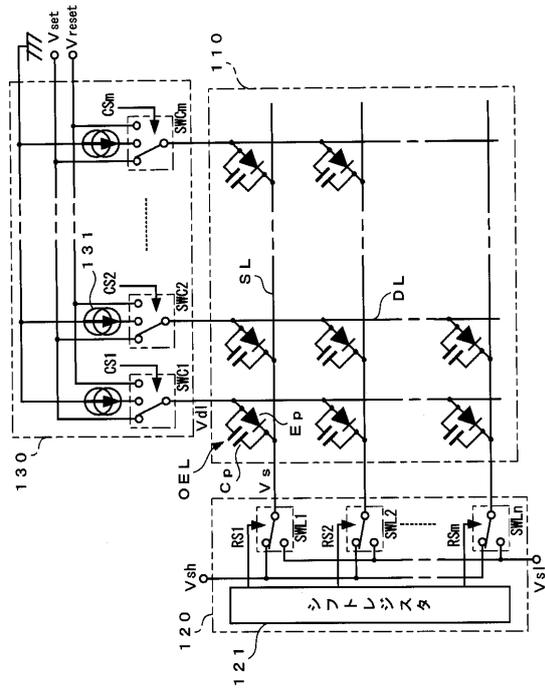
40

50

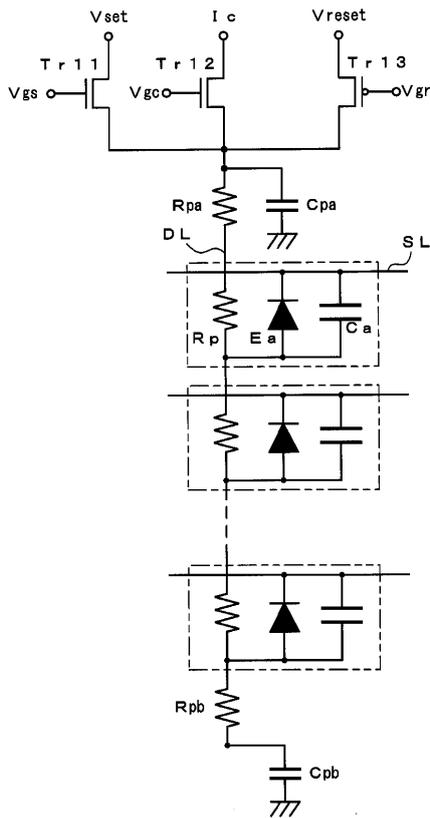
【図 1】



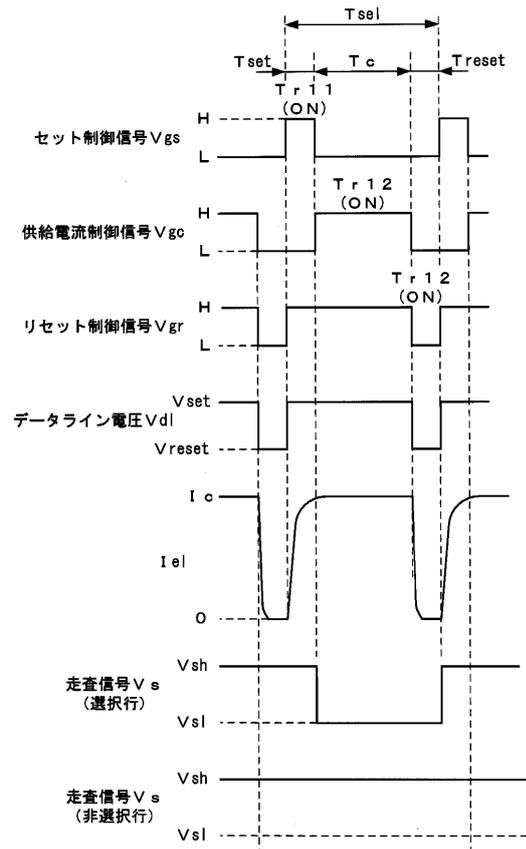
【図 2】



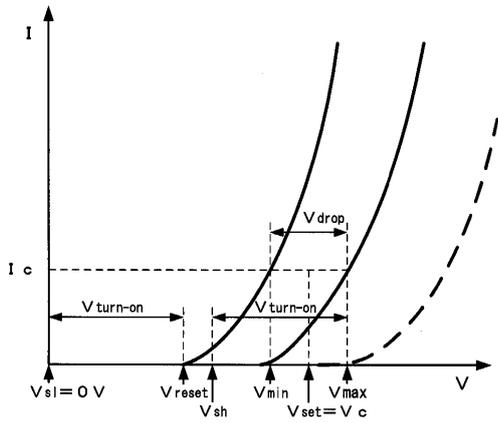
【図 3】



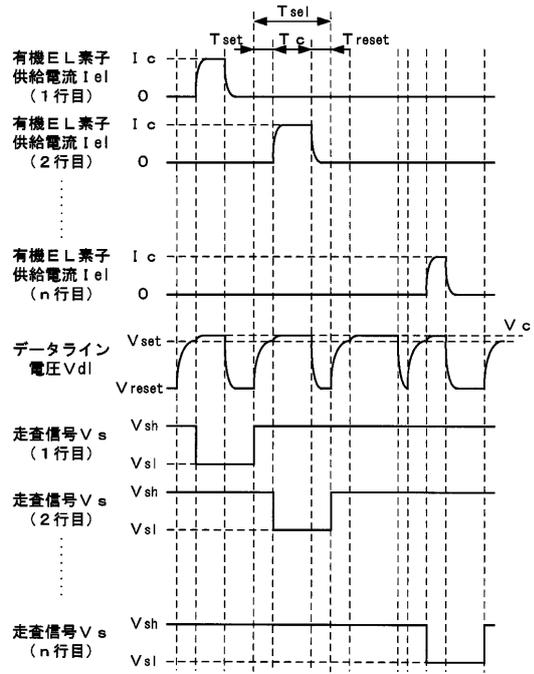
【図 4】



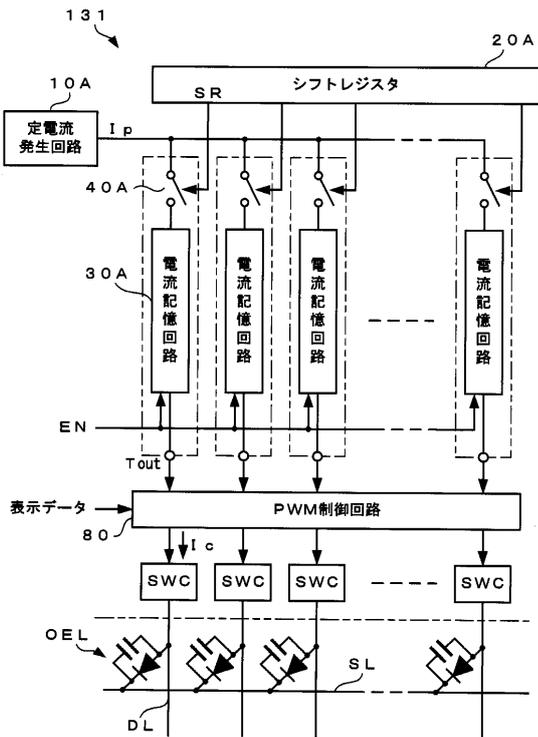
【 図 5 】



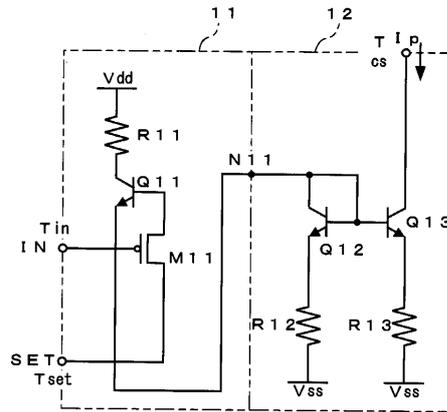
【 図 6 】



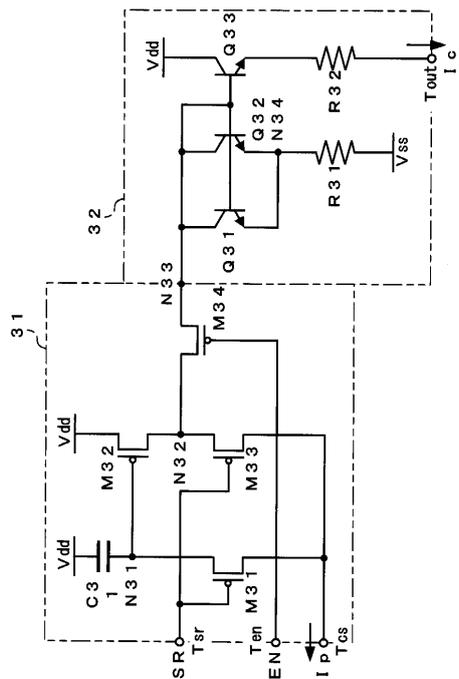
【 図 7 】



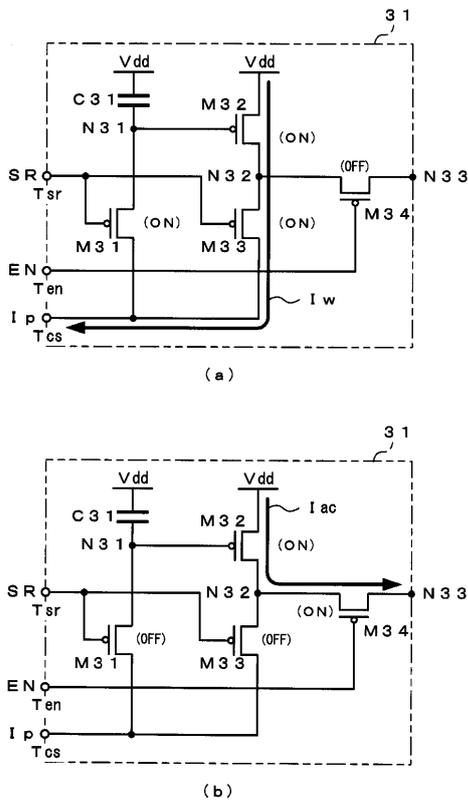
【 図 8 】



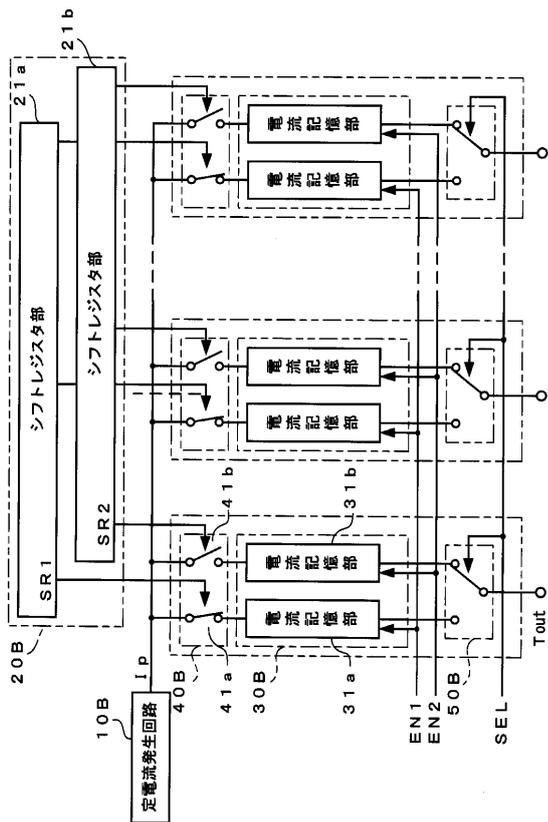
【図 9】



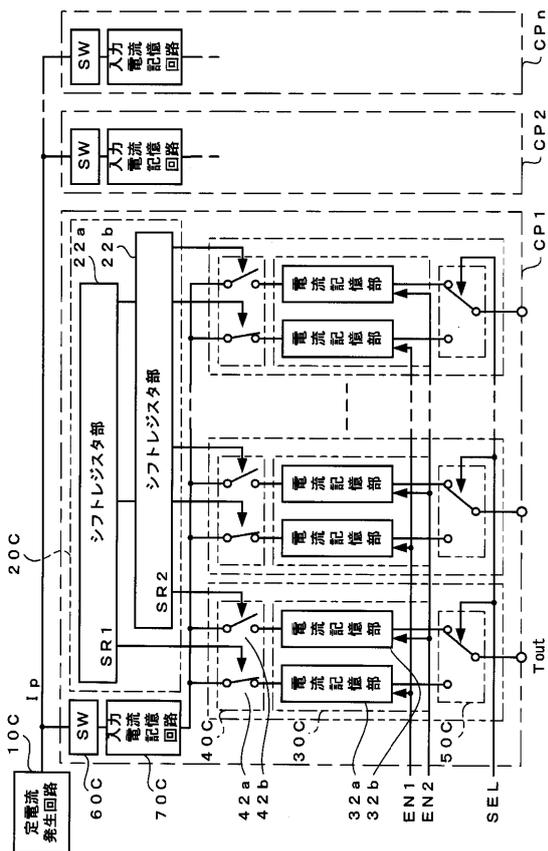
【図 10】



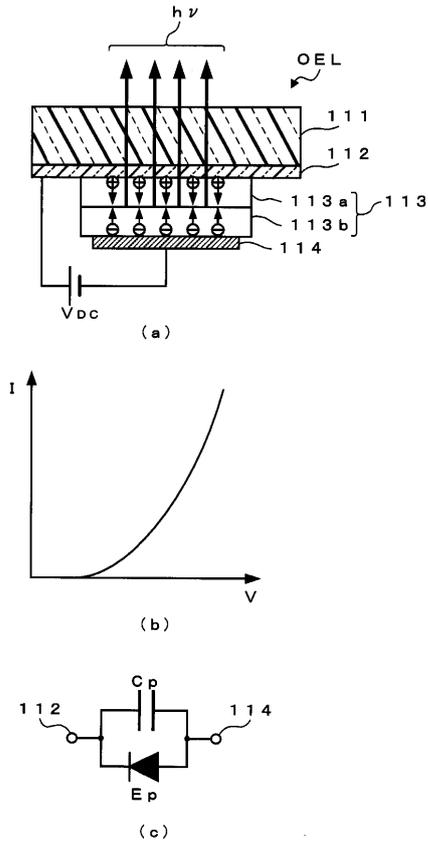
【図 11】



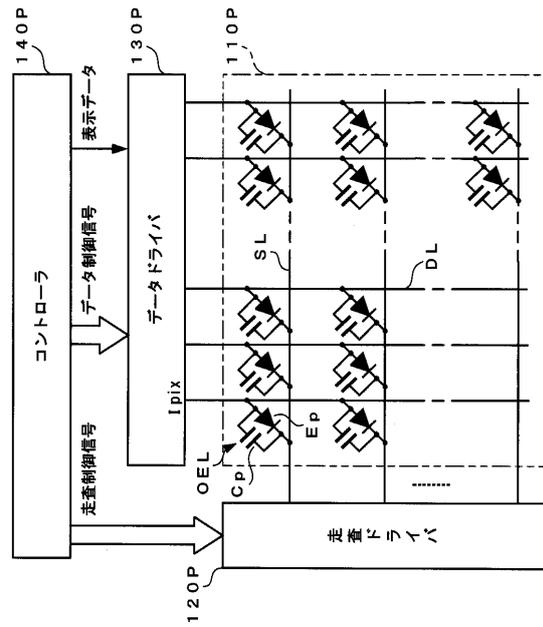
【図 12】



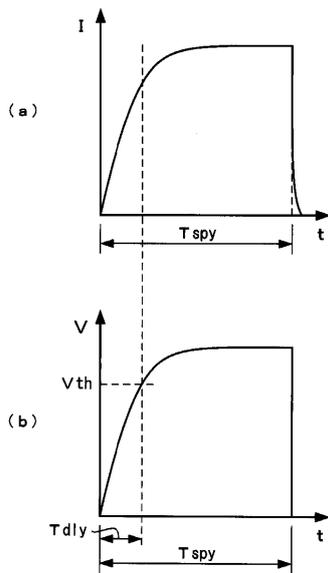
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



---

フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 1 A
H 0 5 B	33/14	A