

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H03J 1/00

(45) 공고일자 1999년04월01일
(11) 등록번호 특0175535
(24) 등록일자 1998년11월10일

(21) 출원번호	특1996-064130	(65) 공개번호	특1998-045885
(22) 출원일자	1996년12월11일	(43) 공개일자	1998년09월15일

(73) 특허권자 한국전자통신연구원 양승택
대전광역시 유성구 가정동 161
(72) 발명자 김대용
대전광역시 중구 목동 132-2 현대아파트 103-602
임태영
대전광역시 서구 둔산동 목련아파트 204-305
곽명신
대전광역시 유성구 어은동 한빛아파트 108-1602
(74) 대리인 최승민, 신영무

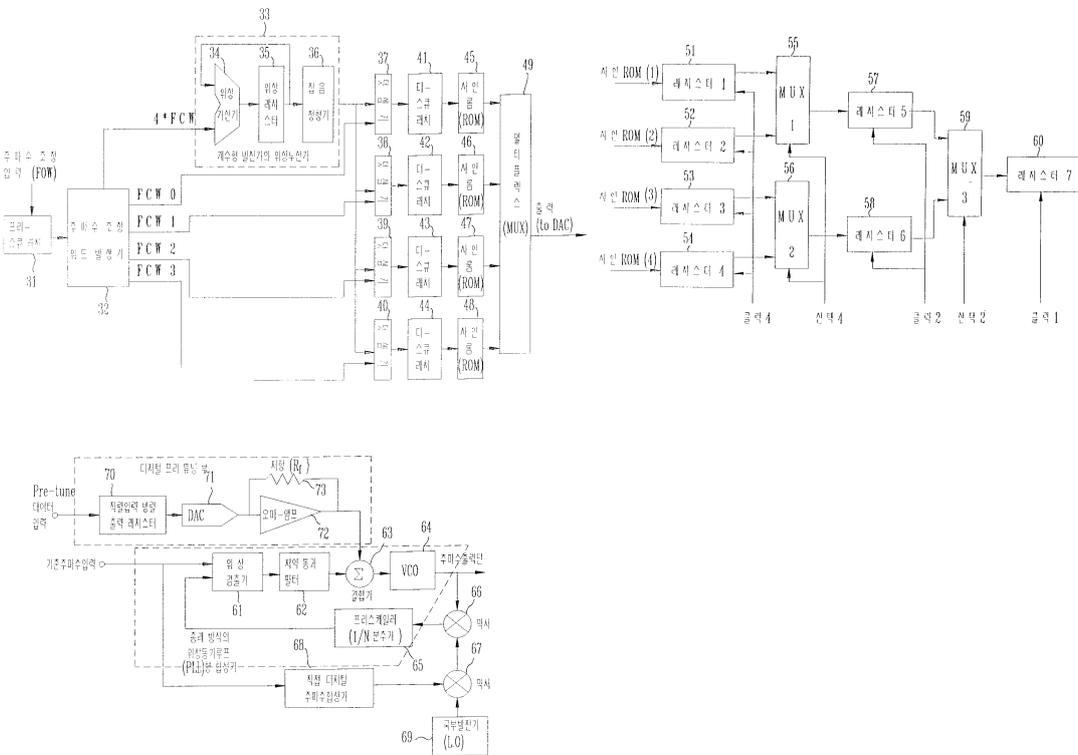
심사관 : 고준호

(54) 병렬 구조의 직접 디지털 주파수 합성기

요약

본 발명은 통상의 저 전력 CMOS 소자로 제작된 직접 디지털 주파수 합성기(Direct Digital Frequency Synthesizer) 디바이스의 단점인 낮은 출력 주파수를 개선하여 고속 동작의 높은 출력 주파수를 얻을 수 있도록 하므로써, 높은 주파수(50MHz이상)의 합성이 가능하고, 주파수 해상도 및 위상과 주파수의 안정도를 향상시킬 수 있으며, 주파수 합성기의 디바이스 칩(Chip) 크기를 줄여서, 오늘날 이동통신 기기의 주파수 합성장치에 적합한 병렬 구조의 직접 디지털 주파수 합성기에 관해 개시된다.

대표도



영세서

종래의 CMOS 소자기술로 제작된 직접 디지털 주파수 합성기(DDS)의 합성된 주파수는 최대 동작 클럭 주파수의 1/4에 해당하는 낮은 출력 주파수 때문에 주파수 합성기(DDS) 단독으로는 50MHz 이상의 고주파 합성기로서는 부적당하였다.

따라서, 본 발명은 종래 기술의 단점인 저 주파수 출력을 개선하기 위하여, 종래 구조의 직접 디지털 주파수 합성기의 연결 방법을 달리하여 최종 출력이 디지털 주파수 합성기(DDS) 한 개의 출력 주파수보다도 4배 혹은 그 이상의 합성된 출력 주파수를 얻을 수 있도록 구성하여, 종래의 저 전력 CMOS 소자기술로 제작할 경우, 저 전력화 및 단일 칩(Chip)화 할 수 있어, 현대의 이동통신 기기의 높은 주파수 합성 장치에 적합한 병렬 구조의 직접 디지털 주파수 합성기를 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명에 따른 병렬 구조의 직접 디지털 주파수 합성기는 프리-스큐 래치를 통해 주파수 조정 2진 데이터를 입력으로 하여 다수의 주파수 조정 워드 및 위상이 다른 다수의 주파수 조정 워드를 각각 출력하도록 하는 주파수 조정 워드 발생기와, 상기 주파수 조정 워드 발생기로부터 출력되는 위상이 다른 어느 한 주파수 조정 워드를 입력으로 하여 클럭 주파수에 따라 계수하여 데이터를 출력하도록 하는 위상 누산기와, 상기 위상 누산기로부터 출력되는 데이터와 상기 주파수 조정 워드 발생기로부터 출력되는 상기 다수의 주파수 조정 워드를 각각 입력으로 하는 다수의 덧셈기와, 상기 다수의 덧셈기 출력 데이터를 각각의 디-스큐 래치를 통해 입력으로 하여 정현파형을 나타내기 위한 디지털 데이터를 출력하도록 하는 다수의 사인 롬과, 상기 다수의 사인 롬으로부터 출력되는 다수의 디지털 데이터를 각각 입력으로 하여 아날로그 데이터로 출력하도록 하는 멀티플렉스 회로로 구성된 것을 특징으로 한다.

또한, 위상 동기 루프(PLL)형 주파수 합성기를 사용하여 원하는 높은 주파수인 캐리어 신호를 얻고, 이 주파수 대역에서 넓은 가변 대역폭의 주파수를 얻기 위해 직접 디지털 주파수 합성기의 출력을 상향변환 시키도록 출력 대역폭만큼의 미세 조정이 가능한 또 다른 합성기의 출력을 궤환 회로에 주입되도록 구성하고, 국부 발진기와 직접 디지털 주파수 합성기의 출력을 혼합, 필터시키고 난 후, 궤환 회로에 주입시켜, 위상 동기 루프형 주파수 합성기 출력의 캐리어 신호와 다시 혼합되어 원하는 주파수 출력으로 상향 변환시킬 수 있도록 구성된 것을 특징으로 한다.

본 발명은 직접 디지털 주파수 합성기(DDS; Direct Digital Synthesizer)를 모체로한 개선된 병렬 구조의 직접 디지털 주파수 합성기(Improved Digital Frequency Synthesizer)구조로서, 동작 속도 면에서는 높은 처리 속도를 갖는 4단 병렬 구조의 사인 롬을 갖는 새로운 직접 디지털 주파수 합성기를 구성하였고, 또한, 각 단의 누산 속도를 더욱 더 높이기 위해서, 파이프라인(Pipelined) 구조의 NCO형 위상 누산기를 사용하여 클럭 속도와 관계없이 누산 속도를 크게 개선하여, 통상의 직접 디지털 주파수 합성기보다도 4 배 이상의 높은 합성 주파수를 얻을 수 있다.

또한, 본 발명의 구성을 이용하여 저 전력형 CMOS 기술로 집적회로(IC; Integrated Circuit)화 할 경우 전력소모 면에서 뿐만이 아니라 칩 면적에서도 기존의 CMOS 디지털 디바이스(Device)의 칩(Chip) 크기를 줄일 수 있어 소형화와 저 전력화가 가능하다.

또한, 활용 면에서도 본 구성의 직접 디지털 주파수 합성기는 나노(nano) 초오더의 빠른 스위칭 스피드(Switching Speed)와 고 해상도 주파수 특성을 가지므로 단독으로 시스템의 주파수 합성기에 활용할 수 있으며, 통상의 직접 디지털 주파수 합성기의 장점과 저 잡음과 고 안정성 광대역 주파수 특성을 갖는 위상 동기 루프(Phase-locked Loop) 주파수 합성기의 장점을 함께 이용한 혼합형 주파수 합성기(Hybrid PLL/DDS Frequency Synthesizer)에도 활용할 수 있어서, 현대의 이동 통신 기기의 주파수 합성 장치나 고성능 신호 발생 장치에 적합한 주파수 합성기에 사용 될 수 있다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

제2a도는 단일 직접 디지털 주파수 합성기의 블럭도로서, 주파수 조정 2진 데이터가 프리-스큐 래치(PRE-SKEW LATCH)(21)를 통해 주파수 레지스터(22)로 입력된다. 상기 주파수 레지스터(22)에서 출력된 2진 데이터 값은 계수형 발진기(NCO)를 모체로 한 위상 누산기인 위상 가산기(Phase Accumulator)(23)와 위상 레지스터(24)로 입력되어 클럭 주파수에 따라 가산된다. 위상 레지스터(24)의 출력 값이 궤환(Feedback)되어 원래의 값과 다시 가산되어 출력 신호의 위상 값을 계수하게 된다. 이에 따라 생성된 주소 비트(Address Bit)는 파이프라인 구조의 NCO형 위상 누산기인 잡음 정형기(25) 및 디-스큐 래치(DE-SKEW LATCH)(26)를 통해 사인 롬(Sine ROM)(27)으로 입력되어 정현파형(Sinusoidal Waveform)을 나타내는 일련의 데이터 값으로 출력된다. 이 출력 값이 디지털-아날로그 변환기인 D/A 컨버터(DAC)(28)를 통해 양자화된 계단 파형(Quantized Sinusoid)으로 된다. 상기 양자화된 계단 파형은 고주파 성분을 제거시키는 저역 통과 필터(Low Pass Filter)(29)를 통해 최종 주파수 출력단에서 정현파(Sine Wave)로 출력되게 된다.

제2b도는 상기 제2a도의 잡음 정형기(25)인 파이프라인 구조의 제1 및 제2 NCO형 위상 누산기(11 및 12)를 직렬로 접속한 구성도이다.

제2c도는 제2a도 및 제2b도의 위상 가산기의 상세한 블럭도로서, 계수 발진기(NCO)형 위상 누산기를 파이프라인(Pipelined) 구조로 구성하였다.

제2c도에 도시된 바와 같이 계수 발진기(NCO)형 위상 누산기를 파이프라인(Pipelined) 구조로 구성하여 동작 속도를 크게 개선한 새로운 구조의 직접 디지털 주파수 합성기를 병렬 구성으로 사인 롬을 4단 혹은 그 이상을 연결, 그 출력들을 다중화(Multiplexing) 방법으로 합하여 한개의 직접 디지털 주파수 합성기의 출력 주파수보다도 4배 혹은 그 이상의 합성 주파수를 얻을 수 있도록 구성하게 된다.

제3a도는 본 발명에 따른 병렬 구조의 직접 디지털 주파수 합성기의 블럭도 이다. 본 발명의 구성은 제3도와 같이 파이프라인(Pipelined) 구조의 NCO형 위상 누산기 형태인 잡음 정형기를 1단만 삽입하여 구성한 것이다.

또한, 제3a도에서 사인 롬을 병렬로 4단을 연결하여 구성하였으나, 통상의 직접 디지털 주파수 합성기보

다 2배의 출력 효율을 얻기 위하여 2단의 사인 롬을 병렬로 연결하여 상기한 방식으로 구성한 경우와 4개 이상 다단으로 구성하여 같은 효과를 얻을 수 있다.

입력된 2진 주파수 조정 데이터 값(FCW)이 설정되면 프리-스큐 래치(Preskew Latch)(31)를 거쳐 주파수 조정 워드 발생기(32)에 전달되어 상기한 워드 발생기에서 4*FCW(클럭4를 기준으로 하여 2클럭 주기 만큼 지연된 주파수 조정 워드[FCW])을 발생 시키게 된다. 상기 발생된 워드 값을 파이프라인드(Pipelined) NCO형 위상 누산기(33)에서 계수하고, 위상 정보에 해당하는 출력 비트를 발생시키게 된다. 디지털 주파수 합성기에서는 이중 일부 혹은 전부를 어드레스 비트로 사용하여 사인 롬에 입력한 후 저장된 데이터의 정현파 출력 정보를 발생시키게 된다. 파이프라인드(Pipelined) 구조의 NCO형 위상 누산기(33)와 사인 롬(45 내지 48)사이에 또 다른 형태의 파이프라인드(Pipelined) 구조의 NCO형 위상 누산기(33)와 위상 정형기(제2b도)를 삽입하여 사용하고, 상기 위상 누산기(33)의 출력 중 하위 비트 일부를 필터링(Filtering)시켜 줄인 후, 이 하위 비트가 필터링 된 출력을 삽입된 잡음 정형기(36)로 통과시켜, 그 출력 비트를 각 사인 롬(45 내지 48)의 어드레스 비트로 사용하게 된다. 각 사인 롬(45 내지 48) 내부에서의 저장된 샘플링 데이터 양을 줄이고, 샘플링 데이터의 출력 간격을 길게 하는 오버 샘플링(Over-sampling) 방법을 적용하는 통상의 디지털 신호 발생기에서 위상 잡림으로 인해 발생되어 출력 스펙트럼으로 나타나는 백색 잡음과 스프리어스 잡음을 최소화 함과 동시에 고속 처리가 가능하도록 구성한 것이다. 본 발명에서는 논-파이프라인드(Non-Pipelined) 구조의 위상 가산기를 사용한 경우 프리-스큐 래치와 디-스큐 래치 블록이 필요 없지만, 파이프라인드(Pipelined) 구조의 위상 가산기를 사용한 경우 위상 누산기의 출력 값들이 병렬적으로 사인 롬에 동시에 도착 하도록 프리-스큐 래치(31)와 디-스큐 래치(41 내지 44) 블록이 추가되어야 한다.

또한, 상기 주파수의 위상 조정 워드 발생기(32)에서 클럭 4(클럭 1의 4배 주기에 해당)에 동기된 0*FCW[0], FCW[주파수 조정 2진 입력 데이터 워드], 2*FCW[FCW를 1비트 지연시킨 주파수 조정 워드], 3*FCW[FCW+2*FCW]와 4*FCW[FCW를 2비트 지연시킨 주파수 조정 워드]인 주파수 조정 워드를 각각 발생시켜 디지털 주파수 합성기의 중간 단인 덧셈기(37 내지 40)와 위상 가산기(34)의 제어 입력으로 사용한다. 여기에서, 0*FCW, FCW, 2*FCW, 3*FCW와 4*FCW은 주파수 조정 워드들로서 각각 0 입력 값, 주파수 조정 2진 입력 데이터 워드, FCW를 1비트 지연시킨 주파수 조정 워드, FCW와 2*FCW을 더한 데이터와 FCW를 2비트 지연시킨 주파수 조정 워드를 의미한다. 따라서, 4단으로 병렬 연결된 사인 롬(45 내지 48) 각각의 출력 이 클럭 4를 기준으로 선택적으로 구성할 수 있고, 이들을 다시 4:1 멀티플렉스(Mux)(49)에서 제4도에 나타난 클럭과 선택 신호들을 이용한 다중화 방법으로 결합, 출력 효율이 4배인 단일 출력으로, 제5a도에 나타난 바와 같이 재결합되도록 구성 할 수 있어, 고주파 출력이 가능한 구조가 된다.

즉, 주파수 조정 워드(FCW)인 2진 데이터 값이 입력되면 프리-스큐 래치(31)를 거쳐 주파수 조정 워드 발생기(32)에 전달되고, FCW를 2비트 지연시킨 4*FCW인 주파수 조정 워드가 발생하여 파이프라인드(Pipelined) NCO형 위상 누산기(33)에 전달되어 상기 위상 누산기(33)에서는 입력된 데이터가 클럭 주파수에 따라 가산되며, 가산된 출력 값이 다시 돌아와(Feedback) 원래의 값과 다시 가산되어 출력 신호의 위상 값을 계수한 후 상위 m개의 출력을 잡음 정형기(36)로 보낸다. 상기한 잡음 정형기(36)에서는 필요로 하는 비트 수 이외의 하위 비트가 잡음 정형기(36)의 입력으로 케환(Feedback)되어 다시 계수되며, 잡음 정형기 내부의 위상 가산기(34)에서는 캐리 비트(Carry Bit)를 발생시켜 각 사인 롬(45 내지 48)에 입력되는 잡음 정형기의 가산기 출력 값을 보정한다. 즉, 잡음 정형기내의 가산기는 사인 롬에서 요구되는 갯수만큼의 상위 비트 출력 값을 사인 롬에 입력시키고, 나머지 하위 비트 출력 값은 필터링 역할을 하는 잡음 정형기에 다시 입력시켜 출력 값을 케환시킨다. 사인 롬에서는 입력된 비트 수만큼 샘플링하여 결정된 일련의 파형 정보 데이터 비트를 4:1 멀티플렉스(49)에 출력 시킨다.

상기한 기능 동작이 한단만 구성된 위상 가산기(Phase Accumulators)에서 수행되지만, 이 출력이 위상 지연 값들인 주파수 조정 워드 발생기(32)에서 생성된 0*FCW, FCW, 2*FCW와 3*FCW 신호들과 각각 더한 값들이 병렬로 4단 연결된 사인 롬(45 내지 48)들의 어드레스로 사용된다. 따라서, 병렬로 4단 연결된 사인 롬(45 내지 48)의 출력들이 상기한 멀티플렉스(49)에 서로 다른 값으로 병렬로 전달 되는데 제3a도에서와 같이 이 출력들을 클럭 주기가 1/4로 줄어든 일련의 단일 파형 정보 데이터 비트로 재구성하여 한개의 완전한 양자화된 사인 파형 값으로 출력시킨다. 이 출력 비트가 디지털-아날로그 변환기제1도, (5)와 저역 통과 여파기제1도, (6)를 통과하여 정현파 출력을 발생시키게 된다.

또한, 본 발명에서와 같이 잡음 정형기를 개재하여 사용하게 되면, 위에 언급한 잡음 정형기에서는 전단인 파이프라인드(Pipelined) 구조의 NCO형 위상 누산기에서 발생한 그리치(Glitch)를 효과적으로 제거하여 잡음 전달을 차단시킴과 동시에, 사인 롬에 입력되는 비트 수가 줄어들게 되고, 이에 따라 사인 롬 내부에 저장된 샘플링 데이터 양이 감소하게 되어 사인 롬업 데이브인 사인 롬 크기가 감소하여 디바이스 칩(Chip) 크기가 줄어들고, 동작 속도는 빨라진다. 그리고, 사인 롬의 샘플링 데이터의 출력 간격이 길어지면서 진폭 양자화(Amplitude Quantization)로 인한 위상 잡림을 보상함으로써 출력 스펙트럼의 스프리어스 잡음이 감소하게 된다.

제3b도는 제3a도의 4:1 멀티플렉스(Mux)의 상세한 블록도이다. 제1 내지 제4 레지스터(51 내지 54)는 각각의 사인 롬의 출력 데이터를 입력으로하여 클럭 신호(클럭 4)에 따라 데이터를 각각 출력하도록 한다. 제1 및 제2 멀티플렉스 회로(55 및 56)는 선택 신호(선택 4)에 따라 제1 및 제2 레지스터(51 및 52)의 출력 데이터와 상기 제3 및 제4 레지스터(53 및 54)의 출력 데이터를 각각 합성하여 출력하도록 한다. 제5 및 제6 레지스터(57 및 58)는 상기 제1 및 제2 멀티플렉스 회로(55 및 56)의 출력 데이터를 각각 입력으로 하여 클럭 신호(클럭 2)에 따라 데이터를 출력하도록 한다. 제3 멀티플렉스 회로(59)는 선택 신호(선택 2)에 따라 상기 제5 및 제6 레지스터(57 및 58)의 출력 데이터를 합성하여 출력하게 된다. 제7 레지스터(60)는 상기 제3 멀티플렉스 회로(59)의 출력 데이터를 입력으로 하여 클럭 신호(클럭 1)에 따라 데이터를 출력하게 된다.

제5a도에는 본 발명에 따른 디지털 주파수 합성기의 출력 파형도는 나타내었고, 제5b도에서는 전술한 방법으로 회로를 구성하여 시뮬레이션한 결과로서, 병렬 구조의 제1단인 사인 롬 1제3a도, (45)의 출력과 4:1 멀티플렉스제3a도, (49)를 거친 출력을 보여 주고 있으며, 상기한 멀티플렉스(Mux) 출력 결과의 주기가 4배 빨라짐을 나타내고 있다.

제6도는 본 발명의 또 다른 실시예이다. 도면 부호 70은 직렬 입력·병렬 출력 레지스터, 71은 D/A 컨버터, 72는 오피-앰프를 각각 나타내며, 61은 위상 검출기, 62는 저역 통과 필터, 63은 결합기, 64는 VCO, 65는 1/N 분주기 프리스케일러, 66 및 67은 믹서, 68은 직접 디지털 주파수 합성기, 69는 국부 발진기를 각각 나타낸다.

위상 동기 루프(PLL)형 주파수 합성기를 사용하여 원하는 높은 주파수(약 800Hz 이상)인 캐리어 신호를 얻고, 이 주파수 대역에서 넓은 가변 대역폭이 주파수를 얻기 위해 제3도의 직접 디지털 주파수 합성기의 출력을 상향변환시키도록 출력 대역폭만큼 미세조정이 가능한 또 다른 합성기의 출력을 궤환 회로에 주입되도록 구성하였다. 따라서, 제6도와 같이 국부 발진기(69)와 제3도의 직접 디지털 주파수 합성기의 출력을 혼합, 필터시키고 난 후, 궤환 회로에 주입시켜, 상기한 위상 동기 루프(PLL)형 주파수 합성기 출력의 캐리어 신호와 다시 혼합되어 원하는 주파수 출력으로 상향변환 시킬 수 있도록 구성된다.

출력 주파수의 상향변환시 위상 동기 루프(PLL)형 주파수 합성기 출력 파형이 스프리어스 잡음을 제거하기 위해 제6도의 직접 디지털 주파수 합성기 출력을 위상 동기 루프(PLL)형 주파수 합성기 궤환 루프에 직접 연결하여 사용하지 않고, 국부 발진기와 직접 디지털 주파수 합성기 출력을 먼저 혼합, 필터한 후, 위상 동기 루프(PLL)형 주파수 합성기 궤환 루프에 주입하게 된다.

위상 동기 루프(PLL)형 주파수 합성기의 주파수 튜닝시 세팅 시간(Setting Time)을 단축하기 위해 제6도에서와 같이 디지털 프리튜닝(pre-tuning) 회로를 직렬 입력 병렬 출력 레지스터(70), DAC(Digital to Analog Converter)(71)와 오피앰프(72)를 병렬로 구성하여 결합기(63)를 통해 연결하게 된다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 다음과 같은 효과를 얻을 수 있다.

첫째, NCO형 위상 누산기를 파이프라인(Pipelined) 구조로 구성하여 클럭 속도에 제한됨이 없이 가산할 수 있도록 하여 동작 속도를 크게 증가시킬 수 있다.

둘째, 본 발명에 따른 구성으로 이루어진 직접 디지털 주파수 합성기의 위상 누산기와 사인 롬 사이에 잡음 정형기를 개재하여 사용함으로써, 사인 롬 어드레스 비트 수를 줄여 롬 크기를 줄이고 동작 속도를 증가시킬 수 있다.

셋째, 본 발명에 따른 구성으로 이루어진 직접 디지털 주파수 합성기에 사인 롬업 테이블인 사인 롬을 병렬 구조로 4단 혹은 그 이상을 연결하고, 그 출력을 다중화 방법으로 합하여 디지털 주파수 합성기(DDS) 한단의 출력 주파수보다도 4배 혹은 그 이상의 합성된 출력 주파수를 얻을 수 있도록 구성하였다. 상기 병렬 구조의 디지털 주파수 합성기를 저 전력형 CMOS 기술로 집적회로(IC; Integrated Circuit)화 할 경우, 동작 속도 면에서는 기존의 CMOS 디지털 주파수 합성기보다 4배 이상 빠르며, 디바이스(Device)의 칩(Chip) 크기를 줄일 수 있어 고속화 및 소형화가 가능하다. 한편, CMOS 기술로 제작된 소자들의 전력 소모는 동작 주파수에 비례하여 증가하기 때문에 디지털 주파수 합성기에서 출력 단인 4:1 멀티플렉스(Mux) 부분을 제외한 소자 수가 많은 위상 누산기부와 사인 롬 블럭에서는 낮은 클럭 주파수에서 동작시킬 수 있으므로 고주파 동작에서 전력 소모를 줄일 수 있다.

(57) 청구의 범위

청구항 1

프리-스큐 래치를 통해 주파수 조정 2진 데이터를 입력으로하여 다수의 주파수 조정 워드 및 위상이 다른 다수의 주파수 조정 워드를 각각 출력하도록 하는 주파수 조정 워드 발생기와, 상기 주파수 조정 워드 발생기로부터 출력되는 위상이 다른 어느 한 주파수 조정 워드를 입력으로 하여 클럭 주파수에 따라 계수하여 데이터를 출력하도록 하는 파이프 라인 구조의 NOC형 위상 누산기와, 상기 파이프 라인 구조의 NOC형 위상 누산기로부터 출력되는 데이터와 상기 주파수 조정 워드 발생기로부터 출력되는 상기 다수의 주파수 조정 워드를 각각 입력으로하는 다수의 덧셈기와, 상기 다수의 덧셈기 출력 데이터를 각각의 디-스큐 래치를 통해 입력으로하여 정현파형을 나타내기 위한 디지털 데이터를 출력 하도록 하는 다수의 사인 롬과, 상기 다수의 사인 롬으로부터 출력되는 다수의 디지털 데이터를 각각 입력으로하여 아날로그 데이터로 출력하도록 하는 멀티플렉스 회로로 구성된 것을 특징으로 하는 병렬 구조의 직접 디지털 주파수 합성기.

청구항 2

제1항에 있어서, 상기 사인 롬업 테이블인 사인 롬 내부에 저장된 데이터 양을 줄이기 위해 잡음 정형기를 일단 혹은 다단 사용하여 어드레스 비트 수를 줄이고(A=6), 상기 비트 수에 따라 샘플링 데이터 양을 16개의 레벨로 줄여 사인 롬 크기를 축소하는 방법을 이용하여 사인 롬을 구성하고, 출력시 샘플링 데이터의 출력 간격을 길게 하는 오버 샘플링 방법을 적용하여 디지털 신호 발생기에서 위상 잡음으로 발생하는 출력 스펙트럼으로 나타내는 백색 잡음과 스프리어스 잡음을 최소화 함과 동시에 고속 처리가 가능하도록 구성된 것을 특징으로 하는 병렬 구조의 직접 디지털 주파수 합성기.

청구항 3

제1항에 있어서, 상기 파이프라인 구조의 NOC형 위상 누산기를 사용하여 직접 디지털 주파수 합성기를 구성할 때, 1단의 위상 누산기와 병렬로 사인 롬업 테이블인 사인 롬을 2단 또는 다단(4단 이상) 사용하여 연결한 것을 특징으로 하는 병렬 구조의 직접 디지털 주파수 합성기.

청구항 4

위상 동기 루프(PLL)형 주파수 합성기를 사용하여 원하는 높은 주파수인 캐리어 신호를 얻고, 이 주파수 대역에서 넓은 가변 대역폭의 주파수를 얻기 위해 직접 디지털 주파수 합성기이 출력을 상향변환시키도록 출력 대역폭만큼의 미세 조정이 가능한 또 다른 합성기이 출력을 궤환 회로에 주입되도록 구성하고, 국부

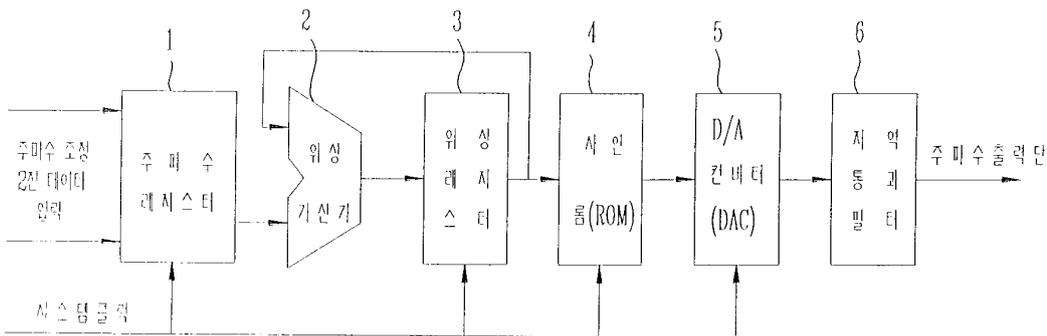
발전기와 직접 디지털 주파수 합성기의 출력을 혼합, 필터시키고 난 후, 궤환 회로에 주입시켜, 위상 동기 루프형 주파수 합성기 출력의 캐리어 신호와 다시 혼합되어 원하는 주파수 출력으로 상향변환시킬 수 있도록 구성된 것을 특징으로 하는 병렬 구조의 직접 디지털 주파수 합성기.

청구항 5

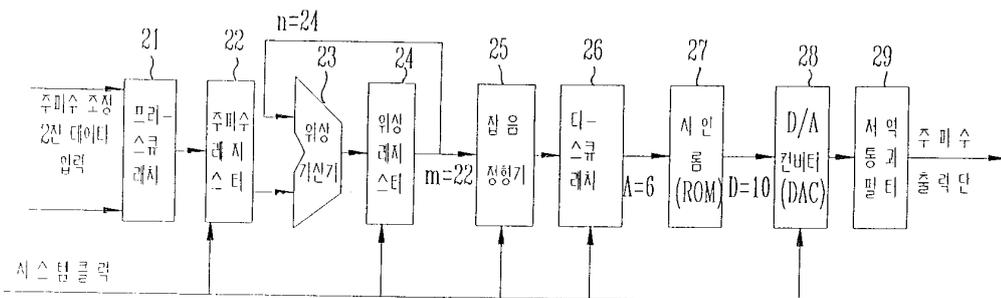
제4항에 있어서, 상기 위상 동기 루프형 주파수 합성기의 주파수 튜닝시 세팅 시간을 단축하기 위해 디지털 프리-튜닝 회로를 직렬 입력 병렬 출력 레지스터, D/A 컨버터 및 오피-앰프를 병렬로 구성하여 결합기에 의해 연결하여 구성한 것을 특징으로 하는 병렬 구조의 직접 디지털 주파수 합성기.

도면

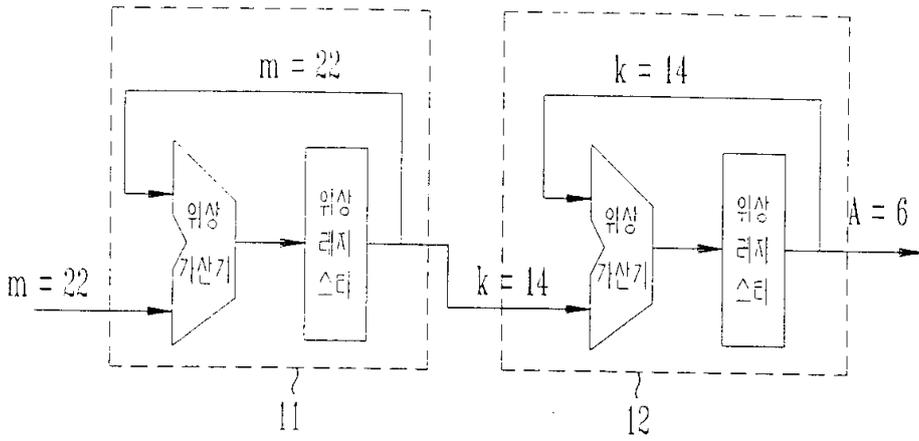
도면1



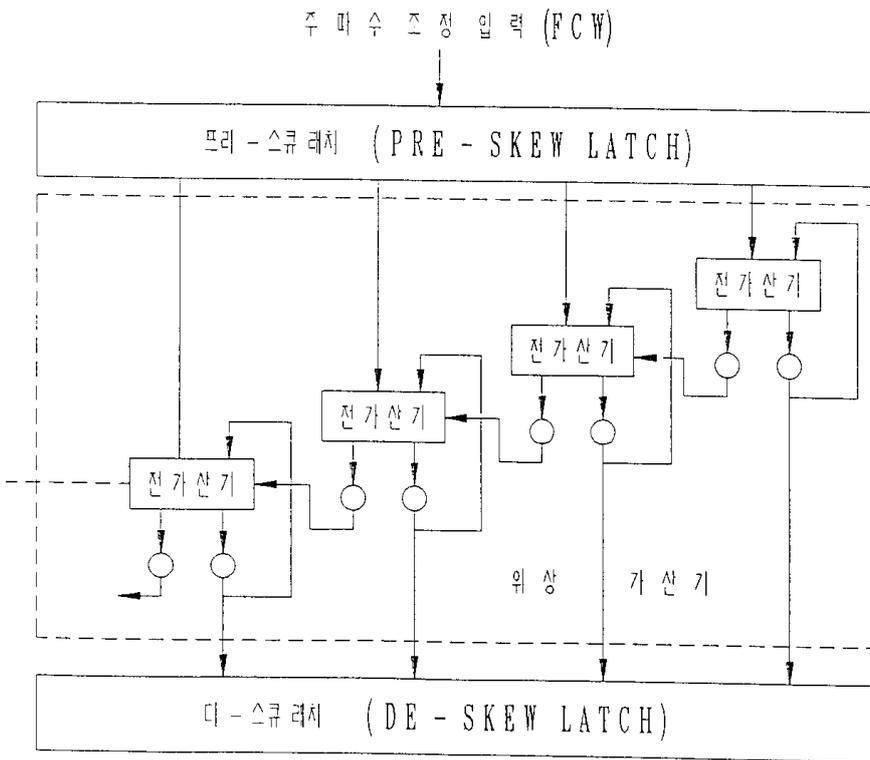
도면2a



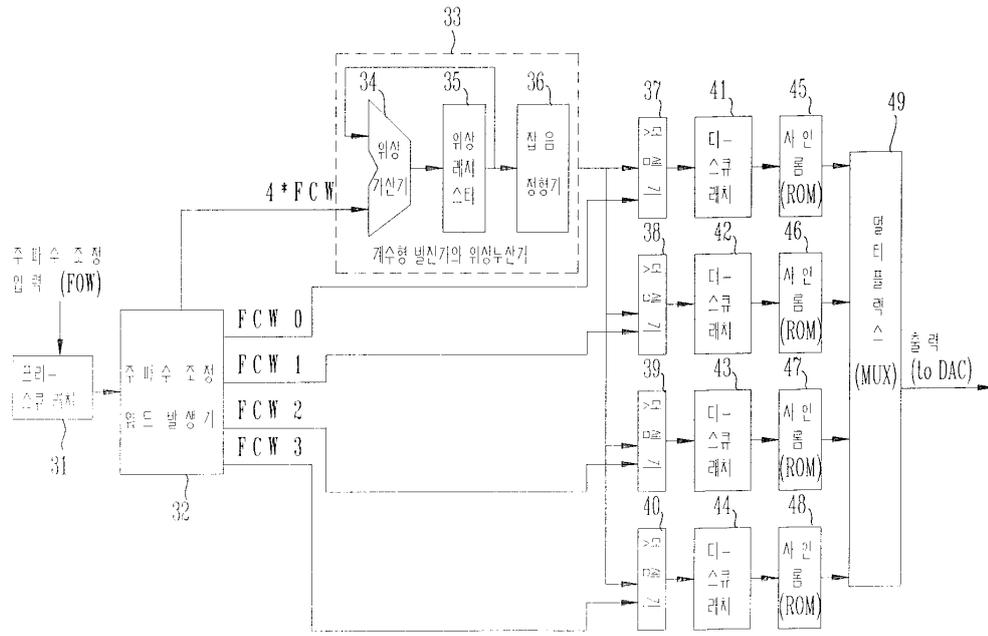
도면2b



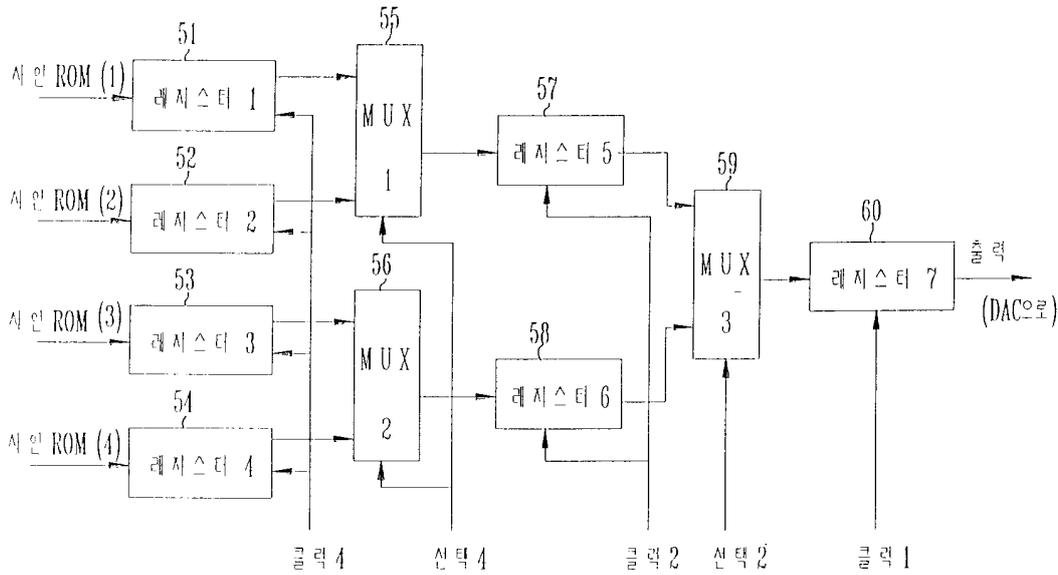
도면2c



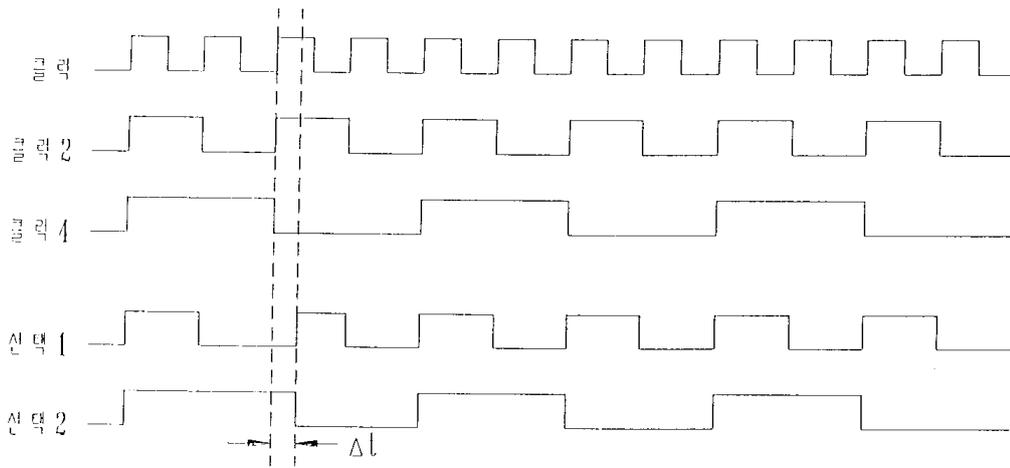
도면3a



도면3b

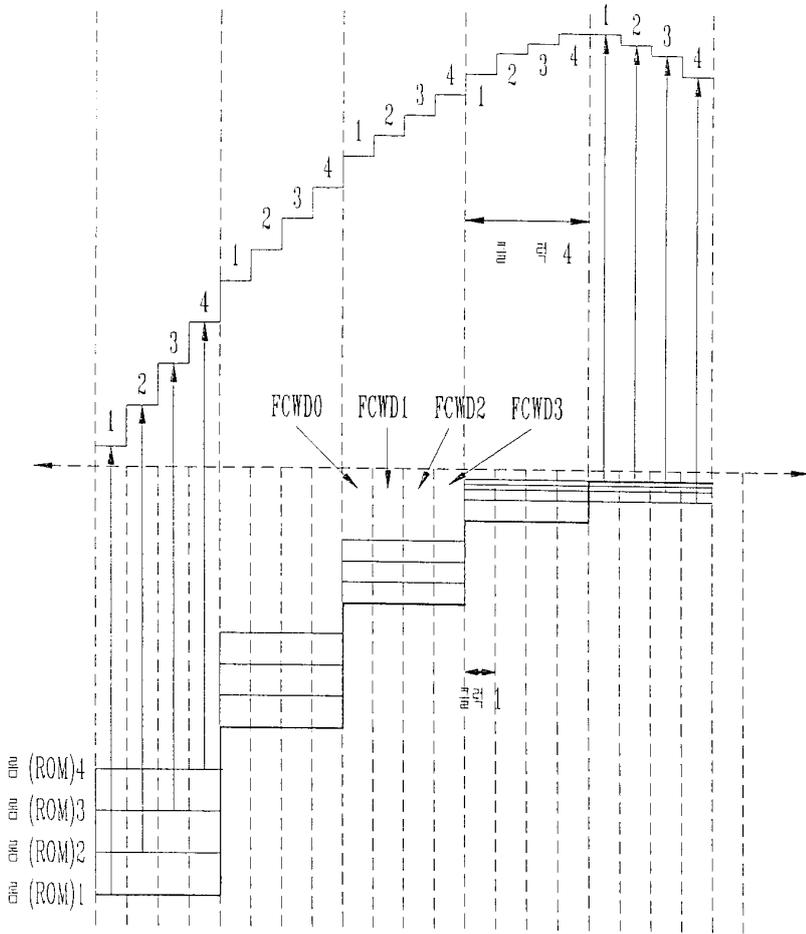


도면4

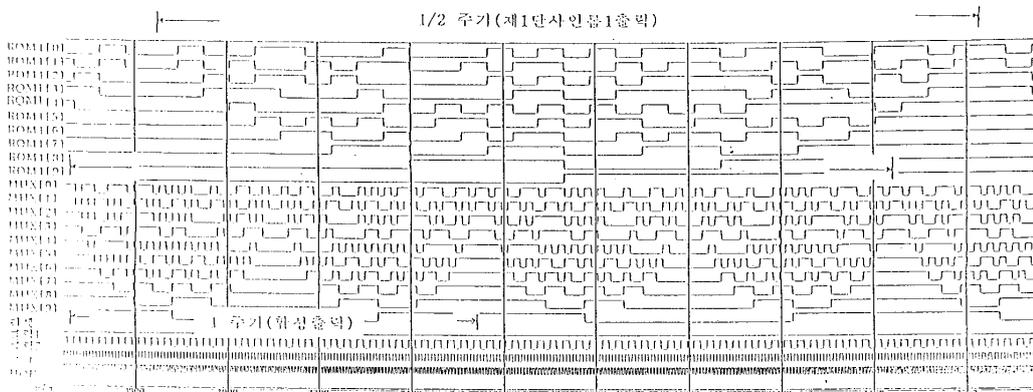


도면5a

비트 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31



도면5b



도면6

