



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월11일
(11) 등록번호 10-2519458
(24) 등록일자 2023년04월04일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) G11C 7/06 (2021.01)
(52) CPC특허분류
G11C 11/1673 (2013.01)
G11C 11/161 (2013.01)
(21) 출원번호 10-2016-0144664
(22) 출원일자 2016년11월01일
심사청구일자 2021년11월01일
(65) 공개번호 10-2018-0049416
(43) 공개일자 2018년05월11일
(56) 선행기술조사문헌
KR1020140111912 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
표석수
경기도 화성시 동탄숲속로 95, 813동 801호 (능동, 숲속마을광명메이루즈아파트)
정현택
서울특별시 강남구 선릉로 221, 404동 2103호 (도곡동, 도곡렉슬아파트)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 18 항

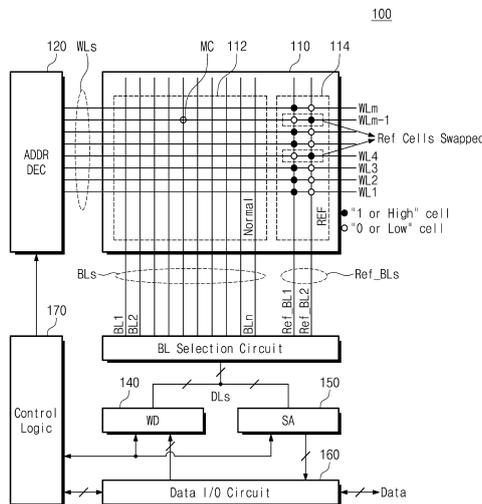
심사관 : 윤석재

(54) 발명의 명칭 비휘발성 메모리 장치 및 그것의 동작 방법

(57) 요약

본 발명에 따른 비휘발성 메모리 장치의 동작 방법은, 워드라인에 연결된 제 1 및 제 2 기준 셀들에 서로 다른 데이터를 설정하는 단계, 상기 서로 다른 데이터가 저장되었는지 상기 제 1 및 제 2 기준 셀들을 체크하는 단계, 및 상기 서로 다른 데이터가 저장되어 있지 않다면, 상기 제 1 및 제 2 기준 셀들을 스왑시키는 단계를 포함할 수 있다. 본 발명의 비휘발성 메모리 장치는 기준 셀 설정시 기준 셀의 특성에 따라 타겟 데이터를 스왑 시킴으로써, 읽기 신뢰성을 향상시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

G11C 11/1655 (2013.01)

G11C 11/1675 (2013.01)

G11C 7/06 (2013.01)

(72) 발명자

송대중

경기도 성남시 분당구 내정로166번길 7-6, 102동
802호 (수내동, 파크타운대림아파트)

서보영

경기도 수원시 영통구 센트럴타운로 85 (이의동,
광교c1호반베르디움) 105-901

명세서

청구범위

청구항 1

비휘발성 메모리 장치의 동작 방법에 있어서:

워드라인에 연결된 제 1 및 제 2 기준 셀들에 서로 다른 데이터를 설정하는 단계;

상기 서로 다른 데이터가 저장되었는지 상기 제 1 및 제 2 기준 셀들을 체크하는 단계; 및

상기 서로 다른 데이터가 저장되어 있지 않다면, 상기 제 1 및 제 2 기준 셀들을 스왑시키는 단계를 포함하고,

상기 기준 셀들을 체크하는 단계는

상기 제 1 기준 셀에 연결된 제 1 기준 비트라인의 전압과 상기 제 2 기준 셀에 연결된 제2 기준 비트라인의 전압을 비교하는 단계를 포함하는 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 기준 셀들의 각각은 MRAM(magnetic random access memory) 셀인 방법.

청구항 3

제 2 항에 있어서,

상기 서로 다른 데이터를 설정하는 단계는, 상기 제 1 기준 셀에 데이터 "1"을 저장하고, 상기 제 2 기준 셀에 데이터 "0"을 저장하는 단계를 포함하고,

상기 스왑시키는 단계는, 상기 제 1 기준 셀에 데이터 "0"을 저장하고, 상기 제 2 기준 셀에 데이터 "1"을 저장하는 단계를 포함하는 방법.

청구항 4

제 1 항에 있어서,

기준 셀 설정 동작의 데이터 패스와 노멀 읽기 동작의 데이터 패스가 서로 다른 방법.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 서로 다른 데이터를 설정하는 단계는,

하이 레벨의 쓰기 활성화 신호에 응답하여 상기 제 1 및 2 기준 셀들의 각각에 데이터 "1" 및 "0"을 저장하는 단계를 포함하는 방법.

청구항 7

제 1 항에 있어서,

상기 제 1 및 제 2 기준 셀들을 체크하는 단계는,

하이 레벨의 읽기 활성화 신호에 응답하여, 상기 제 1 기준 비트라인의 전압과 상기 제 2 기준 비트라인의 전압을 비교하는 단계를 포함하는 방법.

청구항 8

제 1 항에 있어서,
 상기 제 1 및 제 2 기준 셀들을 스왑시키는 단계는,
 하이 레벨의 쓰기 활성화 신호에 응답하여 상기 제 1 및 제 2 기준 셀들의 각각에 데이터 "0" 및 "1"을 저장하는 단계를 포함하는 방법.

청구항 9

제 1 항에 있어서,
 상기 서로 다른 데이터를 설정하는 단계, 상기 제 1 및 제 2 기준 셀들을 체크하는 단계, 및 상기 제 1 및 제 2 기준 셀들을 스왑시키는 단계의 각각에서 소정의 시간 동안 상기 워드라인은 소정의 하이 레벨을 갖거나, 하이 레벨을 유지하는 방법.

청구항 10

제 1 항에 있어서,
 노멀 읽기 동작에서
 상기 제 1 기준 셀에 연결된 제 1 기준 비트라인과 상기 제 2 기준 셀에 연결된 제 2 기준 비트라인을 서로 연결하는 단계; 및
 상기 연결된 기준 비트라인의 전압과 메모리 셀에 연결된 비트라인의 전압을 비교하는 단계를 포함하는 방법.

청구항 11

비트라인에 연결된 메모리 셀;
 제 1 기준 비트라인에 연결된 제 1 기준 셀;
 제 2 기준 비트라인에 연결된 제 2 기준 셀; 및
 상기 비트라인의 전압과 기준 전압을 비교하는 감지 증폭기를 포함하고,
 상기 기준 전압은 상기 제 1 기준 비트라인과 상기 제 2 기준 비트라인이 서로 연결된 노드의 전압이고,
 기준 셀 설정 동작시 상기 제 1 및 제 2 기준 셀들의 각각은 데이터 "1" 및 "0"을 쓰고, 상기 제 1 및 제 2 기준 셀들에 데이터 "1" 및 "0"가 제대로 쓰여지지 않을 때 상기 제 1 및 제 2 기준 셀들의 각각에 데이터 "0" 및 "1"을 쓰고,
 상기 기준 셀 설정 동작시 상기 감지 증폭기는 상기 제 1 기준 비트라인의 전압과 상기 제 2 기준 비트라인의 전압을 비교하는 비휘발성 메모리 장치.

청구항 12

제 11 항에 있어서,
 상기 메모리 셀, 상기 제 1 및 제 2 기준 셀들의 각각은,
 대응하는 비트라인에 연결된 일단을 갖는 가변 저항 소자; 및
 상기 가변 저항 소자의 타단과 대응하는 소스라인에 연결된 선택 트랜지스터를 포함하는 비휘발성 메모리 장치.

청구항 13

제 12 항에 있어서,
 상기 메모리 셀, 상기 제 1 및 제 2 기준 셀들에 연결된 소스라인들은 서로 연결되는 비휘발성 메모리 장치.

청구항 14

삭제

청구항 15

제 11 항에 있어서,
 상기 비트라인에 연결된 데이터 라인;
 상기 노드에 연결된 기준 데이터 라인;
 상기 데이터 라인에 쓰기 활성화 신호에 응답하여 데이터에 대응하는 전압을 인가하는 제 1 쓰기 드라이버; 및
 상기 기준 데이터 라인에 상기 쓰기 활성화 신호에 응답하여 반전된 데이터에 대응하는 전압을 인가하는 제 2 쓰기 드라이버를 포함하는 비휘발성 메모리 장치.

청구항 16

제 15 항에 있어서,
 제 1 쓰기 활성화 신호 및 출력 신호를 오버 연산함으로써 상기 쓰기 활성화 신호가 발생되고,
 제 2 쓰기 활성화 신호 및 기준 쓰기 활성화 신호를 앤드 연산함으로써 상기 출력 신호가 발생되고,
 상기 감지 증폭기의 출력값과 기준 셀 채널 신호를 앤드 연산함으로써 상기 기준 쓰기 활성화 신호가 발생하는 비휘발성 메모리 장치.

청구항 17

제 16 항에 있어서,
 상기 기준 셀 채널 신호에 응답하여, 상기 제 1 기준 비트라인은 상기 데이터 라인에 연결되고, 상기 제 2 기준 비트라인은 상기 기준 데이터 라인에 연결되고,
 상기 감지 증폭기는 상기 데이터 라인의 전압과 상기 기준 데이터 라인의 전압을 비교하는 비휘발성 메모리 장치.

청구항 18

워드라인들과 비트라인들 사이에 연결된 복수의 메모리 셀들을 갖는 적어도 하나의 메모리 셀 어레이;
 상기 워드라인들과 기준 비트라인들 사이에 연결된 제 1 및 제 2 기준 셀들을 갖는 적어도 하나의 기준 셀 어레이;
 상기 비트라인들 및 상기 기준 비트라인들에 연결된 비트라인 선택 회로;
 상기 비트라인 선택 회로에 의해 선택된 비트라인 혹은 선택된 적어도 하나의 기준 비트라인에 연결된 감지 증폭기를 포함하고,
 기준 셀 설정 동작시, 상기 제 1 및 제 2 기준 셀들에 서로 다른 타겟 데이터가 쓰여지고, 상기 감지 증폭기가 상기 기준 비트라인들 중 상기 제 1 기준 셀과 연결된 제 1 기준 비트라인의 전압과 상기 기준 비트라인들 중 상기 제 2 기준 셀과 연결된 제 2 기준 비트라인의 전압을 비교함으로써, 상기 제 1 및 2 기준 셀들에 저장된 데이터가 체크되고, 상기 제 1 및 제 2 기준 셀들의 각각에 상기 타겟 데이터가 제대로 저장되지 않았다면, 상기 제 1 및 제 2 기준 셀들이 스왑되는 비휘발성 메모리 장치.

청구항 19

제 18 항에 있어서,
 노멀 동작시 제 1 기준 셀에 연결된 제 1 기준 비트라인과 제 2 기준 셀에 연결된 제 2 기준 비트라인이 서로 연결되는 비휘발성 메모리 장치.

청구항 20

제 18 항에 있어서,

상기 적어도 하나의 메모리 셀 어레이는 3개이고,
 상기 적어도 하나의 기준 셀 어레이는 2개이고, 및
 2개의 메모리 셀 어레이들 사이에 하나의 기준 셀 어레이가 배치되는 비휘발성 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치 및 그것의 동작 방법에 관한 것으로, 구체적으로 자기 기억 소자를 갖는 비휘발성 메모리 장치 및 그것의 동작 방법에 관한 것이다.

배경 기술

[0002] 전자 기기의 고속화 및/혹은 저 소비전력화 등에 따라, 전기 기기에 포함되는 반도체 기억 소자의 고속화 및/혹은 낮은 동작 전압 등에 대한 요구가 증가되고 있다. 이러한 요구들을 충족시키기 위하여, 반도체 기억 소자로서 자기 기억 소자가 제안된 바 있다. 자기 기억 소자는 고속 동작 및/혹은 비휘발성 등의 특성들을 가질 수 있어서 차세대 반도체 기억 소자로 각광 받고 있다.

[0003] 일반적으로, 자기 기억 소자는 자기 터널 접합(magnetic tunnel junction; MTJ)을 포함할 수 있다. 자기 터널 접합은 두 개의 자성체와 그 사이에 개재된 절연막을 포함할 수 있다. 두 자성체의 자화 방향들에 따라 자기 터널 접합의 저항 값이 달라질 수 있다. 예를 들면, 두 자성체의 자화 방향이 반평행한 경우에 자기터널접합은 큰 저항 값을 가질 수 있으며, 두 자성체의 자화 방향이 평행한 경우에 자기 터널 접합은 작은 저항 값을 가질 수 있다. 이러한 저항 값의 차이를 이용하여 데이터를 기입/판독할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 신뢰성을 향상시키는 비휘발성 메모리 장치 및 그것의 동작 방법을 제공하는데 있다.

[0005] 또한 본 발명의 목적은 칩 사이즈를 줄이는 비휘발성 메모리 장치를 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 동작 방법은, 워드라인에 연결된 제 1 및 제 2 기준 셀들에서 서로 다른 데이터를 설정하는 단계, 상기 서로 다른 데이터가 저장되었는지 상기 제 1 및 제 2 기준 셀들을 체크하는 단계, 및 상기 서로 다른 데이터가 저장되어 있지 않다면, 상기 제 1 및 제 2 기준 셀들을 스왑시키는 단계를 포함할 수 있다.

[0007] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는, 비트라인에 연결된 메모리 셀, 제 1 기준 비트라인에 연결된 제 1 기준 셀, 제 2 기준 비트라인에 연결된 제 2 기준 셀, 및 상기 비트라인의 전압과 기준 전압을 비교하는 감지 증폭기를 포함하고, 상기 기준 전압은 상기 제 1 기준 비트라인과 상기 제 2 기준 비트라인이 서로 연결된 노드의 전압이고, 기준 셀 설정 동작시 상기 제 1 및 제 2 기준 셀들의 각각은 데이터 "1" 및 "0"을 쓰고, 상기 제 1 및 제 2 기준 셀들에 데이터 "1" 및 "0"가 제대로 쓰여지지 않을 때 상기 제 1 및 제 2 기준 셀들의 각각에 데이터 "0" 및 "1"을 쓸 수 있다.

[0008] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는, 워드라인들과 비트라인들 사이에 연결된 복수의 메모리 셀들을 갖는 적어도 하나의 메모리 셀 어레이, 상기 워드라인들과 기준 비트라인들 사이에 연결된 제 1 및 제 2 기준 셀들을 갖는 적어도 하나의 기준 셀 어레이, 상기 비트라인들 및 상기 기준 비트라인들에 연결된 비트라인 선택 회로, 상기 비트라인 선택 회로에 의해 선택된 비트라인 혹은 선택된 적어도 하나의 기준 비트라인에 연결된 감지 증폭기를 포함하고, 기준 셀 설정 동작시, 상기 제 1 및 제 2 기준 셀들에 서로 다른 타겟 데이터가 쓰여지고, 상기 제 1 및 제 2 기준 셀들에 저장된 데이터가 체크되고, 상기 제 1 및 제 2 기준 셀들의 각각에 상기 타겟 데이터가 제대로 저장되지 않았다면, 상기 제 1 및 제 2 기준 셀들이 스왑될 수 있다.

[0009] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는 비트라인들, 상기 비트라인들에 연결된 가변 저항 소자들, 상기 가변 저항 소자들과 소스라인들 사이에 연결되고, 대응하는 워드라인들의 전압들에 따라 턴온되는 트랜스

미션게이트들을 포함하고, 상기 트랜스미션게이트들의 각각은, 웰 위에 형성된 제 1 절연층, 상기 제 1 절연층 위에 형성된 엔모스 트랜지스터, 상기 웰 위에 형성되고, 상기 제 1 절연층과 동일 계층인 제 2 절연층, 및 상기 제 2 절연층 위에 형성된 피모스 트랜지스터를 포함하고, 상기 웰에 접지 전압이 인가될 수 있다.

[0010] 본 발명의 실시 예에 따른 저장 장치는, 적어도 하나의 비휘발성 메모리 장치, 및 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 메모리 제어기를 포함하고, 상기 적어도 하나의 비휘발성 메모리 장치는 복수의 메모리 셀들을 포함하고, 상기 복수의 메모리 셀들의 각각은, 비트라인과 소스라인 사이에 직렬 연결된 가변 저항 소자 및 트랜스미션게이트를 포함하고, 상기 트랜스미션게이트는 워드라인에 인가된 전압에 대응하여 턴온되고, 상기 트랜스미션게이트는, 웰 위에 형성된 제 1 절연층, 상기 제 1 절연층 위에 형성된 공핍형 엔모스 트랜지스터, 상기 웰 위에 형성된 제 2 절연층, 및 상기 제 2 절연층 위에 형성된 공핍형 피모스 트랜지스터를 포함하고, 상기 웰에 접지 전압이 인가될 수 있다.

발명의 효과

[0011] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는 기준 셀 설정시 기준 셀의 특성에 따라 타겟 데이터를 스왑 시킴으로써, 읽기 신뢰성(read reliability)을 향상시킬 수 있다.

[0012] 또한, 본 발명의 실시 예에 따른 비휘발성 메모리 장치는 FDSOI 공정을 이용한 트랜스미션게이트를 갖는 메모리 셀을 구현함으로써, 칩 사이즈를 크게 줄일 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 실시 예에 따른 비휘발성 메모리 장치를 예시적으로 보여주는 도면이다.
- 도 2는 본 발명의 실시 예에 따른 메모리 셀을 예시적으로 보여주는 도면이다.
- 도 3은 본 발명의 실시 예에 따른 메모리 셀의 기준 저항 값을 설정하는 방법을 예시적으로 보여주는 도면이다.
- 도 4는 본 발명의 실시 예에 따른 메모리 셀의 데이터 읽기 과정을 예시적으로 보여주는 도면이다.
- 도 5는 본 발명의 실시 예에 따른 기준 셀 스왑 기능을 수행할 수 있는 데이터 패스를 예시적으로 보여주는 도면이다.
- 도 6은 본 발명의 실시 예에 따른 기준 셀 설정 동작을 예시적으로 설명하는 타이밍도다.
- 도 7은 본 발명의 실시 예에 따른 비휘발성 메모리 장치를 예시적으로 보여주는 도면이다.
- 도 8은 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 기준 셀 설정 방법을 예시적으로 보여주는 흐름도이다.
- 도 9는 본 발명의 다른 실시 예에 따른 메모리 셀을 예시적으로 보여주는 도면이다.
- 도 10은 본 발명의 실시 예에 따른 트랜스미션게이트의 단면을 예시적으로 보여주는 도면이다.
- 도 11은 본 발명의 실시 예에 따른 메모리 셀 어레이를 예시적으로 보여주는 도면이다.
- 도 12는 도 11에 도시된 메모리 셀 어레이에서 동작 타이밍을 개략적으로 보여주는 도면이다.
- 도 13은 본 발명의 다른 실시 예에 따른 메모리 셀 어레이를 예시적으로 보여주는 도면이다.
- 도 14는 본 발명의 다른 실시 예에 따른 메모리 셀 어레이를 예시적으로 보여주는 도면이다.
- 도 15는 본 발명의 실시 예에 따른 저장 장치를 예시적으로 보여주는 도면이다.
- 도 16은 본 발명의 실시 예에 따른 모바일 장치를 예시적으로 보여주는 도면이다.
- 도 17은 본 발명의 다른 실시 예에 따른 컴퓨팅 시스템을 예시적으로 보여주는 도면이다.
- 도 18은 본 발명의 다른 실시 예에 따른 데이터 서버 시스템을 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 아래에서는 도면들을 이용하여 본 발명의 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 본 발명의 내용을 명확하고 상세하게 기재할 것이다.

- [0015] 도 1은 본 발명의 실시 예에 따른 비휘발성 메모리 장치를 예시적으로 보여주는 도면이다. 도 1을 참조하면, 비휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 비트라인 선택 회로(130), 쓰기 드라이버 회로(140), 감지 증폭 회로(150), 데이터 입출력 회로(160) 및 제어 로직(170)을 포함할 수 있다.
- [0016] 메모리 셀 어레이(110)는 데이터를 저장하기 위한 복수의 비휘발성 메모리 셀들을 포함할 수 있다. 예를 들면, 메모리 셀 어레이(110)는 PRAM(phase change random access memory)이나 RRAM(resistance random access memory)과 같은 저항 메모리(resistive memory) 셀이나, NFGM(nano floating gate memory), PoRAM(polymer random access memory), MRAM(magnetic random access memory), FRAM(ferroelectric random access memory) 등으로 구성되는 메모리 셀들을 포함할 수 있다. 특히, 메모리 셀 어레이(110)는 STT-MRAM(spin transfer torque magneto resistive random access memory) 셀들을 포함할 수 있다. 예를 들어, 메모리 셀들 각각은 자성 물질을 갖는 자기 터널 접합(magnetic tunnel junction, MTJ) 셀을 포함할 수 있다. 아래에서는 설명의 편의를 위하여 메모리 셀들이 MTJ 셀이라고 하겠다.
- [0017] 메모리 셀 어레이(110)는 적어도 하나의 노멀 셀 어레이(112) 및 적어도 하나의 기준 셀 어레이(114)를 포함할 수 있다.
- [0018] 노멀 셀 어레이(112)는 복수의 워드라인들(WLs, WL1 ~ WLm, m은 2 이상의 정수)과 복수의 비트라인들(BLs, BL1 ~ BLn, n은 2 이상의 정수)에 대응하는 곳에 복수의 메모리 셀들을 포함할 수 있다.
- [0019] 기준 셀 어레이(114)는 복수의 워드라인들(WLs)과 제 1 및 제 2 기준 셀 비트라인들(Ref_BLs; Ref_BL1, Ref_BL2)에 대응하는 곳에 복수의 기준 셀들을 포함할 수 있다. 한편, 본 발명의 하나의 워드라인에 연결된 기준 셀 비트라인들(Ref_BLs)의 개수는 2개에 제한되지 않는다고 이해되어야 할 것이다.
- [0020] 한편, 도 1에 도시된 바와 같이, 워드라인들(WLs)의 각각에 제 1 기준 셀(RC1) 및 제 2 기준 셀(RC2)이 연결될 수 있다. 여기서 제 1 기준 셀(RC1)은 제 1 기준 셀 비트라인(Ref_BL1)에 연결되고, 제 2 기준 셀(RC2)은 제 2 기준 셀 비트라인(Ref_BL2)에 연결될 수 있다.
- [0021] 실시 예에 있어서, 각각의 워드라인들에 연결된 제 1 기준 셀(RC1)과 제 2 기준 셀(RC2)은 서로 다른 데이터를 저장할 수 있다. 예를 들어, 제 1 기준 셀(RC1)이 데이터 "1"(혹은, 고저항)을 저장하고, 제 2 기준 셀(RC2)이 데이터 "0"(혹은, 저저항)을 저장할 수 있다. 그 반대도 가능하다.
- [0022] 특히, 본 발명의 기준 셀 설정 과정에서, 제 1 기준 셀(RC1)의 데이터와 제 2 기준 셀(RC2)의 데이터가 스왑(swap) 될 수 있다. 예를 들어, 기준 셀 설정 동작에서 제 1 기준 셀 비트라인(Ref_BL1)에 연결된 제 1 기준 셀들(RC1) 및 제 2 기준 셀들(RC2)의 각각에 데이터 "1" 및 데이터 "0"을 저장하기 위한 쓰기 동작이 수행될 수 있다.
- [0023] 그런데, 도 1에 도시된 바와 같이, 특정 워드라인들(WL4, WLm-1)에 연결된 제 1 기준 셀들(RC1) 및 제 2 기준 셀들(RC2)에 쓰기 페일(write fail)이 발생할 수 있다. 즉, 제 1 기준 셀(RC1)에 데이터 "1"이 아니라 데이터 "0"이 쓰여 지거나, 제 2 기준 셀들(RC2)에 데이터 "0" 아니라 데이터 "1"이 쓰여 질 수 있다. MTJ 셀의 경우 한쪽 방향으로 쓰기 특성이 좋지 않으면 상대적으로 다른 한 쪽의 쓰기 특성이 좋아진다. 이러한 특성을 고려하여, 쓰기 페일이 발생된 특정 워드라인들(WL4, WLm-1)에 연결된 제 1 기준 셀들(RC1) 및 제 2 기준 셀들(RC2) 각각에 데이터 "0" 및 데이터 "1"을 저장하는 쓰기 동작이 수행될 수 있다. 본 발명의 기준 셀들(RC1, RC2)은 기준 셀 설정 과정에서 쓰기 페일이 날 경우, 기준 셀들(RC1, RC2)의 타겟 데이터가 서로 스왑(혹은 교환)될 수 있다.
- [0024] 어드레스 디코더(120)는 어드레스(ADDR)를 입력받아 행 어드레스 및 열 어드레스로 디코딩 할 수 있다. 어드레스 디코더(120)는 행 어드레스에 따라 복수의 워드라인 중 하나의 워드라인을 선택할 수 있다. 또한, 어드레스 디코더(120)는 열 어드레스를 비트라인 선택 회로(130)에 전달할 수 있다.
- [0025] 비트라인 선택 회로(130)는 열 어드레스에 응답하여 데이터 라인들(DLs)을 선택된 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)에 연결할 수 있다. 예시적으로, 어드레스 디코더(120)는 행 디코더, 열 디코더, 어드레스 버퍼 등과 같은 구성 요소들을 포함할 수 있다.
- [0026] 비트라인 선택 회로(130)는 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)을 통해 메모리 셀 어레이(110)에 연결되고, 쓰기 드라이버 회로(140) 및 감지 증폭 회로(150)에 연결될 수 있다. 비트라인 선택 회로(130)는 제어 로직(170)의 제어에 응답하여 동작할 수 있다. 비트라인 선택 회로(130)는 어드레스 디코더(120)로부터 디코딩된 열 어드레스를 수신하도록 구성될 수 있다.

- [0027] 또한, 비트라인 선택 회로(130)는 디코딩된 열 어드레스를 이용하여 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)을 선택할 수 있다. 예를 들어, 쓰기 동작 시, 비트라인 선택 회로(130)는 선택된 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)을 데이터 라인들(DLs)에 연결함으로써 쓰기 드라이버 회로(140)에 연결시킬 수 있다. 읽기 동작 시, 비트라인 선택 회로(130)는 선택된 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)을 감지 증폭 회로(150)와 연결할 수 있다.
- [0028] 쓰기 드라이버 회로(140)는 제어 로직(170)의 제어에 따라 동작할 수 있다. 쓰기 드라이버 회로(140)는 비트라인 선택 회로(130)에 의해 선택된 비트라인들/기준 셀 비트라인들과 어드레스 디코더(120)에 의해 선택된 워드라인에 연결된 메모리 셀들을 프로그램 하도록 구성될 수 있다. 쓰기 드라이버 회로(140)는 데이터 입출력 회로(160)로부터 입력되는 데이터에 따라 전류 혹은 전압을 발생하여 선택된 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)로 출력할 수 있다.
- [0029] 감지 증폭 회로(150)는 제어 로직(170)의 제어에 따라 동작할 수 있다. 감지 증폭 회로(150)는 비트라인 선택 회로(130)에 의해 선택된 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)과 어드레스 디코더(120)에 의해 선택된 워드라인에 연결된 메모리 셀들을 읽는 복수의 감지 증폭기들을 포함할 수 있다. 감지 증폭기들은 선택된 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)을 통해 흐르는 전류 혹은 선택된 비트라인들(BLs)/기준 셀 비트라인들(Ref_BLs)에 인가된 전압을 감지하여, 메모리 셀들을 읽을 수 있다. 감지 증폭 회로(150)는 읽혀진 데이터를 데이터 입출력 회로(160)로 출력할 수 있다.
- [0030] 데이터 입출력 회로(160)는 제어 로직(170)의 제어에 따라 동작할 수 있다. 데이터 입출력 회로(160)는 외부로부터 입력되는 데이터(data)를 쓰기 드라이버 회로(140)로 전달하고, 감지 증폭 회로(150)로부터 입력되는 데이터를 외부로 출력할 수 있다.
- [0031] 제어 로직(170)은 비휘발성 메모리 장치(100)의 제반 동작을 제어할 수 있다. 제어 로직(170)은 외부로부터 입력되는 명령 혹은 제어 신호들에 응답하여 동작할 수 있다.
- [0032] 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)는 기준 셀 설정시 기준 셀의 특성에 따라 타겟 데이터를 스왑 시킴으로써, 읽기 신뢰성(read reliability)을 향상시킬 수 있다.
- [0033] 도 2는 본 발명의 실시 예에 따른 메모리 셀을 예시적으로 보여주는 도면이다. 도 2를 참조하면, 메모리 셀은 메모리 셀 및 기준 셀 중 어느 하나일 수 있다. 메모리 셀(MC)은 가변 저항 소자(MTJ) 및 셀 트랜지스터(CT)를 포함할 수 있다. 셀 트랜지스터(CT)의 게이트는 워드라인(WL)에 연결될 수 있다. 셀 트랜지스터(CT)의 일 전극은 가변 저항 소자(MTJ)를 통해 비트라인(BL)에 연결될 수 있다. 또한, 셀 트랜지스터(CT)의 다른 전극은 소스라인(SL)에 연결될 수 있다.
- [0034] 가변 저항 소자(MTJ)는 자유층(free layer, L1), 고정층(fixed layer, L3) 및 이들 사이에 위치되는 장벽층(barrier layer, L2)을 포함할 수 있다. 고정층(L3)의 자화 방향은 고정되어 있으며, 자유층(L1)의 자화 방향은 조건에 따라 고정층(L3)의 자화 방향과 같거나 역방향일 수 있다. 고정층(L3)의 자화 방향을 고정시켜 주기 위하여, 가변 저항 소자(MTJ)는 반강자성층(anti-ferromagnetic layer)을 더 포함할 수도 있다.
- [0035] 실시 예에 있어서, 자유층(L1)은 변화 가능한 자화 방향을 갖는 물질을 포함할 수 있다. 자유층(L1)의 자화 방향은 메모리 셀의 외부 및/혹은 내부에서 제공되는 전기적/자기적 요인에 의해 변경될 수 있다. 자유층(L1)은 코발트(Co), 철(Fe) 및 니켈(Ni) 중 적어도 하나를 포함하는 강자성 물질을 포함할 수 있다. 예를 들어, 자유층(L1)은 FeB, Fe, Co, Ni, Gd, Dy, CoFe, NiFe, MnAs, MnBi, MnSb, CrO₂, MnOFe₂O₃, FeOFe₂O₃, NiOFe₂O₃, CuOFe₂O₃, MgOFe₂O₃, EuO 및 Y₃Fe₅O₁₂ 중 선택된 적어도 하나를 포함할 수 있다.
- [0036] 실시 예에 있어서, 장벽층(L2)은 스핀 확산 길이(spin diffusion distance) 보다 얇은 두께를 가질 수 있다. 장벽층(L2)은 비자성 물질을 포함할 수 있다. 일 예로 장벽층(L2)은 마그네슘(Mg), 티타늄(Ti), 알루미늄(Al), 마그네슘-아연(MgZn) 및 마그네슘-붕소(MgB)의 산화물, 그리고 티타늄(Ti) 및 바나듐(V)의 질화물 중 선택된 적어도 하나를 포함할 수 있다.
- [0037] 실시 예에 있어서, 고정층(L3)은 반강자성층에 의해 고정된 자화 방향을 가질 수 있다. 또한, 고정층(L3)은 강자성 물질(ferromagnetic material)을 포함할 수 있다. 예를 들어, 고정층(L3)은 CoFeB, Fe, Co, Ni, Gd, Dy, CoFe, NiFe, MnAs, MnBi, MnSb, CrO₂, MnOFe₂O₃, FeOFe₂O₃, NiOFe₂O₃, CuOFe₂O₃, MgOFe₂O₃, EuO 및 Y₃Fe₅O₁₂ 중 선택된 적어도 하나를 포함할 수 있다.
- [0038] 실시 예에 있어서, 반강자성층은 반 강자성 물질(anti-ferromagnetic material)을 포함할 수 있다. 예를 들어,

반강자성층은 PtMn, IrMn, MnO, MnS, MnTe, MnF₂, FeCl₂, FeO, CoCl₂, CoO, NiCl₂, NiO 및 Cr에서 선택된 적어도 하나를 포함할 수 있다.

- [0039] 메모리 셀(MC)에 대한 읽기 동작시, 워드라인(WL)에 로직 하이의 전압이 제공될 수 있다. 워드라인(WL) 전압에 응답하여 셀 트랜지스터(CT)가 턴 온 될 수 있다. 또한, 가변 저항 소자(MTJ)의 저항 값을 측정하기 위하여 비트라인(BL)으로부터 소스라인(SL) 방향으로 읽기 전류(read current)가 제공될 수 있다. 측정되는 저항 값에 따라 가변 저항 소자(MTJ)에 저장된 데이터가 판별될 수 있다.
- [0040] 실시 예에 있어서, 워드라인(WL)의 신장 방향과 소스라인(SL)의 신장 방향은 동일 할 수 있다. 하지만, 본 발명의 워드라인(WL)의 소스라인(SL)의 신장 방향이 여기에 제한되지 않는다고 이해되어야 할 것이다.
- [0041] 실시 예에 있어서, 워드라인(WL)의 신장 방향과 비트라인(BL)의 신장 방향은 서로 직각일 수 있다.
- [0042] 한편, 가변 저항 소자(MTJ)의 저항 값은 자유층(L1)의 자화 방향에 따라 달라진다. 가변 저항 소자에 읽기 전류를 제공하면, 가변 저항 소자의 저항 값에 따른 데이터 전압이 출력된다. 읽기 전류의 세기는 쓰기 전류의 세기보다 매우 작기 때문에, 일반적으로 읽기 전류에 의해 자유층(L1)의 자화 방향이 변화되지 않는다.
- [0043] 실시 예에 있어서, 가변 저항 소자(MTJ)에서 자유층(L1)의 자화 방향과 고정층(L3)의 자화 방향이 평행(parallel, p)하게 배치된다. 따라서, 가변 저항 소자는 낮은 저항 값을 가진다. 이 경우 데이터는, 예를 들어, '0'로 판별 될 수 있다.
- [0044] 실시 예에 있어서, 가변 저항 소자(MTJ)의 자유층(L1)의 자화 방향은 고정층(L3)의 자화 방향과 반 평행(anti-parallel; ap)으로 배치된다. 따라서, 상기 가변 저항 소자(MTJ)는 높은 저항 값을 가진다. 이 경우 데이터는, 예를 들어, '1'로 판별 될 수 있다.
- [0045] 한편, 도 2에서는, 가변 저항 소자(MTJ)의 자유층(L1)과 고정층(L3)을 수평 자기 소자로 도시하였으나, 본 발명이 여기에 제한되지 않는다. 다른 실시 예로서, 자유층(L1)과 고정층(L3)은 수직 자기 소자를 이용하여 제공될 수 있다.
- [0046] 도 3은 본 발명의 실시 예에 따른 메모리 셀의 기준 저항 값을 설정하는 방법을 예시적으로 보여주는 도면이다. 도 3을 참조하면, 제 1 저항 값(Rp)과 제 2 저항 값(Rap) 사이에서 데이터 "1"과 데이터 "0"을 판별하기 위한 기준 저항 값이 결정될 수 있다. 여기서 제 1 저항 값(Rp)은 가변 저항 소자(MTJ)에서 자유층(L1)의 자화 방향과 고정층(L3)의 자화 방향이 평행(parallel, p)할 때 메모리 셀의 저항 값이고, 제 2 저항 값(Rap)은 가변 저항 소자(MTJ)의 자유층(L1)의 자화 방향은 고정층(L3)의 자화 방향과 반 평행(anti-parallel; ap)일 때의 저항 값이다.
- [0047] 도 4는 본 발명의 실시 예에 따른 메모리 셀(MC)의 데이터 읽기 과정을 예시적으로 보여주는 도면이다. 도 4를 참조하면, 비트라인(BL)에 연결된 메모리 셀(MC)와 기준 셀 비트라인들(Ref_BL1, Ref_BL2)에 연결된 제 1 및 제 2 기준 셀들 각각에 동일한 읽기 전류(I_{READ})가 흐를 때, 감지 증폭기(SA)는 메모리 셀(MC)에 연결된 비트라인(BL)의 전압과 기준 전압(VREF)을 비교함으로써, 메모리 셀(MC)의 데이터(DOUT)가 "0" 혹은 "1"으로 판별될 수 있다. 여기서 기준 전압(VREF)은 제 1 및 제 2 기준 셀 비트라인들(Ref_BL1, Ref_BL2)가 연결된 노드(RND)의 전압으로써, 병렬 연결된 제 1 저항 값(Rp)과 제 2 저항 값(Rap)에 따른 전압 분배로 결정될 수 있다.
- [0048] 실시 예에 있어서, 읽기 동작시, 워드라인(WL)에 셀 트랜지스터들(RCT1, RCT2, CT)은 동시에 턴 온 될 수 있다. 여기서 셀 트랜지스터들(RCT1, RCT2, CR)은 공통적으로 소스라인(SL)에 연결될 수 있다.
- [0049] 도 4에 도시된 바와 같이, 제 1 및 제 2 기준 셀들(RC1, RC2)에 서로 다른 데이터에 대응하는 저항 값들이 설정되면, 메모리 셀(MC)의 데이터를 판별하기 위한 기준 전압(VREF)이 정상적으로 기능을 수행할 수 있다.
- [0050] 도 5는 본 발명의 실시 예에 따른 기준 셀 스왑 기능을 수행할 수 있는 데이터 패스를 예시적으로 보여주는 도면이다.
- [0051] 도 5를 참조하면, 정상적인 읽기 동작에서는 기준 전압(VREF)을 위한 평균기(AVG)에 의해 제 1 기준 셀 비트라인(Ref_BL1)와 제 2 기준 셀 비트라인(Ref_BL2)이 서로 연결된 기준 셀 비트라인(Ref_BL)이 구현될 수 있다. 정상 읽기 동작에서는 비트라인(BL)과 기준 셀 비트라인(Ref_BL)이 감지 증폭기(SA)에 연결되고, 감지 증폭기(SA)는 읽기 활성화 신호(REN)에 응답하여 비교 결과값을 출력 노드(DOUT)에 출력할 수 있다.
- [0052] 또한, 기준 셀 설정 동작에서는 기준 셀 채널 신호(REF_CH)에 응답하여 감지 증폭기(SA)에 제 1 기준 셀 비트라인(Ref_BL1)과 제 2 기준 셀 비트라인(Ref_BL2)이 연결될 수 있다. 즉, 기준 셀 채널 신호(REF_CH)에 응답하여

제 1 기준 셀 비트라인(Ref_BL1)은 데이터 라인(DL)에 연결되고, 제 2 기준 셀 비트라인(Ref_BL2)은 기준 데이터 라인(Ref_DL)에 연결될 수 있다.

- [0053] 실시 예에 있어서, 제 1 쓰기 드라이버(WDRV1)와 제 2 쓰기 드라이버(WDRV2)의 각각 쓰기 활성화 신호(WEN)와 데이터(Data 혹은 DataB)을 비교한 값들을 출력하고, 출력된 값들은 각각 감지 증폭기(SA)에 입력될 수 있다. 여기서 인버터(INV)는 데이터(Data)를 반전시킨 데이터(DataB)를 출력할 수 있다.
- [0054] 실시 예에 있어서, 앤드 게이트(AND1)는 기준 셀 채널 신호(REF_CH)과 감지 증폭기(SA)의 출력 노드(DOUT)의 앤드 연산함으로써 기준 셀 쓰기 신호(REF_WEN)를 발생할 수 있다.
- [0055] 실시 예에 있어서, 앤드 게이트(AND2)는 제 2 기준 셀 쓰기 활성화 신호(WEN_2nd) 및 기준 셀 쓰기 신호(REF_WEN)을 앤드 연산하고, 오어 게이트(OR)는 제 1 기준 셀 쓰기 활성화 신호(WEN_1st)와 앤드 게이트(AND2)의 출력값을 오어 연산함으로써, 쓰기 활성화 신호(WEN)를 발생할 수 있다.
- [0056] 도 5에 도시된 바와 같이, 본 발명의 휘발성 메모리 장치(100)는 정상 읽기 동작과 기준 셀 설정 동작시 서로 다른 데이터 패스들을 구비할 수 있다.
- [0057] 도 6은 본 발명의 실시 예에 따른 기준 셀 설정 동작을 예시적으로 설명하는 타이밍도다. 도 6을 참조하면, 기준 셀 설정 동작은, 기준 셀 설정하는 단계(S10), 기준 셀 체크하는 단계(S20), 및 기준 셀 스와핑하는 단계(S30)를 포함할 수 있다.
- [0058] 우선적으로, 기준 셀 설정 동작을 위해 기준 셀 채널 신호(REF_CH)은 하이 레벨을 가질 수 있다.
- [0059] 기준 셀 설정하는 단계(S10)에서, 워드라인(WL)은 하이 레벨을 갖고, 제 1 기준 셀 쓰기 활성화 신호(WEN_1st)가 하이 레벨을 갖고, 제 2 기준 셀 쓰기 활성화 신호(WEN_2nd)가 로우 레벨을 갖는다. 제 1 쓰기 드라이브(WDRV1)에 하이 레벨의 데이터(Data)가 입력될 수 있다.
- [0060] 이후, 기준 셀 체크 단계(S20)에서 워드라인(WL)은 하이 레벨을 갖거나 유지하고, 제 1 및 제 2 기준 셀 쓰기 활성화 신호들(WEN_1st, WEN_2nd)은 로우 레벨을 갖고, 읽기 활성화 신호(REN)은 하이 레벨을 가질 수 있다. 이로써 읽기 활성화 신호(REN)에 응답하여 제 1 및 제 2 기준 셀들(RC1, RC2)에 저장된 데이터에 따라 감지 증폭기(SA)의 출력 노드(DOUT)으로 기준 셀들(RC1, RC2)에 정상적으로 타겟 데이터가 쓰여졌는지에 따른 데이터가 출력될 수 있다. 예를 들어, 감지 증폭기(SA)의 감지 시간 동안에 제 1 기준 셀(RC1)과 제 2 기준 셀(RC2)의 데이터 차이가 발생하지 않으면, 출력 노드(DOUT)의 특정 데이터가 출력될 수 있다.
- [0061] 기준 셀 읽기 동작에서 특정 데이터가 출력 노드(DOUT)에 출력되면, 곧바로 기준 셀 스와핑 단계(S30)가 진행될 수 있다. 기준 셀 스와핑 단계(S30)에서, 워드라인(WL)은 소정의 시간 동안 하이 레벨을 갖거나 하이 레벨을 계속 유지하고, 제 1 기준 셀 쓰기 활성화 신호(WEN_1st)가 로우 레벨을 갖고, 제 2 기준 셀 쓰기 활성화 신호(WEN_2nd)가 하이 레벨을 갖는다. 여기서 제 2 기준 셀 쓰기 활성화 신호(WEN_2nd)는 기준 셀 스와핑 활성화 신호일 수 있다. 제 1 쓰기 드라이브(WDRV1)에 로우 레벨의 데이터(Data)가 입력되거나 유지될 수 있다.
- [0062] 반면에, 기준 셀 읽기 동작에서 특정 데이터가 출력되지 않으면, 기준 셀 스와핑 단계는 진행되지 않을 수 있다.
- [0063] 한편, 상술된 기준 셀 설정 동작은, 비휘발성 메모리 장치(100)의 제품 출하전에 수행될 수 있다. 하지만, 본 발명의 기준 셀 설정 동작이 반드시 여기에 제품 출하전에 수행된다고 제한되지는 않을 것이다. 본 발명의 기준 셀 설정 동작은 비휘발성 메모리 장치(100)의 초기화 동작 혹은 동작 중에 언제든지 수행될 수도 있다.
- [0064] 한편, 도 1에 도시된 비휘발성 메모리 장치(100)의 메모리 셀 어레이(110)는 하나의 노멀 셀 어레이(112) 및 하나의 기준 셀 어레이(114)를 포함하였다. 하지만, 본 발명이 여기에 제한되지 않는다고 이해되어야 할 것이다. 본 발명의 메모리 셀 어레이는 다양한 개수의 노멀 셀 어레이와 다양한 개수의 기준 셀 어레이로 구현될 수도 있다.
- [0065] 도 7은 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100a)를 예시적으로 보여주는 도면이다. 도 7을 참조하면, 비휘발성 메모리 장치(100a)는 3개의 노멀 셀 어레이들(NCA1, NCA2, NCA3), 2개의 기준 셀 어레이들(RCA1, RCA2), 및 대응하는 하나의 감지 증폭기(SA)를 포함할 수 있다. 감지 증폭기(SA)는 3개의 노멀 셀 어레이들(NCA1, NCA2, NCA3) 및 2개의 기준 셀 어레이들(RCA1, RCA2)에 연결된 3개의 데이터 패스들(U1, U2, U3) 중 2개를 선택함으로써 감지 동작을 수행할 수 있다.
- [0066] 도 7에 도시된 바와 같이, 노멀 셀 어레이들(NCA1, NCA2, NCA3) 중 2개 사이에 기준 셀 어레이들(RCA1, RCA2)

중 어느 하나가 배치될 수 있다.

- [0067] 도 8은 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 기준 셀 설정 방법을 예시적으로 보여주는 흐름도이다. 도 1 내지 도 8을 참조하면, 비휘발성 메모리 장치의 기준 셀 설정 방법은 다음과 같다.
- [0068] 워드라인(WL)에 연결된 제 1 기준 셀(RC1)에는 데이터 "1", 제 2 기준 셀(RC2)에는 데이터 "0"이 쓰여지도록 제 1 쓰기 동작이 수행될 수 있다(S110).
- [0069] 이후, 제 1 기준 셀(RC1) 및 제 2 기준 셀(RC2)에 대한 감지 동작이 수행될 수 있다(S120). 감지 동작 결과로써, 쓰기 동작이 성공했는지, 실패했는지가 판별될 수 있다(S130).
- [0070] 만일, 쓰기 패일이면, 워드라인(WL)에 연결된 제 1 기준 셀(RC1)과 제 2 기준 셀(RC2)의 타겟 데이터가 스와핑될 것이다. 즉, 제 1 기준 셀(RC1)에는 데이터 "0", 제 2 기준 셀(RC2)에는 데이터 "1"이 쓰여지도록 제 2 쓰기 동작이 수행될 수 있다(S140). 도시되지 않았지만, 제 2 쓰기 동작 이후에 저장된 데이터에 대한 감지 동작이 추가로 수행될 수도 있다. 반면에, 쓰기 성공이면, 기준 셀 설정 동작은 완료될 수 있다.
- [0071] 한편, 도 2에 도시된 메모리 셀은 가변 저항 소자(MTJ)에 셀 트랜지스터(ST)이 연결된 구조이었다. 본 발명의 메모리 셀이 여기에 제한되지 않을 것이다. 본 발명의 메모리 셀은 가변 저항 소자에 트랜스미션게이트가 연결된 구조로 구현될 수 있다.
- [0072] 도 9는 본 발명의 다른 실시 예에 따른 메모리 셀(MCa)을 예시적으로 보여주는 도면이다. 도 9를 참조하면, 메모리 셀(MCa)은 가변 저항 소자(MTJ) 및 트랜스미션게이트(TG)를 포함할 수 있다.
- [0073] 도 9에 도시된 바와 같이, 비트라인(BL)과 소스라인(SL)의 바이어스 조건에 따라 가변 저항 소자(MTJ)의 저항 값이 결정될 수 있다. i) 비트라인(BL)으로 제 1 쓰기 전압(VW_AP)이 인가되고, 소스라인(SL)으로 접지 전압(VSS)이 인가되고, 트랜스미션게이트(TG)가 턴온되면, 가변 저항 소자(MTJ)는 제 1 저항 값(Rap)을 갖는다. 여기서 트랜스미션게이트(TG)의 엔모스 트랜지스터에 전원전압(VDD)이 인가되고 피모스 트랜지스터에 접지 전압(VSS)이 인가됨으로써 턴온 될 것이다. ii) 비트라인(BL)으로 접지 전압(VSS)이 인가되고, 소스라인(SL)으로 제 2 쓰기 전압(VW_P)이 인가되고, 트랜스미션게이트(TG)가 턴온되면, 가변 저항 소자(MTJ)는 제 2 저항 값(Rp)을 갖는다. 실시 예에 있어서, 제 1 쓰기 전압(VW_AP)과 제 2 쓰기 전압(VW_P)은 서로 다를 수 있다. 다른 실시 예에 있어서, 제 1 쓰기 전압(VW_AP)과 제 2 쓰기 전압(VW_P)은 동일할 수 있다.
- [0074] 도 10은 본 발명의 실시 예에 따른 트랜스미션게이트(TG)의 단면을 예시적으로 보여주는 도면이다. 도 10을 참조하면, 트랜스미션게이트(TG)는 공통 웰(P-Well, 201) 및 공통의 웰 바이어스(VSS)를 가질 수 있다.
- [0075] NMOS 트랜지스터의 구성은 웰(201) 위에 형성된 제 1 절연층(202a)과 제 1 절연층(202a) 위에 형성된 N+ 도핑 영역들(203, 204, 소스단/드레인단) 및 N+ 도핑 영역들(203, 204, 드레인단/소스단) 사이의 채널(205)을 포함할 수 있다. 실시 예에 있어서, 채널(205)은 공핍형 채널일 수 있다.
- [0076] PMOS 트랜지스터의 구성은 웰(201) 위에 형성된 제 2 절연층(202b)과 제 2 절연층(202b) 위에 형성된 P+ 도핑 영역들(207, 208, 소스단/드레인단) 및 P+ 도핑 영역들(207, 208, 소스단/드레인단) 사이의 채널(209)을 포함할 수 있다. 여기서 제 2 절연층(202b)은 제 1 절연층(202a)과 동일한 계층에 배치될 수 있다. 실시 예에 있어서, 채널(209)은 공핍형 채널일 수 있다.
- [0077] 실시 예에 있어서, NMOS 트랜지스터의 N+ 영역(203)과 PMOS 트랜지스터의 P+ 영역(208)은 전기적으로 연결될 수 있다. 또한, NMOS 트랜지스터의 N+ 영역(204)과 PMOS 트랜지스터의 P+ 영역(207)은 전기적으로 연결될 수 있다. 즉, NMOS 트랜지스터의 소스단/드레인단은 PMOS 트랜지스터의 소스단/드레인단에 서로 연결될 수 있다.
- [0078] 실시 예에 있어서, NMOS 트랜지스터 및 PMOS 트랜지스터는 공핍형 트랜지스터일 수 있다. 예를 들어, 트랜스미션게이트(TG)는 FDSOI(fully depleted silicon on insulator) 공정으로 구현될 수 있다. 여기서 FDSOI는 실리콘 웨이퍼 위에 매우 얇은 절연 산화막을 형성한 뒤 그 위에 트랜지스터 전극을 구성하는 기술이다.
- [0079] 도 11은 본 발명의 실시 예에 따른 메모리 셀 어레이(210)를 예시적으로 보여주는 도면이다. 도 11을 참조하면, 메모리 셀 어레이는 트랜스미션게이트를 구동하기 위하여 대응하는 워드라인 드라이버(DRV)와 대응하는 쓰기용 워드라인 드라이버(wDRV)를 포함할 수 있다.
- [0080] 실시 예에 있어서, 워드라인 드라이버(DRV)는 대응하는 워드라인 활성화 신호(WL_EN<1>, WL_EN<2>, ..., WL_EN<X> 중 어느 하나)에 응답하여 활성화될 수 있다.

- [0081] 실시 예에 있어서, 쓰기용 워드라인 드라이버(wDRV)는 쓰기 활성화 신호(WEN)와 대응하는 워드라인 활성화 신호(WL_EN<1>, WL_EN<2>, ..., WL_EN<X> 중 어느 하나)에 응답하여 활성화 될 수 있다. 예를 들어, 쓰기용 워드라인 드라이버(wDRV)는 쓰기 동작시에만 활성화될 수 있다.
- [0082] 실시 예에 있어서, 워드라인들(WL<1>, WL<2>, ..., WL<X>)과 쓰기 워드라인들(wWL<1>, wWL<2>, ..., wWL<X>) 사이에 대응하는 트랜스미션게이트들이 연결될 수 있다.
- [0083] 실시 예에 있어서, 제 1 워드라인(WL<1>)에 연결된 제 1 트랜스미션게이트들의 각각에 대응하는 비트라인들(BL<1> ... BL<X>)과 제 2 워드라인(WL<2>)에 연결된 제 2 트랜스미션게이트들의 각각에 대응하는 비트라인들(BL<1> ... BL<X>)은 서로 동일할 수 있다.
- [0084] 실시 예에 있어서, 제 1 트랜스미션게이트들의 각각에 대응하는 소스라인들(SL<1>, ..., SL<X>)과 제 2 트랜스미션게이트들의 각각에 대응하는 소스라인들(SL<1>, ..., SL<X>)은 서로 동일할 수 있다.
- [0085] 트랜스미션게이트의 엔모스 트랜지스터의 게이트단은 대응하는 워드라인에 연결되고, 피모스 트랜지스터의 게이트단은 대응하는 쓰기용 워드라인 드라이버(wDRV)에 연결될 수 있다. 즉, 피모스 트랜지스터의 게이트단은 쓰기용 워드라인 드라이버(wDRV)의 출력을 수신하는 워드라인에 연결될 수 있다.
- [0086] 실시 예에 있어서, 트랜스미션게이트의 웰에는 접지 전압(VSS)이 인가될 수 있다.
- [0087] 도 12는 도 11에 도시된 메모리 셀 어레이(210)에서 동작 타이밍을 개략적으로 보여주는 도면이다. 쓰기 동작시 쓰기 활성화 신호는 하이 레벨을 갖고 선택 워드라인은 하이 레벨을 갖고, 쓰기용 워드라인 드라이버(wDRV)에 연결된 워드라인은 로우 레벨을 갖는다. 즉, 쓰기 동작시 트랜스미션게이트(TG)의 PMOS 트랜지스터는 턴온 될 수 있다.
- [0088] 또한, 읽기 동작시 읽기 활성화 신호는 하이 레벨을 갖고, 선택 워드라인은 하이 레벨을 갖고, 쓰기용 워드라인 드라이버(wDRV)에 연결된 워드라인으로 하이 레벨을 갖는다. 즉, 읽기 동작시 트랜스미션게이트(TG)의 PMOS 트랜지스터는 턴오프 될 수 있다.
- [0089] 한편, PMOS 게이트에 연결된 워드라인을 공유하는 구조로 구현될 수 있다.
- [0090] 도 13은 본 발명의 다른 실시 예에 따른 메모리 셀 어레이(210a)를 예시적으로 보여주는 도면이다. 도 13을 참조하면, 메모리 셀 어레이(210a)는 쓰기용 워드라인 드라이버(wDRV)에 연결된 워드라인을 공유하는 트랜스미션 게이트 셀들을 포함할 수 있다.
- [0091] 실시 예에 있어서 워드라인들 중에서 제 1 워드라인(WL<1>)에 연결된 제 1 트랜스미션게이트들과 워드라인들 중에서 제 2 워드라인(WL<2>)에 연결된 제 2 트랜스미션게이트들은 쓰기 워드라인(pWL)을 공유할 수 있다.
- [0092] 실시 예에 있어서, 제 1 트랜스미션게이트들의 각각에 대응하는 비트라인들(BL1<1> ... BL1<X>)과 제 2 트랜스미션게이트들의 각각에 대응하는 비트라인들(BL2<1> ... BL2<X>)은 서로 다를 수 있다.
- [0093] 실시 예에 있어서, 제 1 트랜스미션게이트들의 각각에 대응하는 소스라인들(SL<1>, ..., SL<X>)과 제 2 트랜스미션게이트들의 각각에 대응하는 소스라인들(SL<1>, ..., SL<X>)은 동일할 수 있다.
- [0094] 한편, 도 13에 도시된 메모리 셀 어레이(210a)는 쓰기용 워드라인 드라이버(wDRV)에 연결된 쓰기용 워드라인을 공유하고, 공유된 소스라인들에 연결되는 제 1 및 제 2 트랜스미션게이트 셀들을 포함하였다. 하지만, 본 발명의 메모리 셀 어레이가 여기에 제한되지 않을 것이다. 제 1 및 제 2 트랜스미션게이트들이 각각 분리된 소스라인에 연결되도록 구현될 수도 있다.
- [0095] 도 14는 본 발명의 다른 실시 예에 따른 메모리 셀 어레이(210b)를 예시적으로 보여주는 도면이다. 도 14를 참조하면, 메모리 셀 어레이(210a)는 쓰기용 워드라인 드라이버(wDRV)에 연결된 워드라인을 공유하고, 분리된 소스라인들에 연결되는 트랜스미션게이트 셀들을 포함할 수 있다.
- [0096] 실시 예에 있어서, 제 1 트랜스미션게이트들의 각각에 대응하는 비트라인들(BL<1>, ..., BL<X>)과 제 2 트랜스미션게이트들의 각각에 대응하는 비트라인들(BL<1>, ..., BL<X>)은 서로 동일할 수 있다.
- [0097] 실시 예에 있어서, 제 1 트랜스미션게이트들의 각각에 대응하는 소스라인들(SL1<1> ... SL1<X>)과 제 2 트랜스미션게이트들의 각각에 대응하는 소스라인들(SL2<1> ... SL2<X>)은 서로 다를 수 있다.
- [0098] 도 15는 본 발명의 실시 예에 따른 저장 장치를 예시적으로 보여주는 도면이다. 도 15를 참조하면, 저장 장치

(10)는 적어도 하나의 비휘발성 메모리 장치(MRAM(s), 100) 및 그것을 제어하는 메모리 제어기(200)를 포함한다.

- [0099] 비휘발성 메모리 장치(100)는 도 1 내지 도 14에서 설명된 바와 같이 동일한 구성 혹은 방법으로 구현될 수 있다. 실시 예에 있어서, 비휘발성 메모리 장치(100)는 DDR(double data rate) 인터페이스를 통하여 메모리 제어기(200)와 통신할 수 있다.
- [0100] 한편, 본 발명의 컴퓨팅 시스템은 모바일 장치에 적용 가능하다.
- [0101] 도 16은 본 발명의 실시 예 따른 모바일 장치(20)를 예시적으로 보여주는 도면이다. 도 16을 참조하면, 모바일 장치(20)는 프로세서(AP/ModAP, 21), 버퍼 메모리(22), 디스플레이/터치 모듈(23) 및 저장 장치(24)를 포함할 수 있다.
- [0102] 프로세서(21)는 모바일 장치(20)의 전반적인 동작 및 외부와의 유선/무선 통신을 제어하도록 구현될 수 있다. 예를 들어, 프로세서(21)는 어플리케이션 프로세서(AP, application processor), 통합 모뎀 어플리케이션 프로세서(ModAP) 등 일 수 있다.
- [0103] 프로세서(21)는 인증 에이전트, TEE, 및 보안 칩을 포함할 수 있다. 보안 칩은, 소프트웨어 및/혹 변조 방지 하드웨어(tamper resistant hardware)로 구성되고, 높은 수준의 보안을 허용하고, 프로세서(21)의 TEE에 협력하여 작업할 수 있다. 예를 들어, 보안 칩은 TEE에서 수행되는 암호화 동작, MAC 키 생성/검증 등을 수행할 수 있다. 보안 칩은 운영 체제인 Native OS(operation system), 내부의 데이터 저장소인 보안 저장 장치, 보안 칩(1130)에 접근권을 제어하는 접근 제어 블록, 오너십 관리(ownership management), 키 관리(key management), 디지털 서명(digital signature), 암호/복호 등을 수행하는 보안 기능 블록과 보안 칩의 펌웨어를 업데이트하기 위한 펌웨어 업데이트 블록을 포함할 수 있다. 보안 칩(1130)은, 예를 들어, UICC(universal IC card, 예, USIM, CSIM, ISIM), SIM(subscriber identity module) 카드, eSE(embedded secure elements), MicroSD, Stickers 등 일 수 있다.
- [0104] 버퍼 메모리(22)는 모바일 장치(20)의 처리 동작 시 필요한 데이터를 임시로 저장하도록 구현될 수 있다. 실시 예에 있어서, 버퍼 메모리(22)는 DRAM, SDRAM, MRAM 등으로 구현될 수 있다. 버퍼 메모리(22)는 비암호화 데이터 영역과 암호화 데이터 영역을 포함할 수 있다. 여기서 암호화 데이터 영역은 보안 칩에 의해 암호화된 데이터를 저장할 수 있다.
- [0105] 디스플레이/터치 모듈(23)은 프로세서(21)에서 처리된 데이터를 디스플레이 하거나, 터치 패널로부터 데이터를 입력 받도록 구현될 수 있다.
- [0106] 저장 장치(24)는 사용자의 데이터를 저장하도록 구현될 수 있다. 저장 장치(24)는 eMMC(embedded multimedia card), SSD(solid state drive), UFS(universal flash storage) 등 일 수 있다. 저장 장치(24)는 도 1 내지 도 15에서 설명된 비휘발성 메모리 장치를 포함할 수 있다.
- [0107] 저장 장치(24)는 적어도 하나의 비휘발성 메모리 장치를 포함할 수 있다. 비휘발성 메모리 장치는, 낸드 플래시 메모리(NAND Flash Memory), 수직형 낸드 플래시 메모리(VNAND; Vertical NAND), 노아 플래시 메모리(NOR Flash Memory), 저항성 램(Resistive Random Access Memory: RRAM), 상변화 메모리(Phase-Change Memory: PRAM), 자기저항 메모리(Magneto-resistive Random Access Memory: MRAM), 강유전체 메모리(Ferroelectric Random Access Memory: FRAM), 스핀주입 자화반전 메모리(Spin Transfer Torque Random Access Memory: STT-RAM) 등이 될 수 있다.
- [0108] 또한, 비휘발성 메모리 장치는 3차원 어레이 구조(three-dimensional array structure)로 구현될 수 있다. 본 발명의 실시 예로서, 3차원 메모리 어레이는, 실리콘 기판 및 메모리 셀들의 동작에 연관된 회로의 위에 배치되는 활성 영역을 갖는 메모리 셀들의 어레이들의 하나 혹은 그 이상의 물리 레벨들에 모놀리식(monolithically) 형성될 수 있다. 메모리 셀들의 동작에 연관된 회로는 기판 내에 혹은 기판 위에 위치할 수 있다. 모놀리식(monolithical)이란 용어는, 3차원 어레이의 각 레벨의 층들이 3차원 어레이의 하위 레벨의 층들 위에 직접 증착 됨을 의미한다.
- [0109] 본 발명의 개념에 따른 실시 예로서, 3차원 메모리 어레이는 수직의 방향성을 가져, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀 위에 위치하는 수직 NAND 스트링들을 포함한다. 적어도 하나의 메모리 셀은 전하 트랩 층을 포함한다. 각각의 수직 NAND 스트링은 메모리 셀들 위에 위치하는 적어도 하나의 선택 트랜지스터를 포함할 수 있다. 적어도 하나의 선택 트랜지스터는 메모리 셀들과 동일한 구조를 갖고, 메모리 셀들과 함께 모놀리

식으로 형성될 수 있다.

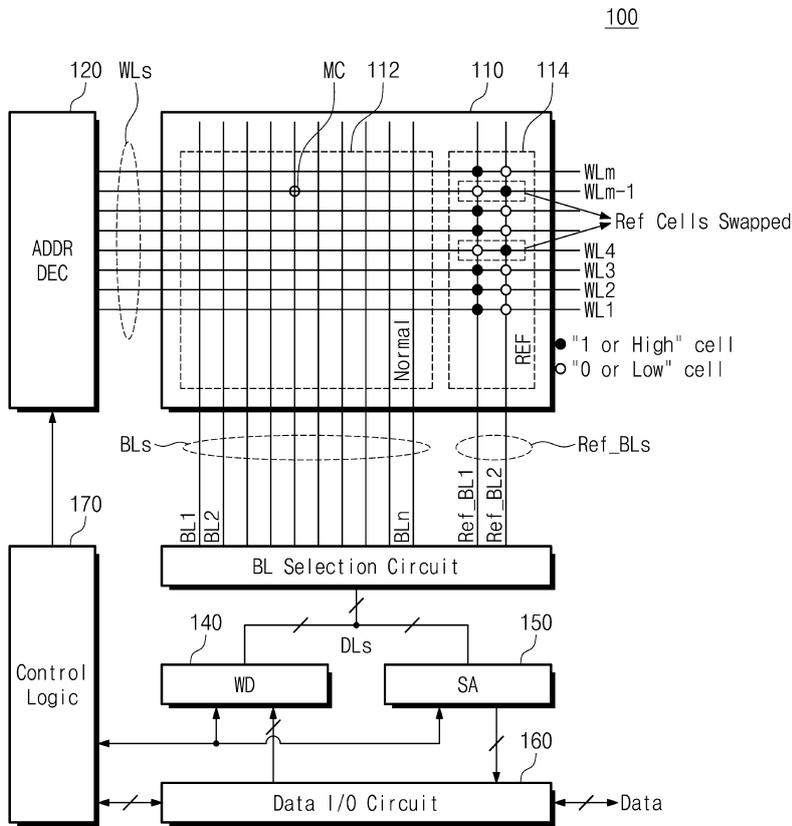
- [0110] 3차원 메모리 어레이가 복수의 레벨들로 구성되고, 레벨들 사이에 공유된 워드라인들 혹은 비트라인들을 갖는다. 3차원 메모리 어레이에 적합한 구성은, 삼성전자에서 출원하였으며, 이 출원의 참고문헌으로 결합된 US 7,679,133, US 8,553,466, US 8,654,587, US 8,559,235, 및 US 2011/0233648에 설명될 것이다. 본 발명의 비휘발성 메모리 장치(NVM)는 전하 저장층이 전도성 부유 게이트로 구성된 플래시 메모리 장치는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(charge trap flash; CTF)에도 모두 적용 가능하다.
- [0111] 본 발명의 실시 예에 따른 모바일 장치(20)는 칩사이즈를 줄이거나 읽기 성능의 신뢰성을 높임으로써, 전체적인 성능을 향상시킬 수 있다.
- [0112] 도 17은 본 발명의 다른 실시 예에 따른 컴퓨팅 시스템(30)을 예시적으로 보여주는 도면이다. 도 17을 참조하면, 컴퓨팅 시스템(30)은 프로세서(31), 메모리 모듈(DIMM, 32), 및 비휘발성 메모리(NVM, 33)를 포함할 수 있다.
- [0113] 비휘발성 메모리(33)는 DDR-T 인터페이스에 따라 데이터를 입출력 할 수 있다. 이때, 메모리 모듈(32)은 비휘발성 메모리(33)의 캐시 기능을 수행하도록 구현될 수 있다. 실시 예에 있어서, 비휘발성 메모리(NVM)는 3D-Xpoint 메모리일 수 있다. 비휘발성 메모리(33)는 도 1 내지 도 15에서 설명된 비휘발성 메모리 장치로 구현될 수 있다.
- [0114] 도 18은 본 발명의 다른 실시 예에 따른 데이터 서버 시스템(40)을 예시적으로 보여주는 블록도이다. 도 18을 참조하면, 데이터 서버 시스템(40)은 데이터 베이스 관리 시스템(RDBMS, 41), 캐시 서버(42), 및 어플리케이션 서버(43)를 포함할 수 있다.
- [0115] 캐시 서버(42)는 데이터 베이스 관리 시스템(41)으로부터의 무효화 통지에 대응하여 서로 다른 키(key), 값(value) 쌍을 유지하고, 삭제하는 키값 저장을 포함할 수 있다. 데이터 베이스 관리 시스템(RDBMS, 41), 캐시 서버(42), 및 어플리케이션 서버(43) 중 적어도 하는 도 1 내지 도 15에서 설명된 비휘발성 메모리 장치로 구현될 수 있다.
- [0116] 한편, 상술 된 본 발명의 내용은 발명을 실시하기 위한 구체적인 실시 예들에 불과하다. 본 발명은 구체적이고 실제로 이용할 수 있는 수단 자체뿐 아니라, 장치 기술로 활용할 수 있는 추상적이고 개념적인 아이디어인 기술적 사상을 포함할 것이다.

부호의 설명

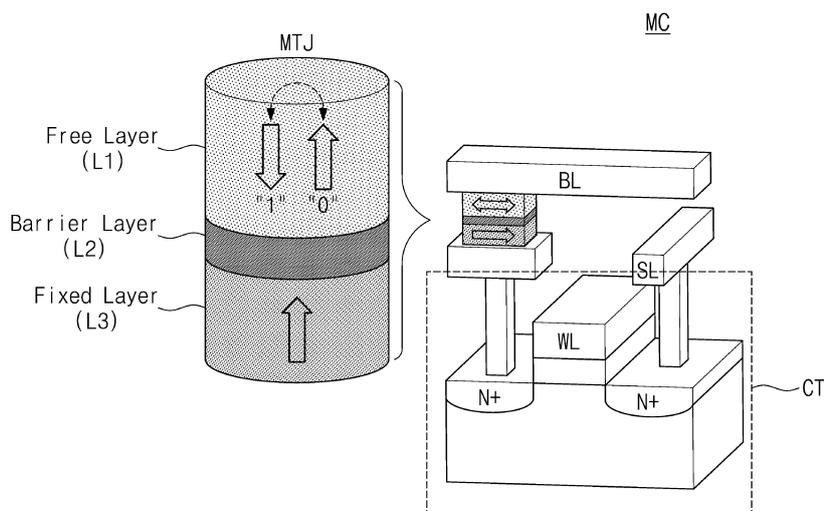
- [0117] 100: 비휘발성 메모리 장치
- 110: 메모리 셀 어레이
- 112: 노멀 셀 어레이
- 114: 기준 셀 어레이
- 120: 어드레스 디코더
- 130: 비트라인 선택 회로
- 140: 쓰기 드라이버
- 150: 감지 증폭 회로
- 160: 데이터 입출력 회로
- 170: 제어 로직
- PJT: 가변 저항 소자
- TG: 트랜스미션게이트

도면

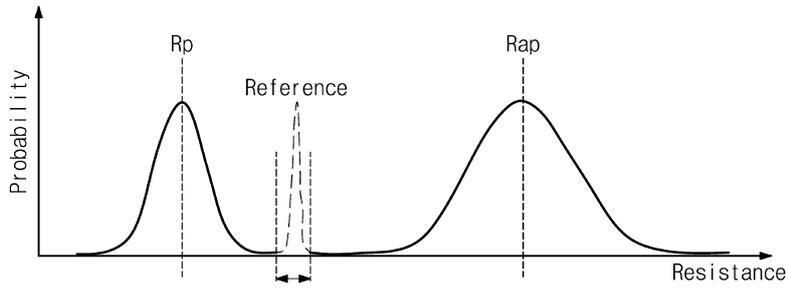
도면1



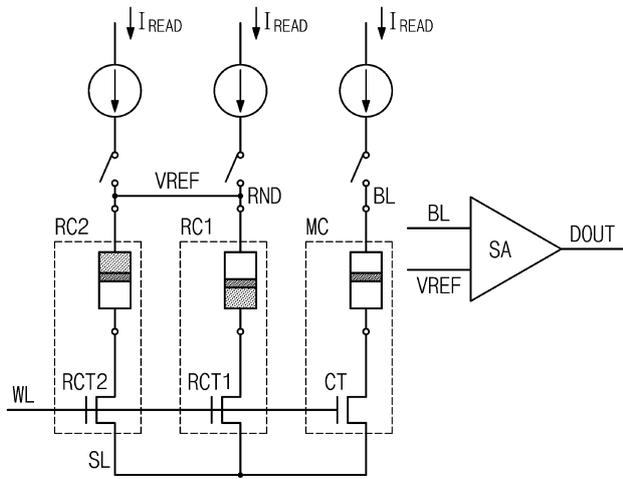
도면2



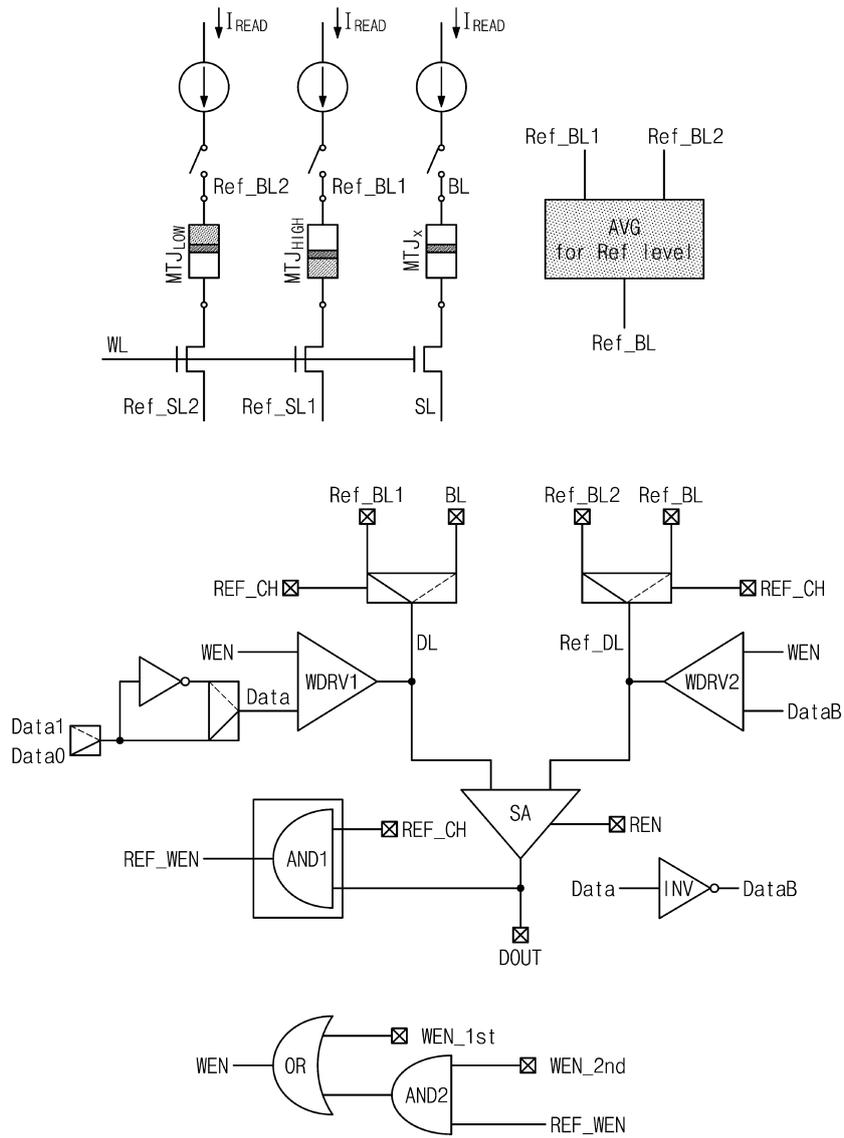
도면3



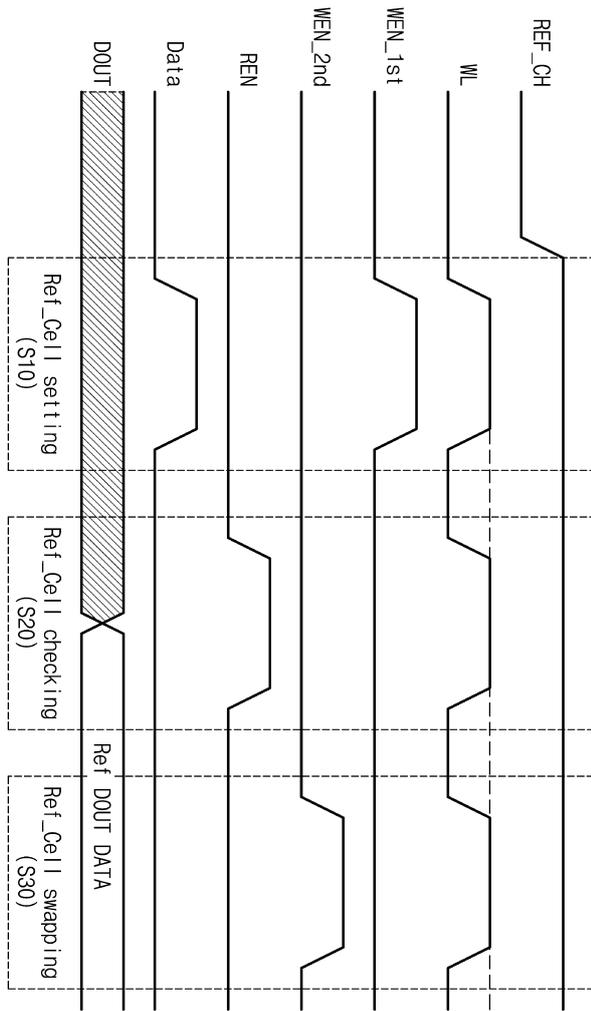
도면4



도면5

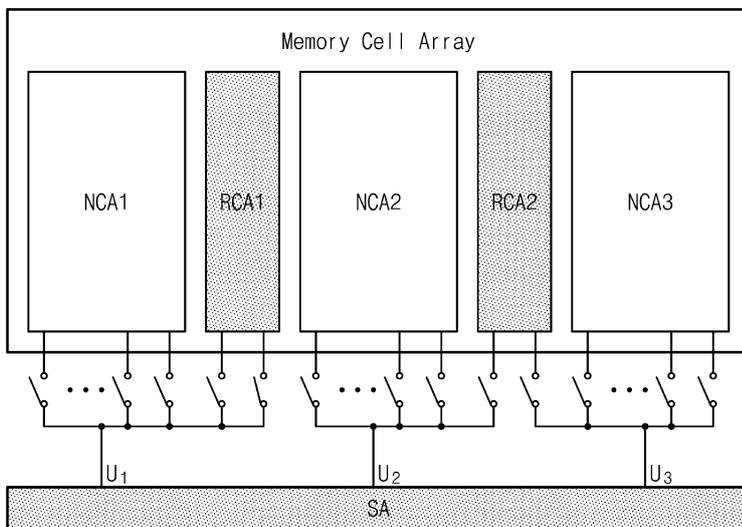


도면6

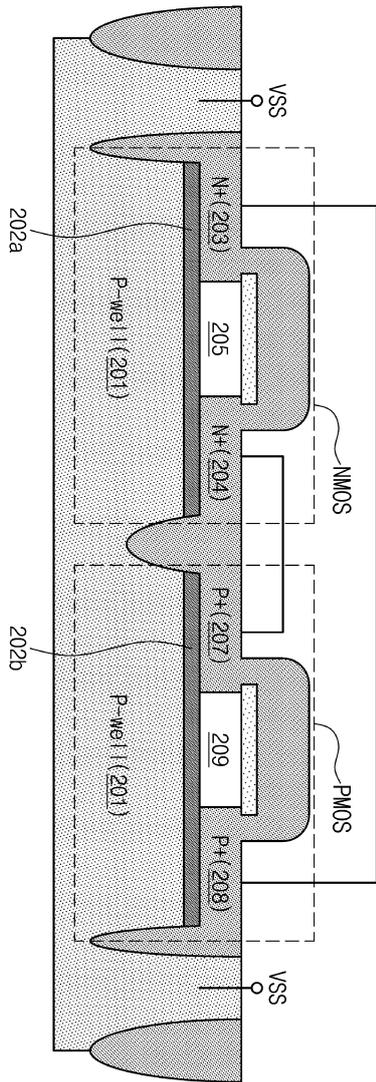


도면7

100a

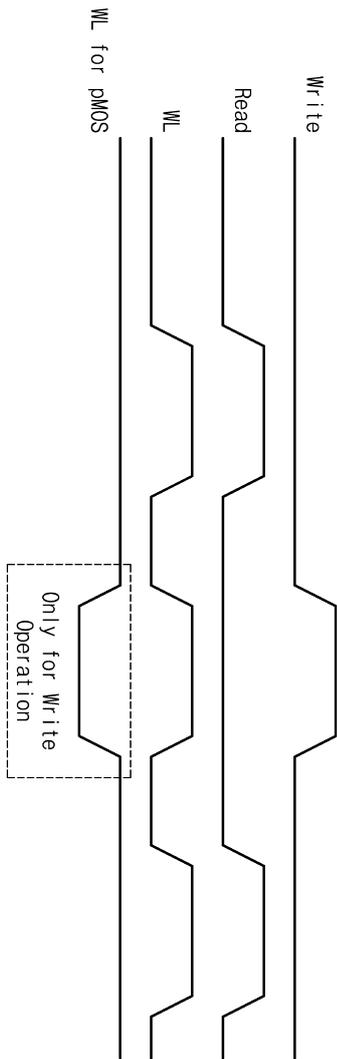


도면10

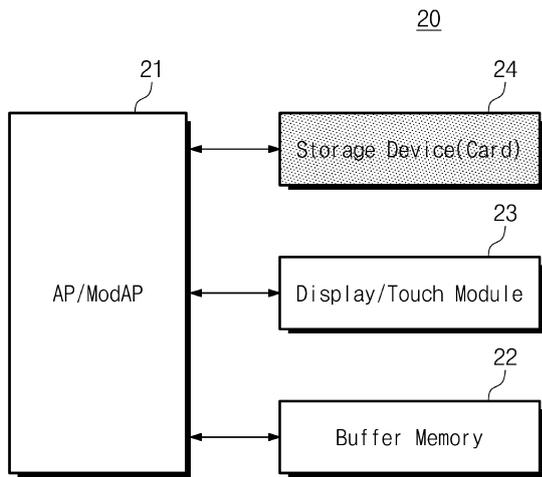


10

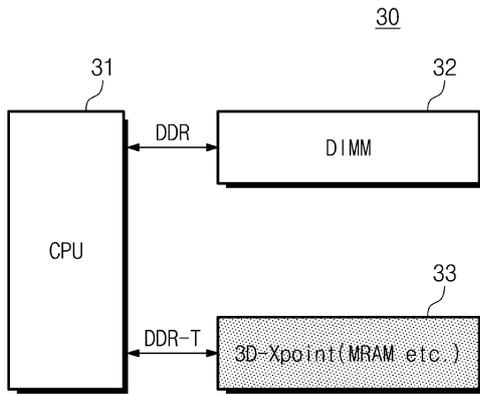
도면12



도면16



도면17



도면18

