(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월01일
(11) 등록번호 10-0855584
(24) 등록일자 2008년08월26일

(51) Int. Cl.
G11C 16/30 (2006.01)
(21) 출원번호 10-2006-0133518
(22) 출원일자 2006년12월26일
심사청구일자 2006년12월26일
(65) 공개번호 10-2008-0059794
(43) 공개일자 2008년07월01일
(56) 선행기술조사문헌
KR1020050099308 A*
KR1020060007651 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
박상국
경기 부천시 원미구 중2동 11184-6번지 그린타운 1327동 1305호
김대한
서울 강동구 천호동 태양아파트 105동 1904호
(74) 대리인
김능균

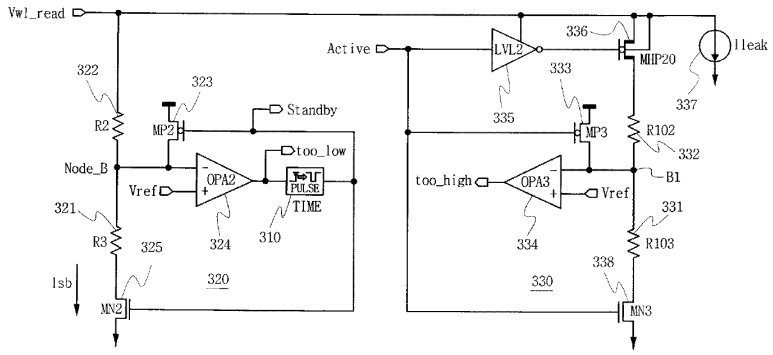
전체 청구항 수 : 총 13 항 심사관 : 이선택

(54) 불휘발성 반도체 메모리에 채용하기 적합한 전압레귤레이팅 회로

(57) 요 약

본 발명은 불휘발성 반도체 메모리의 동작에 필요한 전압을 안정적으로 제공할 수 있도록 하기 위한 전압 레귤레이팅 회로를 개시한다. 그러한, 전압 레귤레이팅 회로는, 제1 분압 검출 출력단의 전압 레벨을 설정된 기준전압 레벨과 비교하여 검출 출력단의 전압 레벨이 상승되도록 요구하는 제1 검출신호를 생성하는 제1 레귤레이팅부와; 제2 분압 검출 출력단의 전압 레벨을 상기 설정된 기준전압 레벨과 비교하여 상기 검출 출력단의 전압 레벨이 하강되도록 요구하는 제2 검출신호를 생성하는 제2 레귤레이팅부와; 상기 제1 레귤레이팅부의 상기 제1 검출신호에 응답하여 상기 제1 분압 검출 출력단이, 상기 제2 레귤레이팅부의 동작구간에 의존함이 없이, 항상 일정 타임구간 내에 초기화되도록 하기 위한 콘스탄트 타임 디세이블부를 구비함에 의해, 불휘발성 반도체 메모리에서 필요한 동작 모드의 전압이 안정적으로 공급되는 효과가 있다.

대표도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

반도체 장치의 전압 레귤레이팅 회로에 있어서:

제1 분압 검출 출력단의 전압 레벨을 설정된 기준전압 레벨과 비교하여 검출 출력단의 전압 레벨이 상승되도록 요구하는 제1 검출신호를 생성하는 제1 레귤레이팅부와;

제2 분압 검출 출력단의 전압 레벨을 상기 설정된 기준전압 레벨과 비교하여 상기 검출 출력단의 전압 레벨이 하강되도록 요구하는 제2 검출신호를 생성하는 제2 레귤레이팅부와;

상기 제1 검출신호의 제1상태에 응답하여 제2 상태의 쇼트 펄스를 생성하는 쇼트 펄스 생성부와, 상기 제2 상태의 쇼트 펄스에 상응하는 펄스 구간만 동작 전원전압을 상기 제1 분압 검출 출력단에 공급하기 위한 모오스 트랜지스터를 가지며, 상기 제1 분압 검출 출력단이, 상기 제2 레귤레이팅부의 동작구간에 의존함이 없이, 항상 일정 타임구간 내에 초기화되도록 하기 위한 콘스탄트 타임 디세이블부를 구비함을 특징으로 하는 전압 레귤레이팅 회로.

청구항 4

제3항에 있어서, 상기 제1 분압 검출 출력단은 상기 검출 출력단과 접지전압 사이에 일정 저항비를 형성하며 직렬로 연결된 분압 저항들 사이에 존재함을 특징으로 하는 전압 레귤레이팅 회로.

청구항 5

제3항에 있어서,

상기 제1 레귤레이팅부와 상기 제2 레귤레이팅부는 서로 번갈아 동작하는 것을 특징으로 하는 전압 레귤레이팅 회로.

청구항 6

제3항에 있어서, 상기 제1,2 분압 검출 출력단의 저항비는 동일하나, 상기 제1 분압 검출 출력단의 분압 저항들의 각각의 저항값이 상대적으로 더 큼을 특징으로 하는 전압 레귤레이팅 회로.

청구항 7

삭제

청구항 8

삭제

청구항 9

불휘발성 반도체 메모리에 채용하기 적합한 전압 레귤레이팅 회로에 있어서:

제1 분압 검출 출력단의 전압 레벨을 설정된 기준전압 레벨과 비교하여 검출 출력단의 전압 레벨이 상승되도록 요구하는 제1 검출신호를 생성하는 제1 레귤레이팅부와;

제2 분압 검출 출력단의 전압 레벨을 상기 설정된 기준전압 레벨과 비교하여 상기 검출 출력단의 전압 레벨이 하강되도록 요구하는 제2 검출신호를 생성하는 제2 레귤레이팅부와;

상기 제1 검출신호의 제1상태에 응답하여 제2 상태의 쇼트 펄스를 생성하는 쇼트 펄스 생성부와, 상기 제2 상태의 쇼트 펄스에 상응하는 펄스 구간만 동작 전원전압을 상기 제1 분압 검출 출력단에 공급하기 위한 모오스 트랜지스터로 구성되며, 상기 제1 분압 검출 출력단이, 상기 제2 레귤레이팅부의 동작구간에 의존함이 없이, 항상 일정 타임구간 내에 초기화되도록 하기 위한 콘스탄트 타임 디세이블부를 구비함을 특징으로 하는 전압 레귤레이팅 회로.

청구항 10

제9항에 있어서, 상기 제1 분압 검출 출력단은 상기 검출 출력단과 접지전압 사이에 일정 저항비를 형성하며 직렬로 연결된 분압 저항들 사이에 존재함을 특징으로 하는 전압 레귤레이팅 회로.

청구항 11

제10항에 있어서,

상기 제1 레귤레이팅부와 상기 제2 레귤레이팅부는 서로 번갈아 동작하는 것을 특징으로 하는 전압 레귤레이팅 회로.

청구항 12

제11항에 있어서, 상기 제1,2 분압 검출 출력단의 저항비는 동일하나, 상기 제1 분압 검출 출력단의 분압 저항들의 각각의 저항값이 상대적으로 더 큼을 특징으로 하는 전압 레귤레이팅 회로.

청구항 13

제12항에 있어서, 상기 검출 출력단의 전압은 상기 불휘발성 반도체 메모리의 리드동작 모드에서 리드 전압으로서 사용됨을 특징으로 하는 전압 레귤레이팅 회로.

청구항 14

제13항에 있어서, 상기 불휘발성 반도체 메모리는 노아 타입 플래시 메모리임을 특징으로 하는 전압 레귤레이팅 회로.

청구항 15

플로팅 게이트를 갖는 메모리 셀 트랜지스터가 복수로 배열되어 있는 메모리 셀 어레이와, 상기 메모리 셀 트랜지스터의 워드라인에 설정된 전압을 공급하기 위한 전압 공급부를 가지는 불휘발성 반도체 메모리 장치에 있어서:

상기 전압 공급부는,

인가되는 제1,2 검출신호에 응답하여 오실레이팅 인에이블 신호 및 액티브 신호를 생성하는 콘트롤 회로와;

오실레이팅 인에이블 신호에 응답하여 펌핑 클럭을 생성하는 오실레이터와;

상기 펌핑 클럭에 응답하여 차아지 펌핑을 행하여 설정된 전압을 생성하는 고전압 펌프와;

상기 제1,2 검출신호를 제공하기 위하여 상기 고전압 펌프의 설정된 전압을 검출 출력단으로 삼아 설정된 기준 전압 레벨에 추종되는 전압을 유지하도록 하는 스탠바이 및 액티브 레귤레이팅부를 가지며, 상기 스탠바이 레귤레이팅부는 상기 제1 검출신호를 출력한 경우에 상기 액티브 레귤레이팅부의 액티브 동작구간의 장단과는 무관하게 일정한 구간동안에만 디세이블 되는, 전압 레귤레이팅 회로를 구비함을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 16

불휘발성 반도체 메모리 장치에서의 전압 레귤레이팅 방법에 있어서:

리드 동작에서 필요한 워드라인 전압을 안정적으로 발생시키기 위해 차아지 펌프의 출력에 검출단이 연결되는 스탠바이 회로와 액티브 회로를 준비하는 단계와:

상기 스탠바이 회로에서 저하신호가 발생될 경우에 상기 액티브 회로를 인에이블 시키며, 상기 액티브 회로의

인에이블과는 독립적으로 상기 스탠바이 회로를 일정타임 구간만 디세이블 시키는 단계와;

상기 액티브 회로에서 상승신호가 발생될 경우에 상기 액티브 회로를 디세이블 시키는 단계를 구비함을 특징으로 하는 불휘발성 반도체 메모리 장치에서의 전압 레귤레이팅 방법.

청구항 17

삭제

청구항 18

멀티레벨 셀을 복수로 구비하는 노아 타입 불휘발성 반도체 메모리에서의 전압 레귤레이팅 회로에 있어서:

서로 교대로 동작하는 제1 및 제2 레귤레이팅 회로를 가지며,

상기 제1 레귤레이팅 회로는, 회로 초기화를 위한 디세이블 동작을 상기 제2 레귤레이팅 회로의 액티브 동작 구간에 의존함이 없이 독립적으로 일정 타임 구간만큼만 수행함을 특징으로 하는 노아 타입 불휘발성 반도체 메모리에서의 전압 레귤레이팅 회로.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<7> 본 발명은 불휘발성 반도체 메모리에 관한 것으로, 특히 플로팅 게이트에 전하를 주입하거나 방출하는 것에 의해 데이터를 저장하는 불휘발성 반도체 메모리에 관한 것이다.

<8> 근래에 휴대용 멀티미디어 플레이어, 컴퓨터 등과 같은 정보처리 장치의 급속한 발전에 따라 정보처리 장치의 중요 부품으로서 채용되는 반도체 메모리 장치도 고속 동작화 및 대용량화되는 추세이다.

<9> 통상적으로, 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치와 불휘발성 반도체 메모리 장치로 나뉘어진다. 휘발성 반도체 메모리 장치는 다시 다이나믹 랜덤 억세스 메모리(dynamic random access memory)와 스태틱 랜덤 억세스 메모리 (static random access memory)로 분류될 수 있다. 그러한 휘발성 반도체 메모리 장치는 읽고 쓰는 속도 면에서는 빠르지만 외부 전원 공급이 끊기면 메모리 셀에 저장된 내용이 사라져 버리게 되는 단점을 갖는다.

<10> 한편, 불휘발성 반도체 메모리 장치는 마스크 롬(mask read only memory: MROM), 프로그래머블 리드 온리 메모리(programmable read only memory:PROM), 소거 및 프로그램 가능한 리드 온리 메모리(erasable programmable read only memory:EPROM), 전기적으로 소거 및 프로그램 가능한 리드 온리 메모리(electrically erasable programmable read only memory:EEPROM) 등으로 분류된다.

<11> 상기한 종류의 불휘발성 반도체 메모리 장치는 외부의 전원 공급이 중단되더라도 메모리 셀내에 그 내용을 영구적으로 보존할 수 있기 때문에 전원 공급의 여하에 관계없이 보존되어야 할 내용을 기억시키는데 주로 쓰여진다. 그렇지만, 상기 MROM, PROM, EPROM의 경우에는 일반 사용자들이 전자적 시스템을 통해 자체적으로 소거와 쓰기(또는 프로그램)를 행하는 작업이 자유롭지 않다. 즉, 온-보오드(on-board)상태에서 프로그램된 내용을 소거하거나 재프로그램 하는 것이 용이하지 않은 것이다. 이와는 달리, 상기 EEPROM의 경우에는 전기적으로 소거와 쓰기를 행하는 작업이 시스템 자체적으로 가능하므로 계속적인 내용 갱신이 필요한 시스템 프로그램 저장장치나 보조기억장치로의 응용이 지속적으로 확대되고 있는 실정이다.

<12> 최근의 컴퓨터 또는 마이크로 프로세서에 의해 제어되는 여러 전자적 장치들은 고밀도의 전기적으로 소거 및 프로그램 가능한 상기 EEPROM의 개발을 더욱 요구하고 있다. 더욱이, 디지털 카메라 등의 데이터 저장장치는 사이즈가 컴팩트할 것이 요구되며, 또한 휴대용 컴퓨터 또는 노트북 크기의 바테리 전원 컴퓨터 시스템에서 보조 메모리 장치로써 회전 자기 디스크를 가지는 하드 디스크 장치를 사용하는 것은 상대적으로 넓은 면적을 점유하기 때문에, 그러한 시스템의 설계자들은 보다 작은 면적을 점유하는 고밀도, 고성능의 EEPROM의 개발에 큰 흥미를 가진다.

<13> EEPROM 설계 및 제조기술이 진보됨에 따라 출현된 플래쉬 소거기능을 가지는 플래쉬(Flash) EEPROM이 잘 알려져 있다. 상기 플래쉬 EEPROM은 단위 메모리 셀 어레이 구성을 어떤 형태로 가지느냐에 따라 NAND 타입(type), NOR 타입, 또는 AND 타입으로 구별된다. 예컨대, 통상적인 노아 타입 플래쉬 EEPROM의 메모리 셀 어레이는 메모리 셀 트랜지스터에 데이터를 주고 받기 위한 비트라인들과, 상기 비트라인들과 함께 매트릭스 형태를 이루며 상기 메모리 셀 트랜지스터의 게이트를 제어하기 위한 워드라인들을 포함한다.

<14> 상기 노아 메모리 셀 어레이를 구성하는 각각의 메모리 셀 트랜지스터는 그 소오스와 드레인 영역 사이의 채널 영역상에 게이트 산화막을 개재하여 형성된 플로팅 게이트와, 층간 절연막을 통하여 상기 플로팅 게이트 상에 형성된 제어 게이트를 가지고 있는 모오스 트랜지스터로 되어 있다. 상기 플로팅 게이트(FG)에는 상기 콘트롤 게이트(CG)에 인가되는 프로그램 전압에 의해 프로그램 데이터로서 기능하는 전하가 축적된다.

<15> 상기한 바와 같은 메모리 셀을 갖는 불휘발성 반도체 메모리 장치에서는 각종 동작 모드 예를 들면, 프로그램(라이트), 소거, 리드, 프로그램 베리파이, 소거 베리파이가 있다. 그러한, 동작 모드에서 상기 메모리 셀 트랜지스터의 콘트롤 게이트에 인가되는 전압은 고전압 펌핑회로에서 출력되는 고전압 레벨일 수 있다.

<16> 상기 불휘발성 반도체 메모리 장치의 전압 레귤레이팅에 관한 하나의 예는 1998년 11월 10일자로 미국에서 발행된 U.S.P No. 5,835,420호에 개시되어 있다.

<17> 한편, NOR 타입 플래쉬 메모리의 메모리 셀이 단일비트를 저장하는 단일레벨 셀에서 다중 비트를 저장하는 멀티 레벨 셀(MLC)로 전환될 경우에, 리드전압 레벨(Vpread Level)에 따른 센싱 마진(Sensing Margin)에 대한 비중은 점점 증가된다. 결국, 리드전압 레벨이 안정화될수록 센싱 마진은 확대되며, 불안정해질 경우에는 센싱 마진이 축소되어 리드 에러가 유발될 수 있는 것이다.

<18> 도 1은 불휘발성 반도체 메모리에서의 전형적 전압 공급기의 회로 블록도이다. 도면을 참조하면, 콘트롤 회로(400), 오실레이터(200), 고전압 펌프(100), 및 레귤레이터(300)를 포함하는 전압 공급기의 회로 블록이 보여진다.

<19> 상기 콘트롤 회로(400)는 상기 레귤레이터(300)에서 인가되는 제1,2 검출신호(too_low, too_high)에 응답하여 오실레이팅 인에이블 신호(Osc_Enable) 및 액티브 신호(Active)를 생성한다. 상기 오실레이터(200)는 상기 오실레이팅 인에이블 신호(Osc_Enable)에 응답하여 발진을 행하여 펌핑 클럭(Pump_Clk)을 생성한다. 상기 고전압 펌프(100)는 상기 펌핑 클럭(Pump_Clk)에 응답하여 차아지 펌핑을 행하여 노드(ND1)에 설정된 전압을 생성한다. 전압 안정화 동작을 수행하기 위한 상기 레귤레이터(300)는 상기 노드(ND1)에 설정된 전압의 레벨을 검출하여 상기 제1,2 검출신호(too_low, too_high)를 생성하며, 상기 콘트롤 회로(400)에서 제공되는 액티브 신호(Active)를 수신한다. 상기 레귤레이터(300)의 단자(Vwl_read)는 상기 노드(ND1)와 동일하며, 검출단이 되는 동시에 전압 출력단이 된다.

<20> 도 2는 도 1중 레귤레이터에 대응되는 종래의 세부적 레귤레이팅 회로도이고, 도 3은 도 2에 따른 동작 타이밍도이다.

<21> 먼저, 도 2를 참조하면, 상기 고전압 펌프(100)의 설정된 전압을 검출 출력단(Vwl_read)으로 삼아 설정된 기준전압(Vref)레벨에 추종되는 전압을 유지하도록 하는 스탠바이 레귤레이팅부(321) 및 액티브 레귤레이팅부(331)가 보여진다. 상기 액티브 신호(Active)는 상기 콘트롤 회로(400)가 상기 제1 검출신호(too_low)를 수신한 경우에 생성하는 신호이다. 여기서, 상기 액티브 신호(Active)는 스탠바이 신호(Standby)와는 위상이 반대인 것을 도 3으로부터 알 수 있으므로, 상기 스탠바이 레귤레이팅부(321) 및 액티브 레귤레이팅부(331)는 서로 교대로 전압 레귤레이팅 동작을 수행한다.

<22> 랜덤 억세스 리드 스피드(Random Access Read Speed)를 빠르게 하기 위해 일정 레벨을 항상 유지하는 스탠바이(Standby) 방식에서, 스탠바이 전류(Standby Current: Isb)를 최소로 줄이기 위해 상기 스탠바이 레귤레이팅부(321)의 저항들(R0,R1)에 의한 시정수 RC값은 상기 액티브 레귤레이팅부(331)의 저항들(R100,R101)에 의한 시정수 RC 값보다 크게 설정된다. 결국, 상기 저항들(R0,R1)의 저항비는 상기 저항들(R100,R101)의 저항비와 같으나, 사용되는 각각의 저항값은 상기 저항들(R0,R1)이 훨씬 더 크다. 따라서, 상기 스탠바이 레귤레이팅부(321)의 응답 속도(Response Speed)는 상기 액티브 레귤레이팅부(331)의 응답 속도보다 느리게 된다.

<23> 예를 들어, 도 3의 타임 포인트 t1과 t2 사이의 구간에서 보여지는 바로서, 상기 액티브 신호(Active)가 디세이블(Disable)상태에 있으면, 검출 출력단(Vwl_read)의 전압 레벨은 리크전류[Ileak (Ileak >> Isb)]에 의해 제1 레벨(L1)을 향해 점차적으로 떨어지기 시작한다. 이 경우에 상기 스탠바이 레귤레이팅부(321)는 인에이블 상태

이므로 저하신호(too_Low)를 검출할 때 까지는 동작한다. 검출 출력단(Vwl_read)의 전압 레벨이 제1 레벨(L1)까지 떨어지면, 제1 분압 검출 출력단(Node_A)의 전압 레벨은 설정된 기준전압(Vref)레벨보다 낮게 되고, 비교기(OPA0)는 상기 검출 출력단(Vwl_read)의 전압 레벨이 상승되도록 요구하는 제1 검출신호 즉, 상기 저하신호(too_Low)를 출력한다. 콘트롤 회로(400)는 상기 저하신호(too_Low)를 수신할 경우, 상기 액티브 신호(Active)를 인에이블 상태로 활성화시킨다. 물론, 이 경우에 도 1의 고전압 펌프(100)도 차아지 펌핑을 행한다. 이에 따라, 상기 타임 포인트 t2 부터는 검출 출력단(Vwl_read)의 전압 레벨은 제2 레벨(L2)을 향해 점차적으로 상승하기 시작한다. 상기 액티브 레귤레이팅부(331)가 인에이블 되어 동작을 시작하면 피형 모오스 트랜지스터(MP1)는 턴오프되고, 인버터(INV0)의 인버팅에 의해 스탠바이 신호(Standby)는 논리 로우가 되고 피형 모오스 트랜지스터(MP0)는 턴온된다. 상기 제1 분압 검출 출력단(Node_A)의 전압 레벨을 동작 전원전압(VDD)의 레벨로 초기화(Initialize)하기 위한 상기 피형 모오스 트랜지스터(MP0)의 턴온 동작은 상기 액티브 레귤레이팅부(331)내의 비교기(OPA1)가 상승신호(too _High)를 검출할 때 까지 지속된다. 결국, 도 3의 타임 포인트 t2에서 t3까지 구간동안 상기 액티브 레귤레이팅부(331)의 인에이블 동작이 지속되다가, 타임 포인트 t3 이후에는 상기 상승신호(too _High)가 논리 하이로서 생성된다. 이에 따라, 상기 피형 모오스 트랜지스터(MP0)는 턴오프되고, 상기 제1 분압 검출 출력단(Node_A)의 초기화 동작은 중단된다. 상기 상승신호(too High)가 상기 콘트롤 회로(400)에 인가되면, 상기 액티브 신호(Active)는 디세이블 되고, 상기 스탠바이 신호(Standby)가 인에이블된다. 이 때, 제2 분압 검출 출력단(B)의 전압 레벨을 동작 전원전압(VDD)의 레벨로 초기화(Initialize)하기 위해, 상기 피형 모오스 트랜지스터(MP1)가 턴온된다.

<24> 도 3의 타임 포인트 t6 까지 상기 스탠바이 레귤레이팅부(321) 및 액티브 레귤레이팅부(331)가 서로 번갈아 동작되던 중, 상기 타임 포인트 t6 이후에 예를 들어 리드 코멘드가 인가되었다고 하자. 결국, 액티브 인에이블 구간인 T1에서 상기 검출 출력단(Vwl_read)의 전압 레벨이 다 리드 동작(Many Times Read Operation)에 의해 불균일하게 될 경우에 상기 제1 분압 검출 출력단(Node_A)의 초기화 타임(Initialize Time)도 동일한 영향을 받게 되어, 상기 제1 분압 검출 출력단(Node_A)의 방전 타임(Discharge Time)이 변화된다. 이는 결국 도 3의 참조부호 P1에서 보여지는 바와 같이 검출 출력 레벨(Vwl_read Level)이 기대치 레벨(L1)보다 드롭되는 결과를 초래한다. 상기 검출 출력단(Vwl_read)의 전압 레벨이 리드 동작모드에서 워드라인에 인가되는 경우 이와 같은 문제는 리드 마진(Read Margin)을 축소시키는 요인이 된다.

<25> 결국, 종래에는 상기 스탠바이 레귤레이팅부(321)의 응답 속도(Response Speed)가 상기 액티브 레귤레이팅부(331)의 응답 속도보다 느린 상태에서 서로 의존적인 초기화 동작을 행하기 때문에, 상기 검출 출력단(Vwl_read)의 전압 레벨이 상기 하한 레벨(L1)이하로 완전히 드롭된 경우에도 상기 제1 분압 검출 출력단(Node_A)의 레벨이 상기 설정된 기준전압(Vref)레벨 이하로 신속히 드롭되지 않는다. 그러므로, 전압 공급기가 공급하는 전압이 불안정하게 되어 각 동작 모드에서의 동작 에러를 유발할 수 있는 문제점이 있다.

<26> 따라서, 불휘발성 반도체 메모리의 동작 모드 예컨대 리드 동작 등에서 필요한 전압을 정확하고 안정적으로 공급할 수 있는 레귤레이팅 테크닉이 본 분야에서 절실히 요망된다.

발명이 이루고자 하는 기술적 과제

<27> 따라서, 본 발명의 목적은 종래 기술의 문제점을 극복할 수 있는 불휘발성 반도체 메모리를 제공함에 있다.

<28> 본 발명의 다른 목적은 각종 동작모드에서 필요한 전압을 안정적으로 제공할 수 있는 불휘발성 반도체 메모리의 전압 레귤레이팅 회로를 제공함에 있다.

<29> 본 발명의 또 다른 목적은 리드 시 필요한 워드라인 전압을 안정적으로 발생시킬 수 있는 불휘발성 반도체 메모리의 리드 전압 레귤레이팅 회로를 제공함에 있다.

<30> 본 발명의 또 다른 목적은 종래의 전압 레귤레이팅 방법을 새로이 개량하여 리드전압을 안정화하고 센싱 마진을 확대하고자 함에 있다.

<31> 상기한 기술적 과제들을 달성하기 위한 본 발명의 실시예적 양상(aspect)에 따라, 전압 레귤레이팅 회로는, 제1 분압 검출 출력단의 전압 레벨을 설정된 기준전압 레벨과 비교하여 검출 출력단의 전압 레벨이 상승되도록 요구하는 제1 검출신호를 생성하는 제1 레귤레이팅부와; 제2 분압 검출 출력단의 전압 레벨을 상기 설정된 기준전압 레벨과 비교하여 상기 검출 출력단의 전압 레벨이 하강되도록 요구하는 제2 검출신호를 생성하는 제2 레귤레이팅부와; 상기 제1 레귤레이팅부의 상기 제1 검출신호에 응답하여 상기 제1 분압 검출 출력단이, 상기 제2 레귤레이팅부의 동작구간에 의존함이 없이, 항상 일정 타임구간 내에 초기화되도록 하기 위한 콘스탄트 타임 디세이

블부를 구비한다.

<32> 바람직하기로, 상기 제1 레귤레이팅부의 디세이블 구간은 상기 제2 레귤레이팅부의 동작구간의 장단에 상관없이 일정하게 유지된다.

<33> 바람직하기로, 상기 콘스탄트 타임 디세이블부는, 상기 제1 검출신호의 제1상태에 응답하여 제2 상태의 쇼트 펄스를 생성하는 쇼트 펄스 생성부와; 상기 제2 상태의 쇼트 펄스에 상응하는 펄스 구간만 동작 전원전압을 상기 제1 분압 검출 출력단에 공급하기 위한 모오스 트랜지스터로 구성될 수 있으며, 상기 제1 분압 검출 출력단은 상기 검출 출력단과 접지전압 사이에 일정 저항비를 형성하며 직렬로 연결된 분압 저항들 사이에 존재한다. 상기 제1 레귤레이팅부와 상기 제2 레귤레이팅부는 독립적 콘트롤 하에서 대체로 번갈아 동작하며, 상기 제1,2 분압 검출 출력단의 저항비는 동일하나, 상기 제1 분압 검출 출력단의 분압 저항들의 각각의 저항값이 상대적으로 더 클 수 있다.

<34> 본 발명의 다른 기술적 양상에 따라, 불휘발성 반도체 메모리 장치에서의 전압 레귤레이팅 방법은,

<35> 리드 동작에서 필요한 워드라인 전압을 안정적으로 발생시키기 위해 차아지 펌프의 출력에 검출단이 연결되는 스탠바이 회로와 액티브 회로를 준비하는 단계와:

<36> 상기 스탠바이 회로에서 저하신호가 발생될 경우에 상기 액티브 회로를 인에이블 시키며, 상기 액티브 회로의 인에이블과는 독립적으로 상기 스탠바이 회로를 일정타임 구간만 디세이블 시키는 단계와;

<37> 상기 액티브 회로에서 상승신호가 발생될 경우에 상기 액티브 회로를 디세이블 시키는 단계를 구비한다.

<38> 상기한 본 발명의 장치적 방법적 구성에 따르면, 반도체 장치에 필요한 전압이 안정적으로 공급되는 효과가 있다. 본 발명의 레귤레이팅 회로가 불휘발성 반도체 메모리의 리드 전압공급기에 채용될 경우에 리드동작 모드에서 필요한 워드라인 전압이 안정적으로 공급되어, 센싱 마진이 확대되는 장점이 있다. 따라서, 불휘발성 반도체 메모리 장치의 리드 동작에 대한 신뢰성 특성 및 리드 성능이 개선되는 이점이 있다.

발명의 구성 및 작용

<39> 이하에서는 본 발명의 바람직한 실시 예가, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어서, 본 발명의 철저한 이해를 제공할 의도 외에는 다른 의도 없이, 첨부된 도면들을 참조로 설명되어질 것이다.

<40> 먼저, 도 4는 본 발명의 실시예에 따른 세부적 레귤레이팅 회로이고, 도 5는 도 4에 따른 동작 타이밍도이다.

<41> 도면들을 설명하기 전에, 본 발명에서의 기본적 기술원리를 설명하면, 기 설명된 도 3에서의 참조부호 P1과 같은 드롭 현상을 깨끗이 해결하기 위해, 스탠바이 레귤레이팅부의 디세이블 구간을 액티브 레귤레이팅부의 액티브 구간과는 독립적으로 일정하게 설정하여 주는 것이 특징이다. 결국, 스탠바이 레귤레이팅부 내의 분압 검출단이 동작 전원전압의 레벨로 초기화되는 구간은 상기 액티브 레귤레이팅부의 인에이블 구간에 의존함이 없이 항상 일정하게 되기 때문에, 스탠바이 레귤레이팅부의 응답속도가 종래에 비해 현저히 빠르게 된다. 따라서, 공급 전압의 레벨이 다 리드 동작 구간에서도 안정하게 된다.

<42> 도 4를 참조하면, 종래 기술의 도면인 도 2와는 대조되는 전압 레귤레이팅 회로가 보여진다. 상기 도 4의 회로는 반도체 장치, 특히 멀티레벨 셀을 복수로 구비하는 노아 타입 불휘발성 반도체 메모리에서 리드 전압을 공급하기 위한 전압 공급기에 적절히 채용될 수 있다.

<43> 도 4의 경우에도 도 2와 같이 서로 교대로 동작하는 제1 및 제2 레귤레이팅 회로를 가지지만, 제1 레귤레이팅 회로(320)의 스탠바이 신호(Standby)의 펄스 폭이 제2 레귤레이팅 회로(330)의 액티브 신호(Active)의 인에이블 펄스 폭에 의존하지 않는 다는 것이 구별되는 점이다. 결국, 상기 제1 레귤레이팅 회로(320)는, 회로 초기화를 위한 디세이블 동작을 상기 제2 레귤레이팅 회로(330)의 액티브 동작 구간에 의존함이 없이 독립적으로 일정 타임 구간만큼만 수행한다.

<44> 다시 한번 특징적 차이를 강조하면, 도 4의 회로에서는 스탠바이 구간과 액티브 구간이 서로 독립적으로 제어되며, 스탠바이 구간에는 오토 피드백 루프(Auto Feedback Loop)가 형성되어진다.

<45> 도 4에서, 스탠바이 레귤레이팅부에 대응되는 제1 레귤레이팅 회로(320)는,제1 분압 검출 출력단(Node_B)의 전압 레벨을 설정된 기준전압(Vref) 레벨과 비교하여 검출 출력단(Vwl_read)의 전압 레벨이 상승되도록 요구하는 제1 검출신호(too_low)를 생성하기 위해, 분압 저항들(322,321)과, 모오스 트랜지스터들(323,325)과, 비교기(324)와, 쇼트 펄스 발생기(310)를 구비하며, 도면에서 보여지는 바와 같은 와이어링 구조를 갖는다.

<46> 상기 쇼트 펄스 발생기(310)와 상기 모오스 트랜지스터(323)는 상기 콘스탄트 타임 디세이블부를 구성한다. 상기 쇼트 펄스 발생기(310)는 상기 제1 검출신호(too_low)의 제1상태(예컨대 라이징 에지)에 응답하여 제2 상태(예컨대 논리 로우)의 쇼트 펄스(Standby)를 생성한다. 상기 모오스 트랜지스터(323)는 상기 제2 상태의 쇼트 펄스(Standby)에 상응하는 펄스 구간 동안에만 턴온되어 동작 전원전압(VDD)을 상기 제1 분압 검출 출력단(Node_B)에 공급한다.

<47> 한편, 액티브 레귤레이팅부에 대응되는 제2 레귤레이팅 회로(330)는, 도 4에서 보여지는 제2 분압 검출 출력단(B1)의 전압 레벨을 상기 설정된 기준전압(Vref) 레벨과 비교하여 상기 검출 출력단(Vwl_read)의 전압 레벨이 하강되도록 요구하는 제2 검출신호(too_high)를 생성하기 위해, 분압 저항들(332,331)과, 모오스 트랜지스터들(333,338,336)과, 비교기(334)와, 인버터(335)를 구비하며, 도면에서 보여지는 바와 같은 와이어링 구조를 갖는다.

<48> 도 4의 회로에서는 도 2에서는 존재하지 않던 쇼트 펄스 발생기(310)가 구비되어 있으며, 도 2에서는 존재하던 인버터(INV0)가 스탠바이/액티브 개별 제어를 위해 제거됨을 알 수 있다.

<49> 결국, 도 4에서 보여지는 콘스탄트 타임 디세이블부는 본 발명의 목적을 해결하기 위해 마련된 것으로서, 상기 제1 레귤레이팅 회로(320)의 상기 제1 검출신호(too_low)에 응답하여 상기 제1 분압 검출 출력단(Node_B)이, 상기 제2 레귤레이팅 회로(330)의 동작구간에 의존함이 없이, 항상 일정 타임구간 내에 초기화되도록 하는 역할을 한다.

<50> 도 5를 참조시, 상기 제1 레귤레이팅 회로(320)의 디세이블 구간(Standby)은 상기 제2 레귤레이팅 회로(330)의 동작구간(Active)의 장단(롱/쇼트)에 상관없이 일정한 폭을 유지하고 있는 것을 확인할 수 있다.

<51> 이하에서는 본 발명에 대한 보다 철저한 이해를 제공할 의도이외에는 다른 의도없이, 도 4 및 도 5를 참조로 회로 동작의 실시예가 설명될 것이다.

<52> 도 5에서 보여지는 스탠바이 신호(Standby)의 로우 구간은 액티브 신호(Active)의 하이구간의 폭에 의존함이 없이 일정한 폭으로 되어 있다. 도 4의 경우에도, 스탠바이 전류(Standby Current: Isb)를 최소로 줄이기 위해 상기 스탠바이 레귤레이팅 회로(320)의 저항들(R2,R3)에 의한 시정수 RC값은 상기 액티브 레귤레이팅 회로(330)의 저항들(R102,R103)에 의한 시정수 RC 값보다 크게 설정된다. 결국, 상기 저항들(R2,R3)의 저항비는 상기 저항들(R102,R103)의 저항비와 같으나, 사용되는 각각의 저항값은 상기 저항들(R2,R3)이 훨씬 더 크다. 그렇지만, 상기 스탠바이 레귤레이팅 회로(320)의 응답 속도(Response Speed)는 종래의 경우에 비해 빨라진다.

<53> 도 5의 타임 포인트 t1과 t2 사이의 구간에서 보여지는 바로서, 상기 액티브 신호(Active)가 디세이블(Disable)상태에 있으면, 검출 출력단(Vwl_read)의 전압 레벨은 리크전류[Ileak (Ileak >> Isb)]에 의해 제1 레벨(L1)을 향해 점차적으로 떨어지기 시작한다. 이 경우에 상기 스탠바이 레귤레이팅 회로(320)는 인에이블 상태이므로 저하신호(too_Low)를 검출할 때 까지는 동작한다. 검출 출력단(Vwl_read)의 전압 레벨이 제1 레벨(L1)까지 떨어지면, 제1 분압 검출 출력단(Node_B)의 전압 레벨은 설정된 기준전압(Vref)레벨보다 낮게 되고, 비교기(324)는 상기 검출 출력단(Vwl_read)의 전압 레벨이 상승되도록 요구하는 제1 검출신호 즉, 상기 저하신호(too_Low)를 출력한다. 도 1의 콘트롤 회로(400)는 상기 저하신호(too_Low)를 수신할 경우, 상기 액티브 신호(Active)를 인에이블 상태로 활성화시킨다. 물론, 이 경우에 도 1의 고전압 펌프(100)도 차아지 펌핑을 행한다. 이에 따라, 상기 타임 포인트 t2 부터는 검출 출력단(Vwl_read)의 전압 레벨은 제2 레벨(L2)을 향해 점차적으로 상승하기 시작한다. 상기 액티브 레귤레이팅 회로(330)가 인에이블 되어 동작을 시작할 경우에, 상기 피형 모오스 트랜지스터(MP3)는 턴오프된다. 한편, 상기 액티브 레귤레이팅 회로(330)의 동작과는 별도로, 상기 스탠바이 신호(Standby)는 쇼트펄스 발생기(310)의 로우 펄스 폭만큼 생성되고, 이 로우 펄스 폭의 구간만큼만 피형 모오스 트랜지스터(MP2)는 턴온된다. 상기 제1 분압 검출 출력단(Node_B)의 전압 레벨을 동작 전원전압(VDD)의 레벨로 초기화(Initialize)하기 위한 상기 피형 모오스 트랜지스터(MP2)의 턴온 동작은 상기 액티브 신호(Active)의 인에이블 구간과는 상관없이 상기 쇼트펄스 발생기(310)의 로우 펄스 폭만큼만 지속된다. 결국, 상기 스탠바이 레귤레이팅 회로(320)의 디세이블 타임은 상기 저하신호(too_Low)가 감지된 후 일정 타임 구간만큼만 설정되는 것이다.

<54> 결국, 도 5의 타임 포인트 t2에서 t3까지 구간동안 상기 액티브 레귤레이팅 회로(330)의 인에이블 동작이 지속되다가, 타임 포인트 t3 이후에는 상기 상승신호(too _High)가 논리 하이로서 생성된다. 이 경우에 상기 모오스 트랜지스터(MP2)는 상기 쇼트 펄스에 의해 이미 턴오프되어 있으므로, 상기 제1 분압 검출 출력단(Node_A)의 초기화 동작은 예전에 중단된 상태이다. 상기 상승신호(too High)가 상기 콘트롤 회로(400)에 인가되면, 상기

액티브 신호(Active)는 디세이블 되며, 이 때, 제2 분압 검출 출력단(B1의 전압 레벨을 동작 전원전압(VDD)의 레벨로 초기화(Initialize)하기 위해, 상기 피형 모오스 트랜지스터(MP3)가 턴온된다.상기 액티브 신호(Active)가 디세이블 되기 이전에 이미 상기 스탠바이 신호(Standby)는 하이 상태로 인에이블되어 있다.

<55> 도 5의 타임 포인트 t6 까지 상기 스탠바이 레귤레이팅 회로(320) 및 액티브 레귤레이팅부(330)가 서로 번갈아 독립적 제어 방식으로 동작되던 중, 상기 타임 포인트 t6 이후에 예를 들어 리드 코멘드가 인가되었다고 하자. 결국, 액티브 인에이블 구간인 T1에서 상기 검출 출력단(Vwl_read)의 전압 레벨이 다 리드 동작(Many Times Read Operation)에 의해 불균일하게 될 경우라 하더라도 상기 제1 분압 검출 출력단(Node_A)의 초기화 타임(Initialize Time)은 거의 영향을 받지 않는다. 결국, 제1 분압 검출 출력단(Node_B)의 방전 타임(Discharge Time)이 액티브 인에이블 구간인 T1과는 독립적으로 일정하게 되므로, 도 3의 참조부호 P1에서 보여지는 바와 같이 검출 출력 레벨(Vwl_read Level)이 기대치 레벨(L1)보다 드롭되는 결과를 야기하지 않는다.

<56> 결국, 종래와는 달리 본 발명의 경우에는 상기 스탠바이 레귤레이팅 회로(320)의 응답 속도가 상기 액티브 레귤레이팅부(330)의 응답 속도보다 느린 상태이지만, 서로 독립적인 초기화 동작을 행하기 때문에, 상기 검출 출력단(Vwl_read)의 전압 레벨이 상기 하한 레벨(L1)이하로 완전히 드롭되는 경우는 발생되기 어렵다. 왜냐하면, 상기 검출 출력단(Vwl_read)의 전압 레벨이 하강되는 경우에 상기 제1 분압 검출 출력단(Node_B)의 레벨도 상기 설정된 기준전압(Vref)레벨을 향해 신속히 드롭되기 때문이다.

<57> 도 4에서 보여지는 콘스탄트 타임 디세이블부(310,323)는 상기 제1 레귤레이팅부(320)의 상기 제1 검출신호(too_low)에 응답하여 상기 제1 분압 검출 출력단(Node_B)이, 상기 제2 레귤레이팅부(330)의 동작구간에 의존함이 없이, 항상 일정 타임구간 내에 초기화되도록 함에 의해, 스탠바이 디세이블 타임(Disable Time)은 일정해진다. 그러므로, 상기 제1 레귤레이팅 회로(320)는 저하신호(too Low)감지 후 일정 시간만 균일하게 초기화(Initialize)를 행한 후, 상기 액티브 구간에 무관하게 인에이블되어 상기 검출 출력단(Vwl_read)의 전압 레벨이 하강되는 지의 유무를 신속히 검출할 수 있게 된다. 따라서, 다 리드 동작(Many Times Read Operation)에 의한 액티브 인에이블(Active Enable)구간이 불균일하게 발생하더라도 스탠바이 오토 피드백 루프(Standby Auto Feedback Loop)를 통해 검출 출력의 레벨(Vwl_read Level)을 안정화시킬 수 있다.

<58> 결과적으로 본 발명을 통해 불휘발성 반도체 메모리에서의 리드 동작시 워드라인에 필요하게 되는 전압 레벨을 안정하게 생성하여 센싱 마진을 확보할 수도 있게 된다.

<59> 상기한 실시 예에서의 설명은 본 발명의 더욱 철저한 이해를 위하여 도면을 참조로 예를 든 것에 불과하므로, 본 발명을 한정하는 의미로 해석되어서는 안될 것이다. 또한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기본적 원리를 벗어나지 않는 범위 내에서 다양한 변화와 변경이 가능함은 명백하다 할 것이다. 예컨대, 사안이 다른 경우에 독립적 초기화 방식에 사용되는 펄스 발생기 등의 회로소자를 타의 소자로 대체하거나, 공급되는 전압의 레벨을 다르게 설정하거나, 레귤레이팅 회로의 세부적 구성이나 동작을 본 발명의 기본적 기술적 원리를 벗어나지 않는 범위 내에서 달리 변경 또는 변화시킬 수 있음은 물론이다.

발명의 효과

<60> 상기한 바와 같은 본 발명의 전압 레귤레이팅 회로에 따르면, 반도체 장치에 필요한 전압이 안정적으로 공급되는 효과가 있다. 본 발명에 따른 레귤레이팅 회로가 멀티레벨 셀을 갖는 불휘발성 반도체 메모리의 리드 전압공급기에 채용될 경우에 리드동작 모드에서 필요한 워드라인 전압이 안정적으로 공급되므로, 센싱 마진을 증가시키는 장점을 제공한다. 따라서, 불휘발성 반도체 메모리 장치의 리드 동작에 대한 신뢰성 특성 및 리드 성능이 개선되는 이점이 있다.

도면의 간단한 설명

<1> 도 1은 불휘발성 반도체 메모리에서의 전형적 전압 공급기의 회로블록도

<2> 도 2는 도 1중 레귤레이터에 대응되는 종래의 세부적 레귤레이팅 회로도

<3> 도 3은 도 2에 따른 동작 타이밍도

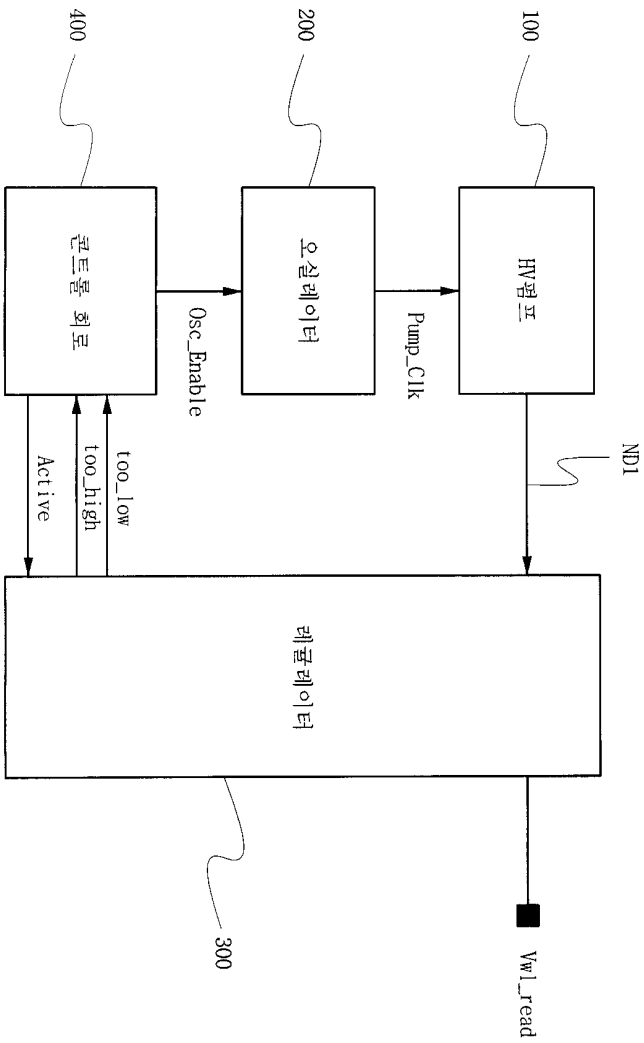
<4> 도 4는 본 발명의 실시예에 따른 세부적 레귤레이팅 회로도

<5> 도 5는 도 4에 따른 동작 타이밍도

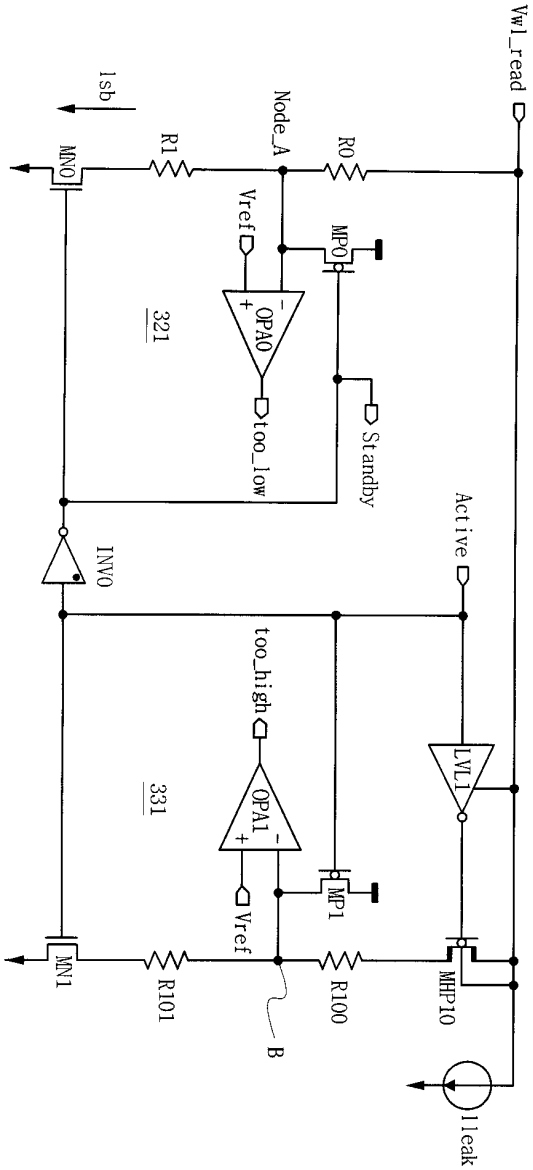
<6>

도면

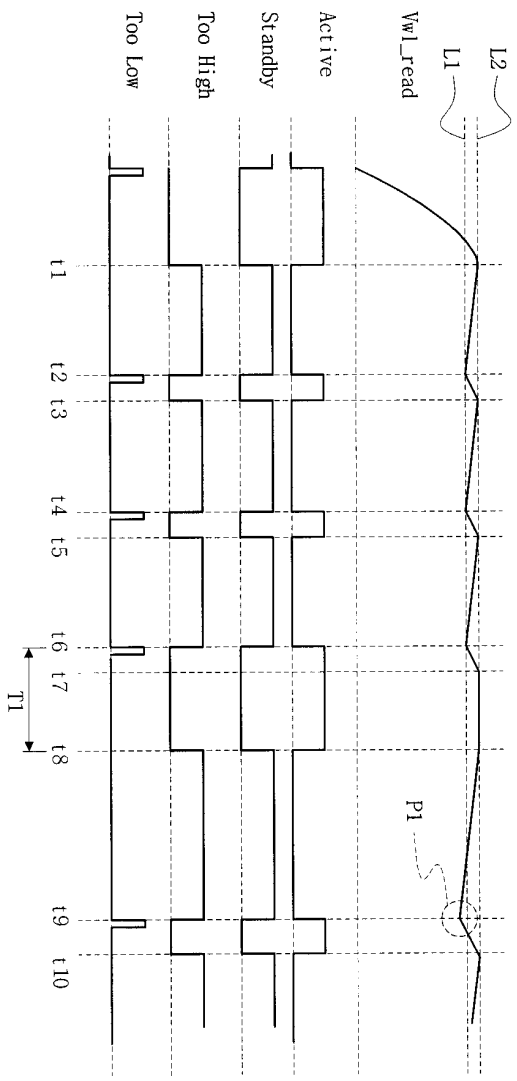
도면1


400
200
100
콘트롤 회로
오실레이터
HV펌프
Osc_Enable
Pump_Clk
ND1
Active
too_high
too_low
레귤레이터
300
Vwl_read

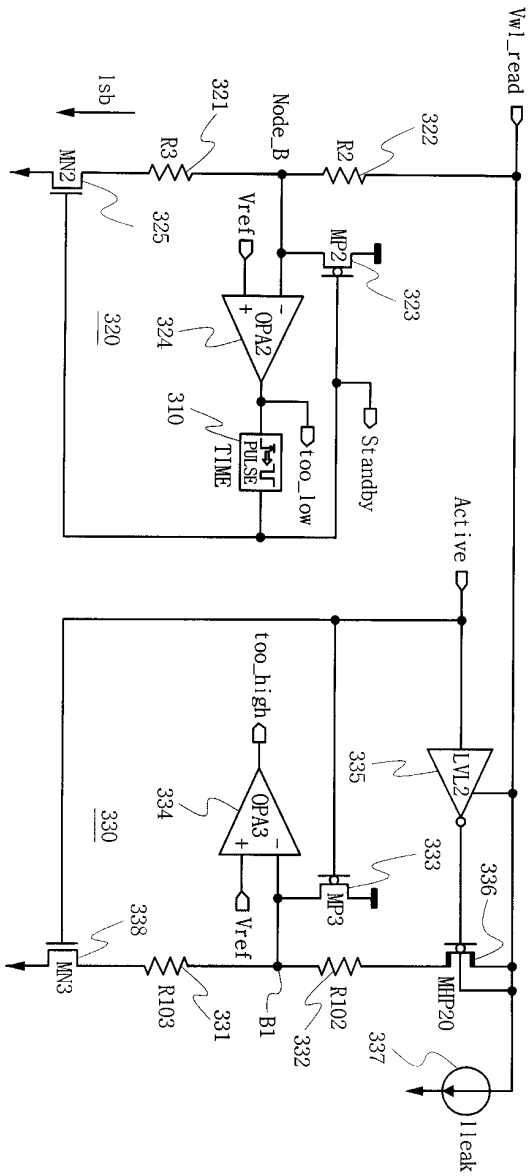
도면2


Vwl_read
lsb
Node_A
R0
R1
MN0
Vref
MP0
OPA0
321
too_low
Standby
Active
INV0
too_high
LVL1
OPA1
331
MP1
Vref
MN1
R101
R100
MHP10
B
Ileak

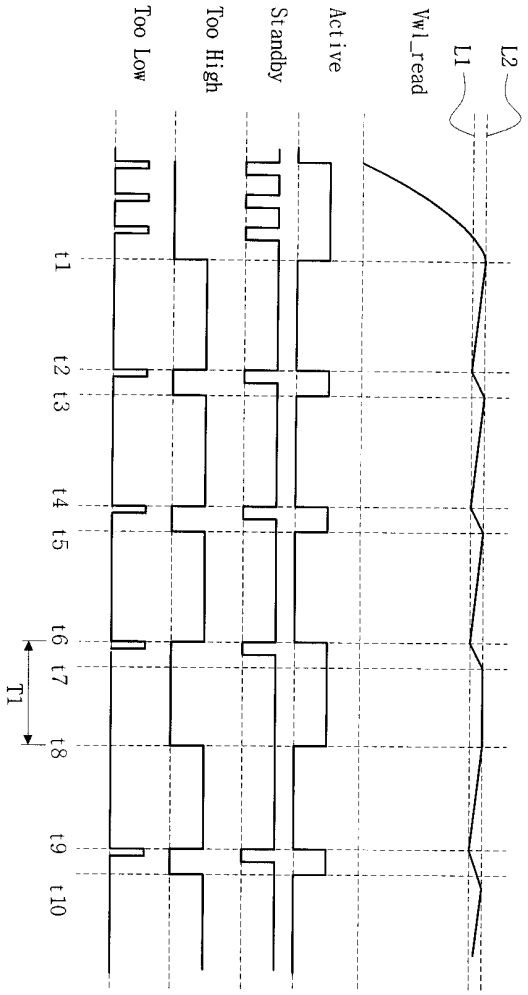
도면3


Too Low
Too High
Standby
Active
Vwl_read
L1
L2
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
T1
P1

도면4


Vwl_read
Isb
321
Node_B
322
MN2
R3
R2
325
Vref
MP2
323
320
324
OPA2
310
too_low
Standby
TIME
PULSE
Active
too_high
335
LVL2
334
OPA3
330
333
336
MP3
338
Vref
MN3
R103
331
B1
R102
332
MHP20
337
Ileak

도면5


L2
L1
Vwl_read
Active
Standby
Too High
Too Low
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
T1