



(12) 发明专利申请

(10) 申请公布号 CN 115656769 A

(43) 申请公布日 2023. 01. 31

(21) 申请号 202211260839.X

G01R 31/3181 (2006.01)

(22) 申请日 2022.10.14

(71) 申请人 中国电子产品可靠性与环境试验研究所((工业和信息化部电子第五研究所)(中国赛宝实验室))

地址 511300 广东省广州市增城区朱村街朱村大道西78号

(72) 发明人 余永涛 罗军 李军求 王小强 陈煜海

(74) 专利代理机构 华进联合专利商标代理有限公司 44224

专利代理师 曾情

(51) Int. Cl.

G01R 31/28 (2006.01)

G01R 31/317 (2006.01)

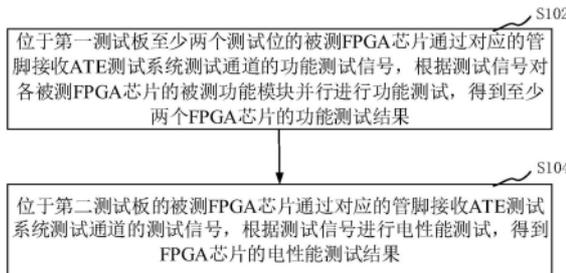
权利要求书2页 说明书12页 附图3页

(54) 发明名称

FPGA多芯片的并行测试方法、装置和计算机设备

(57) 摘要

本申请涉及一种FPGA多芯片的并行测试方法、装置、计算机设备、存储介质和计算机程序产品。该方法包括:通过位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能测试结果,位于第二测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。该方法解耦了FPGA芯片的功能测试和电性能测试,通过并行进行功能测试,解决了多管脚FPGA芯片测试需求与ATE机台测试通道有限的矛盾,缩短测试时间,提高FPGA芯片的测试效率,实现批量芯片的快速测试。



1. 一种FPGA多芯片的并行测试方法,所述方法包括:

位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据所述测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个所述FPGA芯片的功能测试结果;

位于第二测试板的所述被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据所述测试信号进行电性能测试,得到所述FPGA芯片的电性能测试结果。

2. 根据权利要求1所述的方法,其特征在于,所述位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据所述测试信号对被测功能模块进行功能测试,得到所述FPGA芯片的功能测试结果,包括:

位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的时钟信号;

根据所述时钟信号,FPGA芯片内建自测试向量生成模块生成测试向量;

将所述测试向量作用于FPGA芯片的被测功能模块,得到实际输出;

比较测试向量的期望输出和所述实际输出,得到所述FPGA芯片的被测功能模块的测试结果;

根据各所述被测功能模块的测试结果,得到所述FPGA芯片的功能测试结果。

3. 根据权利要求1所述的方法,其特征在于,所述第二测试板包括一个测试位;所述电性能检测所需的测试通道的数量大于所述功能测试所需的测试通道的数量,接近ATE测试系统的测试通道数。

4. 根据权利要求2所述的方法,其特征在于,所述方法还包括:

获取所述被测FPGA芯片在所述第一测试板的不同测试位的被测功能模块的测试结果;

若所述被测FPGA芯片在不同测试位的被测功能模块的测试结果合格,则验证所述FPGA芯片的所述被测功能模块的测试通过。

5. 根据权利要求1至5任一项所述的方法,其特征在于,所述测试通道预先根据管脚定义配置,所述配置包括电源配置、I/O配置、电压/电流配置和时序配置。

6. 根据权利要求1所述的方法,其特征在于,所述第一测试板包括四个测试位;四个被测FPGA芯片被同时放置在所述测试位上并行进行功能测试。

7. 一种FPGA多芯片的并行测试装置,其特征在于,所述装置包括:

功能测试模块,位于第一测试板至少两个测试位的被测FPGA芯片用于通过对应的管脚接收ATE测试系统测试通道的时钟信号,根据所述测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个所述FPGA芯片的功能性能测试结果;

电性能测试模块,位于第二测试板的所述被测FPGA芯片用于通过对应的管脚接收ATE测试系统测试通道的测试信号,根据所述测试信号进行电性能测试,得到所述FPGA芯片的电性能测试结果。

8. 一种计算机设备,包括存储器和处理器,所述存储器存储有计算机程序,其特征在于,所述处理器执行所述计算机程序时实现权利要求1至6中任一项所述的方法的步骤。

9. 一种计算机可读存储介质,其上存储有计算机程序,其特征在于,所述计算机程序被处理器执行时实现权利要求1至6中任一项所述的方法的步骤。

10. 一种计算机程序产品,所述计算机程序产品,包括计算机程序,其特征在于,所述计

计算机程序被处理器执行时实现权利要求1至6中任一项所述的方法的步骤。

## FPGA多芯片的并行测试方法、装置和计算机设备

### 技术领域

[0001] 本申请涉及芯片测试技术领域,特别是涉及一种FPGA多芯片的并行测试方法、装置和计算机设备存储介质和计算机程序产品。

### 背景技术

[0002] 现场可编程门阵列FPGA芯片(field programmable gate array,FPGA)具有逻辑密度高、可重复配置、在线编程等优点。伴随半导体制造工艺技术的不断进步,FPGA向着高速、大容量、高密度、多功能的方向快速发展,内部资源规模达到千万门级甚至亿门级,芯片管脚数量从几百提升到1000pin以上。

[0003] 芯片测试是保证FPGA产品质量的重要途径,随着FPGA芯片集成规模不断增大,芯片管脚数量越来越多。同时随着国产FPGA芯片市场规模和应用需求的增加,单一型号量产规模已达到几万到几十万片,芯片量产测试需求量激增,对FPGA的高效快速测试提出了需求。近年来,基于ATE(Auto test equipment)自动化测试系统的FPGA芯片测试方法以其测试效率高、测试速度快成为批量化FPGA芯片测试的主流技术。

[0004] 目前,目前大规模先进FPGA芯片管脚数达到1000pin以上,芯片的测试需求量大,而现有的集成电路ATE测试机台通道数一般不超过2000。ATE测试系统由于测试通道资源的限制,对于千级数量管脚的FPGA芯片,现有ATE测试机台只能进行单芯片测试。对于大容量、高密度、高速的FPGA芯片,数字处理器DSP、锁相环PLL、数字时钟管理单元DCM、控制器、高速接口等内部功能模块复杂,测试向量规模大,单颗芯片的测试时间可达10min以上,测试成本高,严重影响量产芯片规模测试。因此,对于大规模千级数量管脚FPGA芯片,存在芯片测试时间长,测试成本高和测试效率低的问题,严重影响量产芯片的规模测试。

### 发明内容

[0005] 基于此,有必要针对上述技术问题,提供一种利用ATE测试系统实现大规模千级数量管脚FPGA多芯片的并行测试的方法、装置、计算机设备和计算机可读存储介质,提高测试效率,减少测试时间和成本。

[0006] 第一方面,本申请提供了一种利用ATE测试系统进行千级数量管脚FPGA多芯片的并行测试方法。所述方法包括:

[0007] 位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据所述时钟信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个所述FPGA芯片的功能测试结果;

[0008] 位于第二测试板的所述被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据所述测试信号进行电性能测试,得到所述FPGA芯片的电性能测试结果。

[0009] 在其中一个实施例中,所述位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据所述测试信号对各所述被测FPGA芯片的被测功能模块进行功能测试,得到所述FPGA芯片的功能测试结果,包括:

[0010] 位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的时钟信号；

[0011] 根据所述时钟信号，FPGA芯片内建自测试向量生成模块生成测试向量；

[0012] 将所述测试向量作用于FPGA芯片的被测功能模块，得到实际输出；

[0013] 比较测试向量的期望输出和所述实际输出，得到所述FPGA芯片的被测功能模块的测试结果；

[0014] 根据各所述被测功能模块的测试结果，得到所述FPGA芯片的功能测试结果。

[0015] 在其中一个实施例中，所述第二测试板包括一个测试位；所述电性能检测所需的测试通道的数量大于所述功能性能测试所需的测试通道的数量，接近ATE测试系统的测试通道数。

[0016] 在其中一个实施例中，所述方法还包括：

[0017] 获取所述被测FPGA芯片在所述第一测试板的不同测试位的被测功能模块的测试结果；

[0018] 若所述被测FPGA芯片在不同测试位的被测功能模块的测试结果合格，则验证所述FPGA芯片的所述被测功能模块的测试通过。

[0019] 在其中一个实施例中，所述测试通道预先根据管脚定义配置，所述配置包括电源配置、IO配置、电压/电流配置和时序配置。

[0020] 在其中一个实施例中，所述第一测试板包括四个测试位；四个被测FPGA芯片被同时放置在所述测试位上并行进行功能测试。

[0021] 第二方面，本申请还提供了一种FPGA多芯片的并行测试装置。所述装置包括：

[0022] 功能测试模块，位于第一测试板至少两个测试位的被测FPGA芯片用于通过对应的管脚接收ATE测试系统测试通道的功能测试信号，根据所述测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试，得到至少两个所述FPGA芯片的功能测试结果；

[0023] 电性能测试模块，位于第二测试板的所述被测FPGA芯片用于通过对应的管脚接收ATE测试系统测试通道的测试信号，根据所述测试信号进行电性能测试，得到所述FPGA芯片的电性能测试结果。

[0024] 第三方面，本申请还提供了一种计算机设备。所述计算机设备包括存储器和处理器，所述存储器存储有计算机程序，所述处理器执行所述计算机程序时实现以下步骤：

[0025] 位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号，根据所述测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试，得到至少两个所述FPGA芯片的功能测试结果；

[0026] 位于第二测试板的所述被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号，根据所述测试信号进行电性能测试，得到所述FPGA芯片的电性能测试结果。

[0027] 第四方面，本申请还提供了一种计算机可读存储介质。所述计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现以下步骤：

[0028] 位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号，根据所述测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试，得到所述FPGA芯片的功能测试结果；

[0029] 位于第二测试板的所述被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道

的测试信号,根据所述测试信号进行电性能测试,得到所述FPGA芯片的电性能测试结果。

[0030] 第五方面,本申请还提供了一种计算机程序产品。所述计算机程序产品,包括计算机程序,该计算机程序被处理器执行时实现以下步骤:

[0031] 位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据所述功能测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个所述FPGA芯片的功能测试结果;

[0032] 位于第二测试板的所述被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据所述测试信号进行电性能测试,得到所述FPGA芯片的电性能测试结果。

[0033] 上述FPGA多芯片的并行测试方法、装置、计算机设备和存储介质,通过位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能测试结果,位于第二测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。该方法解耦了FPGA芯片的功能测试和电性能测试,通过并行进行功能测试,解决了多管脚FPGA芯片测试需求与ATE机台测试通道有限的矛盾,缩短测试时间,提高FPGA芯片的测试效率,实现批量芯片的快速测试。

## 附图说明

[0034] 图1为一个实施例中FPGA多芯片的并行测试方法的流程示意图;

[0035] 图2为一个实施例中FPGA芯片内部功能模块BIST测试原理的示意图;

[0036] 图3为一个实施例中单芯片全pin测试的设计示意图;

[0037] 图4为一个实施例中FPGA多芯片并行地进行功能测试的设计示意图;

[0038] 图5为一个实施例中FPGA多芯片的并行测试装置的结构框图;

[0039] 图6为一个实施例中计算机设备的内部结构图。

## 具体实施方式

[0040] 为了使本申请的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本申请进行进一步详细说明。应当理解,此处描述的具体实施例仅用以解释本申请,并不用于限定本申请。

[0041] 本申请的FPGA多芯片的并行测试方法,可通过ATE (Auto test equipment) 自动化测试系统实现。ATE自动化测试系统进行芯片配置,提供电源、时钟等功能测试信号,位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能测试结果,位于第二测试板的被测FPGA芯片通过对应的ATE测试系统管脚接收测试通道的测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。该方法根据测试IO数量需求和测试时间,划分FPGA芯片功能性能测试项目,采用多芯片有效pin并行测试设计进行FPGA功能测试,采用单芯片全pin测试设计进行FPGA电性能参数全测试,形成一种覆盖FPGA功能性能全测试需求的且测试效率较高的测试方法。

[0042] 在一个实施例中,如图1所示,提供一种FPGA多芯片的并行测试方法,该方法应用

于ATE自动化测试系统,包括以下步骤:

[0043] 步骤102,位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能测试结果。

[0044] 其中,现场可编程门阵列FPGA芯片(field programmable gate array,FPGA)具有逻辑密度高、可重复配置、在线编程等优点,在硬件系统完成开发以至实际使用后,还可重新编程配置更改系统设计,同时还具有设计开发周期短、成本较低等优点。目前,FPGA向着高速、大容量、高密度、多功能的方向快速发展,内部资源规模达到千万门级甚至亿门级,芯片管脚数量从几百提升到1000pin以上。

[0045] 芯片测试是保证FPGA产品质量的重要途径,随着FPGA芯片集成规模不断增大,芯片管脚数量越来越多。同时随着国产FPGA芯片市场规模和应用需求的增加,单一型号量产规模已达到几万到几十万片,芯片量产测试需求量激增,对FPGA的高效快速测试提出了需求。ATE自动化测试系统的FPGA芯片测试方法以其测试效率高、测试速度快成为批量化FPGA芯片测试的主流技术。

[0046] 功能性能测试是FPGA芯片测试的重点测试内容,具有测试向量规模大、测试时间长但所需ATE测试通道数少的特点。根据FPGA芯片所有资源可以独立配置且重复编程的特性,采用内建自测试的方法,利用芯片内部可编程逻辑资源构建测试向量生成、施加、输出分析的测试控制结构,使用相对较少的时钟、向量、输出等有效pin,即可实现FPGA芯片硬核功能模块和基本电路功能模块的功能性能测试。即,FPGA芯片进行功能性能测试需要较少的测试通道,第一测试板可以有至少两个测试位,至少两颗FPGA芯片可以同时进行功能性能测试。其中,功能性能测试主要包括APM、GTX、BRAM、PLL、DCM、SCAN、CLB、IOB、配置模块等硬核功能电路模块和基本电路模块的功能性能测试。

[0047] 其中,ATE测试系统有两种测试板,分别为ATE测试系统第一测试板和ATE测试系统第二测试板。ATE测试系统第一测试板对FPGA芯片进行功能测试。具体地,ATE自动化测试系统通过测试通道给出功能测试信号,被测FPGA芯片通过对应的管脚接收测试信号,测试信号作用于被测功能模块以进行功能测试,得到FPGA芯片的功能测试结果。由于功能测试具有测试时间长、需要ATE测试通道数量少的特点,第一测试板上可以有至少两个测试位,放置于至少两个测试位的被测FPGA芯片并行进行功能测试。

[0048] 步骤104,位于第二测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。

[0049] 其中,ATE测试系统有两种测试板,分别为ATE测试系统第一测试板和ATE测试系统第二测试板。ATE测试系统第一测试板对FPGA芯片进行功能测试,ATE测试系统第二测试板对FPGA芯片进行电性能测试。电性能参数测试的测试具有时间短、需要ATE测试通道数多的特点。

[0050] 具体地,ATE自动化测试系统通过测试通道给出测试信号,被测FPGA芯片通过对应的管脚接收测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。

[0051] 上述FPGA多芯片的并行测试方法,通过位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能测试结

果,位于第二测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。该方法解耦了FPGA芯片的功能测试和电性能测试,通过并行进行功能测试,解决了多管脚FPGA芯片测试需求与ATE机台测试通道有限的矛盾,缩短测试时间,提高FPGA芯片的测试效率,实现批量芯片的快速测试。

[0052] 在另一个实施例中,位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对被测功能模块并行功能性能测试,得到FPGA芯片的功能测试结果,包括:位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的时钟信号;根据时钟信号,FPGA芯片内建自测试向量生成模块生成测试向量;将测试向量作用于FPGA芯片的被测功能模块,得到实际输出;比较测试向量的期望输出和实际输出,得到FPGA芯片的被测功能模块的测试结果;根据各被测功能模块的测试结果,得到FPGA芯片的功能测试结果。

[0053] ATE自动化测试系统对FPGA芯片进行测试的流程如下:利用向量转换工具将FPGA芯片配置程序转化成ATE机台可以识别的测试向量,进而通过ATE机台向被测FPGA加载测试向量,ATE机台同时提供被测FPGA芯片运行所需电源和时钟等信号,使FPGA芯片处于特定工作状态,进而根据FPGA芯片输出,来判断测试项是否合格。

[0054] 其中,通过FPGA测试开发工具进行功能BIST测试设计并经过编译、综合等过程后生成配置码流,如Xilinx FPGA开发工具Vivado生成的.bit格式文件。采用EDA工具以及ATE自带转换工具,将芯片配置码流转换成ATE测试机台可以识别的Pattern测试向量文件,如Advantest 93000测试机台的binl文件。也可以按照FPGA芯片功能、电性能参数测试需求,采用ATE测试系统自带的测试程序开发工具进行测试程序开发。

[0055] 大规模高性能FPGA芯片主要由可编程逻辑单元(CLB)、可编程输入输出单元(IOB)、可编程互连资源(IR)、典型功能硬核模块,如块随机存取存储器(BRAM)、时钟管理器(DCM)、算术处理模块(APM)、高速串行模块(GTX)、边界扫描模块(SCAN)、配置模块等构成。其中,内建自测试设计将逻辑资源分为三个模块:测试向量生成模块(TPG)、输出响应检验电路模块(ORA)和被测功能模块(DUT)。FPGA芯片内部功能模块BIST测试原理如图2所示。内建自测试(BIST)设计技术通过在芯片的设计中加入一些额外的自测试电路,测试时只需要从外部施加必要的控制信号,通过运行内建的自测试硬件和软件,检查被测电路的缺陷或故障。TPG模块是根据不同DUT模块的功能来进行编写的,在ATE自动化测试系统给出的时钟信号激励下,TPG模块产生被测模块的激励、控制以及所有输入组合等测试向量,DUT模块接收测试向量后,产生实际响应数据。在测试向量输入条件下,TPG模块产生被测模块产生的预期数据。ORA模块接收实际响应数据和预期数据,并将实际响应数据与预期数据进行比较,判定DUT模块的功能是否正确,并将判定结果pass/fail输出。

[0056] 在本实施例中,在解耦功能测试和电性能测试的基础上,对FPGA芯片进行功能性测试来判断FPGA芯片的质量。

[0057] 在一个实施例中,第二测试板包括一个测试位;电性能检测所需的测试通道的数量大于功能测试所需的测试通道的数量,接近ATE测试系统的测试通道数。

[0058] 其中,电性能参数测试项主要包括短路/开路、输入高/低电平电压、输出高/低电平电压、输出高/低电平电流、引脚上/下拉电流、漏电流等。

[0059] 电性能参数,特别是输入输出电参数需要对FPGA芯片所有IO管脚进行测试,因而对于pin数多的FPGA芯片,电性能参数测试需要的ATE测试通道数多,因此,对于电性能测试采用单芯片全pin的方式进行测试。除此之外,相对于测试复杂、测试向量规范大的FPGA芯片功能性能测试,FPGA芯片的电性能参数测试的时间较短,在FPGA芯片的总测试时间中占比较低。

[0060] 图3为单芯片全pin测试的设计,如图3所示,FPGA芯片单芯片全pin的ATE测试板上只有1个FPGA芯片测试Socket,每个测试Socket是一个测试位,将FPGA芯片的所有管脚Pin连接到ATE机台相应的测试通道,进行FPGA芯片电性能参数的全覆盖测试。

[0061] 在本实施例中,通过ATE测试系统第二测试板将电性能测试和功能测试分开,为并行地进行功能测试提供条件。

[0062] 在另一个实施例中,该方法还包括:获取被测FPGA芯片在第一测试板的不同测试位的被测功能模块的测试结果;若被测FPGA芯片在不同测试位的被测功能模块的测试结果合格,则验证FPGA芯片的被测功能模块的测试通过。

[0063] 具体地,ATE测试系统第一测试板上至少有两个FPGA芯片测试Socket,每个测试Socket是一个测试位,将同一颗FPGA芯片分别放置在ATE测试系统第一测试板上的不同测试位进行功能测试,如果不同测试位的测试结果相同,则一致性验证通过。一致性验证通过表明ATE测试系统第一测试板上的不同测试位是相同的,没有差异的。

[0064] 在本实施例中,通过一致性验证来考察ATE测试系统第一测试板上的不同测试位是否有差别,通过ATE测试系统第一测试板上的不同测试位的结果相同,即一致性验证通过,来保证芯片检测结果的一致性和准确性。

[0065] 在另一个实施例中,测试通道预先根据管脚定义配置,配置包括电源配置、IO(输入、输出)配置、电压/电流配置和时序配置中的至少一种。

[0066] 其中电源配置包括:电源正负极性、负载电容、电源板卡、测试位、对应的电源通道等。IO配置包括:IO通道类型(输入、输出)、测试模式、阻抗、测试板卡、测试位、对应的测试通道等。电压/电流配置包括:芯片管脚名称、类型、输入电压下限、输入电压上限,输出电压下限、输出电压上限,电压/电流配置是通过ATE测试机台确定施加在FPGA芯片管脚上的驱动电压/电流、输出电压/电流。时序配置包括:时序参数名、参数模型、时序波形、频率等,时序配置是通过ATE测试机台确定施加在FPGA芯片管脚上信号时序波形参数。

[0067] 在定义好FPGA芯片的管脚后,使用ATE测试机台的编程工具,对FPGA芯片进行测试通道配置。

[0068] 在本实施例中,FPGA芯片进行测试通道配置后,通过软件将测试通道和芯片管脚相连,以便进行后续的功能测试和电性能测试。

[0069] 在一个实施例中,第一测试板包括四个测试位;四个被测FPGA芯片被同时放置在所述测试位上并行进行功能测试。

[0070] 与常规的集成电路相比,FPGA的ATE测试在实现电性能参数测试基础上,需要重点对FPGA芯片内部基本电路模块、硬核电路模块的功能进行测试验证。FPGA芯片功能性能测试一般采用内建自测试BIST的方法,对外部IO的需求量较少,同时还可以采用IO复用进一步减少所需IO,因而需要的ATE测试通道数较少。由于FPGA芯片的功能性能测试项目较多,不同测试项目对ATE测试通道、测试向量规模、测试时间等测试资源需求不同,因而在FPGA

测试中,可以根据实际需求按照功能性能测试项对IO需求较少、电性能参数测试项对IO需求多的总原则调整测试项目划分。

[0071] 以某千万门级多管脚FPGA芯片为例,该芯片的管脚数为900,选用的ATE机台具有128个电源通道、1024个数字通道,通常情况下只能同时测试1颗FPGA芯片。通过对FPGA芯片功能性能测试有效pin的测试通道需求分析,单颗FPGA芯片功能性能测试需要的ATE测试通道为:216个数字通道和17个电源通道。216个数字通道对应的是46个FPGA配置管脚、128个FPGA功能性能测试向量管脚和42个FPGA芯片时钟信号管脚。FPGA配置管脚连接到ATE测试数字通道,以将FPGA芯片配置为BIST功能。FPGA功能性能测试向量管脚连接到ATE测试数字通道,为功能性能测试提供向量输入。FPGA芯片时钟信号管脚连接到ATE测试数字通道,为功能性能测试及调试提供时钟信号。FPGA芯片的电源管脚包括内核电源VCCINT、辅助电路电源VCCAUX、块存储器VCCBRAM电源、参考电压VREF、GND等200多个供电相关管脚,但在驱动电流足够大的情况下,相同电压输入的管脚可以接入到1个ATE电源供电通道,因此FPGA电源供电使用17个ATE电源通道。因此,具有128个电源通道、1024个数字通道的ATE机台可以同时满足4颗FPGA芯片并行地进行功能性能测试。

[0072] 如图4所示,根据FPGA芯片功能BIST测试向量设计所占用的FPGA芯片管脚pin,在选用的FPGA芯片ATE机台测试通道资源约束下,将ATE测试通道资源分配到多个FPGA芯片功能测试需要使用的管脚,包括电源、时钟、向量、配置、输出等,实现多个FPGA芯片有效pin与ATE测试通道的连接,ATE第一测试板上有4个FPGA芯片测试Socket,每个测试Socket是一个测试位,将功能性能测试所必须使用的电源、时钟、向量、配置等有效pin连接到ATE机台的测试通道,实现多颗芯片的并行测试。测试效率PTE可以采用以下公式计算:

$$[0073] \quad PTE = \frac{NS * SST_2}{MST_1 + NS * SST_1}$$

[0074] 式中 $MST_1$ 为多芯片功能测试项的并行测试时间,NS为并行测试的芯片数量, $SST_1$ 为单芯片电性能参数测试项的测试时间, $SST_2$ 为常规的单颗芯片完成功能、电性能参数测试项测试的总时间。

[0075] 以某千万门级千级数量管脚的FPGA芯片为例,其功能测试项包括:APM、CRAM、DRAM、PLL、MBE存储单元故障测试、GTX、配置模块等FPGA内部功能模块测试。电性能参数测试项包括:短路/开路、输出高/低电平(覆盖CMOS 3.3V/2.5V/1.8V/1.5V/1.2V)、引脚上拉电流、引脚下拉电流、输入漏电流、静态电流等。FPGA芯片内部各模块内建自测试设计覆盖上述功能测试项。采用Advantest 93000ATE测试机台,实现了功能测试项的4芯片并行地进行功能性能测试和电性能参数测试项的单芯片串行测试。通过在4个测试位分别进行相同FPGA芯片的功能测试验证,功能测试结果相同,验证了多芯片并行测试的一致性。功能测试项和电性能参数测试项的测试所需时间如表1所示。

[0076] 表1功能测试时间

测试项	项目名称	包含测试向量数	单芯片测试时间	4芯片并行测试时间
[0077] 功能测试项	APM	4	779ms	785ms
	配置模块	9	1.375s	1.342s
	CRAM	36	6.268s	6.276s
	DRAM	10	833ms	835ms
	MBE 存储单元故障测试	20	6.460s	6.619s
	PLL	4	667ms	729ms
	HSST	210	27.467s	27.576s
电性能参数测试项	短路/开路输入漏电流	/	3.158s	3.158s*4
	输出高/低电平（覆盖CMOS 3.3V/2.5V/1.8V/1.5V/1.2V）			
	引脚上拉电流			
	引脚下拉电流			
	静态电流			
	合计		47.007s	56.794s

[0078] 采用4芯片并行地进行功能测试与单芯片全pin电性能参数测试的方法，测试4颗FPGA芯片的时间为56.794s，显著缩短了测试时间，测试效率为3.31，即相比ATE测试机台只能进行单芯片测试，测试效率提升到3倍多。在此基础上，进一步优化多芯片有效pin功能测试设计，增加同时测试的芯片数量，将会进一步提升测试效率。

[0079] 在本实施例中，芯片功能测试采用的内建自测试BIST方法进行，只需要较少的ATE测试通道，因此，ATE测试系统第一测试板上可以并行地进行至少两颗芯片的测试，从而提高FPGA芯片的测试效率，缩短测试时间，实现批量芯片的快速测试。

[0080] 应该理解的是，虽然上述的各实施例涉及的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，上述的各实施例涉及的流程图中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

[0081] 基于同样的发明构思，本申请还提供了一种用于实现上述所涉及的FPGA多芯片的

并行测试装置。该装置所提供的解决问题的实现方案与上述方法中所记载的实现方案相似,故下面所提供的的一个或多个FPGA多芯片的并行测试装置实施例中的具体限定可以参见上文中对于FPGA多芯片的并行测试方法的限定,在此不再赘述。

[0082] 在一个实施例中,如图5所示,提供了一种FPGA多芯片的并行测试装置500,包括:功能性能测试模块502和电性能测试模块504,其中:

[0083] 功能测试模块502,位于第一测试板至少两个测试位的被测FPGA芯片用于通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能性能测试结果;

[0084] 电性能测试模块504,位于ATE测试系统第二测试板的被测FPGA芯片用于通过对应的管脚接收测试通道的测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。

[0085] 在另一个实施例中,功能测试模块,位于第一测试板的被测FPGA芯片用于通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对被测功能模块进行功能测试,得到FPGA芯片的功能测试结果,包括:位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的时钟信号;根据时钟信号,FPGA芯片内建自测试向量生成模块生成测试向量;将测试向量作用于FPGA芯片的被测功能模块,得到实际输出;比较测试向量的期望输出和实际输出,得到FPGA芯片的被测功能模块的测试结果;根据各被测功能模块的测试结果,得到FPGA芯片的功能测试结果。

[0086] 在另一个实施例中,第二测试板包括一个测试位;电性能检测所需的测试通道的数量大于功能性能测试所需的测试通道的数量,接近ATE测试系统的测试通道数。

[0087] 在另一个实施例中,一种FPGA多芯片的并行测试装置还包括:一致性验证模块;

[0088] 一致性验证模块,用于获取被测FPGA芯片在第一测试板的不同测试位的被测功能模块的测试结果;若被测FPGA芯片在不同测试位的被测功能模块的测试结果合格,则验证FPGA芯片的被测功能模块的测试通过。

[0089] 在另一个实施例中,测试通道预先根据管脚定义配置,配置包括电源配置、IO配置、电压/电流配置和时序配置。

[0090] 在另一个实施例中,第一测试板包括四个测试位;四个被测FPGA芯片被同时放置在测试位上并行进行功能测试。

[0091] 上述FPGA多芯片的并行测试装置中的各个模块可全部或部分通过软件、硬件及其组合来实现。上述各模块可以硬件形式内嵌于或独立于计算机设备中的处理器中,也可以以软件形式存储于计算机设备中的存储器中,以便于处理器调用执行以上各个模块对应的操作。

[0092] 在一个实施例中,提供了一种计算机设备,该计算机设备可以是控制器,其内部结构图可以如图6所示。该计算机设备包括通过系统总线连接的处理器、存储器、通信接口和显示屏。其中,该计算机设备的处理器用于提供计算和控制能力。该计算机设备的存储器包括非易失性存储介质、内存储器。该非易失性存储介质存储有操作系统和计算机程序。该内存储器为非易失性存储介质中的操作系统和计算机程序的运行提供环境。该计算机设备的通信接口用于与外部的终端进行有线或无线方式的通信,无线方式可通过WIFI、移动蜂窝网络、NFC(近场通信)或其他技术实现。该计算机程序被处理器执行时以实现一种FPGA多芯

片的并行测试方法。该计算机设备的显示屏可以是液晶显示屏或电子墨水显示屏。

[0093] 本领域技术人员可以理解,图6中示出的结构,仅仅是与本申请方案相关的部分结构的框图,并不构成对本申请方案所应用于其上的计算机设备的限定,具体的计算机设备可以包括比图中所示更多或更少的部件,或者组合某些部件,或者具有不同的部件布置。

[0094] 在一个实施例中,提供了一种计算机设备,包括存储器和处理器,存储器中存储有计算机程序,该处理器执行计算机程序时实现以下步骤:

[0095] 位于第一测试板的至少两个测试位被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能测试结果;

[0096] 位于第二测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。

[0097] 在其中一个实施例中,位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的时钟信号,根据时钟信号对被测功能模块进行功能测试,得到FPGA芯片的功能测试结果,包括:

[0098] 位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的时钟信号;

[0099] 根据时钟信号,FPGA芯片内建自测试向量生成模块生成测试向量;

[0100] 将测试向量作用于FPGA芯片的被测功能模块,得到实际输出;

[0101] 比较测试向量的期望输出和实际输出,得到FPGA芯片的被测功能模块的测试结果;

[0102] 根据各被测功能模块的测试结果,得到FPGA芯片的功能测试结果。

[0103] 在其中一个实施例中,第二测试板包括一个测试位;电性能检测所需的测试通道的数量大于功能性能测试所需的测试通道的数量,接近ATE测试系统的测试通道数。

[0104] 在其中一个实施例中,方法还包括:

[0105] 获取被测FPGA芯片在第一测试板的不同测试位的被测功能模块的测试结果;

[0106] 若被测FPGA芯片在不同测试位的被测功能模块的测试结果合格,则验证FPGA芯片的被测功能模块的测试通过。

[0107] 在其中一个实施例中,测试通道预先根据管脚定义配置,配置包括电源配置、IO配置、电压/电流配置和时序配置。

[0108] 在一个实施例中,第一测试板包括四个测试位;四个被测FPGA芯片被同时放置在测试位上并行进行功能测试。

[0109] 在一个实施例中,提供了一种计算机可读存储介质,其上存储有计算机程序,计算机程序被处理器执行时实现以下步骤:

[0110] 位于第一测试板至少两个测试位的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能测试结果;

[0111] 位于第二测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的测试信号,根据测试信号进行电性能测试,得到FPGA芯片的电性能测试结果。

[0112] 在其中一个实施例中,位于第一测试板至少两个测试位的被测FPGA芯片通过对应

的管脚接收ATE测试系统测试通道的功能测试信号,根据测试信号对各所述被测FPGA芯片的被测功能模块并行进行功能测试,得到至少两个FPGA芯片的功能测试结果,包括:

[0113] 位于第一测试板的被测FPGA芯片通过对应的管脚接收ATE测试系统测试通道的时钟信号;

[0114] 根据时钟信号,FPGA芯片内建自测试向量生成模块生成测试向量;

[0115] 将测试向量作用于FPGA芯片的被测功能模块,得到实际输出;

[0116] 比较测试向量的期望输出和实际输出,得到FPGA芯片的被测功能模块的测试结果;

[0117] 根据各被测功能模块的测试结果,得到FPGA芯片的功能性能测试结果。

[0118] 在其中一个实施例中,第二测试板包括一个测试位;电性能检测所需的测试通道的数量大于功能性能测试所需的测试通道的数量。

[0119] 在其中一个实施例中,方法还包括:

[0120] 获取被测FPGA芯片在第一测试板的不同测试位的被测功能模块的测试结果;

[0121] 若被测FPGA芯片在不同测试位的被测功能模块的测试结果合格,则验证FPGA芯片的被测功能模块的测试通过。

[0122] 在其中一个实施例中,测试通道预先根据管脚定义配置,配置包括电源配置、IO配置、电压/电流配置和时序配置。

[0123] 在一个实施例中,第一测试板包括四个测试位;四个被测FPGA芯片被同时放置在测试位上并行进行功能测试。

[0124] 本领域普通技术人员可以理解实现上述实施例的方法中的全部或部分流程,是可以通过计算机程序来指令相关的硬件来完成,的计算机程序可存储于一非易失性计算机可读取存储介质中,该计算机程序在执行时,可包括如上述各方法的实施例的流程。其中,本申请所提供的各实施例中所使用的对存储器、数据库或其它介质的任何引用,均可包括非易失性和易失性存储器中的至少一种。非易失性存储器可包括只读存储器(Read-Only Memory,ROM)、磁带、软盘、闪存、光存储器、高密度嵌入式非易失性存储器、阻变存储器(ReRAM)、磁变存储器(Magnetoresistive Random Access Memory,MRAM)、铁电存储器(Ferroelectric Random Access Memory,FRAM)、相变存储器(Phase Change Memory,PCM)、石墨烯存储器等。易失性存储器可包括随机存取存储器(Random Access Memory,RAM)或外部高速缓冲存储器等。作为说明而非局限,RAM可以是多种形式,比如静态随机存取存储器(Static Random Access Memory,SRAM)或动态随机存取存储器(Dynamic Random Access Memory,DRAM)等。本申请所提供的各实施例中所涉及的数据库可包括关系型数据库和非关系型数据库中至少一种。非关系型数据库可包括基于区块链的分布式数据库等,不限于此。本申请所提供的各实施例中所涉及的处理器可为通用处理器、中央处理器、图形处理器、数字信号处理器、可编程逻辑器、基于量子计算的数据处理逻辑器等,不限于此。

[0125] 以上实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0126] 以上实施例仅表达了本申请的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对本申请专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,

在不脱离本申请构思的前提下,还可以做出若干变形和改进,这些都属于本申请的保护范围。因此,本申请的保护范围应以所附权利要求为准。

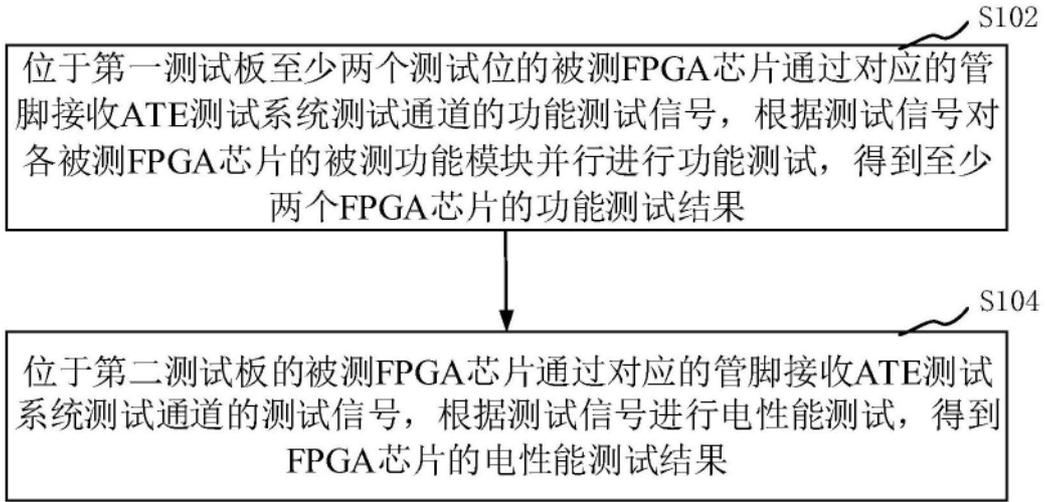


图1

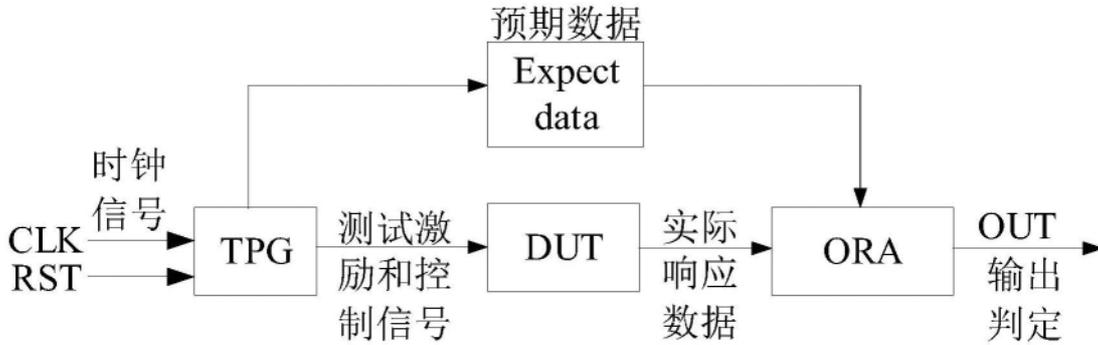


图2

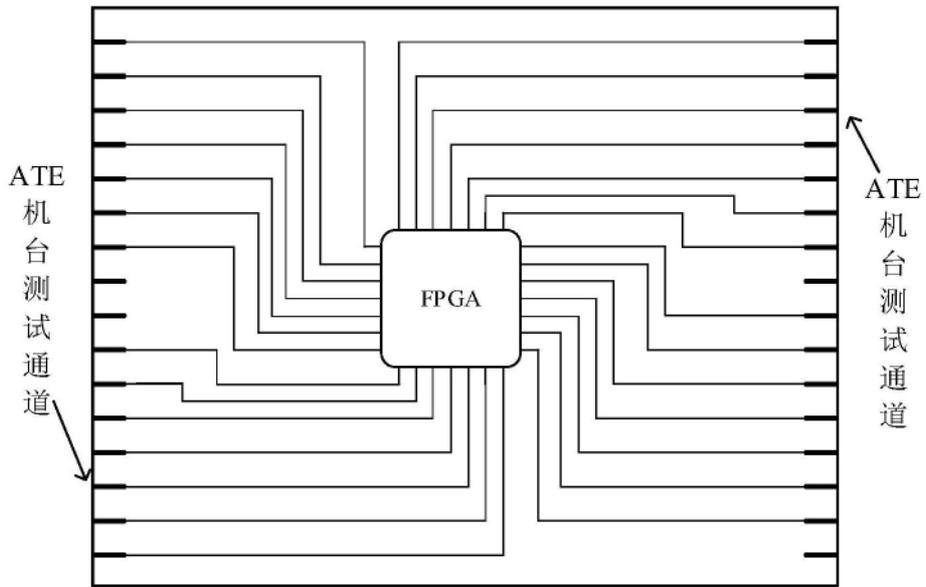


图3

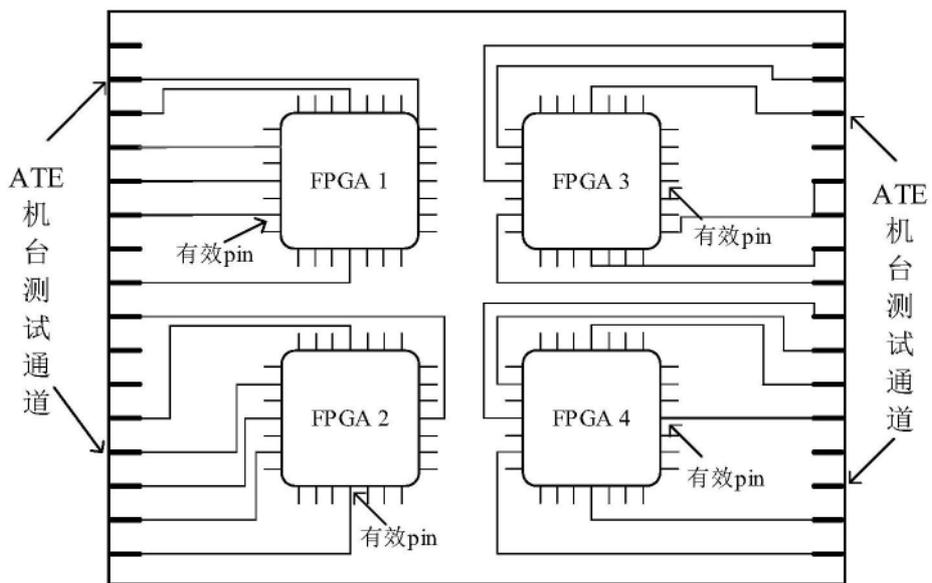


图4

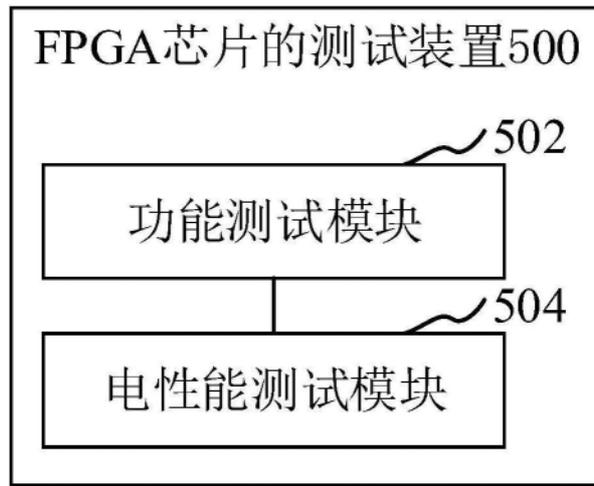


图5

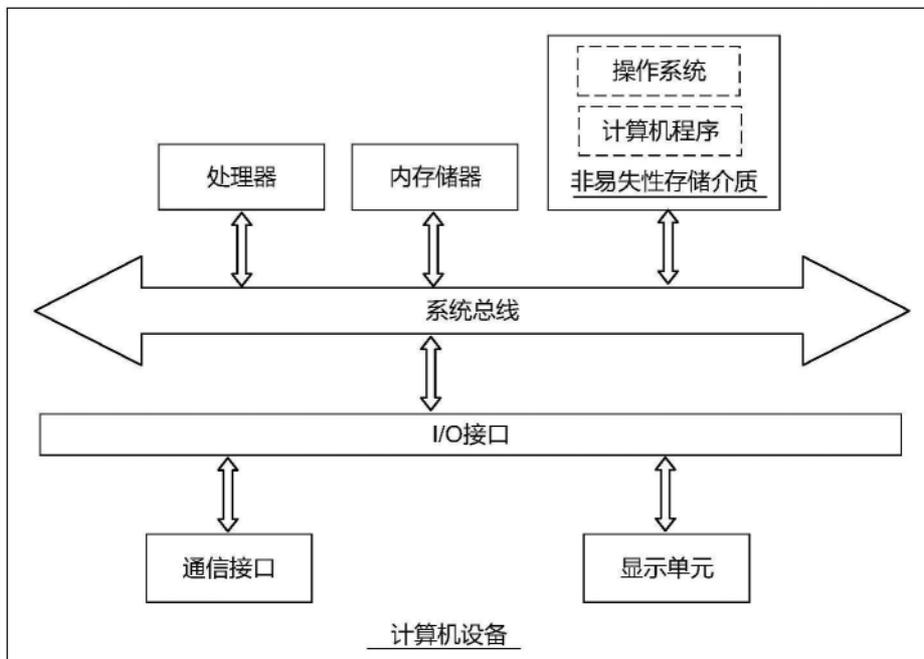


图6