

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6505769号
(P6505769)

(45) 発行日 平成31年4月24日(2019.4.24)

(24) 登録日 平成31年4月5日(2019.4.5)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 M
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 T
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 9 A
	HO 1 L 29/78 6 1 8 B
	HO 1 L 29/78 6 1 7 L
請求項の数 3 (全 46 頁) 最終頁に続く	

(21) 出願番号	特願2017-78080 (P2017-78080)	(73) 特許権者	000153878
(22) 出願日	平成29年4月11日(2017.4.11)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-51819 (P2013-51819) の分割		神奈川県厚木市長谷398番地
原出願日	平成25年3月14日(2013.3.14)	(72) 発明者	岡崎 健一
(65) 公開番号	特開2017-126791 (P2017-126791A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成29年7月20日(2017.7.20)		半導体エネルギー研究所内
審査請求日	平成29年5月8日(2017.5.8)	(72) 発明者	宮本 敏行
(31) 優先権主張番号	特願2012-92323 (P2012-92323)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成24年4月13日(2012.4.13)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	野村 昌史
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	羽持 貴士
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

絶縁膜と、
前記絶縁膜上の酸化物半導体膜と、
前記酸化物半導体膜上と接する領域を有する一対の電極と、
前記酸化物半導体膜上のゲート絶縁膜と、
前記ゲート絶縁膜上の窒化物半導体膜と
前記窒化物半導体膜上のゲート電極と、
前記ゲート絶縁膜上面及び前記ゲート電極側面に接する絶縁膜と、
前記絶縁膜側面、前記ゲート絶縁膜側面及び前記酸化物半導体膜上面と接する一対の電極と、を有し、
前記ゲート絶縁膜は、電子スピン共鳴法によって計測される信号において、 g 値が 2.001 に現れる信号のスピン密度が $2 \times 10^{15} \text{ spins/cm}^3$ 以下であり、
前記酸化物半導体膜は前記ゲート電極と重畳する領域を有する半導体装置。

【請求項2】

請求項1において、
前記絶縁膜は、酸化シリコンまたは酸化窒化シリコンである半導体装置。

【請求項3】

請求項1または請求項2において、
前記ゲート絶縁膜は、酸化シリコンまたは酸化窒化シリコンである半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタを有する半導体装置に関する。

【背景技術】

【0002】

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いられているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコンまたは多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路（IC）などにも利用されている。

10

【0003】

近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を酸化物半導体とよぶことにする。

【0004】

例えば、酸化物半導体として、酸化亜鉛、またはIn-Ga-Zn系酸化物を用いたトランジスタを作製し、該トランジスタを表示装置の画素のスイッチング素子などに用いる技術が開示されている（特許文献1及び特許文献2参照）。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜及びゲート絶縁膜の界面またはゲート絶縁膜中に捕獲準位（界面準位ともいう。）があると、トランジスタのしきい値電圧の変動、及びトランジスタがオン状態となるときにドレイン電流が一桁変化するのに必要なゲート電圧を示すサブスレッショルド係数（S値）の増大の原因となる。この結果、トランジスタごとに電気特性がばらつくという問題がある。

30

【0007】

また、酸化物半導体膜及びゲート絶縁膜の界面またはゲート絶縁膜中に捕獲準位が含まれると、経時変化や光ゲートBT（Bias-Temperature）ストレス試験により、トランジスタの電気特性、代表的にはしきい値電圧が変動してしまうという問題がある。

【0008】

そこで、本発明の一態様は、酸化物半導体を用いた半導体装置において、電気特性を向上させることを課題の一とする。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高い半導体装置を作製することを課題の一とする。

40

【課題を解決するための手段】

【0009】

本発明の一態様は、ゲート電極と、ゲート電極の一部とゲート絶縁膜を介して重なる酸化物半導体膜と、酸化物半導体膜に接する一对の電極とを有するトランジスタにおいて、酸化物半導体膜に接する絶縁膜の一以上を膜密度が高く、且つ欠陥の少ない絶縁膜で形成することを特徴とする。

【0010】

本発明の一態様は、ゲート電極と、ゲート電極の一部とゲート絶縁膜を介して重なる酸化物半導体膜と、酸化物半導体膜に接する一对の電極とを有するトランジスタにおいて、ゲート絶縁膜を、膜密度が 2.26 g/cm^3 以上 2.63 g/cm^3 以下であり、電子ス

50

ピン共鳴法によって計測される信号において、 g 値が 2.001 に現れる信号のスピ密度が $2 \times 10^{15} \text{ spins/cm}^3$ 以下である絶縁膜で形成することを特徴とする。

【0011】

本発明の一態様は、ゲート電極と、ゲート電極の一部とゲート絶縁膜を介して重なる酸化半導体膜と、酸化半導体膜に接する一对の電極と、酸化半導体膜のゲート絶縁膜と接する面と反対の面において接する絶縁膜と、を有するトランジスタにおいて、ゲート絶縁膜及び絶縁膜を、膜密度が 2.26 g/cm^3 以上 2.63 g/cm^3 以下であり、電子ピン共鳴法によって計測される信号において、 g 値が 2.001 に現れる信号のスピ密度が $2 \times 10^{15} \text{ spins/cm}^3$ 以下である絶縁膜で形成することを特徴とする。

10

【0012】

なお、ゲート絶縁膜、及びゲート絶縁膜の反対側の面において酸化半導体膜と接する絶縁膜は、酸化シリコンまたは酸化窒化シリコンである。

【発明の効果】

【0013】

酸化半導体膜を有するトランジスタにおいて、酸化半導体膜に接する絶縁膜に、膜密度が高く、欠陥の少ない絶縁膜を用いることで、トランジスタのしきい値電圧の変動が少なく、電気特性のばらつきの少ない、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

20

【図面の簡単な説明】

【0014】

【図1】トランジスタの一形態を説明する上面図及び断面図である。

【図2】トランジスタの作製方法の一形態を説明する断面図である。

【図3】トランジスタの一形態を説明する断面図である。

【図4】トランジスタの作製方法の一形態を説明する断面図である。

【図5】トランジスタの一形態を説明する上面図及び断面図である。

【図6】トランジスタの作製方法の一形態を説明する断面図である。

【図7】トランジスタの一形態を説明する上面図及び断面図である。

【図8】トランジスタの一形態を説明する上面図及び断面図である。

30

【図9】トランジスタの一形態を説明する断面図である。

【図10】トランジスタの一形態を説明する断面図である。

【図11】半導体装置の一形態を説明する断面図である。

【図12】半導体装置の一形態を説明する回路図である。

【図13】半導体装置の一形態を示す回路図である。

【図14】半導体装置の一形態を示すブロック図である。

【図15】半導体装置の一形態を示すブロック図である。

【図16】半導体装置の一形態を示すブロック図である。

【図17】試料のスピ密度を説明する図である。

【図18】試料の膜密度を説明する図である。

40

【図19】トランジスタのしきい値電圧の変動を説明する図である。

【発明を実施するための形態】

【0015】

以下では、本発明の実施の形態及び実施例について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態及び実施例の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態及び実施例において、同一部分または同様の機能を有する部分には、同一の符号または同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

50

【 0 0 1 6 】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 1 7 】

また、本明細書にて用いる第 1、第 2、第 3 などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。

【 0 0 1 8 】

「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【 0 0 1 9 】

本明細書において、フォトリソグラフィ工程を行った後にエッチング工程を行う場合は、フォトリソグラフィ工程で形成したマスクはエッチング工程後に除去するものとする。

【 0 0 2 0 】

(実施の形態 1)

本実施の形態では、本発明の一態様である半導体装置、及び当該半導体装置の作製方法について図面を参照して説明する。

【 0 0 2 1 】

図 1 (A) 乃至図 1 (C) に、半導体装置が有するトランジスタ 1 0 の上面図及び断面図を示す。図 1 (A) はトランジスタ 1 0 の上面図であり、図 1 (B) は、図 1 (A) の一点鎖線 A - B 間の断面図であり、図 1 (C) は、図 1 (A) の一点鎖線 C - D 間の断面図である。なお、図 1 (A) では、明瞭化のため、基板 1 1、下地絶縁膜 1 3、トランジスタ 1 0 の構成要素の一部 (例えば、ゲート絶縁膜 1 7)、絶縁膜 2 3 などを省略している。

【 0 0 2 2 】

図 1 (B) 及び図 1 (C) に示すトランジスタ 1 0 は、下地絶縁膜 1 3 上に形成されるゲート電極 1 5 と、下地絶縁膜 1 3 及びゲート電極 1 5 上に形成されるゲート絶縁膜 1 7 と、ゲート絶縁膜 1 7 を介して、ゲート電極 1 5 と重なる酸化半導体膜 1 9 と、酸化半導体膜 1 9 に接する一対の電極 2 1 と、を有する。また、ゲート絶縁膜 1 7、酸化半導体膜 1 9、及び一対の電極 2 1 を覆う絶縁膜 2 3 を有する。

【 0 0 2 3 】

本実施の形態に示すトランジスタ 1 0 は、ゲート絶縁膜 1 7 が、膜密度が高く、且つ欠陥の少ない絶縁膜で形成されている。代表的には、ゲート絶縁膜 1 7 の膜密度が 2.26 g/cm^3 以上、理論膜密度である 2.63 g/cm^3 以下、好ましくは 2.30 g/cm^3 以上 2.63 g/cm^3 以下であり、ゲート絶縁膜 1 7 の膜密度が高い。また、電子スピン共鳴法 (E S R) によって計測される信号において、シリコンのタンダリングボンドを示す E ' - c e n t e r (g 値が 2 . 0 0 1) に現れる信号のスピ密度が $2 \times 10^{15} \text{ spins/cm}^3$ 以下、さらに好ましくは検出下限 ($1 \times 10^{15} \text{ spins/cm}^3$) 以下であり、ゲート絶縁膜 1 7 に含まれるシリコンのタンダリングボンドが極めて少ない。このため、当該ゲート絶縁膜 1 7 を有するトランジスタ 1 0 のしきい値電圧の変動が少なく、トランジスタ 1 0 は優れた電気特性を有する。

【 0 0 2 4 】

上記ゲート絶縁膜 1 7 となる絶縁膜としては、例えば厚さ 5 nm 以上 400 nm 以下、より好ましくは 10 nm 以上 300 nm 以下、より好ましくは 50 nm 以上 250 nm 以下の酸化シリコン、酸化窒化シリコン等を用いることができる。

【 0 0 2 5 】

以下に、トランジスタ 1 0 の他の構成の詳細について説明する。

【 0 0 2 6 】

基板 11 の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板 11 として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 11 として用いてもよい。

【0027】

また、基板 11 として、可撓性基板を用い、可撓性基板上に直接、下地絶縁膜 13 及びトランジスタ 10 を形成してもよい。または、基板 11 と下地絶縁膜 13 の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板 11 より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ 10 は耐熱性の劣る基板や可撓性の基板にも転載できる。

10

【0028】

下地絶縁膜 13 としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、下地絶縁膜 13 として、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム等を用いることで、基板 11 から酸化半導体膜 19 へ、アルカリ金属、水、水素等の不純物が拡散することを抑制できる。

【0029】

ゲート電極 15 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極 15 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

20

30

【0030】

また、ゲート電極 15 は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0031】

また、ゲート電極 15 とゲート絶縁膜 17 との間に、In-Ga-Zn 系酸窒化物半導体膜、In-Sn 系酸窒化物半導体膜、In-Ga 系酸窒化物半導体膜、In-Zn 系酸窒化物半導体膜、Sn 系酸窒化物半導体膜、In 系酸窒化物半導体膜、金属窒化膜 (InN、ZnN 等) 等を設けることが好ましい。これらの膜は 5 eV 以上、好ましくは 5.5 eV 以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn 系酸窒化物半導体膜を用いる場合、少なくとも酸化物半導体膜 19 より高い窒素濃度、具体的には 7 原子% 以上の In-Ga-Zn 系酸窒化物半導体膜を用いる。

40

【0032】

酸化物半導体膜 19 は、少なくともインジウム (In) 若しくは亜鉛 (Zn) を含むこと

50

が好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーの一または複数を有することが好ましい。

【0033】

スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、またはジルコニウム(Zr)等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)等がある。

10

【0034】

例えば、酸化物半導体として、一元系金属酸化物である酸化インジウム、酸化スズ、酸化亜鉛、二元系金属酸化物であるIn-Zn系金属酸化物、Sn-Zn系金属酸化物、Al-Zn系金属酸化物、Zn-Mg系金属酸化物、Sn-Mg系金属酸化物、In-Mg系金属酸化物、In-Ga系金属酸化物、In-W系金属酸化物、三元系金属酸化物であるIn-Ga-Zn系金属酸化物(IGZOとも表記する)、In-Al-Zn系金属酸化物、In-Sn-Zn系金属酸化物、Sn-Ga-Zn系金属酸化物、Al-Ga-Zn系金属酸化物、Sn-Al-Zn系金属酸化物、In-Hf-Zn系金属酸化物、In-La-Zn系金属酸化物、In-Ce-Zn系金属酸化物、In-Pr-Zn系金属酸化物、In-Nd-Zn系金属酸化物、In-Sm-Zn系金属酸化物、In-Eu-Zn系金属酸化物、In-Gd-Zn系金属酸化物、In-Tb-Zn系金属酸化物、In-Dy-Zn系金属酸化物、In-Ho-Zn系金属酸化物、In-Er-Zn系金属酸化物、In-Tm-Zn系金属酸化物、In-Yb-Zn系金属酸化物、In-Lu-Zn系金属酸化物、四元系金属酸化物であるIn-Sn-Ga-Zn系金属酸化物、In-Hf-Ga-Zn系金属酸化物、In-Al-Ga-Zn系金属酸化物、In-Sn-Al-Zn系金属酸化物、In-Sn-Hf-Zn系金属酸化物、In-Hf-Al-Zn系金属酸化物を用いることができる。

20

【0035】

なお、ここで、例えば、In-Ga-Zn系金属酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

30

【0036】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0037】

例えば、 $In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5)$ 、あるいは $In:Ga:Zn = 3:1:2 (= 1/2:1/6:1/3)$ の原子数比のIn-Ga-Zn系金属酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2)$ あるいは $In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn系金属酸化物やその組成の近傍の酸化物を用いるとよい。なお、金属酸化物の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

40

【0038】

しかし、これらに限られず、必要とする半導体特性及び電気特性(電界効果移動度、しきい値電圧等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性及び電気特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子

50

数比、原子間距離、密度等を適切なものとするのが好ましい。

【0039】

例えば、In-Sn-Zn系金属酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系金属酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0040】

また、酸化物半導体膜19に形成することが可能な金属酸化物は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

10

【0041】

また、酸化物半導体膜19は、非晶質構造、単結晶構造、または多結晶構造であってもよい。

【0042】

また、酸化物半導体膜19は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC(C Axis Aligned Crystal)、多結晶、微結晶、非晶質部の一以上を有する。非晶質部は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS(C Axis Aligned Crystal Oxide Semiconductor)と呼ぶ。酸化物半導体膜19は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、c軸配向し、a軸または/およびb軸はマクロに揃っていない。

20

【0043】

酸化物半導体膜19は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満のサイズの微結晶(ナノ結晶ともいう。)を膜中に含む。

【0044】

酸化物半導体膜19は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

30

【0045】

なお、酸化物半導体膜19が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

【0046】

なお、酸化物半導体膜19は、例えば、単結晶を有してもよい。

【0047】

酸化物半導体膜19は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

40

【0048】

ここでCAAC-OS膜の詳細について説明する。CAAC-OS膜に含まれる結晶部は、一辺が100 nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーとも

50

いう。)は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

【 0 0 4 9 】

C A A C - O S 膜に含まれる結晶部は、例えば c 軸が C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつ a b 面に垂直な方向から見て金属原子が三角形または六角形状に配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸及び b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

10

【 0 0 5 0 】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【 0 0 5 1 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、C A A C - O S 膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部の c 軸は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

20

【 0 0 5 2 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 0 5 3 】

また、酸化物半導体膜 19 は、複数の酸化物半導体膜が積層された構造でもよい。例えば、酸化物半導体膜 19 を、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜の積層として、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜に、異なる組成の金属酸化物を用いてもよい。例えば、第 1 の酸化物半導体膜に二元系金属酸化物乃至四元系金属酸化物の一を用い、第 2 の酸化物半導体膜に第 1 の酸化物半導体膜と異なる二元系金属酸化物乃至四元系金属酸化物を用いてもよい。

30

【 0 0 5 4 】

また、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第 1 の酸化物半導体膜の原子数比を $I n : G a : Z n = 1 : 1 : 1$ とし、第 2 の酸化物半導体膜の原子数比を $I n : G a : Z n = 3 : 1 : 2$ としてもよい。また、第 1 の酸化物半導体膜の原子数比を $I n : G a : Z n = 1 : 3 : 2$ とし、第 2 の酸化物半導体膜の原子数比を $I n : G a : Z n = 2 : 1 : 3$ としてもよい。なお、各酸化物半導体膜の原子数比は、誤差として上記の原子数比のプラスマイナス 20% の変動を含む。

40

【 0 0 5 5 】

この時、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜のうち、ゲート電極に近い側(チャネル側)の酸化物半導体膜の $I n$ と $G a$ の含有率を $I n > G a$ とするとよい。またゲート電極から遠い側(バックチャネル側)の酸化物半導体膜の $I n$ と $G a$ の含有率を $I n < G a$ とするとよい。

【 0 0 5 6 】

酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、 $I n$ の含有率を多くすることにより、より多くの s 軌道が重なるため、 $I n > G a$ の組成となる酸化物

50

は InGa の組成となる酸化物と比較して高い移動度を備える。また、 Ga は In と比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、 InGa の組成となる酸化物は $\text{In} > \text{Ga}$ の組成となる酸化物と比較して安定した特性を備える。

【0057】

チャンネル側に $\text{In} > \text{Ga}$ の組成となる酸化物半導体を適用し、バックチャンネル側に InGa の組成となる酸化物半導体を適用することで、トランジスタの電界効果移動度および信頼性をさらに高めることが可能となる。

【0058】

また、第1の酸化物半導体膜と第2の酸化物半導体膜に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体、または CAAC-Os を適宜組み合わせさせた構成としてもよい。また、第1の酸化物半導体膜と第2の酸化物半導体膜の少なくともどちらか一方に非晶質酸化物半導体を適用すると、酸化物半導体膜19の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

【0059】

酸化物半導体膜19の厚さは、 1nm 以上 100nm 以下、更に好ましくは 1nm 以上 50nm 以下、更に好ましくは 1nm 以上 30nm 以下、更に好ましくは 3nm 以上 20nm 以下とすることが好ましい。

【0060】

酸化物半導体膜19において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18} \text{atoms/cm}^3$ 以下、さらに好ましくは $2 \times 10^{16} \text{atoms/cm}^3$ 以下であることが望ましい。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流の上昇の原因となるためである。

【0061】

酸化物半導体膜19には、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下の窒素が含まれてもよい。

【0062】

一对の電極21は、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0063】

絶縁膜23は、厚さが 30nm 以上 500nm 以下、好ましくは 100nm 以上 400nm 以下の、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよく、積層または単層で設ける。

【0064】

なお、絶縁膜23として、ゲート絶縁膜17と同様に、膜密度が高く、且つ欠陥の少ない絶縁膜、代表的には、膜密度が 2.26g/cm^3 以上、理論膜密度である 2.63g/cm^3 以下、好ましくは 2.30g/cm^3 以上 2.63g/cm^3 以下であり、電子スピニング法によって計測される信号において、 g 値が 2.001 に現れる信号のスピニング

10

20

30

40

50

度が $2 \times 10^{15} \text{ spins/cm}^3$ 以下、さらに好ましくは検出下限 ($1 \times 10^{15} \text{ spins/cm}^3$) 以下である絶縁膜を用いることで、トランジスタのしきい値電圧の変動を抑制することができる。

【0065】

なお、酸化半導体膜 19 がインジウムを含む金属酸化物で形成される場合、絶縁膜 23 に $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下のインジウムが含まれる。これは、絶縁膜 23 の成膜の際に酸化半導体膜 19 に含まれるインジウムが絶縁膜 23 へと拡散するためである。なお、絶縁膜 23 の成膜温度が高くなるにつれ、例えば 350 以上であると、絶縁膜 23 に含まれるインジウムの含有量が増加する。

【0066】

次に、図 1 に示す半導体装置が有するトランジスタの作製方法について、図 2 を用いて説明する。

【0067】

図 2 (A) に示すように、基板 11 上に下地絶縁膜 13 及びゲート電極 15 を形成し、ゲート電極 15 上にゲート絶縁膜 17 を形成する。次に、ゲート絶縁膜 17 上に酸化半導体膜 18 を形成する。

【0068】

下地絶縁膜 13 は、スパッタリング法、CVD 法等により形成する。ここでは、厚さ 100 nm の酸化窒化シリコン膜を CVD 法により形成する。

【0069】

ゲート電極 15 の形成方法を以下に示す。はじめに、スパッタリング法、CVD 法、蒸着法等により導電膜を形成し、導電膜上にフォトリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜の一部をエッチングして、ゲート電極 15 を形成する。この後、マスクを除去する。

【0070】

なお、ゲート電極 15 は、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェット法等で形成してもよい。

【0071】

ここでは、厚さ 100 nm のタングステン膜をスパッタリング法により形成する。次に、フォトリソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜をドライエッチングして、ゲート電極 15 を形成する。

【0072】

ゲート絶縁膜 17 は、プラズマ CVD 装置の真空排気された処理室内に載置された基板を 300 以上 400 以下、さらに好ましくは 320 以上 380 以下に保持し、処理室内に原料ガスを導入して処理室内における圧力を 30 Pa 以上 250 Pa 以下、さらに好ましくは 40 Pa 以上 200 Pa 以下とし、処理室内に設けられる電極に 0.17 W/cm^2 以上 0.5 W/cm^2 以下、さらに好ましくは 0.26 W/cm^2 以上 0.35 W/cm^2 以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

【0073】

ゲート絶縁膜 17 の原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素、乾燥空気等がある。

【0074】

ゲート絶縁膜 17 の成膜条件において、高周波電力のパワー密度を上記のように高いパワー密度とすることで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、シリコンを含む堆積性気体の酸化が進む。さらに、基板温度を、上記温度とすることで、シリコン及び酸素の結合力が強くなる。これらの結果、ゲート絶縁膜として膜密度が高く、且つシリコンのダングリングボンドの少ない絶縁膜、即ち膜密度が高く、且つ欠陥の

10

20

30

40

50

少ない酸化シリコン膜または酸化窒化シリコン膜を形成することができる。

【0075】

ここでは、厚さ250nmの酸化窒化シリコン膜をCVD法により形成することで、ゲート絶縁膜17を形成する。

【0076】

酸化物半導体膜18は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法等により形成する。

【0077】

スパッタリング法で酸化物半導体膜18を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

10

【0078】

スパッタリングガスは、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、希ガス及び酸素の混合ガス雰囲気を適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

【0079】

また、ターゲットは、形成する酸化物半導体膜18の組成にあわせて、適宜選択すればよい。

【0080】

なお、酸化物半導体膜18を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を150以上750以下、好ましくは150以上450以下、さらに好ましくは200以上350以下として、酸化物半導体膜18を成膜することで、CAAC-OS膜を形成することができる。

20

【0081】

なお、CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

【0082】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

30

【0083】

成膜時の不純物混入を抑制することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度(水素、水、二酸化炭素および窒素など)を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0084】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上基板歪み点未満、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

40

【0085】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0086】

スパッタリング用ターゲットの一例として、In-Ga-Zn系金属酸化物ターゲットについて以下に示す。

【0087】

50

InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末を所定の mol 数比で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理をすることで多結晶である In-Ga-Zn 系金属酸化物ターゲットとする。なお、 X 、 Y および Z は任意の正数である。ここで、所定の mol 数比は、例えば、 InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末が、 $2:2:1$ 、 $8:4:3$ 、 $3:1:1$ 、 $1:1:1$ 、 $4:2:3$ または $3:1:2$ である。なお、粉末の種類、およびその混合する mol 数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【0088】

次に、図2(B)に示すように、ゲート絶縁膜17上であって、ゲート電極15の一部と重なるように、素子分離された酸化物半導体膜19を形成する。酸化物半導体膜18上にフォトリソグラフィ工程によりマスクを形成した後、該マスクを用いて酸化物半導体膜18の一部をエッチングすることで、素子分離された酸化物半導体膜19を形成することができる。

10

【0089】

また、酸化物半導体膜19として印刷法を用いることで、素子分離された酸化物半導体膜19を直接的に形成することができる。

【0090】

ここでは、スパッタリング法により、厚さ 35nm の酸化物半導体膜18を形成した後、当該酸化物半導体膜18上にマスクを形成し、酸化物半導体膜18の一部を選択的にエッチングすることで、酸化物半導体膜19を形成する。こののち、マスクを除去する。

20

【0091】

次に、図2(C)に示すように、一对の電極21を形成する。

【0092】

一对の電極21の形成方法を以下に示す。はじめに、スパッタリング法、CVD法、蒸着法等で導電膜を形成する。次に、該導電膜上にフォトリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜をエッチングして、一对の電極21を形成する。この後、マスクを除去する。

【0093】

ここでは、スパッタリング法により厚さ 50nm のタングステン膜、厚さ 400nm のアルミニウム膜、及び厚さ 100nm のチタン膜を順にスパッタリング法により積層する。次に、チタン膜上にフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜、アルミニウム膜、及びチタン膜をドライエッチングして、一对の電極21を形成する。

30

【0094】

なお、一对の電極21を形成した後、エッチング残渣を除去するため、洗浄処理を行うことが好ましい。この洗浄処理を行うことで、一对の電極21の短絡を抑制することができる。当該洗浄処理は、 TMAH ($\text{Tetramethylammonium Hydroxide}$) 溶液などのアルカリ性の溶液、希フッ酸、シュウ酸、リン酸などの酸性の溶液、または水を用いて行うことができる。

【0095】

次に、図2(D)に示すように、絶縁膜23を形成する。

40

【0096】

絶縁膜23は、CVD法またはスパッタリング法により形成する。

【0097】

なお、ゲート絶縁膜17と同様の条件を用いて、絶縁膜23として膜密度が高く、且つ欠陥の少ない絶縁膜を形成してもよい。

【0098】

または、プラズマCVD装置の真空排気された処理室内に載置された基板を 180 以上 250 以下、さらに好ましくは 180 以上 230 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 100Pa 以上 250Pa 以下、さらに好ましくは 1

50

00 Pa以上200 Pa以下とし、処理室内に設けられる電極に 0.17 W/cm^2 以上 0.5 W/cm^2 以下、さらに好ましくは 0.25 W/cm^2 以上 0.35 W/cm^2 以下の高周波電力を供給する条件により、絶縁膜23として、酸化シリコン膜または酸化窒化シリコン膜を形成してもよい。

【0099】

絶縁膜23の原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

【0100】

絶縁膜23の成膜条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、シリコンを含む堆積性気体の酸化が進むため、絶縁膜23中における酸素含有量が化学量論比よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱いため、後の工程の加熱処理により膜中の酸素の一部が脱離する。これらの結果、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成することができる。即ち、加熱により酸素の一部が脱離する酸化絶縁膜を形成することができる。

【0101】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を絶縁膜23として設けることで、加熱処理により酸化物半導体膜19に酸素を拡散させ、酸化物半導体膜19に含まれる酸素欠損を補填することが可能である。

【0102】

次に、加熱処理を行う。該加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは250 以上450 以下、更に好ましくは300 以上450 以下とする。

【0103】

該加熱処理は、電気炉、RTA (Rapid Thermal Anneal) 装置等を用いることができる。RTA装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、絶縁膜23から酸化物半導体膜19への酸素拡散時間を短縮することができる。

【0104】

加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20 ppm以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。

【0105】

ここでは、窒素及び酸素雰囲気、350 、1時間の加熱処理を行う。

【0106】

以上の工程により、しきい値電圧のばらつきが少なく、優れた特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0107】

次に、図1と異なる構造のトランジスタについて、図3及び図4を用いて説明する。ここでは、図1に示すトランジスタ10と比較して、ゲート絶縁膜及び酸化物半導体膜上に設ける絶縁膜を積層構造とする形態について、図3を用いて説明する。

【0108】

図3に示すトランジスタ30は、基板11上に設けられる下地絶縁膜13と、下地絶縁膜13上に形成されるゲート電極15とを有する。また、下地絶縁膜13及びゲート電極15上に、絶縁膜31及び絶縁膜32で構成されるゲート絶縁膜33が形成され、ゲート絶縁膜33を介して、ゲート電極15と重なる酸化物半導体膜20と、酸化物半導体膜20に接する一対の電極21とを有する。また、ゲート絶縁膜33、酸化物半導体膜20、及

10

20

30

40

50

び一对の電極 2 1 上には、絶縁膜 3 4 及び絶縁膜 3 6 で構成される保護膜 3 7 が形成される。

【 0 1 0 9 】

また、ゲート絶縁膜 3 3 が絶縁膜 3 1 及び絶縁膜 3 2 の積層構造である。絶縁膜 3 1 として、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは $G a - Z n$ 系金属酸化物などを用いればよい。また、絶縁膜 3 1 として、加熱により酸素が脱離する酸化絶縁膜を用いてもよい。絶縁膜 3 1 に加熱により酸素が脱離する膜を用いることで、絶縁膜 3 2 及び酸化物半導体膜 2 0 の界面における界面準位を低減することが可能であり、電気特性のばらつきの少ないトランジスタを得ることができる。また、絶縁膜 3 1 として、酸素、水素、水等のブロッキング効果を有する絶縁膜を設けることで、酸化物半導体膜 2 0 からの酸素の外部への拡散と、外部から酸化物半導体膜 2 0 への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

10

【 0 1 1 0 】

また、絶縁膜 3 1 として、ハフニウムシリケート ($H f S i O_x$)、窒素が添加されたハフニウムシリケート ($H f S i_x O_y N_z$)、窒素が添加されたハフニウムアルミネート ($H f A l_x O_y N_z$)、酸化ハフニウム、酸化イットリウムなどの $h i g h - k$ 材料を用いることでトランジスタのゲートリークを低減できる。

20

【 0 1 1 1 】

なお、絶縁膜 3 1 としては、厚さ 5 n m 以上 4 0 0 n m 以下で、上記列挙した材料を適宜用いる絶縁膜を形成する。絶縁膜 3 2 として、厚さ 5 n m 以上 4 0 0 n m 以下の酸化シリコン膜または酸化窒化シリコン膜を形成する。なお、絶縁膜 3 1 及び絶縁膜 3 2 の厚さは、2 つの絶縁膜の合計の厚さが図 1 に示すトランジスタ 1 0 のゲート絶縁膜 1 7 の範囲となるように、適宜選択すればよい。

【 0 1 1 2 】

また、酸化物半導体膜 2 0 が、酸化雰囲気で発生したプラズマに曝されている。酸化雰囲気としては、酸素、オゾン、一酸化二窒素等の雰囲気がある。さらには、プラズマ処理において、平行平板型のプラズマ C V D 装置を用い、上部電極にバイアスを印加し、基板 1 1 が搭載される下部電極にバイアスを印加しない状態で発生させたプラズマに酸化物半導体膜を曝すことが好ましい。この結果、ダメージが少なく、且つ酸素が酸化物半導体膜 2 0 に供給されるため、酸化物半導体膜 2 0 に含まれる酸素欠損量を低減することができる。

30

【 0 1 1 3 】

また、トランジスタ 3 0 は、酸化物半導体膜 2 0 に接するように、絶縁膜 3 2 及び絶縁膜 3 4 が形成されている。絶縁膜 3 2 及び絶縁膜 3 4 は、図 1 に示すゲート絶縁膜 1 7 と同様に、膜密度が高く、且つ欠陥の少ない絶縁膜で形成されている。代表的には、膜密度が $2.26 g / c m^3$ 以上、理論膜密度である $2.63 g / c m^3$ 以下、好ましくは $2.30 g / c m^3$ 以上 $2.63 g / c m^3$ 以下であり、電子スピン共鳴法によって計測される信号において、 g 値が 2.001 に現れる信号のスピン密度が $2 \times 10^{15} s p i n s / c m^3$ 以下、さらに好ましくは検出下限 ($1 \times 10^{15} s p i n s / c m^3$) 以下である絶縁膜で形成されている。このため、当該絶縁膜 3 2 を有するゲート絶縁膜 3 3 を有するトランジスタ 3 0 のしきい値電圧の変動が少なく、トランジスタ 3 0 は優れた電気特性を有する。また、膜密度が高い絶縁膜で形成されている絶縁膜 3 2 を有することで、基板 1 1、下地絶縁膜 1 3、ゲート電極 1 5、及び絶縁膜 3 1 からの不純物が酸化物半導体膜 2 0 に混入するのを抑制することができる。また、絶縁膜 3 4 を有することで、絶縁膜 3 4 を形成した後の加熱処理工程において、酸化物半導体膜 2 0 からの酸素脱離量を低減すること可能であり、酸化物半導体膜 2 0 の酸素欠損量を低減することができる。

40

【 0 1 1 4 】

50

なお、酸化物半導体膜 20 がインジウムを含む金属酸化物で形成される場合、絶縁膜 34 に $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下のインジウムが含まれる。これは、絶縁膜 34 の成膜の際に酸化物半導体膜 20 に含まれるインジウムが絶縁膜 34 へと拡散するためである。なお、絶縁膜 34 の成膜温度が高くなるにつれ、例えば 350 以上であると、絶縁膜 34 に含まれるインジウムの含有量が増加する。

【0115】

絶縁膜 32 及び絶縁膜 34 としては、酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

【0116】

絶縁膜 36 として、厚さが 30 nm 以上 500 nm 以下、好ましくは 100 nm 以上 400 nm 以下の、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよく、積層または単層で設ける。なお、絶縁膜 36 として、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を設けてもよい。

【0117】

トランジスタ 30 は、酸化雰囲気で発生したプラズマに曝され、酸素欠損の少ない酸化物半導体膜を有する。また、当該酸化物半導体膜は、密度が高く、且つ欠陥の少ない絶縁膜 32、絶縁膜 34 で露出部が覆われている。このため、トランジスタのしきい値電圧の変動及び電気特性のばらつきが少ない、優れた電気特性を有するトランジスタとなる。また、経時変化や光ゲート BT ストレス試験による電気特性の変動の少ない、優れた電気特性を有するトランジスタとなる。

【0118】

次に、図 3 に示すトランジスタの作製方法について、図 4 を用いて説明する。

【0119】

図 4 (A) に示すように、基板 11 上に図 2 に示す工程と同様に、下地絶縁膜 13 及びゲート電極 15 を形成する。次に、ゲート絶縁膜 33 として機能する絶縁膜 31 及び絶縁膜 32 を形成する。

【0120】

絶縁膜 31 としては、CVD 法またはスパッタリング法を用いて形成する。絶縁膜 32 として、トランジスタ 10 のゲート絶縁膜 17 と同様の条件を用いることで、膜密度が高く、欠陥の少ない酸化シリコン膜または酸化窒化シリコン膜を形成する。

【0121】

ここでは、絶縁膜 31 として、CVD 法により、厚さ 50 nm の窒化シリコン膜を形成する。また、絶縁膜 32 として、トランジスタ 10 のゲート絶縁膜 17 と同様の条件を用いて、厚さ 200 nm の酸化窒化シリコン膜を形成する。当該条件により、膜密度が高く、且つ欠陥の少ない酸化窒化シリコン膜を形成することができる。

【0122】

ここでは、ゲート絶縁膜 33 の厚さを厚くすることで、さらに好ましくは抵抗率が $5 \times 10^{13} \cdot \text{cm}$ 以上 $1 \times 10^{15} \cdot \text{cm}$ 以下の窒化シリコン膜と、酸化窒化シリコン膜とを積層することで、後に形成されるトランジスタのゲート電極 15 と、酸化物半導体膜 20 または一对の電極 21 との間に発生する静電気破壊を抑制することができる。

【0123】

次に、図 4 (B) に示すように、図 2 に示す工程と同様に、ゲート絶縁膜 33 上に酸化物半導体膜 19 を形成する。

【0124】

次に、図 4 (C) に示すように、一对の電極 21 を形成する。次に、酸化物半導体膜 19 を酸化雰囲気中で発生させたプラズマに曝し、酸化物半導体膜 19 に酸素 22 を供給し、図 4 (D) に示す酸化物半導体膜 20 を形成する。酸化雰囲気としては、酸素、オゾン、一酸化二窒素等の雰囲気がある。さらに、プラズマ処理において、基板 11 が搭載される下部電極にバイアスを印加しない状態で発生したプラズマを酸化物半導体膜 19 に曝さすこ

10

20

30

40

50

とが好ましい。この結果、酸化物半導体膜 19 にダメージを与えず、且つ酸素を供給することが可能である。

【0125】

ここでは、プラズマ CVD 装置の処理室に一酸化二窒素を導入し、処理室に設けられる上部電極に 27.12 MHz の高周波電源を用いて 150 W の高周波電力を供給して発生させた酸素プラズマに酸化物半導体膜 19 を曝す。

【0126】

次に、酸化物半導体膜 20 及び一对の電極 21 上に絶縁膜 34 を形成する。ここでは、トランジスタ 10 のゲート絶縁膜 17 と同様の条件を用いて、厚さ 10 nm の酸化窒化シリコン膜を形成する。当該条件により、膜密度が高く、且つ欠陥の少ない酸化窒化シリコン膜を形成することができる。

10

【0127】

次に、絶縁膜 34 に酸素 35 を添加してもよい。絶縁膜 34 に酸素 35 を添加する方法としては、イオン注入法、イオンドーピング法、プラズマ処理等がある。この結果、絶縁膜 34 を、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とすることができる。

【0128】

次に、図 4 (E) に示すように、絶縁膜 34 上に絶縁膜 36 を形成する。絶縁膜 36 として、プラズマ CVD 装置の真空排気された処理室内に載置された基板を 180 以上 250 以下、さらに好ましくは 180 以上 230 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 100 Pa 以上 250 Pa 以下、さらに好ましくは 100 Pa 以上 200 Pa 以下とし、処理室内に設けられる電極に 0.17 W/cm² 以上 0.5 W/cm² 以下、さらに好ましくは 0.25 W/cm² 以上 0.35 W/cm² 以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

20

【0129】

次に、図 2 に示す工程と同様に、加熱処理を行う。

【0130】

以上の工程により、しきい値電圧のマイナスシフトが抑制されたトランジスタを作製することができる。また、トランジスタのしきい値電圧の変動が少なく、電気特性のばらつきの少ない、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲート BT ストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

30

【0131】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0132】

(実施の形態 2)

本実施の形態では、実施の形態 1 と異なる構造のトランジスタについて、図 5 を用いて説明する。本実施の形態に示すトランジスタ 100 は、実施の形態 1 に示すトランジスタと比較して、トップゲート構造のトランジスタである点が異なる。

40

【0133】

図 5 (A) 乃至図 5 (C) に、トランジスタ 100 の上面図及び断面図を示す。図 5 (A) はトランジスタ 100 の上面図であり、図 5 (B) は、図 5 (A) の一点鎖線 A - B 間の断面図であり、図 5 (C) は、図 5 (A) の一点鎖線 C - D 間の断面図である。なお、図 5 (A) では、明瞭化のため、基板 101、下地絶縁膜 103、トランジスタ 100 の構成要素の一部 (例えば、ゲート絶縁膜 109)、絶縁膜 113 などを省略している。

【0134】

図 5 に示すトランジスタ 100 は、下地絶縁膜 103 上に形成される酸化物半導体膜 105 と、酸化物半導体膜 105 に接する一对の電極 107 と、下地絶縁膜 103、酸化物半

50

導体膜105、及び一对の電極107に接するゲート絶縁膜109と、ゲート絶縁膜109を介して酸化物半導体膜105と重なるゲート電極111とを有する。また、ゲート絶縁膜109及びゲート電極111を覆う絶縁膜113を有する。また、ゲート絶縁膜109及び絶縁膜113の開口部110において、一对の電極107と接する配線115とを有してもよい。

【0135】

本実施の形態に示すトランジスタ100は、一对の電極107及びゲート電極111がゲート絶縁膜109を介して重なっている。このため、酸化物半導体膜105において、ゲート絶縁膜109を介してゲート電極111と対向する領域がチャンネル領域として機能し、一对の電極107と接する領域がソース領域及びドレイン領域として機能する。即ち、チャンネル領域と、ソース領域及びドレイン領域とが接している。チャンネル領域と、ソース領域及びドレイン領域との間に抵抗となる領域がないため、オン電流及び電界効果移動度が高いトランジスタが得られる。

10

【0136】

本実施の形態に示すトランジスタ100は、ゲート絶縁膜109が、膜密度が高く、且つ欠陥の少ない絶縁膜で形成されている。代表的には、ゲート絶縁膜109の膜密度が 2.26 g/cm^3 以上、理論膜密度である 2.63 g/cm^3 以下、好ましくは 2.30 g/cm^3 以上 2.63 g/cm^3 以下であるため、ゲート絶縁膜109の膜密度が高い。また、電子スピン共鳴法(E SR)によって計測される信号において、シリコンのタンダリングボンドを示すE'-center(g値が2.001)に現れる信号のスピンドensityが $2 \times 10^{15} \text{ spins/cm}^3$ 以下、さらに好ましくは検出下限($1 \times 10^{15} \text{ spins/cm}^3$)以下であるため、ゲート絶縁膜109に含まれるシリコンのタンダリングボンドが極めて少ない。このため、当該ゲート絶縁膜109を有するトランジスタ100のしきい値電圧の変動が少なく、トランジスタ100は優れた電気特性を有する。

20

【0137】

上記ゲート絶縁膜109としては、例えば酸化シリコン、酸化窒化シリコン等がある。

【0138】

なお、酸化物半導体膜105がインジウムを含む金属酸化物で形成される場合、ゲート絶縁膜109に $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下のインジウムが含まれる。これは、ゲート絶縁膜109の成膜の際に酸化物半導体膜105に含まれるインジウムがゲート絶縁膜109へと拡散するためである。なお、ゲート絶縁膜109の成膜温度が高くなるにつれ、例えば350以上であると、ゲート絶縁膜109に含まれるインジウムの含有量が増加する。

30

【0139】

以下に、トランジスタ100の他の構成の詳細について説明する。

【0140】

基板101は、実施の形態1に示す基板11に列挙する基板を適宜用いることができる。

【0141】

下地絶縁膜103は、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成することが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜としては、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いることが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜は、加熱処理により酸化物半導体膜に酸素を拡散させることができる。下地絶縁膜103の代表例としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等がある。

40

【0142】

下地絶縁膜103は、50nm以上、好ましくは200nm以上3000nm以下、好ましくは300nm以上1000nm以下とする。下地絶縁膜103を厚くすることで、下地絶縁膜103の酸素脱離量を増加させることができると共に、下地絶縁膜103及び後に形成される酸化物半導体膜との界面における界面準位を低減することが可能である。

50

【0143】

ここで、「加熱により酸素の一部が脱離する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

【0144】

上記構成において、加熱により酸素の一部が脱離する絶縁膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) とは、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

10

【0145】

ここで、TDS分析にて、酸素原子に換算しての酸素の脱離量の測定方法について、以下に説明する。

【0146】

TDS分析したときの気体の脱離量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の脱離量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

【0147】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び絶縁膜のTDS分析結果から、絶縁膜の酸素分子の脱離量 (N_{O_2}) は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

20

【0148】

$$N_{\text{O}_2} = N_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times \quad (\text{数式1})$$

【0149】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{\text{H}_2} / S_{\text{H}_2}$ とする。 S_{O_2} は、絶縁膜をTDS分析したときのスペクトルの積分値である。 α は、TDS分析におけるスペクトル強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の脱離量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定する。

30

【0150】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の脱離量を評価することで、酸素原子の脱離量についても見積もることができる。

40

【0151】

なお、 N_{O_2} は酸素分子の脱離量である。絶縁膜においては、酸素原子に換算したときの酸素の脱離量は、酸素分子の脱離量の2倍となる。

【0152】

下地絶縁膜103から酸化物半導体膜105に酸素が供給されることで、下地絶縁膜103及び酸化物半導体膜105の界面準位を低減できる。この結果、トランジスタの動作などに起因して生じる電荷などが、上述の下地絶縁膜103及び酸化物半導体膜105の

50

界面に捕獲されることを抑制することができ、電気特性の変動の少ないトランジスタを得ることができる。

【0153】

即ち、酸化物半導体膜105に酸素欠損が生じると、下地絶縁膜103と酸化物半導体膜105との界面において電荷が捕獲され、当該電荷がトランジスタの電気特性に影響してしまうところ、下地絶縁膜103に、加熱により酸素が脱離する絶縁膜を設けることで、酸化物半導体膜105及び下地絶縁膜103の界面準位を低減し、酸化物半導体膜105及び下地絶縁膜103の界面における電荷捕獲の影響を小さくすることができる。

【0154】

なお、下地絶縁膜103として、ゲート絶縁膜109と同様の、膜密度が高く、且つ欠陥の少ない絶縁膜、代表的には、膜密度が 2.26 g/cm^3 以上、理論膜密度である 2.63 g/cm^3 以下、好ましくは 2.30 g/cm^3 以上 2.63 g/cm^3 以下であり、電子スピン共鳴法によって計測される信号において、 g 値が2.001に現れる信号のスピン密度が $2 \times 10^{15} \text{ spins/cm}^3$ 以下である絶縁膜を用いてもよい。または、下地絶縁膜103を積層構造とし、酸化物半導体膜105側に、ゲート絶縁膜109と同様の、膜密度が高く、且つ欠陥の少ない絶縁膜、代表的には、膜密度が 2.26 g/cm^3 以上 2.63 g/cm^3 以下であり、電子スピン共鳴法によって計測される信号において、 g 値が2.001に現れる信号のスピン密度が $2 \times 10^{15} \text{ spins/cm}^3$ 以下、さらに好ましくは検出下限($1 \times 10^{15} \text{ spins/cm}^3$)以下である絶縁膜を用いることで、トランジスタのしきい値電圧の変動を抑制することができる。

10

20

【0155】

酸化物半導体膜105は、実施の形態1に示す酸化物半導体膜19と同様に形成することができる。

【0156】

一对の電極107は、実施の形態1に示す一对の電極21と同様に形成することができる。なお、一对の電極107において、チャネル幅方向における長さが酸化物半導体膜105より長く、更にはチャネル長方向と交差する端部を覆う構造とし、一对の電極107及び酸化物半導体膜105の接触面積を増大させることで、酸化物半導体膜105と一对の電極107との接触抵抗を低減することが可能であり、トランジスタのオン電流を高めることができる。

30

【0157】

ゲート電極111は、実施の形態1に示すゲート電極15と同様に形成することができる。また、絶縁膜113は、実施の形態1に示す絶縁膜23と同様に形成することができる。

【0158】

配線115は、一对の電極107に列挙する材料を適宜用いることができる。

【0159】

次に、図5に示すトランジスタの作製方法について、図6を用いて説明する。

【0160】

図6(A)に示すように、基板101上に下地絶縁膜103を形成する。次に、下地絶縁膜103上に酸化物半導体膜105を形成する。

40

【0161】

下地絶縁膜103は、スパッタリング法、CVD法等により形成する。

【0162】

下地絶縁膜103として、加熱により酸素の一部が脱離する酸化絶縁膜をスパッタリング法により形成する場合は、成膜ガス中の酸素量が高いことが好ましく、酸素、または酸素及び希ガスの混合ガス等を用いることができる。代表的には、成膜ガス中の酸素濃度を6%以上100%以下にすることが好ましい。

【0163】

また、下地絶縁膜103としてCVD法で酸化絶縁膜を形成する場合、原料ガス由来の水

50

素または水が酸化絶縁膜中に混入される場合がある。このため、CVD法で酸化絶縁膜を形成した後、脱水素化または脱水化として、加熱処理を行うことが好ましい。

【0164】

さらに、CVD法で形成した酸化絶縁膜に、酸素を導入することで、加熱により脱離する酸素量を増加させることができる。酸化絶縁膜に酸素を導入する方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理等がある。

【0165】

ここで、酸化物半導体膜105は、実施の形態1に示す酸化物半導体膜19と同様の形成方法を適宜用いることができる。

10

【0166】

また、CAAC-OS膜に含まれる結晶部の配向を高めるためには、酸化物半導体膜の下地絶縁膜である、下地絶縁膜103の表面の平坦性を高めることが好ましい。代表的には、下地絶縁膜103の平均面粗さ(Ra)を、1nm以下、0.3nm以下、または0.1nm以下とすることが好ましい。なお、本明細書等において、平均面粗さ(Ra)とは、JISB0601:2001(ISO4287:1997)で定義されている算術平均粗さを曲面に対して適用できるように三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現される。また、平坦化処理としては、化学的機械的研磨(Chemical Mechanical Polishing: CMP)処理、ドライエッチング処理、真空のチャンバーに不活性ガス、例えばアルゴンガスを導入し、被処理面を陰極とする電界をかけて、表面の微細な凹凸を平坦化するプラズマ処理(いわゆる逆スパッタ)等の一または複数を適用することができる。

20

【0167】

次に、加熱処理を行うことが好ましい。当該加熱処理により、下地絶縁膜103に含まれる酸素の一部を、下地絶縁膜103及び酸化物半導体膜105の界面近傍に拡散させることができる。この結果、下地絶縁膜103及び酸化物半導体膜105の界面近傍における界面準位を低減することができる。

【0168】

加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは250 以上450 以下、更に好ましくは300 以上450 以下とする。

30

【0169】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気加熱した後、酸素雰囲気加熱してもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は3分~24時間とする。

【0170】

なお、後に酸化物半導体膜105となる酸化物半導体膜を下地絶縁膜103上に形成し、上記加熱処理を行った後、該酸化物半導体膜の一部をエッチングして、酸化物半導体膜105を形成してもよい。当該工程により、下地絶縁膜103に含まれる酸素において、より多くの酸素を下地絶縁膜103及び酸化物半導体膜105の界面近傍に拡散させることができる。

40

【0171】

次に、図6(B)に示すように、一对の電極107を形成する。一对の電極107は実施の形態1に示す一对の電極21と同様の形成方法を適宜用いることができる。または、印刷法またはインクジェット法により一对の電極107を形成することができる。

【0172】

次に、図6(C)に示すように、ゲート絶縁膜109を形成した後、ゲート絶縁膜109上にゲート電極111を形成する。

【0173】

ゲート絶縁膜109は、実施の形態1に示すゲート絶縁膜17と同様の形成方法を適宜用

50

いることで、膜密度が高く、欠陥の少ない酸化シリコン膜または酸化窒化シリコン膜を形成することができる。

【0174】

また、CAAC-O₂S膜は、被形成面または表面に沿って酸素が移動しやすい。このため、素子分離した酸化物半導体膜105の側面から酸素の脱離が生じやすく、酸素欠損が形成されやすい。しかしながら、酸化物半導体膜105上に加熱により酸素の一部が脱離する酸化絶縁膜と、当該酸化絶縁膜上に金属酸化膜をゲート絶縁膜109として設けることにより、酸化物半導体膜105の側面からの酸素脱離を抑制することが可能である。この結果、酸化物半導体膜105の側面の導電性の上昇を抑制することが抑制することができる。

10

【0175】

ゲート電極111は、実施の形態1に示すゲート電極15の形成方法を適宜用いることができる。

【0176】

次に、図6(D)に示すように、ゲート絶縁膜109及びゲート電極111上に絶縁膜113を形成した後、一对の電極107に接続する配線115を形成する。

【0177】

絶縁膜113は、実施の形態1に示す絶縁膜23と同様に形成することができる。

【0178】

次に、実施の形態1と同様に、加熱処理を行う。該加熱処理の温度は、代表的には、150以上基板歪み点未満、好ましくは250以上450以下、更に好ましくは300以上450以下とする。

20

【0179】

配線115は、スパッタリング法、CVD法、蒸着法等で導電膜を形成した後、該導電膜上にマスクを形成して導電膜をエッチングして形成する。導電膜上に形成するマスクは、印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。この後マスクを除去する。また、配線115をデュアルダマシン法で形成してもよい。

【0180】

以上の工程により、トランジスタのしきい値電圧の変動が少なく、電気特性のばらつきの少ない、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

30

【0181】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0182】

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2と異なる構造のトランジスタについて、図7を用いて説明する。本実施の形態に示すトランジスタ120は、実施の形態2に示すトランジスタ100と比較して、ゲート電極が一对の電極が重なっていない点が異なる。また、酸化物半導体膜にドーパントが添加されている点が異なる。

40

【0183】

図7(A)及び図7(B)に、トランジスタ120の上面図及び断面図を示す。図7(A)はトランジスタ120の上面図であり、図7(B)は、図7(A)の一点鎖線A-B間の断面図である。なお、図7(A)では、明瞭化のため、基板101、下地絶縁膜103、トランジスタ120の構成要素の一部(例えば、ゲート絶縁膜109)、絶縁膜113などを省略している。

【0184】

図7(B)に示すトランジスタ120は、下地絶縁膜103上に形成される酸化物半導体膜121と、酸化物半導体膜121に接する一对の電極107と、下地絶縁膜103、酸

50

化物半導体膜 121、及び一对の電極 107 に接するゲート絶縁膜 109 と、ゲート絶縁膜 109 を介して酸化物半導体膜 121 と重なるゲート電極 129 とを有する。また、ゲート絶縁膜 109 及びゲート電極 129 を覆う絶縁膜 113 を有する。また、ゲート絶縁膜 109 及び絶縁膜 113 の開口部 110 (図 7 (A) 参照。) において、一对の電極 107 と接する配線 115 とを有してもよい。

【 0185 】

本実施の形態に示すトランジスタ 120 は、酸化物半導体膜 121 において、ゲート電極 129 とゲート絶縁膜 109 を介して重なる第 1 の領域 123 と、ドーパントが添加された一对の第 2 の領域 125 と、一对の電極 107 と接する一对の第 3 の領域 127 とを有する。なお、第 1 の領域 123 及び第 3 の領域 127 には、ドーパントが添加されていない。第 1 の領域 123 を挟むように一对の第 2 の領域 125 が設けられる。また、第 1 の領域 123 及び第 2 の領域 125 を間に挟むように一对の第 3 の領域 127 が設けられる。

10

【 0186 】

第 1 の領域 123 は、トランジスタ 120 においてチャネル領域として機能する。第 3 の領域 127 において一对の電極 107 と接する領域は、一对の電極 107 によって酸素の一部が一对の電極 107 に拡散し、酸素欠損ができ、n 型化する。このため、第 3 の領域 127 の一部はソース領域及びドレイン領域として機能する。第 2 の領域は、ドーパントが添加され、導電率が高いため、低抵抗領域として機能し、チャネル領域と、ソース領域及びドレイン領域との間の抵抗を低減することができる。このため、トランジスタ 120

20

のオン電流及び電界効果移動度を高めることができる。

【 0187 】

第 2 の領域 125 に添加されるドーパントとしては、ホウ素、窒素、リン、及びヒ素の少なくとも一以上がある。または、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上がある。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上とが適宜組み合わせられて含まれていてもよい。

【 0188 】

また、一对の第 2 の領域 125 に含まれるドーパントの濃度は、 $5 \times 10^{18} \text{ atoms / cm}^3$ 以上 $1 \times 10^{22} \text{ atoms / cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms / cm}^3$ 以上 $5 \times 10^{19} \text{ atoms / cm}^3$ 未満とする。

30

【 0189 】

第 2 の領域 125 はドーパントを含むため、キャリア密度または欠陥を増加させることができる。このため、ドーパントを含まない第 1 の領域 123 及び第 3 の領域 127 と比較して導電性を高めることができる。なお、ドーパント濃度を増加させすぎると、ドーパントがキャリアの移動を阻害することになり、第 2 の領域 125 の導電性を低下させることになる。

【 0190 】

第 2 の領域 125 は、導電率が 0.1 S / cm 以上 1000 S / cm 以下、好ましくは 10 S / cm 以上 1000 S / cm 以下とすることが好ましい。

40

【 0191 】

次に、本実施の形態に示すトランジスタ 120 の作製方法について、図 6 及び図 7 を用いて説明する。

【 0192 】

実施の形態 2 と同様に、図 6 (A) 乃至図 6 (B) の工程を経て、基板 101 上に下地絶縁膜 103 を形成し、下地絶縁膜 103 上に酸化物半導体膜 121 を形成し、酸化物半導体膜 121 上に一对の電極 107 を形成する。次に、酸化物半導体膜 121 及び一对の電極 107 上にゲート絶縁膜 109 を形成し、ゲート絶縁膜 109 を介して、酸化物半導体膜 121 の一部と重なるように、ゲート電極 129 を形成する。

【 0193 】

50

ここで、露光装置の解像限界以下の幅にまで微細化されたゲート電極の形成方法の一例について説明する。ゲート電極129の形成に用いるマスクに対してスリミング処理を行い、より微細な構造のマスクとすることが好ましい。スリミング処理としては、例えば、酸素ラジカルなどを用いるアッシング処理を適用することができる。ただし、スリミング処理はフォトリソグラフィ法などによって形成されたマスクをより微細な構造に加工できる処理であれば、アッシング処理以外の方法を用いてもよい。また、スリミング処理によって形成されるマスクによって、トランジスタのチャンネル長が決定されることになるため、制御性の良好な処理を適用することが好ましい。スリミング処理の結果、フォトリソグラフィ法などによって形成されたマスクを、露光装置の解像限界以下、好ましくは、1/2以下、より好ましくは1/3以下の幅にまで微細化することが可能である。例えば、形成されたマスクの幅は、20nm以上2000nm以下、好ましくは50nm以上350nm以下を達成することができる。また、スリミングしたマスクを後退させながら、導電膜をエッチングすることで、露光装置の解像限界以下の幅にまで微細化されたゲート電極129を形成することができる。

10

【0194】

次に、一对の電極107及びゲート電極129をマスクとして、酸化物半導体膜121にドーパントを添加する。酸化物半導体膜121にドーパントを添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。

【0195】

また、上記酸化物半導体膜121へのドーパントの添加は、酸化物半導体膜121を覆って、ゲート絶縁膜109が形成されている状態を示したが、酸化物半導体膜121が露出している状態でドーパントの添加を行ってもよい。

20

【0196】

さらに、上記ドーパントの添加はイオンドーピング法またはイオンインプランテーション法などによる注入以外の方法でも行うことができる。例えば、添加する元素を含むガス雰囲気にてプラズマを発生させて、酸化物半導体膜121に対してプラズマ処理を行うことによって、ドーパントを添加することができる。上記プラズマを発生させる装置としては、ドライエッチング装置、プラズマCVD装置などを用いることができる。

【0197】

なお、ドーパントの添加処理は、基板101を加熱しながら行ってもよい。

30

【0198】

ここでは、イオンインプランテーション法により、リンを酸化物半導体膜121に添加する。

【0199】

この後、加熱処理を行う。当該加熱処理の温度は、代表的には、150以上450以下、好ましくは250以上325以下とする。または、250から325まで徐々に温度上昇させながら加熱してもよい。

【0200】

当該加熱処理により、第2の領域125の導電率を高めることができる。なお、当該加熱処理において、第1の領域123、第2の領域125、及び第3の領域127は、多結晶構造、非晶質構造、またはCAAC-OSとなる。

40

【0201】

こののち、実施の形態2と同様に、絶縁膜113を形成し、加熱処理を行った後、配線115を形成して、図7に示すトランジスタ120を形成することができる。

【0202】

以上の工程により、トランジスタのしきい値電圧の変動が少なく、電気特性のばらつきの少ない、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0203】

50

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0204】

(実施の形態4)

本実施の形態では、実施の形態1乃至実施の形態3と異なる構造のトランジスタについて、図8を用いて説明する。本実施の形態に示すトランジスタ130は、他の実施の形態に示すトランジスタと比較して、酸化物半導体膜の構造が異なり、チャネル領域と、ソース領域及びドレイン領域との間に、電界緩和領域を有する。

【0205】

図8(A)及び図8(B)に、トランジスタ130の上面図及び断面図を示す。図8(A)はトランジスタ130の上面図であり、図8(B)は、図8(A)の一点鎖線A-B間の断面図である。なお、図8(A)では、明瞭化のため、基板101、下地絶縁膜103、トランジスタ130の構成要素の一部(例えば、ゲート絶縁膜109)、絶縁膜113などを省略している。

10

【0206】

図8(B)に示すトランジスタ130は、下地絶縁膜103上に形成される酸化物半導体膜131と、酸化物半導体膜131に接する一对の電極139と、下地絶縁膜103、酸化物半導体膜131、及び一对の電極139に接するゲート絶縁膜109と、ゲート絶縁膜109を介して酸化物半導体膜131と重なるゲート電極129とを有する。また、ゲート絶縁膜109及びゲート電極129を覆う絶縁膜113を有する。また、ゲート絶縁膜109及び絶縁膜113の開口部110において、一对の電極139と接する配線115とを有してもよい。

20

【0207】

本実施の形態に示すトランジスタ130は、酸化物半導体膜131において、ゲート電極とゲート絶縁膜109を介して重なる第1の領域133と、ドーパントが添加された一对の第2の領域135と、一对の電極139と接し、且つドーパントが添加された一对の第3の領域137とを有する。なお、第1の領域133には、ドーパントが添加されていない。第1の領域133を挟むように一对の第2の領域135が設けられる。また、第1の領域133及び第2の領域135を間に挟むように一对の第3の領域137が設けられる。

30

【0208】

第2の領域135及び第3の領域137に添加されるドーパントとしては、実施の形態3に示す第2の領域125と同様のドーパントを適宜用いることができる。

【0209】

また、第2の領域135及び第3の領域137に含まれるドーパントの濃度及び導電率は、実施の形態3に示す第2の領域125と同様のドーパントの濃度とすることができる。なお、本実施の形態においては、第2の領域135より第3の領域137の方がドーパントの濃度及び導電率が高い。

【0210】

第1の領域133は、トランジスタ130においてチャネル領域として機能する。第2の領域135は、電界緩和領域として機能する。第3の領域137において一对の電極139と接する領域は、一对の電極139の材料によっては酸素の一部が一对の電極139に拡散し、酸素欠損ができ、n型化する。また、第3の領域137にはドーパントが添加され、導電率が高いため、第3の領域137及び一对の電極139のコンタクト抵抗をさらに低減することができる。このため、トランジスタ130のオン電流及び電界効果移動度を高めることができる。

40

【0211】

なお、一对の電極139は、第3の領域137にドーパントを添加させるために、膜厚を薄くすることが好ましく、代表的には、10nm以上100nm以下、好ましくは20nm以上50nm以下とする。

50

【0212】

次に、本実施の形態に示すトランジスタ130の作製方法について、図6及び図8を用いて説明する。

【0213】

実施の形態2と同様に、図6(A)及び図6(B)の工程を経て、基板101上に下地絶縁膜103を形成し、下地絶縁膜103上に酸化物半導体膜131を形成し、酸化物半導体膜131上に一对の電極139(図8(B)参照。)を形成する。次に、酸化物半導体膜131及び一对の電極139上にゲート絶縁膜109を形成し、ゲート絶縁膜109を介して、酸化物半導体膜131の一部と重なるように、ゲート電極129を形成する。

【0214】

次に、ゲート電極129をマスクとして、酸化物半導体膜131にドーパントを添加する。ドーパントの添加方法は、実施の形態3に示す方法を適宜用いることができる。なお、本実施の形態では、第2の領域135と共に、第3の領域137にもドーパントを添加する。さらに、第2の領域135より第3の領域137の方がドーパントの濃度が高い。このため、ドーパント濃度のプロファイルのピークが第3の領域137となるように、添加方法の条件を適宜用いる。このとき、第3の領域137は一对の電極139と重なるが、第2の領域135は、一对の電極139と重ならない。このため、第2の領域135では、ドーパント濃度のプロファイルのピークが下地絶縁膜103となるため、第2の領域135におけるドーパントの濃度は、第3の領域137より低くなる。

【0215】

この後、加熱処理を行う。当該加熱処理の温度は、代表的には、150 以上450 以下、好ましくは250 以上325 以下とする。または、250 から325 まで徐々に温度上昇させながら加熱してもよい。

【0216】

当該加熱処理により、第2の領域135及び第3の領域137の導電率を高めることができる。なお、当該加熱処理において、第1の領域133、第2の領域135、及び第3の領域137は、多結晶構造、非晶質構造、またはCAAC-OSとなる。

【0217】

こののち、実施の形態2と同様に、絶縁膜113を形成し、加熱処理を行った後、配線115を形成して、図8に示すトランジスタ130を形成することができる。

【0218】

本実施の形態に示すトランジスタ130は、酸化物半導体膜131において、チャネル領域となる第1の領域133と、ソース領域及びドレイン領域として機能する第3の領域137の間に、電界緩和領域として機能する第2の領域135を有する。このため、実施の形態2に示すトランジスタ100と比較して、トランジスタの劣化を抑制することができる。また、一对の電極139と接する第3の領域137にドーパントが含まれるため、一对の電極139及び第3の領域137の接触抵抗をさらに低減することが可能であり、オン電流を高めたトランジスタを作製することができる。また、トランジスタのしきい値電圧の変動が少なく、電気特性のばらつきの少ない、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0219】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0220】

(実施の形態5)

本実施の形態では、実施の形態1乃至実施の形態4と異なる構造のトランジスタについて、図9を用いて説明する。

【0221】

図9(A)に示すトランジスタ210は、基板101上に設けられる下地絶縁膜103と

10

20

30

40

50

、下地絶縁膜 103 上に形成される酸化物半導体膜 211 と、下地絶縁膜 103 及び酸化物半導体膜 211 に接するゲート絶縁膜 109 と、ゲート絶縁膜 109 を介して酸化物半導体膜 211 と重なるゲート電極 129 とを有する。また、ゲート絶縁膜 109 及びゲート電極 129 を覆う絶縁膜 217 と、ゲート絶縁膜 109 及び絶縁膜 217 の開口部において、酸化物半導体膜 211 と接する配線 219 を有する。

【0222】

本実施の形態に示すトランジスタ 210 は、酸化物半導体膜 211 は、ゲート電極 129 とゲート絶縁膜 109 を介して重なる第 1 の領域 213 と、ドーパントが添加された一対の第 2 の領域 215 とを有する。なお、第 1 の領域 213 には、ドーパントが添加されていない。また、第 1 の領域 213 を挟むように一対の第 2 の領域 215 が設けられる。

10

【0223】

第 1 の領域 213 は、トランジスタ 210 においてチャンネル領域として機能する。第 2 の領域 215 はソース領域及びドレイン領域として機能する。

【0224】

第 2 の領域 215 に添加されるドーパントとしては、実施の形態 3 に示す第 2 の領域 125 と同様のドーパントを適宜用いることができる。

【0225】

また、第 2 の領域 215 に含まれるドーパントの濃度及び導電率は、実施の形態 3 に示す第 2 の領域 125 と同様のドーパントの濃度とすることができる。

【0226】

図 9 (B) に示すトランジスタ 220 は、基板 101 上に設けられる下地絶縁膜 103 と、下地絶縁膜 103 上に設けられる酸化物半導体膜 211 と、酸化物半導体膜 211 に接する、ソース電極及びドレイン電極として機能する一対の電極 225 と、酸化物半導体膜 211 の少なくとも一部と接するゲート絶縁膜 223 と、ゲート絶縁膜 223 上であって、且つ酸化物半導体膜 211 と重畳するゲート電極 129 とを有する。

20

【0227】

また、ゲート電極 129 の側面に接するサイドウォール絶縁膜 221 を有する。また、下地絶縁膜 103、ゲート電極 129、サイドウォール絶縁膜 221、及び一対の電極 225 上に絶縁膜 217 を有する。また、絶縁膜 217 の開口部において、一対の電極 225 と接する配線 219 を有する。

30

【0228】

図 9 (B) に示すトランジスタにおいて、酸化物半導体膜 211 は、ゲート電極 129 とゲート絶縁膜 223 を介して重なる第 1 の領域 213 と、ドーパントが添加された一対の第 2 の領域 215 とを有する。なお、第 1 の領域 213 には、ドーパントが添加されていない。第 1 の領域 213 を挟むように一対の第 2 の領域 215 が設けられる。

【0229】

トランジスタの一対の電極 225 の端部が、サイドウォール絶縁膜 221 上に位置し、更に酸化物半導体膜 211 において、一対の電極 225 が、ドーパントを含む一対の第 2 の領域 215 の露出部を全て覆っている。このため、チャンネル長方向におけるソース電極 - ドレイン電極間の距離 (より正確には、一対の電極 225 と接する酸化物半導体膜 211 の間の距離) を、サイドウォール絶縁膜 221 の幅で制御することができる。つまりマスクを用いてパターンを形成するのが困難な微細なデバイスにおいて、酸化物半導体膜 211 と接する一対の電極 225 のチャンネル側の端部を、マスクを用いずに形成させることができる。また、マスクを使用しないため、複数のトランジスタにおける加工ばらつきを低減することができる。

40

【0230】

本実施の形態に示すトランジスタ 210、220 に設けられるゲート絶縁膜 109、223 は、膜密度が高く、欠陥の少ない絶縁膜である。この結果、トランジスタのしきい値電圧の変動が少なく、電気特性のばらつきの少ない、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲート BT ストレス試験による電気特性の

50

変動の少ない、信頼性の高いトランジスタを作製することができる。

【0231】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせることができる。

【0232】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態5と異なる構造のトランジスタについて、図10を用いて説明する。本実施の形態に示すトランジスタは、酸化物半導体膜を介して対向する複数のゲート電極を有することを特徴とする。なお、本実施の形態では、実施の形態2に示すトランジスタを用いて説明するが、適宜他の実施の形態と組み合わせること

10

【0233】

図10に示すトランジスタ230は、基板101上に設けられるゲート電極231と、ゲート電極231を覆う絶縁膜233を有する。また、絶縁膜233上に形成される酸化物半導体膜105と、酸化物半導体膜105に接する一対の電極107と、絶縁膜233、酸化物半導体膜105、及び一対の電極107に接するゲート絶縁膜109と、ゲート絶縁膜109を介して酸化物半導体膜105と重なるゲート電極111とを有する。また、ゲート絶縁膜109及びゲート電極111を覆う絶縁膜113を有する。また、ゲート絶縁膜109及び絶縁膜113の開口部において、一対の電極107と接する配線115とを有してもよい。

20

【0234】

ゲート電極231は、実施の形態1に示すゲート電極15と同様に形成することができる。なお、ゲート電極231は、後に形成される絶縁膜233の被覆性を高めるために、側面がテーパ形状であることが好ましく、基板101とゲート電極231の側面のなす角度は、20度以上70度以下、好ましくは30度以上60度以下とする。

【0235】

絶縁膜233は、実施の形態2に示す下地絶縁膜103と同様に形成することができる。なお、後に、絶縁膜233上に酸化物半導体膜105を形成するため、絶縁膜233の表面は平坦であることが好ましい。このため、後に絶縁膜233となる絶縁膜を基板101及びゲート電極231上に形成した後、当該絶縁膜を平坦化处理して、表面の凹凸が少ない絶縁膜233を形成する。

30

【0236】

本実施の形態に示すトランジスタ230は、酸化物半導体膜105を介して対向するゲート電極231及びゲート電極111を有する。ゲート電極231とゲート電極111に異なる電位を印加することで、トランジスタ230のしきい値電圧を制御し、好ましくは、しきい値電圧をプラスシフトさせることができる。

【0237】

本実施の形態に示すトランジスタ230に設けられるゲート絶縁膜109は、膜密度が高く、欠陥の少ない絶縁膜である。この結果、トランジスタのしきい値電圧の変動が少なく、電気特性のばらつきが少ない、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

40

【0238】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせることができる。

【0239】

(実施の形態7)

本実施の形態では、実施の形態1乃至実施の形態6に示すトランジスタにおいて、酸化物半導体膜中に含まれる水素濃度を低減したトランジスタの作製方法について説明する。ここでは、代表的に実施の形態1及び実施の形態2を用いて説明するが、適宜他の実施の形

50

態と組み合わせることができる。なお、本実施の形態に示す工程の一以上と、実施の形態 1 及び実施の形態 2 に示すトランジスタの作製工程とが組み合わせればよく、全て組み合わせる必要はない。

【0240】

実施の形態 1 に示す酸化物半導体膜 19 及び実施の形態 2 に示す酸化物半導体膜 105 において、水素濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることが好ましい。

【0241】

酸化物半導体膜 19、105 に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子（あるいは酸素が脱離した部分）には欠損が形成されてしまう。また、水素が酸素と結合することで、キャリアである電子が生じてしまう。これらのため、酸化物半導体膜の成膜工程において、水素を含む不純物を極めて減らすことにより、酸化物半導体膜の水素濃度を低減することが可能である。このため、水素をできるだけ除去し、高純度化させた酸化物半導体膜をチャンネル領域とすることにより、しきい値電圧のマイナスシフトを低減することができ、またトランジスタのソース電極及びドレイン電極の間に生じるリーク電流を、代表的には、チャンネル幅あたりのオフ電流を数 $\mu\text{A}/\mu\text{m}$ ~ 数 $\text{zA}/\mu\text{m}$ にまで低減することが可能であり、トランジスタの電気特性を向上させることができる。

【0242】

酸化物半導体膜 19 中の水素濃度を低減する第 1 の方法として、酸化物半導体膜 19 を形成する前に、加熱処理またはプラズマ処理により、基板 11、下地絶縁膜 13、ゲート電極 15、ゲート絶縁膜 17 それぞれに含まれる水素または水を脱離させる方法がある。この結果、後の加熱処理において、基板 11 乃至ゲート絶縁膜 17 に付着または含有する水素若しくは水が、酸化物半導体膜 19 中に拡散することを防ぐことができる。なお、加熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気にて、 100 以上基板の歪み点未満の温度で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素（亜酸化窒素、一酸化窒素、二酸化窒素等）を用いる。なお、実施の形態 2 乃至実施の形態 6 においては、酸化物半導体膜 105 を形成する前に、加熱処理またはプラズマ処理により、基板 101 及び下地絶縁膜 103 それぞれに含まれる水素または水を脱離させる。

【0243】

酸化物半導体膜 19、105 中の水素濃度を低減する第 2 の方法として、酸化物半導体膜をスパッタリング装置で成膜する前に、スパッタリング装置にダミー基板を搬入し、ダミー基板上に酸化物半導体膜を成膜して、ターゲット表面、または防着板に付着した水素、水等を取り除く方法がある。この結果、酸化物半導体膜中への水素または水等の混入を低減することが可能である。

【0244】

酸化物半導体膜 19、105 中の水素濃度を低減する第 3 の方法として、酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を 150 以上 750 以下、好ましくは 150 以上 450 以下、さらに好ましくは 200 以上 350 以下として、酸化物半導体膜を成膜する方法がある。この方法により、酸化物半導体膜中への水素または水等の混入を低減することが可能である。

【0245】

ここで、酸化物半導体膜 19、105 中に含まれる水素濃度を低減することが可能なスパッタリング装置について、以下に詳細を説明する。

【0246】

酸化物半導体膜を成膜する処理室は、リークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への水素または水等の混入を低減することができる。

【0247】

10

20

30

40

50

また、スパッタリング装置の処理室の排気として、ドライポンプ等の粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプ等の高真空ポンプとを適宜組み合わせるとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素及び水の排気能力が低い。さらに、水素の排気能力の高いスパッタイオンポンプまたは水の排気能力の高いクライオポンプを組み合わせることが有効となる。

【0248】

処理室の内側に存在する吸着物は、内壁に吸着しているために処理室の圧力に影響しないが、処理室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、処理室に存在する吸着物をできる限り脱離し、予め排気しておくことが重要である。なお、吸着物の脱離を促すために、処理室を

10

【0249】

このように、酸化物半導体膜の成膜工程において、処理室の圧力、処理室のリークレートなどにおいて、不純物の混入を極力抑えることによって、酸化物半導体膜に含まれる水素または水等の混入を低減することができる。

【0250】

酸化物半導体膜19、105中の水素濃度を低減する第4の方法として、原料ガスに水素を含む不純物が除去された高純度ガスを用いる方法がある。この結果、酸化物半導体膜中への水素または水等の混入を低減することが可能である。

20

【0251】

酸化物半導体膜19、105中の水素濃度を低減する第5の方法として、酸化物半導体膜を形成した後、加熱処理を行う方法がある。当該加熱処理により、酸化物半導体膜の脱水素化または脱水化をすることができる。

【0252】

加熱処理の温度は、代表的には、150以上基板歪み点未満、好ましくは250以上450以下、更に好ましくは300以上450以下とする。

【0253】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気加熱した後、酸素雰囲気加熱してもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は3分～24時間とする。

30

【0254】

なお、図2(B)及び図6(A)に示すように、素子分離した酸化物半導体膜19、105を形成した後、上記脱水素化または脱水化のための加熱処理を行ってもよい。このような工程を経ることで、脱水素化または脱水化のための加熱処理において、ゲート絶縁膜17または下地絶縁膜103に含まれる水素または水等を効率よく放出させることができる。

40

【0255】

また、脱水化または脱水素化のための加熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。

【0256】

以上の酸化物半導体膜中の水素濃度を低減する第1の方法乃至第5の方法の一以上を実施の形態1乃至実施の形態6に示すトランジスタの作製方法に組み合わせることで、水素または水等をできるだけ除去し、高純度化させた酸化物半導体膜をチャネル領域に有するトランジスタを作製することができる。この結果、しきい値電圧のマイナスシフトを低減することができ、またトランジスタのソース電極及びドレイン電極の間に生じるリーク電流を、代表的には、チャネル幅あたりのオフ電流を数y A / μm ～数z A / μm にまで低減

50

することが可能であり、トランジスタの電気特性を向上させることができる。以上のことから、本実施の形態により、しきい値のマイナスシフトが低減され、リーク電流が低く、優れた電気特性を有するトランジスタを作製することができる。

【0257】

(実施の形態8)

本実施の形態では、下部に第1の半導体材料を用いたトランジスタを有し、上部に第2の半導体材料を用いたトランジスタを有する半導体装置であって、第1の半導体材料を用いたトランジスタに半導体基板を用いた構造を、図11を用いて説明する。

【0258】

図11は、下部に第1の半導体材料を用いたトランジスタを有し、上部に第2の半導体材料を用いたトランジスタを有する半導体装置の断面構成を示す一例である。ここで、第1の半導体材料と第2の半導体材料とは異なる材料を用いる。例えば、第1の半導体材料を酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体または多結晶半導体を用いることが好ましい。単結晶半導体を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、チャネル幅あたりのオフ電流が数 $y \text{ A} / \mu\text{m}$ ~ 数 $z \text{ A} / \mu\text{m}$ 程度と十分低い特性を利用した回路に用いることができる。これらのことから、図11に示す半導体装置を用いて、例えば低消費電力の論理回路を構成することもできる。なお、第1の半導体材料として、有機半導体材料などを用いてもよい。

【0259】

トランジスタ704a、トランジスタ704b及びトランジスタ704cはそれぞれ、nチャネル型トランジスタ(NMOSFET)またはpチャネル型トランジスタ(PMOSFET)のいずれも用いることができる。ここでは、トランジスタ704a及びトランジスタ704bとしてpチャネル型のトランジスタを示し、トランジスタ704cとしてnチャネル型のトランジスタを示す。図11に示す例においては、トランジスタ704a及びトランジスタ704bは、STI(Shallow Trench Isolation)702によって他の素子と絶縁分離されている。一方、トランジスタ704cは、STI702によってトランジスタ704a及び704bと絶縁分離されている。STI702を用いることにより、LOCOSによる素子分離法で発生した素子分離部のバースピークを抑制することができ、素子分離部の縮小等が可能となる。一方で、トランジスタの構造の微細化が要求されない半導体装置においてはSTI702の形成は必ずしも必要ではなく、LOCOS等の素子分離手段を用いることもできる。

【0260】

図11におけるトランジスタ704a、トランジスタ704b及びトランジスタ704cは、それぞれ基板701中に設けられたチャネル領域と、チャネル領域を挟むように設けられた不純物領域705(ソース領域及びドレイン領域ともいう)と、チャネル領域上に設けられたゲート絶縁膜706と、ゲート絶縁膜706上にチャネル領域と重畳するように設けられたゲート電極707、708とを有する。ゲート電極は加工精度を高めるための第1の材料からなるゲート電極707と、配線として低抵抗化を目的とした第2の材料からなるゲート電極708を積層した構造とすることができるが、この構造に限らず、適宜要求される仕様に応じて材料、積層数、形状等を調整することができる。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上このような状態を含めてトランジスタとよぶ場合がある。

【0261】

また、基板701中に設けられた不純物領域705には、コンタクトプラグ714aが接続されている。ここでコンタクトプラグ714aは、トランジスタ704a等のソース電極やドレイン電極としても機能する。また、不純物領域705とチャネル領域の間には、不純物領域705と異なる不純物領域が設けられている。該不純物領域は、導入された不

10

20

30

40

50

純物の濃度によって、LDD領域やエクステンション領域としてチャネル領域近傍の電界分布を制御する機能を果たす。ゲート電極707、708の側壁には絶縁膜709を介してサイドウォール絶縁膜710を有する。絶縁膜709やサイドウォール絶縁膜710を用いることで、LDD領域やエクステンション領域を形成することができる。

【0262】

また、トランジスタ704a、トランジスタ704b及びトランジスタ704cは、絶縁膜711により被覆されている。絶縁膜711には保護膜としての機能を持たせることができ、外部からチャネル領域への不純物の侵入を防止することができる。また、絶縁膜711をCVD法による窒化シリコン等の材料とすることで、チャネル領域に単結晶シリコンを用いた場合には加熱処理によって、単結晶シリコンの水素化を行うことができる。また、絶縁膜711に引張応力または圧縮応力を有する絶縁膜を用いることで、チャネル領域を構成する半導体材料に歪みを与えることができる。nチャネル型のトランジスタの場合にはチャネル領域となるシリコン材料に引張応力を、pチャネル型のトランジスタの場合にはチャネル領域となるシリコン材料に圧縮応力を付加することで、各トランジスタの移動度を向上させることができる。

10

【0263】

ここでは、図11におけるトランジスタ750は、実施の形態2に示すトランジスタ100と同様の構造を有する。さらに、トランジスタ750の下地絶縁膜はバリア膜724、絶縁膜725a、絶縁膜725bの3層構造であり、下地絶縁膜を介して、トランジスタ750の酸化物半導体膜と対向するゲート電極751を有する。絶縁膜725aは、水素、水、及び酸素のブロッキング効果を有する絶縁膜で形成することが好ましく、代表的には酸化アルミニウム膜で形成する。絶縁膜725bは、実施の形態2に示す下地絶縁膜103を適宜用いることができる。

20

【0264】

なお、トランジスタ750としてここでは実施の形態2に示すトランジスタ100を用いて説明したが、実施の形態1乃至実施の形態7で示したトランジスタを適宜用いることができる。

【0265】

第2の半導体材料を用いたトランジスタ750は、必要な回路構成に応じて下層のトランジスタ704a等の第1の半導体材料を用いたトランジスタと電氣的に接続する。図11においては、一例としてトランジスタ750のソース電極またはドレイン電極がトランジスタ704aのソース電極またはドレイン電極と電氣的に接続している構成を示している。

30

【0266】

第2の半導体材料を用いたトランジスタ750のソース電極またはドレイン電極の一方は、トランジスタ750のゲート絶縁膜726、絶縁膜727、絶縁膜728、絶縁膜729を貫通するコンタクトプラグ730bを介して、トランジスタ750よりも上方に形成された配線734aと接続する。ゲート絶縁膜726、絶縁膜727は、実施の形態1乃至実施の形態7で示した構造、材料を適宜用いることができる。

【0267】

配線734aは、絶縁膜731中に埋め込まれている。配線734aは、例えば銅、アルミニウム等の低抵抗な導電性材料を用いることが好ましい。低抵抗な導電性材料を用いることで、配線734aを伝播する信号のRC遅延を低減することができる。配線734aに銅を用いる場合には、銅のチャネル領域への拡散を防止するため、バリア膜733を形成する。バリア膜として、例えば窒化タンタル、窒化タンタルとタンタルとの積層、窒化チタン、窒化チタンとチタンの積層等による膜を用いることができるが、配線材料の拡散防止機能、及び配線材料や下地膜等との密着性が確保される程度においてこれらの材料からなる膜に限られない。バリア膜733は配線734aとは別個の層として形成してもよく、バリア膜となる材料を配線材料中に含有させ、加熱処理によって絶縁膜731に設けられた開口の内壁に析出させて形成しても良い。

40

50

【0268】

絶縁膜731には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、BPSG (Boron Phosphorus Silicate Glass)、PSG (Phosphorus Silicate Glass)、炭素を添加した酸化シリコン (SiOC)、フッ素を添加した酸化シリコン (SiOF)、 $Si(OC_2H_5)_4$ を原料とした酸化シリコンであるTEOS (Tetraethyl orthosilicate)、HSQ (Hydrogen Silsesquioxane)、MSQ (Methyl Silsesquioxane)、OSG (Organo Silicate Glass)、有機ポリマー系の材料等の絶縁体を用いることができる。特に半導体装置の微細化を進める場合には、配線間の寄生容量が顕著になり信号遅延が増大するため酸化シリコンの比誘電率 ($k = 4.0 \sim 4.5$) では高く、 k が3.0以下の材料を用いることが好ましい。また該絶縁膜に配線を埋め込んだ後にCMP処理を行うため、絶縁膜には機械的強度が要求される。この機械的強度が確保できる限りにおいて、これらを多孔質 (ポーラス) 化させて低誘電率化することができる。絶縁膜731は、スパッタリング法、CVD法、スピコート法 (Spin On Glass: SOGともいう) を含む塗布法等により形成する。

10

【0269】

絶縁膜731上には、絶縁膜732を設けてもよい。絶縁膜732は、配線材料を絶縁膜731中に埋め込んだ後、CMP等による平坦化処理を行う際のエッチングストップとして機能する。

20

【0270】

配線734a上には、バリア膜735が設けられており、バリア膜735上に保護膜740が設けられている。バリア膜735は銅等の配線材料の拡散を防止することを目的とした膜である。バリア膜735は、配線734aの上面のみに限らず、絶縁膜731、732上に形成してもよい。バリア膜735は、窒化シリコンやSiC、SiBON等の絶縁性材料で形成することができる。

【0271】

配線734aはコンタクトプラグ730aを介して、バリア膜724よりも下層に設けられた配線723と接続する。コンタクトプラグ730aは、コンタクトプラグ730bと異なり、バリア膜724、絶縁膜725a、絶縁膜725b、ゲート絶縁膜726、絶縁膜727、絶縁膜728、絶縁膜729を貫通して配線723と電氣的に接続している。従って、コンタクトプラグ730aは、コンタクトプラグ730bに比べ高さが高い。コンタクトプラグ730aとコンタクトプラグ730bとで径を等しくした場合には、コンタクトプラグ730aの方がアスペクト比は大きくなるが、コンタクトプラグ730aとコンタクトプラグ730bとで異なった径とすることもできる。なお、コンタクトプラグ730aは一の材料で形成した一続きのものとして記しているが、例えばバリア膜724、絶縁膜725a、及び絶縁膜725bを貫通するコンタクトプラグと、ゲート絶縁膜726、絶縁膜727、絶縁膜728、及び729を貫通するコンタクトプラグとに分離して別々に形成してもよい。

30

【0272】

配線723は、配線734a、734bと同様にバリア膜722、724により被覆され、絶縁膜720中に埋め込まれて設けられている。図11に示すように、配線723は上部の配線部分と、下部のビアホール部分から構成される。下部のビアホール部分は下層の配線718と接続する。該構造の配線723はいわゆるデュアルダマシン法等により形成することができる。また、上下層の配線間の接続はデュアルダマシン法によらず、コンタクトプラグを用いて接続してもよい。絶縁膜720上には、CMP等による平坦化処理を行う際のエッチングストップとして機能する絶縁膜721を設けてもよい。

40

【0273】

配線723が電氣的に接続する配線718についても、既述したトランジスタ750の上層の配線層と同様の構成により形成することができる。シリコン等の第1の半導体材料を

50

チャンネル領域に用いたトランジスタ704aは、絶縁膜711、絶縁膜712、絶縁膜713を貫通するコンタクトプラグ714aを介して配線718と接続する。シリコン等の第1の半導体材料をチャンネル領域に用いたトランジスタ704cのゲート電極は、絶縁膜711、絶縁膜712、絶縁膜713を貫通するコンタクトプラグ714bを介して配線718と接続する。配線718は、既述した配線734a、734bと同様にバリア膜717、719により被覆され、絶縁膜715中に埋め込まれて設けられている。絶縁膜715上には、CMP等による平坦化処理を行う際のエッチングストッパとして機能する絶縁膜716を設けてもよい。

【0274】

以上のように、半導体装置の下部に設けられた第1の半導体材料を用いたトランジスタ704aは、複数のコンタクトプラグ及び複数の配線を介して、上部に設けられた第2の半導体材料を用いたトランジスタ750と電氣的に接続する。半導体装置を以上のような構成とすることで、高速動作性能を有する第1の半導体材料を用いたトランジスタと、オフ電流が極めて小さい第2の半導体材料を用いたトランジスタとを組み合わせ、低消費電力化が可能な高速動作の論理回路を有する半導体装置、一例としては記憶装置、中央演算処理装置(CPU)等を作製することができる。

10

【0275】

このような半導体装置は、既述の構成に限らず、発明の趣旨を逸脱しない範囲において、任意に変更が可能である。例えば、説明においては第1の半導体材料を用いたトランジスタと、第2の半導体材料を用いたトランジスタの間の配線層は2層として説明したが、これを1層あるいは3層以上とすることもでき、また配線を用いることなく、コンタクトプラグのみによって両トランジスタを直接接続することもできる。この場合、例えばシリコン貫通電極(Through Silicon Via:TSV)技術を用いることもできる。また、配線は銅等の材料を絶縁膜中に埋め込むことで形成する場合について説明したが、例えばバリア膜、配線材料層、及びバリア膜の三層構造としてフォトリソグラフィ工程により配線パターンに加工したものをを用いてもよい。

20

【0276】

特に、銅配線を第1の半導体材料を用いたトランジスタ704a、704bと第2の半導体材料を用いたトランジスタ750との間の階層に形成する場合には、第2の半導体材料を用いたトランジスタ750の製造工程において付加する熱処理の影響を十分考慮する必要がある。換言すれば、第2の半導体材料を用いたトランジスタ750の製造工程において付加する熱処理の温度を配線材料の性質に適合するように留意する必要がある。例えば、トランジスタ750の構成部材に対して高温で熱処理を行った場合、銅配線では熱応力が発生し、これに起因したストレスマイグレーションなどの不都合が生じるためである。

30

【0277】

ここで、図11に示す半導体装置に含まれる論理回路の一形態について、図12を用いて説明する。ここでは、論理回路の一形態として、NOR型回路及びNAND型回路を用いて説明する。

【0278】

図12(A)はNOR型回路の回路図であり、図12(B)はNAND型回路の回路図である。

40

【0279】

図12(A)示すNOR型回路において、トランジスタ761及びトランジスタ762は、pチャンネル型トランジスタである。トランジスタ763及びトランジスタ764はnチャンネル型トランジスタであり、先の実施の形態のいずれかで説明したトランジスタを適用できる。

【0280】

図12(B)に示すNAND型回路において、トランジスタ771及びトランジスタ774はpチャンネル型トランジスタである。トランジスタ772及びトランジスタ773はnチャンネル型トランジスタであり、先の実施の形態のいずれかで説明したトランジスタを適

50

用できる。なお、図12(A)、(B)に記載したOSとは、トランジスタ763、トランジスタ764、トランジスタ772、及びトランジスタ773に、先の実施の形態のいずれかで説明したトランジスタを適用できることを示す。

【0281】

なお、図12(A)、(B)に示すNOR型回路及びNAND型回路において、トランジスタ763、トランジスタ764、トランジスタ772、及びトランジスタ773には、図11に示したような、酸化物半導体膜を介して複数のゲート電極を有するトランジスタ750も適用できる。このような構造とすることで、複数のゲート電極に異なる電位を印加することで、トランジスタのしきい値電圧を制御し、好ましくは、しきい値電圧をプラスシフトさせることができる。または、複数のゲート電極に同電位を印加することで、トランジスタのオン電流を増加させることができる。

10

【0282】

ここで、図12(A)に示すNAND型回路の断面構造を図11を用いて説明する。図12(A)に示すトランジスタ761及びトランジスタ762は図11に示すトランジスタ704a及びトランジスタ704bに相当する。また、図12(A)に示すトランジスタ763が図11に示すトランジスタ750に相当する。なお、図12(A)に示すトランジスタ762及びトランジスタ763のゲート電極の接続部、並びにトランジスタ764は省略している。

【0283】

本実施の形態に示すトランジスタ750、トランジスタ763、トランジスタ764、トランジスタ772、及びトランジスタ773に設けられるゲート絶縁膜として、膜密度が高く、欠陥の少ない絶縁膜を用いることで、トランジスタのしきい値電圧の変動が少なく、電気特性のばらつきの少ない、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高い半導体装置を作製することができる。

20

【0284】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0285】

(実施の形態9)

先の実施の形態で示した半導体装置の一例としては、中央演算処理装置、マイクロプロセッサ、マイクロコンピュータ、記憶装置、イメージセンサ、電気光学装置、発光表示装置等がある。また、該半導体装置をさまざまな電子機器に適用することができる。電子機器としては、例えば、表示装置、照明装置、パーソナルコンピュータ、ワードプロセッサ、画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、時計、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、スマートフォン、電子書籍、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器、空調設備、食器洗浄器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、工具、煙感知器、医療機器、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電気自動車、ハイブリッド車、プラグインハイブリッド車、装軌車両、原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船等がある。本実施の形態では、先の実施の形態で示した半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図13乃至図16を用いて説明する。

30

40

【0286】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶

50

などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合、以下の特徴がある。

【0287】

通常のSRAMは、図13(A)に示すように1つのメモリセルがトランジスタ801～806の6個のトランジスタで構成されており、それをXデコーダ807、Yデコーダ808にて駆動している。トランジスタ803とトランジスタ805、トランジスタ804とトランジスタ806はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセル面積は通常 $100 \sim 150F^2$ である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。

10

【0288】

それに対して、DRAMはメモリセルが図13(B)に示すようにトランジスタ811、保持容量812によって構成され、それをXデコーダ813、Yデコーダ814にて駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常 $10F^2$ 以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

20

【0289】

しかしながら、トランジスタ811に先の実施の形態で説明した、オフ電流の低いトランジスタを用いることで、保持容量812の電荷を長時間保持することが可能であり頻繁なリフレッシュは不要である。したがって、消費電力を低減することができる。

【0290】

図14に携帯機器のブロック図を示す。図14に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906は、中央演算処理装置(CPU907)、DSP908、インターフェイス(IF)909を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。また、CPU907に含まれる、データや命令を記憶するための主記憶装置、及び高速でデータの書き込みと読み出しができるレジスタ、キャッシュなどの緩衝記憶装置に、先の実施の形態で説明した半導体装置を採用することにより、CPUの消費電力が十分に低減することができる。

30

【0291】

図15に、ディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例を示す。図15に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955及びメモリコントローラ951により構成されている。また、メモリ回路は、信号線から入力された画像データ(入力画像データ)、メモリ952、及びメモリ953に記憶されたデータ(記憶画像データ)を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

40

【0292】

まず、ある画像データがアプリケーションプロセッサ(図示しない)によって、形成される(入力画像データA)。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ(記憶画像データA)は、スイ

50

タッチ 955、及びディスプレイコントローラ 956 を介してディスプレイ 957 に送られ、表示される。

【0293】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常 30 ~ 60 Hz 程度の周期でメモリ 952 からスイッチ 955 を介して、ディスプレイコントローラ 956 から読み出される。

【0294】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データ A に変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データ B）を形成する。入力画像データ B はスイッチ 954 を介してメモリ 953 に記憶される。この間も定期的にメモリ 952 からスイッチ 955 を介して記憶画像データ A は読み出されている。メモリ 953 に新たな画像データ（記憶画像データ B）が記憶し終わると、ディスプレイ 957 の次のフレームより、記憶画像データ B は読み出され、スイッチ 955、及びディスプレイコントローラ 956 を介して、ディスプレイ 957 に記憶画像データ B が送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ 952 に記憶されるまで継続される。

【0295】

このようにメモリ 952 及びメモリ 953 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 957 の表示をおこなう。なお、メモリ 952 及びメモリ 953 はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 952 及びメモリ 953 に採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0296】

図 16 に電子書籍のブロック図を示す。図 16 はバッテリー 1001、電源回路 1002、マイクロプロセッサ 1003、フラッシュメモリ 1004、音声回路 1005、キーボード 1006、メモリ回路 1007、タッチパネル 1008、ディスプレイ 1009、ディスプレイコントローラ 1010 によって構成される。

【0297】

ここでは、図 16 のメモリ回路 1007 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 1007 の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ 1004 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0298】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0299】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【実施例 1】

【0300】

本実施例では、CVD 法により酸化窒化シリコン膜を形成する際に生じる欠陥及び酸化窒化シリコン膜の膜密度について説明する。

10

20

30

40

50

【0301】

はじめに、酸化窒化シリコン膜を形成する際に生じる欠陥について説明する。具体的には、石英基板上に酸化窒化シリコン膜を形成した試料のESR測定結果を用いて説明する。

【0302】

まず、作製した試料について説明する。作製した試料は、石英基板上に厚さ200nmの酸化窒化シリコン膜を形成した構造の試料である。

【0303】

石英基板をプラズマCVD装置の処理室内に設置し、処理室内に流量100sccmのシラン及び流量3000sccmの一酸化二窒素を原料ガスとして供給し、処理室内の圧力を40Paに制御し、27.12MHzの高周波電源で電力を供給して酸化窒化シリコン膜を形成した。なお、基板温度は350とした。また、該プラズマCVD装置は6000cm²である平行平板型のプラズマCVD装置である。供給する電力(電力密度)は300W(0.05W/cm²)、1000W(0.17W/cm²)、1500W(0.26W/cm²)の3条件とし、それぞれを比較試料1、試料1、試料2とする。

10

【0304】

そして、試料1及び試料2、並びに比較試料1についてESR測定を行った。ESR測定は下記の条件で行った。測定温度は室温(25)とし、9.2GHzの高周波電力(マイクロ波パワー)は20mWとし、磁場の向きは作製した試料1、試料2及び比較試料1の酸化窒化シリコン膜の表面と平行とし、酸化窒化シリコン膜に含まれるシリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピンの検出下限は 1.0×10^{15} spins/cm²であった。

20

【0305】

ESR測定の結果を図17に示す。図17(A)は、試料1及び試料2、並びに比較試料1における酸化窒化シリコン膜の1次微分曲線を示す。図17(A)から、 g 値が2.001において、比較試料1より試料1及び試料2の方が、信号強度が小さいことが分かる。

【0306】

図17(B)は、酸化窒化シリコン膜を形成する際に供給する電力と、酸化窒化シリコン膜の $g = 2.001$ に現れる信号のスピンの密度との関係を表した図である。スピンの密度が小さいほど酸化窒化シリコン膜に含まれるシリコンのダングリングボンドである欠損は少ないといえる。供給する電力が1000Wの場合、試料1における $g = 2.001$ に現れる信号のスピンの密度は 1.3×10^{15} spins/cm³であった。また、供給する電力が1500Wの場合、試料2における $g = 2.001$ に現れる信号のスピンの密度は検出下限以下であった。比較試料1における $g = 2.001$ に現れる信号のスピンの密度は 1.7×10^{16} spins/cm³であった。

30

【0307】

図17より、酸化窒化シリコン膜を形成する際に供給する電力を増大するとスピンの密度が低減する傾向にあると確認できた。

【0308】

次に、酸化窒化シリコン膜の膜密度について説明する。具体的には、上記試料1及び試料2、並びに比較試料1のXRR(X線反射率法)測定結果を説明する。

40

【0309】

試料1及び試料2、並びに比較試料1の膜密度の測定結果を図18に示す。図18は酸化窒化シリコン膜を形成する際に供給する電力と、酸化窒化シリコン膜の膜密度との関係を表した図である。

【0310】

供給する電力が1000Wの場合、試料1における膜密度は2.33g/cm³であった。供給する電力が1500Wの場合、試料2における膜密度は2.31g/cm³であった。一方、供給する電力が300Wの場合、比較試料1における膜密度は2.29g/cm³であった。

50

【0311】

図18より、酸化窒化シリコン膜を形成する際に供給する電力が1000W以上であると膜密度が増加する傾向にあると確認できた。

【0312】

ここで、試料1の酸化窒化シリコン膜の水素濃度及び窒素濃度を表1に示す。

【0313】

【表1】

H濃度 [atoms/cm ³]	N濃度 [atoms/cm ³]
8.57E+20	3.92E+20

10

【0314】

以上のことから、プラズマCVD装置の真空排気された処理室内に載置された基板を300以上400以下、さらに好ましくは320以上380以下に保持し、処理室に原料ガスを導入して処理室内における圧力を30Pa以上250Pa以下、さらに好ましくは40Pa以上200Pa以下とし、処理室内に設けられる電極に0.17W/cm²以上0.5W/cm²以下、さらに好ましくは0.26W/cm²以上0.35W/cm²以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成することで、膜密度が高く、代表的には、膜密度が2.26g/cm³以上2.63g/cm³以下であり、シリコンのダングリングボンドである欠陥が少ない、代表的にはESRによって計測される信号において、g値が2.001に現れる信号のスピンの密度が 2×10^{15} spins/cm³以下である酸化窒化シリコン膜を形成することができることがわかる。また、酸化物半導体膜を有するトランジスタにおいて、当該酸化窒化シリコン膜を酸化物半導体膜に接する絶縁膜として設けることで、優れた電気特性を有するトランジスタを作製することができる。

20

【実施例2】

【0315】

本実施例は、本発明の一態様である半導体装置の光ゲートBT試験の結果について説明する。具体的には本発明の一態様であるトランジスタのしきい値電圧の変動量について説明する。

30

【0316】

はじめに、トランジスタの作製工程について説明する。本実施例では図2を参照して説明する。

【0317】

まず、基板11としてガラス基板を用い、基板11の加熱処理を行った。当該加熱処理は、温度を480とし、窒素を含む雰囲気中で1時間行った。次に、基板11上に下地絶縁膜13を形成した。

【0318】

下地絶縁膜13として厚さ100nmの窒化シリコン膜及び厚さ150nmの酸化窒化シリコン膜を積層形成した。

40

【0319】

次に、下地絶縁膜13上にゲート電極15を形成した。

【0320】

スパッタリング法で厚さ100nmのタングステン膜を形成し、フォトリソグラフィ工程により該タングステン膜上にマスクを形成し、該マスクを用いて該タングステン膜の一部をエッチングし、ゲート電極15を形成した。

【0321】

次に、ゲート電極15上に厚さ50nmの窒化シリコン膜及び厚さ200nmの酸化シリコン膜が積層されたゲート絶縁膜17を形成する。

50

【0322】

窒化シリコン膜は、シラン50sccm、窒素5000sccmをプラズマCVD装置の処理室に供給し、処理室内の圧力を60Paに制御し、27.12MHzの高周波電源を用いて1500Wの電力を供給して形成した。酸化窒化シリコン膜は、シラン100sccm、一酸化二窒素3000sccmをプラズマCVD装置の処理室に供給し、処理室内の圧力を40Paに制御し、27.12MHzの高周波電源を用いて1500Wの電力を供給して形成した。また、該窒化シリコン膜及び該酸化窒化シリコン膜は、基板温度を350として形成した。なお、酸化窒化シリコン膜の成膜条件は、実施の形態1に示すランジスタ10のゲート絶縁膜17の成膜条件を用いた。

【0323】

次に、ゲート絶縁膜17を介してゲート電極15に重なる酸化物半導体膜18を形成した。

【0324】

酸化物半導体膜18としては、CAAC-Os膜である厚さ35nmのIGZO膜をスパッタリング法で形成した。IGZO膜は、スパッタリングターゲットをIn:Ga:Zn=1:1:1(原子数比)のターゲットとし、スパッタリングガスとして50sccmのArと50sccmの酸素をスパッタリング装置の処理室内に供給し、処理室内の圧力を0.6Paに制御し、5kWの直流電力を供給して形成した。なお、IGZO膜を形成する際の基板温度は170とした。

【0325】

ここまでの工程で得られた構成は図2(A)を参照できる。

【0326】

次に、フォトリソグラフィ工程により該IGZO膜上にマスクを形成し、該マスクを用いて該IGZO膜の一部をエッチングした。その後、エッチングされたIGZO膜に加熱処理を行い、酸化物半導体膜19を形成した。

【0327】

次に、加熱処理を行った。ここでは、窒素雰囲気で行う第1の加熱処理と、第1の加熱処理の後酸素雰囲気で行う第2の加熱処理を行った。第1の加熱処理及び第2の加熱処理の温度は共に450とし、処理時間は共に1時間とした。

【0328】

ここまでの工程で得られた構成は図2(B)を参照できる。

【0329】

次に、酸化物半導体膜19に接する一对の電極21を形成した。

【0330】

ゲート絶縁膜17及び酸化物半導体膜19上に導電膜を形成し、フォトリソグラフィ工程により該導電膜上にマスクを形成し、該マスクを用いて該導電膜の一部をエッチングし、一对の電極21を形成した。なお、該導電膜は、厚さ100nmのチタン膜上に厚さ400nmのアルミニウム膜を形成し、該アルミニウム膜上に厚さ100nmのチタン膜を形成した。

【0331】

ここまでの工程で得られた構成は図2(C)を参照できる。

【0332】

次に、加熱処理を行った。当該加熱処理は、温度を300とし、窒素を含む雰囲気中で1時間行った。

【0333】

次に、ゲート絶縁膜17、酸化物半導体膜19、及び一对の電極21上に絶縁膜23を形成した。

【0334】

ここまでの工程で得られた構成は図2(D)を参照できる。

【0335】

10

20

30

40

50

絶縁膜 23 を形成した後、ここまでの工程で得られた構成に加熱処理を行った。当該加熱処理は、窒素雰囲気で行う第 1 の加熱処理と、第 1 の加熱処理の後、酸素雰囲気で行う第 2 の加熱処理を行った。第 1 の加熱処理及び第 2 の加熱処理の温度は共に 300 とし、処理時間は共に 1 時間とした。

【0336】

次に、絶縁膜 23 上に厚さ 1.5 μm のアクリル層を形成した。次に、アクリル層の一部をエッチングして、一対の電極を露出させた後、一対の電極に接続する画素電極を形成した。ここでは、画素電極として、スパッタリング法により、厚さ 100 nm の ITO を形成した。

【0337】

以上の工程により、本発明の一態様であるトランジスタを作製した。なお、以上の工程により作製したトランジスタを試料 X とする。

【0338】

ここで、比較例となるトランジスタの作製工程について説明する。比較例となるトランジスタ（以下、試料 Y とする。）は、上記試料 X のゲート絶縁膜 17 を下記のようにして形成したトランジスタであり、他の工程は全て同じである。試料 Y のゲート絶縁膜 17 は、試料 X と同様に窒化シリコン膜及び酸化窒化シリコン膜の積層構造であり、酸化窒化シリコン膜を以下の条件で形成した。なお、窒化シリコン膜の成膜条件は試料 X と同様である。

【0339】

試料 Y の酸化窒化シリコン膜は、シラン 100 sccm、窒素 3000 sccm をプラズマ CVD 装置の処理室に供給し、処理室内の圧力を 40 Pa に制御し、27.12 MHz の高周波電源を用いて 300 W の電力を供給して形成した。また、該窒化シリコン膜及び該酸化窒化シリコン膜は、基板温度を 350 として形成した。なお、酸化窒化シリコン膜の成膜条件は、実施の形態 1 に示すトランジスタ 10 のゲート絶縁膜 17 とは異なる成膜条件を用いた。

【0340】

次に、試料 X 及び試料 Y の光ゲート BT 試験を行った。ここでは、光ゲート BT 試験として、基板温度を 80、ゲート絶縁膜に印加する電界強度を 1.2 MV/cm、印加時間を 2000 秒とし、3000 lx の白色光を発する白色 LED を用い、ゲート電極に負の電圧を印加する光マイナスゲート BT 試験を行った。

【0341】

光マイナスゲート BT 試験方法とトランジスタの $V_g - I_d$ 特性の測定方法について説明する。光マイナスゲート BT 試験の対象となるトランジスタの初期特性を測定するため、基板温度を 25 とし、ソース電極 - ドレイン電極間の電圧（以下、ドレイン電圧という。）を 1 V、10 V とし、ソース電極 - ゲート電極間の電圧（以下、ゲート電圧という。）を -30 V ~ +30 V まで変化させたときのソース電極 - ドレイン電極の間に生じる電流（以下、ドレイン電流という。）の変化特性、すなわち $V_g - I_d$ 特性を測定した。

【0342】

次に、基板温度を 80 まで上昇させた後、トランジスタのソース電極およびドレイン電極の電位を 0 V とした。続いて、ゲート絶縁膜へ印加される電界強度が 1.2 MV/cm となるようにゲート電極に電圧を印加した。ここでは、トランジスタのゲート絶縁膜の厚さが 250 nm であるため、ゲート電極に -30 V を印加し、そのまま 2000 秒保持した。

【0343】

次に、ゲート電極、ソース電極およびドレイン電極へ電圧を印加したまま、基板温度を 25 まで下げた。基板温度が 25 になった後、ゲート電極、ソース電極およびドレイン電極への電圧の印加を終了させた。

【0344】

次に、初期特性の測定と同じ条件で $V_g - I_d$ 特性を測定し、光マイナスゲート BT 試験

10

20

30

40

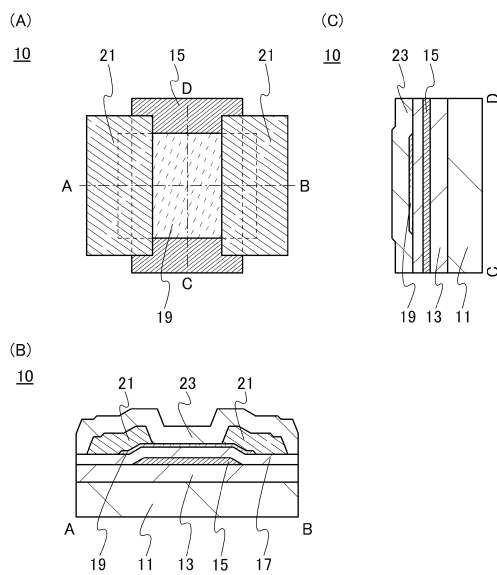
50

後の $V_g - I_d$ 特性を得た。

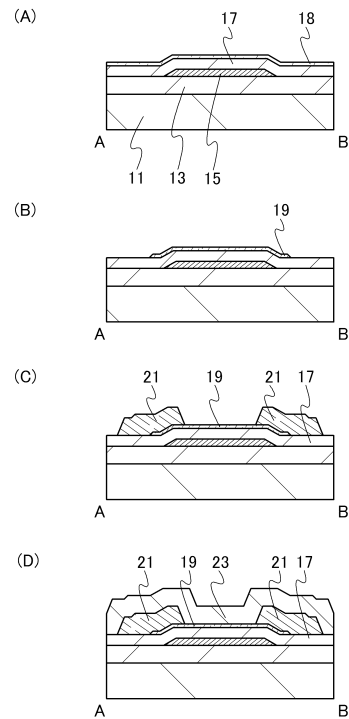
【 0 3 4 5 】

初期特性のしきい値電圧と光マイナスゲート B T 試験後のしきい値電圧の差 (V_{th}) を図 19 に示す。縦軸に V_{th} を示す。試料 X と比較して、試料 Y はしきい値電圧の変動量が大きいことがわかる。このことから、トランジスタのゲート絶縁膜として、膜密度が高く、シリコンのダングリングボンド量の少ないゲート絶縁膜を用いることで、光マイナスゲート B T 試験におけるしきい値電圧の変動量が少ないことが分かる。

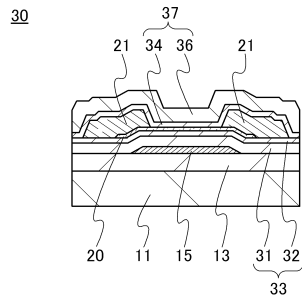
【 図 1 】



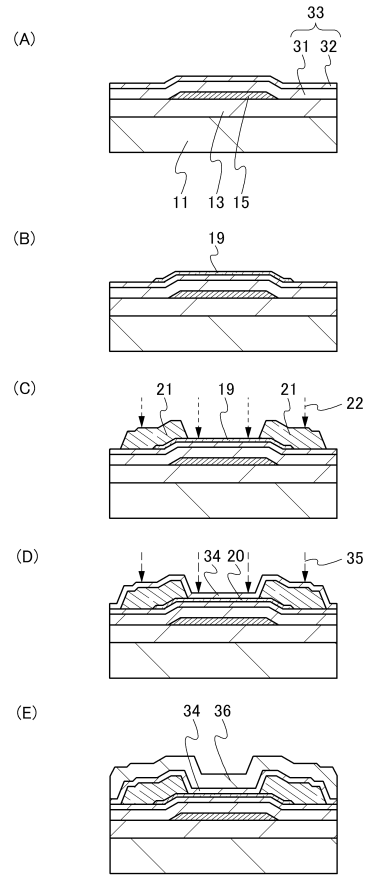
【 図 2 】



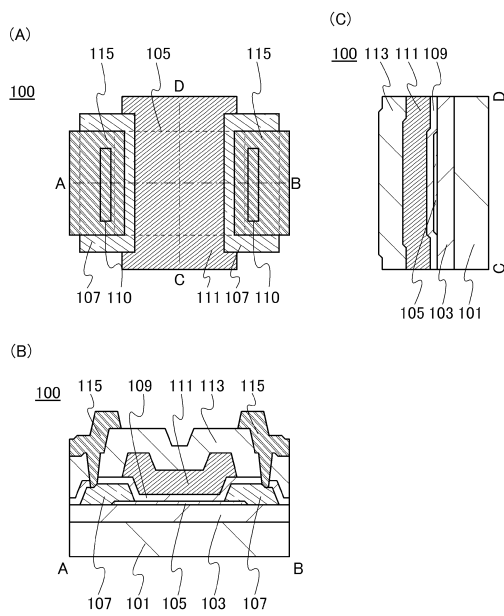
【 図 3 】



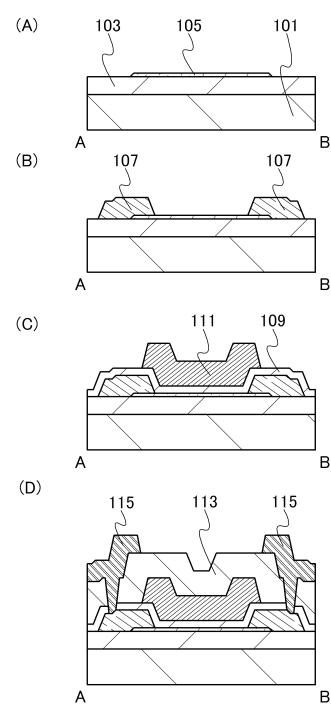
【 図 4 】



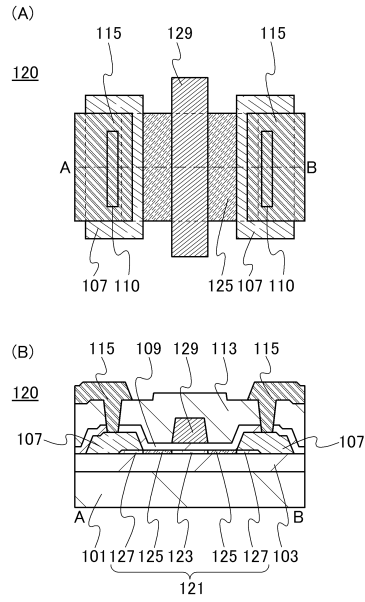
【 図 5 】



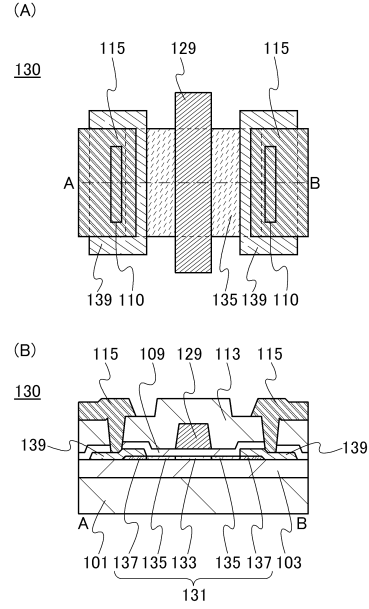
【 図 6 】



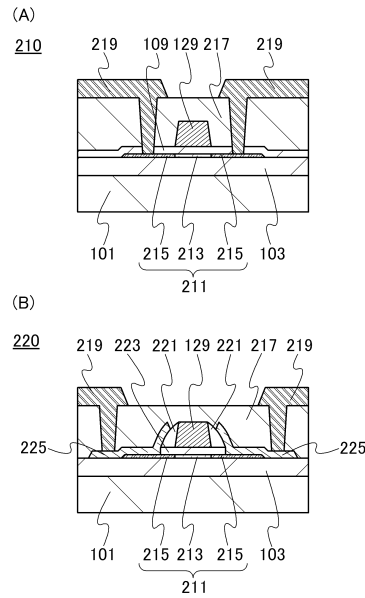
【 図 7 】



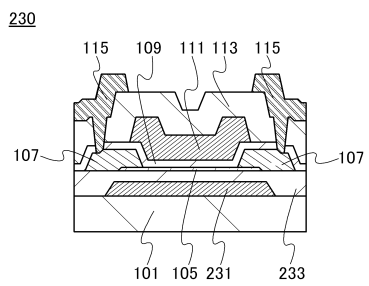
【 図 8 】



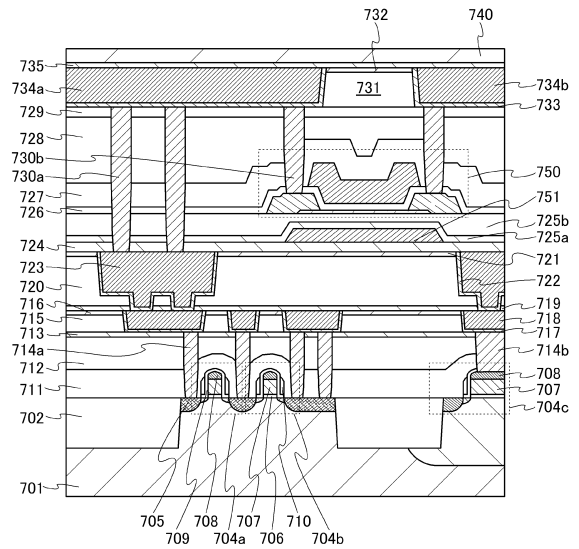
【 図 9 】



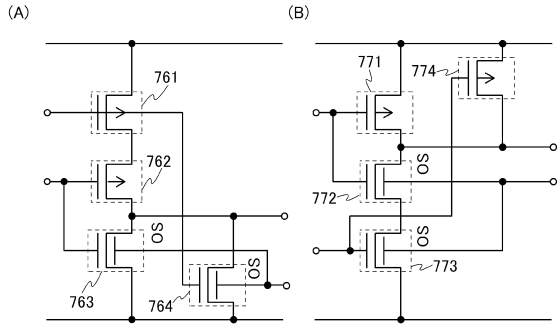
【 図 10 】



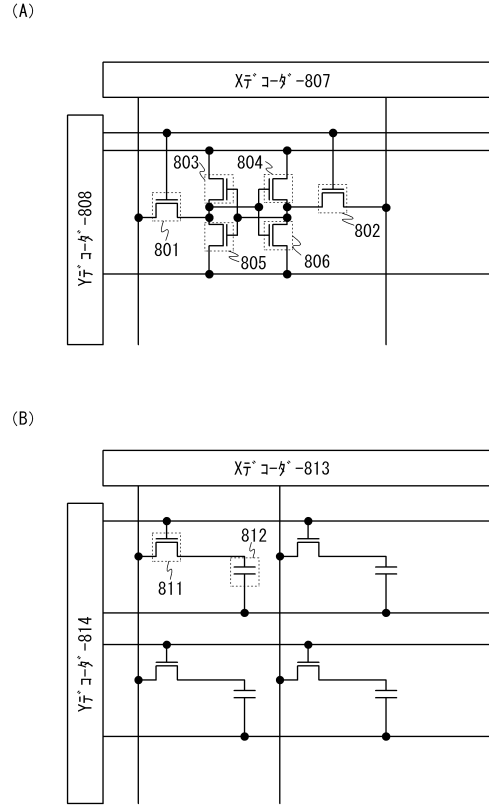
【 図 11 】



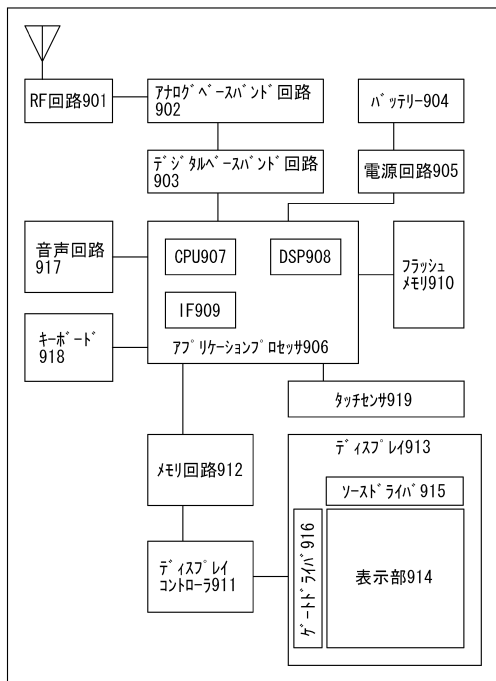
【図12】



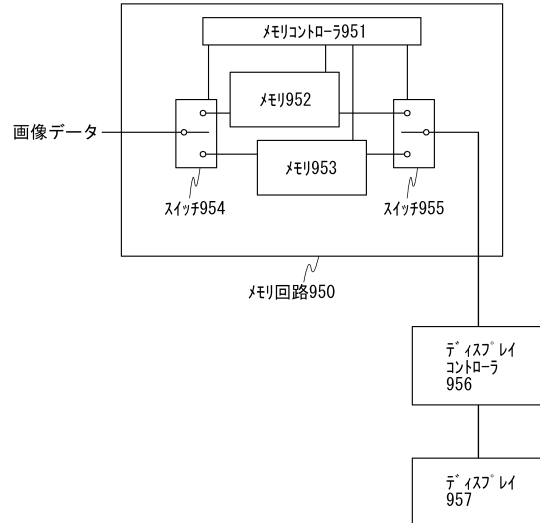
【図13】



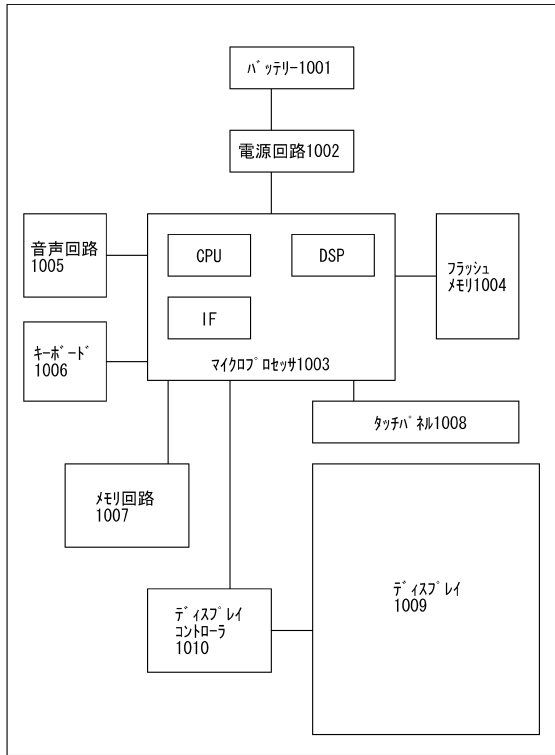
【図14】



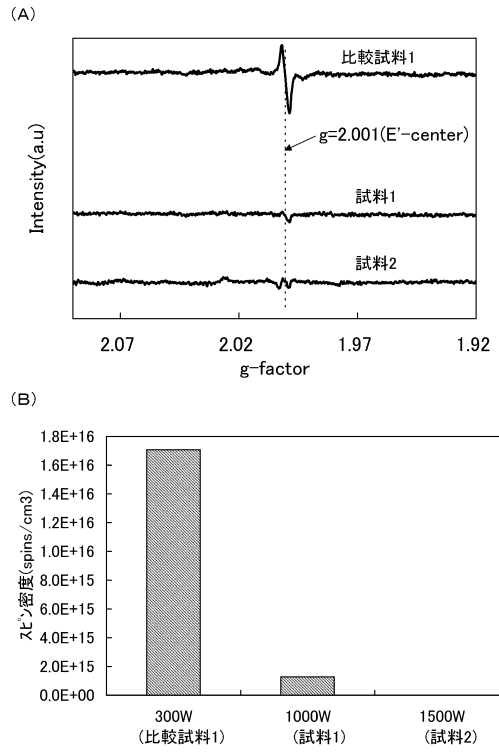
【図15】



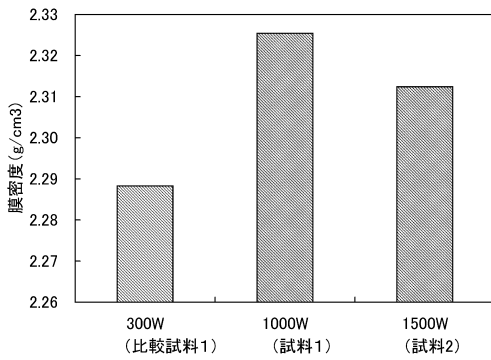
【図16】



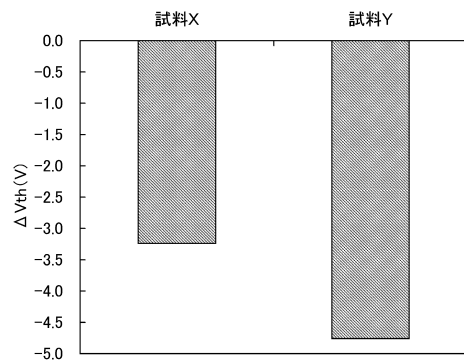
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/28 3 0 1 B
H 0 1 L 21/28 3 0 1 R

審査官 高橋 宣博

(56)参考文献 特開2011-228688(JP,A)
特開2011-181918(JP,A)
特開2011-181917(JP,A)
特開2007-096055(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6