



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I578325 B

(45)公告日：中華民國 106 (2017) 年 04 月 11 日

(21)申請案號：105104512 (22)申請日：中華民國 105 (2016) 年 02 月 16 日

(51)Int. Cl. : **G11C17/08 (2006.01)** **G11C5/02 (2006.01)**
H01L27/115 (2006.01)

(30)優先權：2015/08/18 美國 62/206,828

(71)申請人：力旺電子股份有限公司 (中華民國) EMEMORY TECHNOLOGY INC. (TW)
 新竹市新竹科學園區園區二路 47 號 305 室

(72)發明人：翁偉哲 WONG, WEI ZHE (TW)；吳孟益 WU, MENG YI (TW)；何秉隆 HO, PING LUNG (TW)

(74)代理人：祁明輝；葉明源

(56)參考文獻：

TW	457687	TW	200816208
US	7804714B1	US	2005/0101088A1
US	2006/0249809A1		

審查人員：劉耀允

申請專利範圍項數：14 項 圖式數：4 共 29 頁

(54)名稱

反熔絲型一次編程的記憶胞及其相關的陣列結構

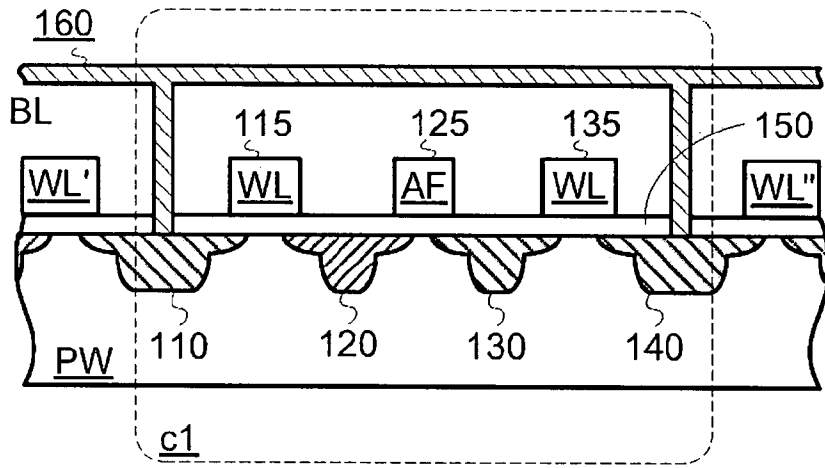
ANTIFUSE-TYPE ONE TIME PROGRAMMING MEMORY CELL AND ARRAY STRUCTURE WITH SAME

(57)摘要

一種反熔絲型一次編程的記憶胞結構。第一摻雜區、第二摻雜區、第三摻雜區與第四摻雜區形成於井區內。閘極氧化層覆蓋於井區的表面。第一閘極形成於第一摻雜區與第二摻雜區之間的閘極氧化層上，且第一閘極連接至字元線。第二閘極形成於第三摻雜區與第四摻雜區之間的閘極氧化層上，且第二閘極連接至字元線。第三閘極形成於第二摻雜區與第三摻雜區之間的閘極氧化層上，且第三閘極連接至反熔絲控制線。第一摻雜區與第四摻雜區連接至位元線。

An antifuse-type one time programming memory cell has following structures. A first doped region, a second doped region, a third doped region and a fourth doped region are formed in a well region. A gate oxide layer covers a surface of the well region. A first gate is formed on the gate oxide layer and spanned over the first doped region and the second doped region. The first gate is connected with a word line. A second gate is formed on the gate oxide layer and spanned over the third doped region and the fourth doped region. The second gate is connected with the word line. A third gate is formed on the gate oxide layer and spanned over the second doped region and the third doped region. The third gate is connected with an antifuse control line. The first doped region and the fourth doped region are connected with a bit line.

指定代表圖：



符號簡單說明：

110、120、130、

140 . . . 摻雜區域

115、125、

135 . . . 閘極

150 . . . 閘極氧化層

160 . . . 金屬層

第1B圖

發明摘要

※ 申請案號：105104512

※ 申請日：105. 2. 16

※ IPC 分類：G11C 17/08 (2006.01)

G11C 5/02 (2006.01)

H01L 27/15 (2006.01)

【發明名稱】(中文/英文)

反熔絲型一次編程的記憶胞及其相關的陣列結構

/ANTIFUSE-TYPE ONE TIME PROGRAMMING MEMORY CELL
AND ARRAY STRUCTURE WITH SAME

【中文】

一種反熔絲型一次編程的記憶胞結構。第一摻雜區、第二摻雜區、第三摻雜區與第四摻雜區形成於井區內。閘極氧化層覆蓋於井區的表面。第一閘極形成於第一摻雜區與第二摻雜區之間的閘極氧化層上，且第一閘極連接至字元線。第二閘極形成於第三摻雜區與第四摻雜區之間的閘極氧化層上，且第二閘極連接至字元線。第三閘極形成於第二摻雜區與第三摻雜區之間的閘極氧化層上，且第三閘極連接至反熔絲控制線。第一摻雜區與第四摻雜區連接至位元線。

【英文】

An antifuse-type one time programming memory cell has following structures. A first doped region, a second doped region, a third doped region and a fourth doped region are formed in a well region. A gate oxide layer

covers a surface of the well region. A first gate is formed on the gate oxide layer and spanned over the first doped region and the second doped region.

The first gate is connected with a word line. A second gate is formed on the gate oxide layer and spanned over the third doped region and the fourth doped region. The second gate is connected with the word line. A third gate is formed on the gate oxide layer and spanned over the second doped region and the third doped region. The third gate is connected with an antifuse control line. The first doped region and the fourth doped region are connected with a bit line.

【代表圖】

【本案指定代表圖】：第（ 1B ）圖。

【本代表圖之符號簡單說明】：

110、120、130、140：摻雜區域

115、125、135：閘極

150：閘極氧化層

160：金屬層

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

反熔絲型一次編程的記憶胞及其相關的陣列結構

/ANTIFUSE-TYPE ONE TIME PROGRAMMING MEMORY CELL
AND ARRAY STRUCTURE WITH SAME

【技術領域】

【0001】 本發明是有關於一種非揮發性記憶體(Non-volatile memory)，且特別是有關於一種反熔絲型一次編程的記憶胞(antifuse-type one time programming memory cell)及其相關的陣列結構(array structure)。

【先前技術】

【0002】 眾所周知，非揮發性記憶體在斷電之後仍舊可以保存其資料內容。一般來說，當非揮發性記憶體製造完成並出廠後，使用者即可以編程(program)非揮發性記憶體，進而將資料記錄在非揮發性記憶體中。

【0003】 而根據編程的次數，非揮發性記憶體可進一步區分為：多次編程的記憶體(multi-time programming memory，簡稱MTP 記憶體)、一次編程的記憶體(one time programming memory，簡稱 OTP 記憶體)或者光罩式唯讀記憶體(Mask ROM 記

憶體)。

【0004】基本上，使用者可以對 MTP 記憶體進行多次的編程，用以多次修改儲存資料。而使用者僅可以編程一次 OTP 記憶體，一旦 OTP 記憶體編程完成之後，其儲存資料將無法修改。而 Mask ROM 記憶體於出廠之後，所有的儲存資料已經記錄在其中，使用者僅能夠讀取 Mask ROM 記憶體中的儲存資料，而無法進行編程。

【0005】再者，OTP 記憶體根據其特性可區分為熔絲型(fuse type)OTP 記憶體與反熔絲型(antifuse-type)OTP 記憶體。熔絲型 OTP 記憶體的記憶胞(memory cell)尚未進行編程(program)時，其為低電阻值的儲存狀態；而進行編程之後的記憶胞，其具備高電阻值的儲存狀態。

【0006】反熔絲型 OTP 記憶體的記憶胞尚未進行編程(program)時，其具備高電阻值的儲存狀態；而進行編程之後的記憶胞，其具備低電阻值的儲存狀態。

【0007】隨著半導體製程的演進，OTP 記憶體的製程已經可以相容於 CMOS 的半導體製程。而在 CMOS 半導體製程持續進步下，更需要改進 OTP 記憶體的結構使得 OTP 記憶體具備更可靠的效能。

【發明內容】

【0008】本發明之主要目的在於提出一種全新的反熔絲型一

次編程記憶胞及其相關的陣列結構，一次編程記憶胞中具有二條導通通道(conduction channel)可運用於編程動作(program)與讀取(read)動作。

【0009】 本發明係有關於一種反熔絲型一次編程的記憶胞，包括：一井區；一第一摻雜區、一第二摻雜區、一第三摻雜區與一第四摻雜區，形成於該井區的一表面；一閘極氧化層，覆蓋於該井區的該表面；一第一閘極，形成於該第一摻雜區與該第二摻雜區之間的該閘極氧化層上，其中該第一閘極連接至一字元線；一第二閘極，形成於該第三摻雜區與該第四摻雜區之間的該閘極氧化層上，其中該第二閘極連接至該字元線；一第三閘極，形成於該第二摻雜區與該第三摻雜區之間的該閘極氧化層上，其中該第三閘極連接至一反熔絲控制線；以及，一金屬層，經由一第一穿透洞連接至該第一摻雜區域並經由一第二穿透洞連接至該第四摻雜區域，其中該金屬層係為一位元線。

【0010】 本發明係有關於一種反熔絲型一次編程的記憶胞，包括：一第一選擇電晶體，具有一第一汲源端連接至一位元線，一閘極端連接至一字元線，以及一第二汲源端；一反熔絲電晶體，具有一第一汲源端連接至該第一選擇電晶體的該第二汲源端，一閘極端連接至一反熔絲控制線，以及一第二汲源端；以及一第二選擇電晶體，具有一第一汲源端連接至該反熔絲電晶體的該第二汲源端，一閘極端連接至該字元線，以及一第二汲源端連接至該位元線。

【0011】 本發明係有關於一種陣列結構，連接至一第一位元線、一第一字元線、一第二字元線、一第一反熔絲控制線與一第二反熔絲控制線，該陣列結構包括：一第一記憶胞，包括：一第一摻雜區、一第二摻雜區、一第三摻雜區與一第四摻雜區，形成於一井區的一表面；一閘極氧化層，覆蓋於該井區的該表面；一第一閘極，形成於該第一摻雜區與該第二摻雜區之間的該閘極氧化層上，並連接至該第一字元線；一第二閘極，形成於該第三摻雜區與該第四摻雜區之間的該閘極氧化層上，並連接至該第一字元線；一第三閘極，形成於該第二摻雜區與該第三摻雜區之間的該閘極氧化層上，並連接至該第一反熔絲控制線；以及，一第一金屬層，經由一第一穿透洞連接至該第一摻雜區域並經由一第二穿透洞連接至該第四摻雜區域，且該第一金屬層係為該第一位元線；以及一第二記憶胞，包括：該第四摻雜區、一第五摻雜區、一第六摻雜區與一第七摻雜區，形成於該井區的該表面；一第四閘極，形成於該第四摻雜區與該第五摻雜區之間的該閘極氧化層上，並連接至該第二字元線；一第五閘極，形成於該第六摻雜區與該第七摻雜區之間的該閘極氧化層上，並連接至該第二字元線；一第六閘極，形成於該第五摻雜區與該第六摻雜區之間的該閘極氧化層上，並連接至該第二反熔絲控制線；以及，該第一金屬層，經由一第三穿透洞連接至該第七摻雜區域。

【0012】 本發明係有關於一種陣列結構，連接至一第一位元線、一第一字元線、一第二字元線、一第一反熔絲控制線與一第

二反熔絲控制線，該陣列結構包括：一第一記憶胞，包括：一第一選擇電晶體，具有一第一汲源端連接至該第一位元線，一閘極端連接至該第一字元線，以及一第二汲源端；一第一反熔絲電晶體，具有一第一汲源端連接至該第一選擇電晶體的該第二汲源端，一閘極端連接至該第一反熔絲控制線，以及一第二汲源端；以及一第二選擇電晶體，具有一第一汲源端連接至該第一反熔絲電晶體的該第二汲源端，一閘極端連接至該第一字元線，以及一第二汲源端連接至該第一位元線；以及一第二記憶胞，包括：一第三選擇電晶體，具有一第一汲源端連接至該第一位元線，一閘極端連接至該第二字元線，以及一第二汲源端；一第二反熔絲電晶體，具有一第一汲源端連接至該第三選擇電晶體的該第二汲源端，一閘極端連接至該第二反熔絲控制線，以及一第二汲源端；以及一第四選擇電晶體，具有一第一汲源端連接至該第二反熔絲電晶體的該第二汲源端，一閘極端連接至該第二字元線，以及一第二汲源端連接至該第一位元線。

【0013】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

【0014】

第 1A 圖所繪示為本發明第一實施例反熔絲型一次編程記憶胞的上視圖。

第 1B 圖為本發明第一實施例 OTP 記憶胞沿著 AA' 方向的剖面圖。

第 1C 圖為本發明第一實施例 OTP 記憶胞的等效電路圖。

第 2A 圖至第 2D 圖，其所繪示為本發明第一實施例 OTP 記憶胞進行編程動作與讀取動作時的偏壓示意圖。

第 3 圖所繪示為本發明 OTP 記憶胞的第二實施例。

第 4A 圖所繪示為本發明 OTP 記憶胞所組成之陣列結構的上視圖。

第 4B 圖為陣列結構的沿著 CC' 方向的剖面圖。

第 4C 圖為陣列結構的等效電路圖。

【實施方式】

【0015】 請參照第 1A 圖，其所繪示為本發明第一實施例反熔絲型一次編程記憶胞(以下簡稱為 OTP 記憶胞)的上視圖。第 1B 圖為本發明第一實施例 OTP 記憶胞沿著 AA' 方向的剖面圖。第 1C 圖為本發明第一實施例 OTP 記憶胞的等效電路圖。

【0016】 如第 1A 圖與第 1B 圖所示，OTP 記憶胞 c1 製作於 P 型井區(P-Well)PW 中。P 型井區 PW 的表面下方形成第一摻雜區 110、第二摻雜區 120、第三摻雜區 130、第四摻雜區 140。另外，P 型井區 PW 的表面上方覆蓋一閘極氧化層(gate oxide layer)150。其中，上述四個摻雜區 110、120、130、140 為 N 型摻雜區。

【0017】 再者，第一閘極 115 形成於第一摻雜區 110 與第二

摻雜區 120 之間的閘極氧化層 150 上方，第一閘極 115 連接至 OTP 記憶胞 c1 的字元線(word line)WL。第二閘極 135 形成於第三摻雜區 130 與第四摻雜區 140 之間的閘極氧化層 150 上方，第二閘極 135 連接至 OTP 記憶胞 c1 的字元線 WL。第三閘極 125 形成於第二摻雜區 120 與第三摻雜區 130 之間的閘極氧化層 150 上方，第三閘極 125 連接至 OTP 記憶胞 c1 的反熔絲控制線(antifuse control line)AF。再者，上述三個閘極 115、125、135 的材料為多晶矽(poly-silicon)。

【0018】 另外，第一金屬層 160 位於三個閘極 115、125、135 的上方，經由二個穿透洞(via)連接至第一摻雜區 110 與第四摻雜區 140，第一金屬層 160 作為 OTP 記憶胞 c1 位元線(bit line)BL。再者，第二金屬層 170 連接於第一閘極 115 與第二閘極 135。

【0019】 如第 1C 圖所示，第一摻雜區 110、第二摻雜區 120 與第一閘極 115 形成第一選擇電晶體(select transistor)Ts1；第三摻雜區 130、第四摻雜區 140 與第二閘極 135 形成第二選擇電晶體 Ts2；第二摻雜區 120、第三摻雜區 130 與第三閘極 125 形成反熔絲電晶體(antifuse transistor)Taf。

【0020】 再者，第一選擇電晶體 Ts1 的第一汲源端(drain/source terminal)連接至位元線 BL、第一選擇電晶體 Ts1 的閘極端(gate terminal)連接至字元線 WL；反熔絲電晶體 Taf 的第一汲源端連接至第一選擇電晶體 Ts1 的第二汲源端；反熔絲電晶體 Taf 的閘極端連接至反熔絲控制線 AF；第二選擇電晶體 Ts2 的

第一汲源端連接至反熔絲電晶體 Taf 的第二汲源端、第二選擇電晶體 Ts1 的閘極端連接至字元線 WL；第二選擇電晶體 Ts2 的第二汲源端連接至位元線 BL。

【0021】 請參照第 2A 圖至第 2D 圖，其所繪示為本發明第一實施例 OTP 記憶胞進行編程動作與讀取動作時的偏壓示意圖。如第 2A 圖所示，將 OTP 記憶胞 c1 編程為第一儲存狀態時，提供接地電壓(0V)至位元線 BL，提供選擇電壓(select voltage)Vdd 至字元線 WL，提供第一編程電壓 Vp1 至反熔絲控制線 AF。其中，選擇電壓 Vdd 約為 0.75V~3.6V，第一編程電壓 Vp1 約為 4V~11V。

【0022】 當字元線 WL 提供選擇電壓 Vdd，位元線 BL 提供接地電壓時，第一選擇電晶體 Ts1 與第二選擇電晶體 Ts2 開啟，使得反熔絲電晶體 Taf 的閘極氧化層上承受了 Vp1 的偏壓。由於第一編程電壓 Vp1 已超過閘極氧化層的耐壓範圍，所以反熔絲電晶體 Taf 的閘極氧化層會破裂(rupture)，而破裂的閘極氧化層即形成一低電阻，其電阻值約為數千歐姆。再者，OTP 記憶胞編 c1 中所產生二個編程電流 Ip1 與 Ip2 分別經由第一選擇電晶體 Ts1 與第二選擇電晶體 Ts2 流向位元線 BL。換言之，OTP 記憶胞 c1 中，反熔絲控制線 AF 與反熔絲電晶體 Taf 的二個汲源端之間連接一低電阻，即可視為第一儲存狀態。

【0023】 如第 2B 圖所示，將 OTP 記憶胞 c1 編程為第二儲存狀態時，提供選擇電壓(select voltage)Vdd 至字元線 WL 與位元線 BL，提供第一編程電壓 Vp1 至反熔絲控制線 AF。其中，選擇電

壓 V_{dd} 約為 $0.75V\sim 3.6V$ ，第一編程電壓 V_{p1} 約為 $4\sim 11V$ 。

【0024】 當字元線 WL 與位元線 BL 提供選擇電壓 V_{dd} 時，第一選擇電晶體 T_{s1} 與第二選擇電晶體 T_{s2} 關閉(turn off)。雖然反熔絲電晶體 T_{af} 的閘極氧化層接收了 V_{p1} 的偏壓，但由於第一選擇電晶體 T_{s1} 與第二選擇電晶體 T_{s2} 被關閉，所以這樣的偏壓並不會使得反熔絲電晶體 T_{af} 的閘極氧化層破裂，而未破裂的閘極氧化層即形成一高電阻，其電阻值約為數百萬歐姆(mega ohm)以上。再者，OTP 記憶胞編 $c1$ 幾乎不會產生二個編程電流 I_{p1} 與 I_{p2} 。換言之，OTP 記憶胞 $c1$ 中，反熔絲控制線 AF 與反熔絲電晶體 T_{af} 的二個汲源端之間連接一高電阻，即可視為第二儲存狀態。

【0025】 於讀取動作時，提供接地電壓(0V)至位元線 BL，提供選擇電壓(select voltage) V_{dd} 至字元線 WL，提供讀取電壓 V_{read} 至反熔絲控制線 AF。並且，根據位元線 BL 上的電流大小即可判斷 OTP 記憶胞 $c1$ 為第一儲存狀態或者第二儲存狀態。其中，選擇電壓 V_{dd} 約為 $0.75V\sim 3.6V$ ，讀取電壓 V_{read} 約為 $0.75V\sim 3.6V$ 。

【0026】 如第 2C 圖所示，由於 OTP 記憶胞 $c1$ 為第一儲存狀態，當第一選擇電晶體 T_{s1} 與第二選擇電晶體 T_{s2} 接收到選擇電壓 V_{dd} 而開啟時，讀取電壓 V_{read} 可使得反熔絲電晶體 T_{af} 中產生第一讀取電流 I_{r1} 與 I_{r2} 分別經由第一選擇電晶體 T_{s1} 與第二選擇電晶體 T_{s2} 流向位元線 BL。因此，位元線 BL 上接收的總電流即為 $I_{r1}+I_{r2}$ ，且此總電流約為數 μA 。

【0027】 如第 2D 圖所示，由於 OTP 記憶胞 c1 為第二儲存狀態，當第一選擇電晶體 Ts1 與第二選擇電晶體 Ts2 接收到選擇電壓 Vdd 而開啟時，讀取電壓 Vread 可使得反熔絲電晶體 Taf 中產生幾乎為零的第一讀取電流 Ir1 與 Ir2。因此，位元線 BL 上接收的總電流幾乎為零，遠低於 $1\ \mu\text{A}$ 。

【0028】 換言之，於讀取動作時，根據位元線 BL 上的電流大小即可判斷 OTP 記憶胞 c1 為第一儲存狀態或者第二儲存狀態。

【0029】 根據本發明的第一實施例，於編程動作或者讀取動作時，OTP 記憶胞 c1 中提供二條導通通道(conduction channel)，可以提高 OTP 記憶胞 c1 編程成功之機率，同時也可以提高 OTP 記憶胞 c1 讀取成功之機率。

【0030】 再者，為了要提高 OTP 記憶胞 c1 編程成功之機率，熟知此技藝的人士可以在 OTP 記憶胞 c1 的製程過程中，蝕刻反熔絲電晶體 Taf 中的閘極氧化層，使得反熔絲電晶體 Taf 中閘極氧化層的厚度小於二個選擇電晶體中的閘極氧化層的厚度。

【0031】 再者，第 1A 圖揭露的 OTP 記憶胞 c1 中，第一閘極 115 與第二閘極 135 係利用第二金屬層 170 來進行連接。當然，本發明並不限定於此，也可以在製作第一閘極 115 與第二閘極 135 時，直接利用多晶矽層形成互相連接的第一閘極 115 與第二閘極 135。

【0032】 請參照第 3 圖，其所繪示為本發明 OTP 記憶胞的第二實施例。相較於第一實施例，其差異僅在於第二實施例中具有

一合併摻雜區(merged doped region)122。說明如下：

【0033】 在半導體的 CMOS 製程中，可在摻雜區中形成輕摻雜汲(lightly doped drain、簡稱 LDD)結構。舉例來說，如第 3 圖中，第一摻雜區 110 中具有 LDD 結構 112。

【0034】 而根據本發明的第二實施例，於 OTP 記憶胞 c2 中，設計相互靠近的第二摻雜區域與第三摻雜區域，而在形成 LDD 結構時，第二摻雜區域的 LDD 結構與第三摻雜區域的 LDD 結構會互相重疊(overlap)而形成合併摻雜區 122。舉例來說，原來製造第二摻雜區域與第三摻雜區域時，係進行核心元件(core device)LDD 佈植製程來完成。如果將此製程改為輸出入元件(I/O device)LDD 佈植製程時，較深度的 LDD 佈植製程進行之後即可形成上述的合併摻雜區 122。

【0035】 再者，第二實施例之 OTP 記憶胞 c2 的編程動作與讀取動作與第一實施例相同，此處不再贅述。

【0036】 請參照第 4A 圖，其所繪示為本發明 OTP 記憶胞所組成之陣列結構的上視圖。第 4B 圖為陣列結構的沿著 CC'方向的剖面圖。第 4C 圖為陣列結構的等效電路圖。

【0037】 如第 4A 圖與第 4B 圖所示，陣列結構由 3x3 個 OTP 記憶胞 c11~c33 所組成。再者，OTP 記憶胞可為本發明第一實施例之 OTP 記憶胞或者第二實施例之 OTP 記憶胞。以下以第一位元線 BL1 所連接的一列(row)OTP 記憶胞 c11~c13 來作說明。而第二位元線 BL2 連接至 OTP 記憶胞 c21~c23，第三位元線 BL3 連

接至 OTP 記憶胞 c31~c33 也具有類似的結構。

【0038】 三個 OTP 記憶胞 c11~c13 製作於 P 型井區 PW 中。P 型井區 PW 的表面下方形成十個摻雜區 501~510。另外，P 型井區 PW 的表面上方覆蓋一閘極氧化層 550。另外，上述十個摻雜區 501~510 為 N 型摻雜區。

【0039】 再者，於 OTP 記憶胞 c11 中，第一閘極形成於第一摻雜區 501 與第二摻雜區 502 之間的閘極氧化層 550 上方，第一閘極連接至記憶胞 c11 的第一字元線 WL1。第二閘極形成於第三摻雜區 503 與第四摻雜區 504 之間的閘極氧化層 550 上方，第二閘極連接至記憶胞 c11 的第一字元線 WL1。第三閘極形成於第二摻雜區 502 與第三摻雜區 503 之間的閘極氧化層 550 上方，第三閘極連接至記憶胞 c11 的第一反熔絲控制線 AF1。

【0040】 於 OTP 記憶胞 c12 中，第一閘極形成於第四摻雜區 504 與第五摻雜區 505 之間的閘極氧化層 550 上方，第一閘極連接至記憶胞 c12 的第二字元線 WL2。第二閘極形成於第六摻雜區 506 與第七摻雜區 507 之間的閘極氧化層 550 上方，第二閘極連接至記憶胞 c12 的第二字元線 WL2。第三閘極形成於第五摻雜區 505 與第六摻雜區 506 之間的閘極氧化層 550 上方，第三閘極連接至記憶胞 c12 的第二反熔絲控制線 AF2。

【0041】 由以上的說明可知，OTP 記憶胞 c11 與 OTP 記憶胞 c12 之間共用第四摻雜區域 504。另外，由於 OTP 記憶胞 c11 與 OTP 記憶胞 c12 之間共用第四摻雜區域 504，所以二個 OTP 記憶

胞 c11、c12 之間不需要製作淺溝渠隔離結構(shallow trench isolation structure)進行隔離。

【0042】 於 OTP 記憶胞 c13 中，第一閘極形成於第七摻雜區 507 與第八摻雜區 508 之間的閘極氧化層 550 上方，第一閘極連接至記憶胞 c13 的第三字元線 WL3。第二閘極形成於第九摻雜區 509 與第十摻雜區 510 之間的閘極氧化層 550 上方，第二閘極連接至記憶胞 c13 的第三字元線 WL3。第三閘極形成於第八摻雜區 508 與第九摻雜區 509 之間的閘極氧化層 550 上方，第三閘極連接至記憶胞 c13 的第三反熔絲控制線 AF3。

【0043】 同理，OTP 記憶胞 c12 與 OTP 記憶胞 c13 之間共用第七摻雜區域 507。另外，由於 OTP 記憶胞 c12 與 OTP 記憶胞 c13 之間共用第七摻雜區域 507，所以二個 OTP 記憶胞 c12、c13 之間不需要製作淺溝渠隔離結構進行隔離。

【0044】 再者，如第 4C 圖所示，OTP 記憶胞 c11 包括一第一選擇電晶體 Ts1、一第二選擇電晶體 Ts2 與一反熔絲電晶體 Taf。第一選擇電晶體 Ts1 的第一汲源端連接至第一位元線 BL1、第一選擇電晶體 Ts1 的閘極端連接至第一字元線 WL1；反熔絲電晶體 Taf 的第一汲源端連接至第一選擇電晶體 Ts1 的第二汲源端；反熔絲電晶體 Taf 的閘極端連接至第一反熔絲控制線 AF1；第二選擇電晶體 Ts2 的第一汲源端連接至反熔絲電晶體 Taf 的第二汲源端、第二選擇電晶體 Ts2 的閘極端連接至第一字元線 WL1、第二選擇電晶體 Ts2 的第二汲源端連接至第一位元線 BL1。

【0045】 另外，其他 OTP 記憶胞也具備相同結構。其中，記憶胞 c12 連接至第二字元線 WL2、第二反熔絲控制線 AF2、第一位元線 BL1；記憶胞 c13 連接至第三字元線 WL3、第三反熔絲控制線 AF3、第一位元線 BL1；記憶胞 c21 連接至第一字元線 WL1、第一反熔絲控制線 AF1、第二位元線 BL2；記憶胞 c22 連接至第二字元線 WL2、第二反熔絲控制線 AF2、第二位元線 BL2；記憶胞 c23 連接至第三字元線 WL3、第三反熔絲控制線 AF3、第二位元線 BL2；記憶胞 c31 連接至第一字元線 WL1、第一反熔絲控制線 AF1、第三位元線 BL3；記憶胞 c32 連接至第二字元線 WL2、第二反熔絲控制線 AF2、第三位元線 BL3；記憶胞 c33 連接至第三字元線 WL3、第三反熔絲控制線 AF3、第三位元線 BL3。

【0046】 由以上的說明可知，本發明提出一種反熔絲型一次編程的記憶胞及其相關的陣列結構。再者，OTP 記憶胞中由二個選擇電晶體與一個反熔絲電晶體所組成。而 OTP 記憶胞中更提供二條導通通道(conduction channel)用於寫入動作與讀取動作，因此可以提高 OTP 記憶胞編程成功之機率，同時也可以提高 OTP 記憶胞讀取成功之機率。

【0047】 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0048】

110、120、122、130、140、501~510：摻雜區域

112：輕摻雜汲結構

115、125、135：閘極

150、550：閘極氧化層

160、170：金屬層

申請專利範圍

1. 一種反熔絲型一次編程的記憶胞，包括：
 - 一井區；
 - 一第一摻雜區、一第二摻雜區、一第三摻雜區與一第四摻雜區，形成於該井區的一表面；
 - 一閘極氧化層，覆蓋於該井區的該表面；
 - 一第一閘極，形成於該第一摻雜區與該第二摻雜區之間的該閘極氧化層上，其中該第一閘極連接至一字元線；
 - 一第二閘極，形成於該第三摻雜區與該第四摻雜區之間的該閘極氧化層上，其中該第二閘極連接至該字元線；
 - 一第三閘極，形成於該第二摻雜區與該第三摻雜區之間的該閘極氧化層上，其中該第三閘極連接至一反熔絲控制線；以及
 - 一第一金屬層，經由一第一穿透洞連接至該第一摻雜區域並經由一第二穿透洞連接至該第四摻雜區域，其中該第一金屬層係為一位元線。
2. 如申請專利範圍第 1 項所述之反熔絲型一次編程的記憶胞，其中該第三閘極下方的該閘極氧化層之厚度小於該第一閘極下方的該閘極氧化層之厚度，且該第三閘極下方的該閘極氧化層之厚度小於該第二閘極下方的該閘極氧化層之厚度。
3. 如申請專利範圍第 1 項所述之反熔絲型一次編程的記憶胞，更包括一第二金屬層，連接於該第一閘極與該第二閘極之間。
4. 如申請專利範圍第 1 項所述之反熔絲型一次編程的記憶

胞，其中該第一閘極與該第二閘極係為相互連接的一多晶矽層。

5. 如申請專利範圍第 1 項所述之反熔絲型一次編程的記憶胞，其中該第二摻雜區與該第三摻雜區形成一合併的摻雜區。

6. 一種反熔絲型一次編程的記憶胞，包括：

一第一選擇電晶體，具有一第一汲源端連接至一位元線，一閘極端連接至一字元線，以及一第二汲源端；

一反熔絲電晶體，具有一第一汲源端連接至該第一選擇電晶體的該第二汲源端，一閘極端連接至一反熔絲控制線，以及一第二汲源端；以及

一第二選擇電晶體，具有一第一汲源端連接至該反熔絲電晶體的該第二汲源端，一閘極端連接至該字元線，以及一第二汲源端連接至該位元線。

7. 一種陣列結構，連接至一第一位元線、一第一字元線、一第二字元線、一第一反熔絲控制線與一第二反熔絲控制線，該陣列結構包括：

一第一記憶胞，包括：一第一摻雜區、一第二摻雜區、一第三摻雜區與一第四摻雜區，形成於一井區的一表面；一閘極氧化層，覆蓋於該井區的該表面；一第一閘極，形成於該第一摻雜區與該第二摻雜區之間的該閘極氧化層上，並連接至該第一字元線；一第二閘極，形成於該第三摻雜區與該第四摻雜區之間的該閘極氧化層上，並連接至該第一字元線；一第三閘極，形成於該第二摻雜區與該第三摻雜區之間的該閘極氧化層上，並連接至該

第一反熔絲控制線；以及，一第一金屬層，經由一第一穿透洞連接至該第一摻雜區域並經由一第二穿透洞連接至該第四摻雜區域，且該第一金屬層係為該第一位元線；以及

一第二記憶胞，包括：該第四摻雜區、一第五摻雜區、一第六摻雜區與一第七摻雜區，形成於該井區的該表面；一第四閘極，形成於該第四摻雜區與該第五摻雜區之間的該閘極氧化層上，並連接至該第二字元線；一第五閘極，形成於該第六摻雜區與該第七摻雜區之間的該閘極氧化層上，並連接至該第二字元線；一第六閘極，形成於該第五摻雜區與該第六摻雜區之間的該閘極氧化層上，並連接至該第二反熔絲控制線；以及，該第一金屬層，經由一第三穿透洞連接至該第七摻雜區域。

8. 如申請專利範圍第 7 項所述之陣列結構，其中該第三閘極下方的該閘極氧化層之厚度小於該第一閘極下方的該閘極氧化層之厚度，且該第三閘極下方的該閘極氧化層之厚度小於該第二閘極下方的該閘極氧化層之厚度；以及，該第六閘極下方的該閘極氧化層之厚度小於該第四閘極下方的該閘極氧化層之厚度，且該第六閘極下方的該閘極氧化層之厚度小於該第五閘極下方的該閘極氧化層之厚度。

9. 如申請專利範圍第 7 項所述之陣列結構，更包括一第二金屬層，連接於該第一閘極與該第二閘極之間；以及一第三金屬層，連接於該第四閘極與該第五閘極之間。

10. 如申請專利範圍第 7 項所述之陣列結構，其中該第一閘

極與該第二閘極係為相互連接的一第一多晶矽層且該第四閘極與該第五閘極之間係為相互連接的一第二多晶矽層。

11. 如申請專利範圍第 7 項所述之陣列結構，其中該第二摻雜區與該第三摻雜區形成一第一合併的摻雜區；以及該第五摻雜區與該第六摻雜區形成一第二合併的摻雜區。

12. 如申請專利範圍第 7 項所述之陣列結構，其中該陣列結構更包括：

一第三記憶胞，包括：一第八摻雜區、一第九摻雜區、一第十摻雜區與一第十一摻雜區，形成於該井區的該表面；一第七閘極，形成於該第八摻雜區與該第九摻雜區之間的該閘極氧化層上，並連接至該第一字元線；一第八閘極，形成於該第十摻雜區與該第十一摻雜區之間的該閘極氧化層上，並連接至該第一字元線；一第九閘極，形成於該第九摻雜區與該第十摻雜區之間的該閘極氧化層上，並連接至該第一反熔絲控制線；以及，一第四金屬層，經由一第四穿透洞連接至該第八摻雜區域並經由一第五穿透洞連接至該第十一摻雜區域，且該第四金屬層係為一第二位元線；以及

一第四記憶胞，包括：該第十一摻雜區、一第十二摻雜區、一第十三摻雜區與一第十四摻雜區，形成於該井區的該表面；一第十閘極，形成於該第十一摻雜區與該第十二摻雜區之間的該閘極氧化層上，並連接至該第二字元線；一第十一閘極，形成於該第十三摻雜區與該第十四摻雜區之間的該閘極氧化層上，並連接

至該第二字元線；一第十二閘極，形成於該第十二摻雜區與該第十三摻雜區之間的該閘極氧化層上，並連接至該第二反熔絲控制線；以及，該第四金屬層，經由一第六穿透洞連接至該第十四摻雜區域。

13. 一種陣列結構，連接至一第一位元線、一第一字元線、一第二字元線、一第一反熔絲控制線與一第二反熔絲控制線，該陣列結構包括：

一第一記憶胞，包括：一第一選擇電晶體，具有一第一汲源端連接至該第一位元線，一閘極端連接至該第一字元線，以及一第二汲源端；一第一反熔絲電晶體，具有一第一汲源端連接至該第一選擇電晶體的該第二汲源端，一閘極端連接至該第一反熔絲控制線，以及一第二汲源端；以及一第二選擇電晶體，具有一第一汲源端連接至該第一反熔絲電晶體的該第二汲源端，一閘極端連接至該第一字元線，以及一第二汲源端連接至該第一位元線；以及

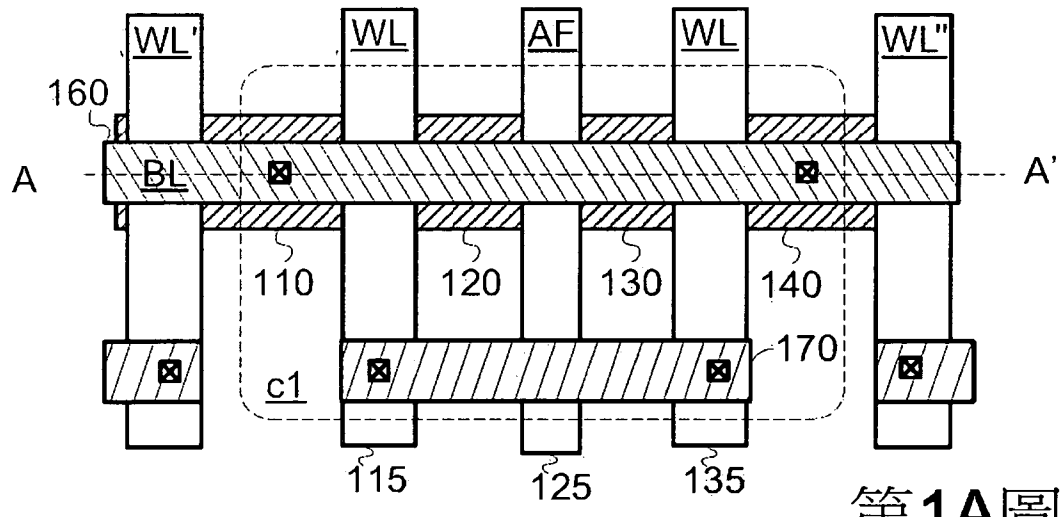
一第二記憶胞，包括：一第三選擇電晶體，具有一第一汲源端連接至該第一位元線，一閘極端連接至該第二字元線，以及一第二汲源端；一第二反熔絲電晶體，具有一第一汲源端連接至該第三選擇電晶體的該第二汲源端，一閘極端連接至該第二反熔絲控制線，以及一第二汲源端；以及一第四選擇電晶體，具有一第一汲源端連接至該第二反熔絲電晶體的該第二汲源端，一閘極端連接至該第二字元線，以及一第二汲源端連接至該第一位元線。

14. 如申請專利範圍第 13 項所述之陣列結構，其中該陣列結構更包括：

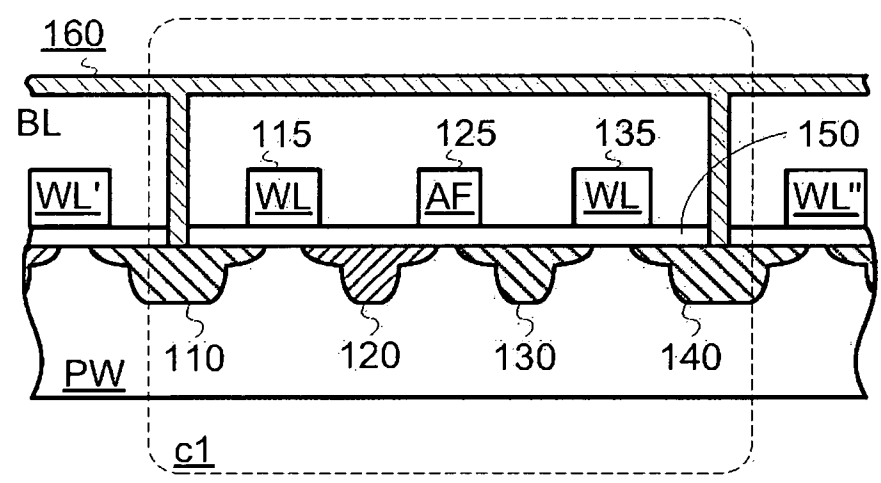
一第三記憶胞，包括：一第五選擇電晶體，具有一第一汲源端連接至一第二位元線，一閘極端連接至該第一字元線，以及一第二汲源端；一第三反熔絲電晶體，具有一第一汲源端連接至該第五選擇電晶體的該第二汲源端，一閘極端連接至該第一反熔絲控制線，以及一第二汲源端；以及一第六選擇電晶體，具有一第一汲源端連接至該第三反熔絲電晶體的該第二汲源端，一閘極端連接至該第一字元線，以及一第二汲源端連接至該第二位元線；以及

一第四記憶胞，包括：一第七選擇電晶體，具有一第一汲源端連接至該第二位元線，一閘極端連接至該第二字元線，以及一第二汲源端；一第四反熔絲電晶體，具有一第一汲源端連接至該第七選擇電晶體的該第二汲源端，一閘極端連接至該第二反熔絲控制線，以及一第二汲源端；以及一第八選擇電晶體，具有一第一汲源端連接至該第四反熔絲電晶體的該第二汲源端，一閘極端連接至該第二字元線，以及一第二汲源端連接至該第二位元線。

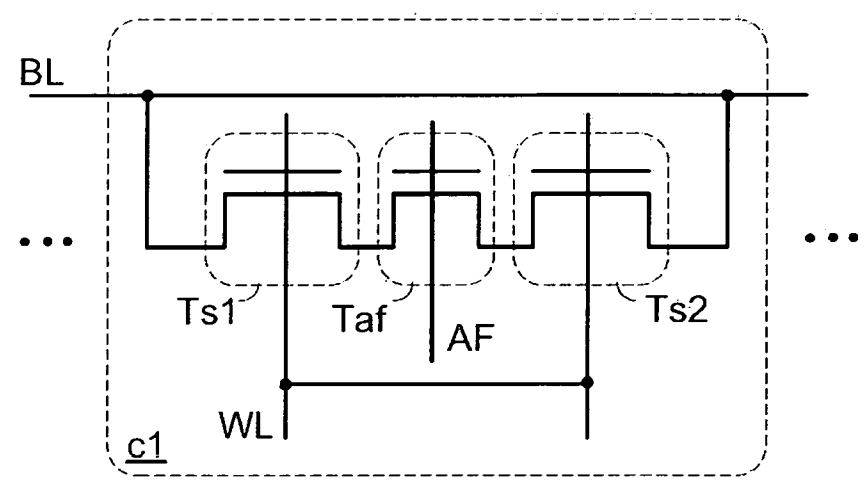
圖式



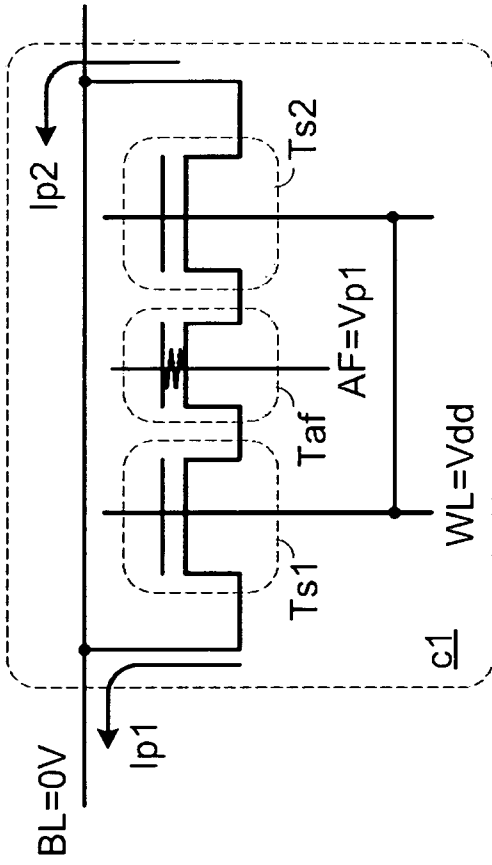
第1A圖



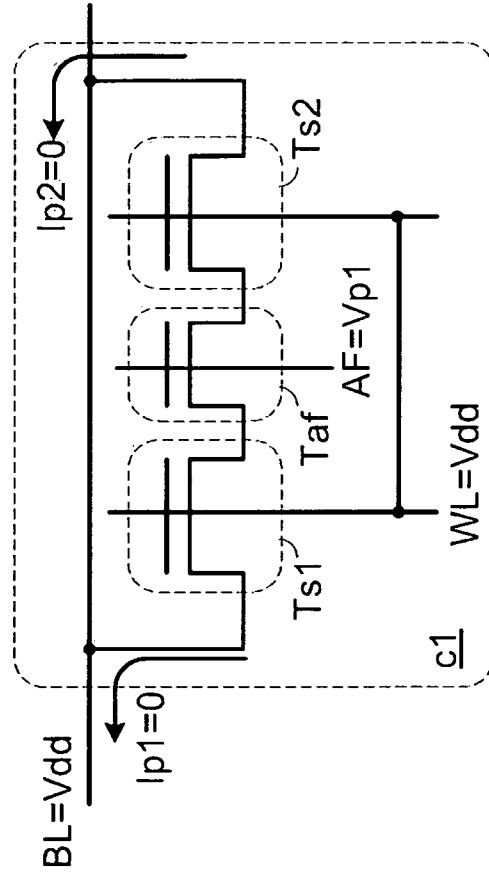
第1B圖



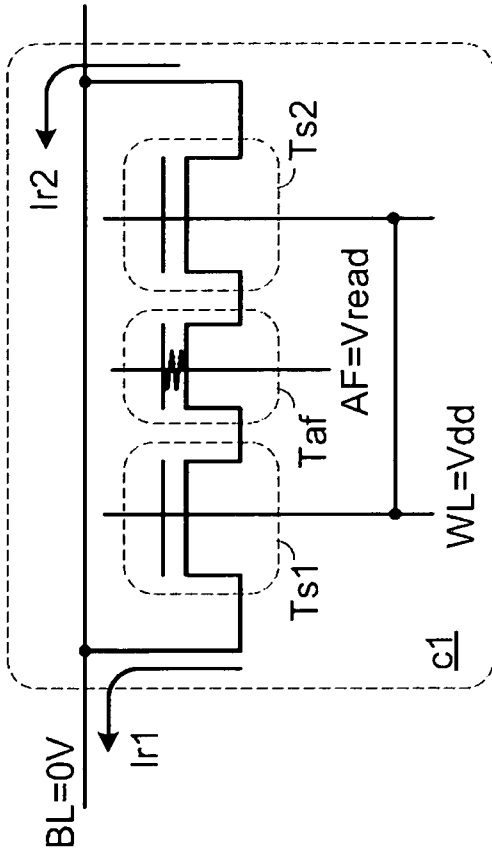
第1C圖



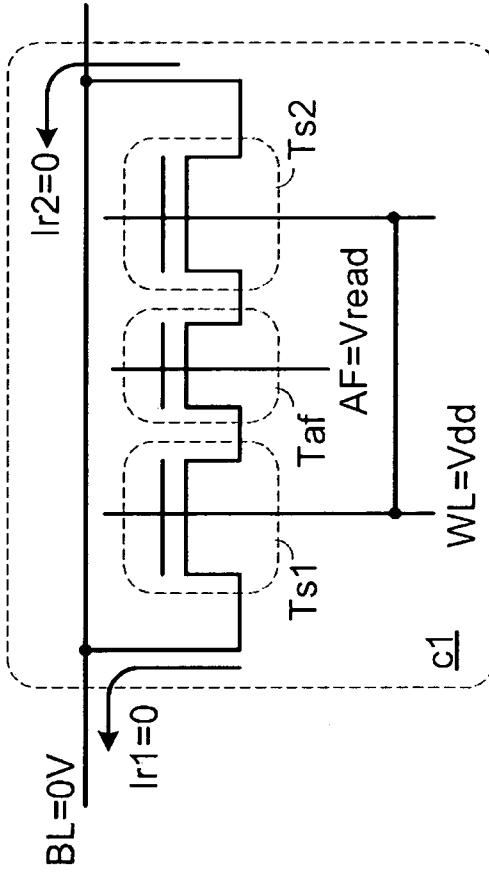
第2A圖



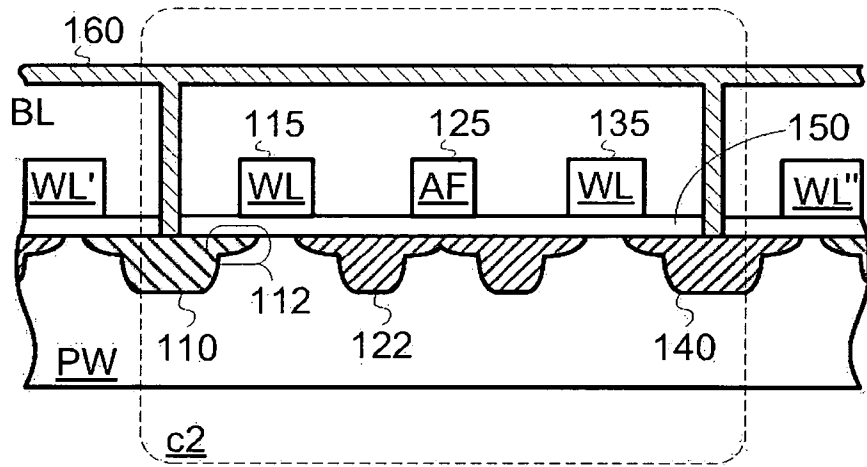
第2B圖



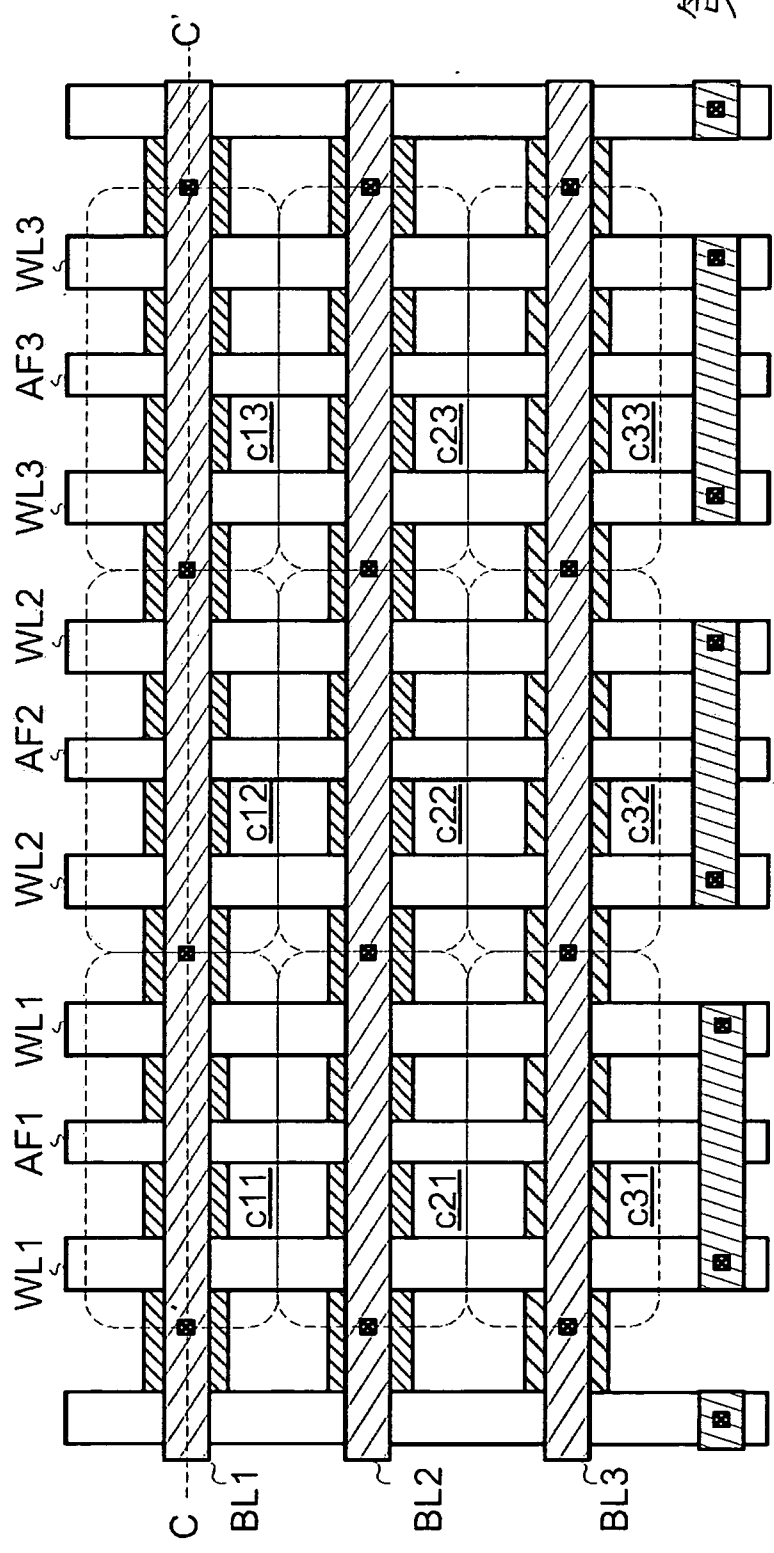
第2C圖



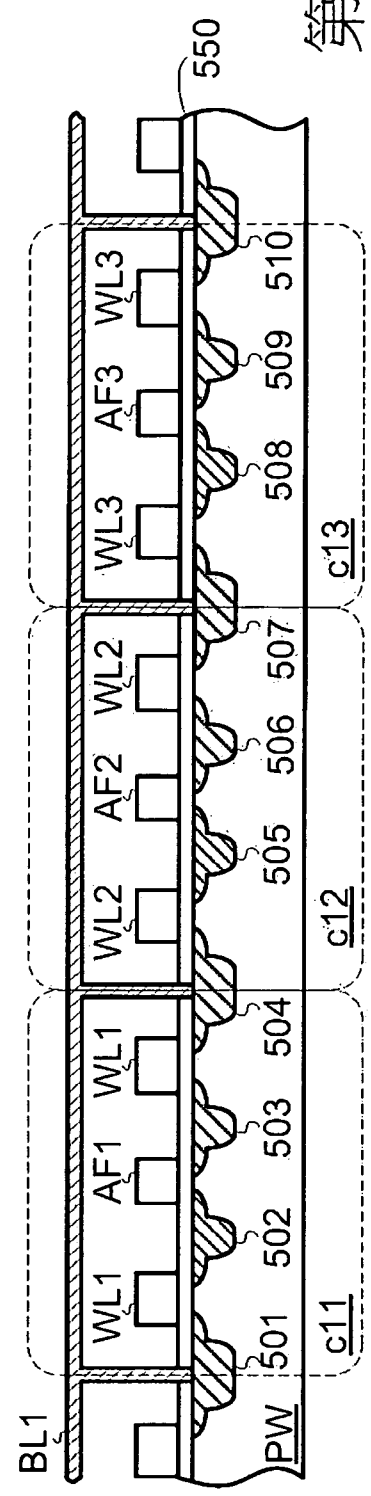
第2D圖



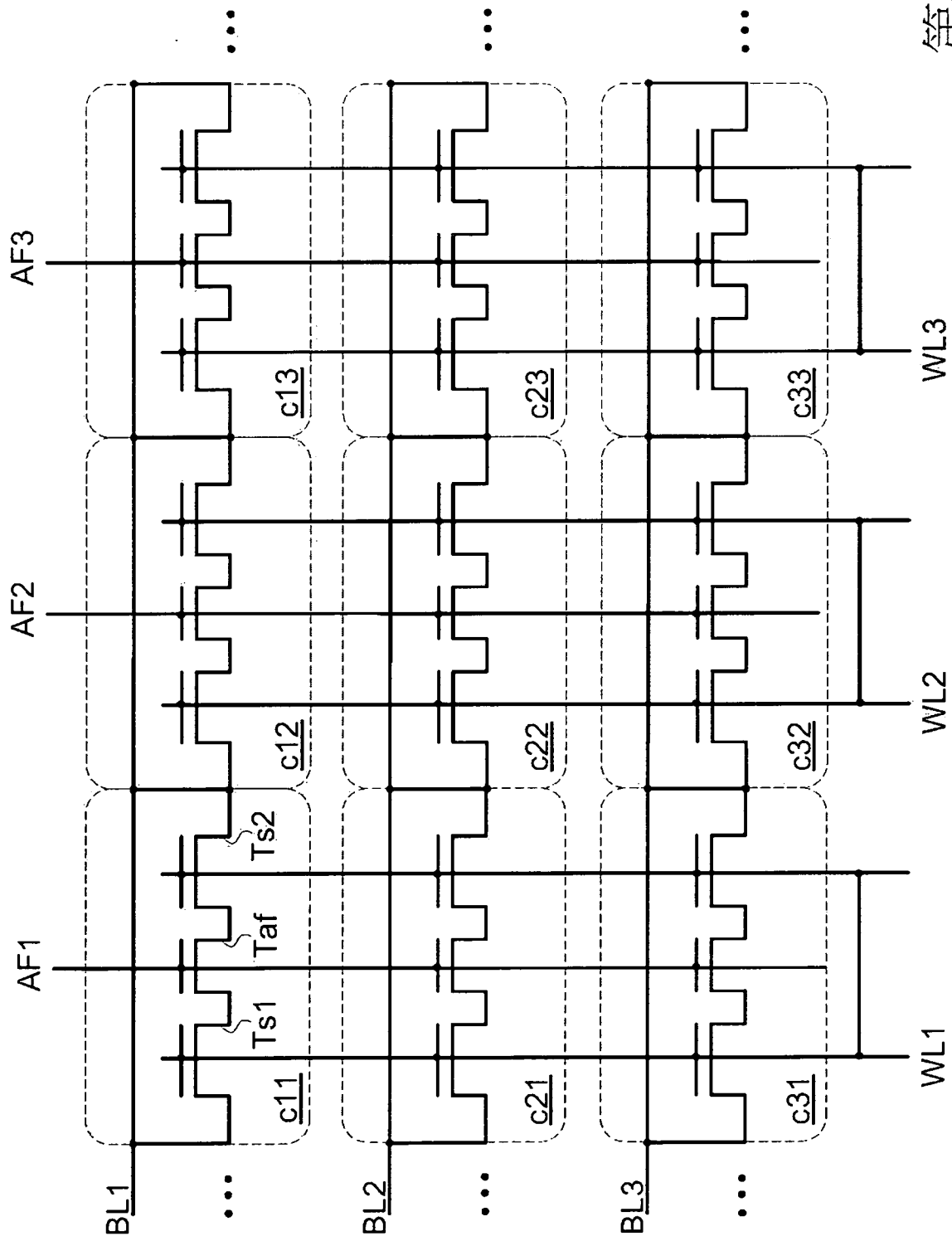
第3圖



第4A圖



第4B圖



第4C圖

