

# 公告本

申請日期： 92.2.11	IPC分類 H01L 21/027
申請案號： 92102762	

(以上各欄由本局填註)

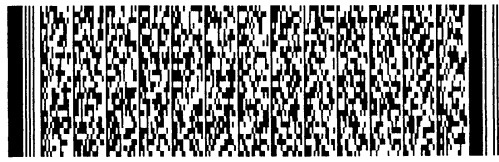
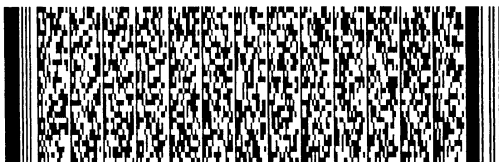
## 發明專利說明書

577112

一、 發明名稱	中文	改善光阻平整度的方法與溝槽電容之下電極的製造方法
	英文	METHOD OF IMPROVING UNIFORMITY OF PHOTORESIST LAYER

二、 發明人 (共4人)	姓名 (中文)	1. 陳錕宏 2. 吳心玲 3. 吳鴻謨
	姓名 (英文)	1. Mong-Hung Chen 2. Hsin-Ling Wu 3. Hung-Mo Wu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 桃園市中正路919號5樓-7 2. 台北縣新店市建國路205號4樓 3. 高雄縣茄萣鄉和協村12鄰港埔路23號
	住居所 (英文)	1. 2. 3.

三、 申請人 (共1人)	名稱或姓名 (中文)	1. 南亞科技股份有限公司
	名稱或姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R. O. C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien

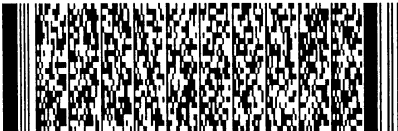


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 李中元
	姓名 (英文)	4. Chung-Yuan Lee
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 桃園市青溪里33鄰三民路一段177號7樓
	住居所 (英文)	4.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



## 一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。

## 五、發明說明 (1)

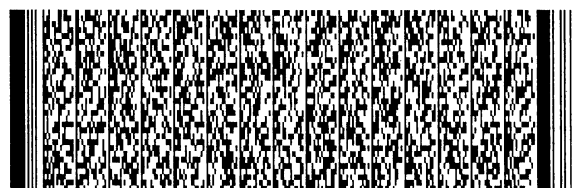
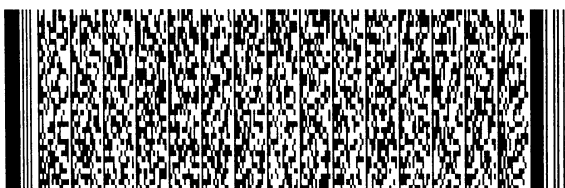
## 【發明所屬之技術領域】

本發明係有關於一種改善光阻平坦度的方法，特別是有關於一種可應用於溝槽電容器之下電極的形成，使溝槽電容器之下電極的製程良率較易控制。

## 【先前技術】

動態隨機存取記憶體 (DRAM) 為一種可以讀寫的記憶體，且由於DRAM的每個DRAM胞只需要一個電晶體和一個電容器，因此相對於其他記憶體而言，DRAM可以達到相當高的積集度，使得DRAM被廣泛地應用在電腦及電器產品上。溝槽電容器為一種常見的電容器結構，其係形成於半導體矽基底中，藉由增加溝槽電容器於半導體矽基底中的深度可以增加其表面積，以增加其電容量。而溝槽電容器晶片可以大至分為記憶胞陣列區 (memory cell array area) 和解耦合電容區 (decoupling capacitor area)，其中記憶胞陣列區是用以儲存資料的區域，而解耦合電容區是用以過濾雜訊 (noise) 的區域。

習知之溝槽電容器的製造方法，係於半導體矽基底中形成溝槽後，於半導體矽基底的表面覆蓋一層已摻雜砷離子的氧化矽層。之後將此氧化矽層定義出預形成下電極的區域，而定義此氧化矽層的方法，係藉由塗佈一層光阻材質後，進行烘烤步驟，使光阻材質硬化，而在烘烤的過程中，在光阻材質未硬化之前，光阻材質會流入溝槽中，並填滿整個溝槽。之後利用乾式蝕刻法將硬化後的光阻剝除



## 五、發明說明 (2)

，直至此光阻的上表面以一預定距離低於半導體矽基底上表面為止，再以此光阻為罩幕，將暴露出的氧化矽層剝除。接著，藉由熱製程，將氧化矽層中所摻雜的離子趨入半導體矽基底中，以形成導電層做為溝槽電容器的下電極之用。

其中，做為下電極之導電層的表面積與溝槽電容器的電容量相關，而此導電層的表面積係由氧化矽層覆蓋溝槽的面積而定，氧化矽層覆蓋溝槽的面積則是受控於光阻上表面與半導體矽基底上表面之間的距離。並且，塗佈且烘烤硬化後光阻之平坦度是決定各溝槽中剝除後光阻的上表面與半導體矽基底的上表面是否相距相同的距離之主要關鍵，若在0.175微米的設計規則(design rule)下，光阻表面的高度差異可能高達8200 Å。如果為了顧及溝槽密度較低區域(解耦合電容區)之下電極與後續將於溝槽頂端之半導體矽基底中所形成之離子摻雜帶(即所謂的埋入帶(buried strap))之間不會發生短路，則溝槽密度較高區域(記憶胞陣列區)所形成之下電極的表面積會較小，而嚴重影響整個溝槽電容器的儲存效能；如果為了顧及溝槽密度較高區域(記憶胞陣列區)之下電極之表面積的提高，則可能會造成溝槽密度較低區域(解耦合電容區)之下電極與離子摻雜帶(埋入帶)之間的崩潰電壓(breakdown voltage)降低，甚至發生短路。因此增加光阻蝕刻的困難度，此外，甚至還可能使整個製程失敗。

如第1A圖所示，光阻104受某些因素影響而導致其平



## 五、發明說明 (3)

坦度不均勻，再經過光阻剝除的程序後，各溝槽110內光阻104a的上表面與基底100的上表面相距的距離並無法一致，如第1B圖所示。

影響光阻平坦度的因素之一為基底與光阻表面之間的附著性。光阻利用旋塗的方式塗佈於氧化矽層後，由於光阻材質與氧化矽層之間的附著力不好，因此不會均勻填入溝槽中。再者，記憶胞陣列區和解耦合電容區之溝槽密度分佈不均也是影響光阻平坦度的因素之一，溝槽密度較高的區域（記憶胞陣列區），因為光阻材質流入的量較多，故硬化後光阻的高度較低，而溝槽密度較低的區域（解耦合電容區），因為光阻材質流入的量較少，故硬化後光阻的高度較高，因此造成光阻的高度差異。

為解決光阻的高度差異問題，吾人提出一種改善光阻平坦度的方法，即是將氧化矽層基底的表面先進行改質，使氧化矽層與光阻之間具有良好的附著力，之後於基底上塗佈光阻材質，便可改善光阻的平坦度，而改質方法可包括：氧電漿處理、於硫酸和過氧化氫的混合溶液中進行濕式處理、或於氨水和過氧化氫的混合溶液中進行濕式處理，可使光阻表面高度差異減少至約3000~4000 Å。

然而，將基底表面進行改質以改善光阻表面高度差異的方法效果有限。當元件尺寸的設計規則(design rule)縮小到0.11微米下，未經過任何處理的光阻表面高度差異會高達7000~8000 Å，因此，急需尋求更好的改善光阻表面高度差異之方法。



## 五、發明說明 (4)

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種改善光阻平坦度的方法。

## 【發明內容】

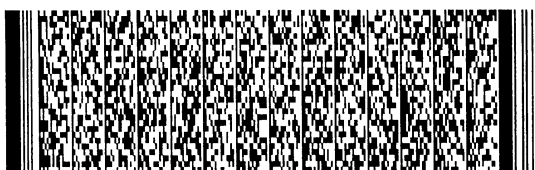
本發明之目的之一在於提供一種改善光阻平坦度的方法，可以有效控制充填於不同密度之溝槽中之光阻的上表面與基底上表面之間的距離維持一致。

本發明之目的之二在於提供一種溝槽電容之下電極的製造方法，不但可以避免解耦合電容區之電容器的失效，還可以避免記憶胞陣列區之電容器的電容量減少。

本發明之目的之三在於提供一種溝槽電容之下電極的製造方法，可以增加下電極與離子摻雜帶之間的崩潰電壓，以增加電容器元件的可靠度。

本發明之目的之四在於提供一種溝槽電容之下電極的製造方法，以提高溝槽電容器的下電極之製程的良率。

本發明之主要特徵在於依照習知之製作溝槽電容製程，在去除溝槽內部之上半部光阻(保護光阻)後，新增一道全面性重新填滿另一光阻(回填光阻)的程序，以填滿去除後之保護光阻上表面與基底上表面之間的距離，該距離係由於光阻與基底表面附著性不佳或是溝槽密度分佈不均所引起，重新形成的回填光阻便可具有一平坦表面，接著，依據習知製程去除部份溝槽內之光阻，便可得到溝槽內之光阻上表面與基底上表面相距相同距離的改善效果。



## 五、發明說明 (5)

為獲致上述之目的，本發明提出一種改善光阻平坦度的方法，此方法的步驟主要係包括：

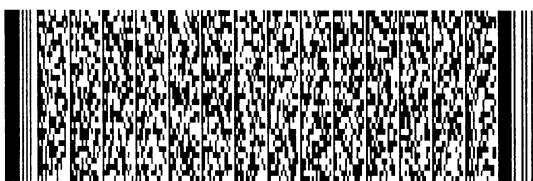
首先，提供一基底，該基底中形成有複數個溝槽。接著，形成一保護光阻於該基底表面，使該保護光阻填入該等溝槽內。接著，去除高出於該基底表面之該保護光阻，其中部分該等溝槽內之該保護光阻的上表面低於該基底的上表面，以形成複數溝槽缺口。然後，全面性形成一回填光阻，以填滿該等溝槽缺口，使該保護光阻與該回填光阻共同填滿該等溝槽，成為複數溝槽光阻。最後，去除部份該溝槽光阻，使該溝槽光阻的上表面低於該基底上表面一既定距離。

如前所述，去除高出於該基底表面之該保護光阻可利用時間模式加以控制。並且，該基底表面更可包括：一氮化層，形成於該等溝槽以外之該基底表面，因此，去除高出於該基底表面之該保護光阻，可以露出該氮化層表面做為終止點。

如前所述，該保護光阻與該回填光阻可以由相同材質所構成。該保護光阻與該回填光阻可利用旋塗法 (spin coating) 形成。該保護光阻與該溝槽光阻可利用一溶液以去除，該溶液包括硫酸 ( $H_2SO_4$ ) 與雙氧水 ( $H_2O_2$ )。

如前所述，該溝槽光阻係僅由該保護光阻所構成或由該保護光阻與該回填光阻所共同構成。

根據本發明，此改善光阻平坦度的方法可以應用於製作溝槽電容之下電極，該溝槽電容之下電極的製造方法包





## 五、發明說明 (6)

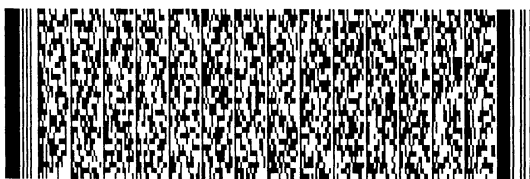
括：

首先，提供一基底。接著，形成具有複數個開口的硬罩幕於上述基底表面。接著，經由上述硬罩幕的開口蝕刻上述基底，以形成複數個溝槽。接著，順應性形成一介電層於該等溝槽表面和側壁，其中該介電層中摻雜有一導電型摻質。然後，形成一保護光阻於該硬罩幕表面，使該保護光阻填入該等溝槽內。接著，去除高出於該硬罩幕表面之該保護光阻，直到露出該硬罩幕表面為止，其中部分該等溝槽內之該保護光阻的上表面低於該硬罩幕的上表面，以形成複數溝槽缺口。接著，全面性形成一回填光阻，以填滿該等溝槽缺口，使該保護光阻與該回填光阻共同填滿該等溝槽，成為複數溝槽光阻。然後，去除部份該溝槽光阻，使該溝槽光阻的上表面低於該基底上表面一既定距離，暴露出該等溝槽內之部分該介電層。剝除暴露之該介電層。接著，移除該溝槽光阻。最後，將該介電層中之該導電型摻質趨入該基底中，以形成該等下電極。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

**【實施方式】**

以下請配合參考第2A圖至第2I圖之製程剖面圖，說明根據本發明之一較佳實施例，將本發明所提供之改善光阻



## 五、發明說明 (7)

平坦度的方法應用在溝槽電容器之下電極的製造上。

通常在製作溝槽電容時，需要在溝槽內填充一光阻，再將溝槽上半部的光阻去除，僅留下溝槽下半部的光阻以做為保護。然而，由於光阻與基底表面之間附著性不佳或是溝槽密度分佈不均…等因素，會造成光阻的平坦度不佳，使得去除溝槽內之上半部光阻後，每一溝槽內之光阻的上表面與基底的上表面會相距不相同的距離，將進一步導致後續製作之溝槽電容失效或電性不佳等問題。本發明將提供一種改善光阻平坦度的方法，使溝槽內之光阻去除上半部後，每一溝槽內之光阻的上表面與基底的上表面相距一相同距離。再者，應用此改善光阻平坦度的方法製作溝槽電容，可製作出均一性良好的溝槽電容。

首先，請參照第2A圖，提供一基底300，例如是半導體矽基底，形成具有複數個開口的硬罩幕309於基底300表面。並且，硬罩幕層309與基底300之間可更設置一墊氧化層307，以增加硬罩幕層309的附著性。接著，經由上述硬罩幕309的開口蝕刻基底300，以形成複數個溝槽。此基底300包含記憶胞陣列區 (memory cell array area) 302和解耦合電容器區 (decoupling capacitor area) 304。之後，在基底300中形成溝槽306，其中位於記憶胞陣列區302的溝槽306之密度較高，位於解耦合電容器區304的溝槽306之密度較低。硬罩幕層309的材質例如為氮化物。

接著，請參照第2B圖，順應性 (conformal) 形成一材質例如為氧化物之介電層308於溝槽306表面和側壁，其



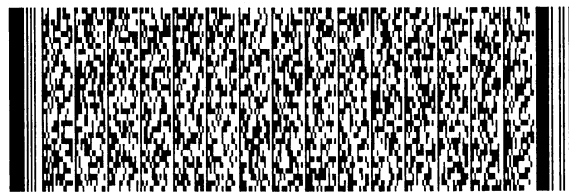
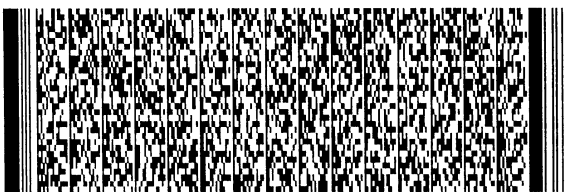
## 五、發明說明 (8)

中介電層308中摻雜有一導電型摻質，比如是磷(P)、砷(As)等。氧化層308的材質例如為氧化矽( $\text{SiO}_2$ )，較佳實施例為以化學氣相沉積法(chemical vapor deposition; CVD)形成。前軀體例如為TEOS。

接著，繼續參照第2C圖，例如利用旋塗法(spin coating)全面性形成一保護光阻310於硬罩幕層309表面，使保護光阻310填入溝槽306內。此時，由於保護光阻310與硬罩幕層309表面之間附著性不佳或是溝槽密度分佈不均…等因素，會造成光阻的平坦度不佳。

然後，請參照第2D圖，例如適當利用蝕刻法，較佳的是乾式蝕刻法，去除高出於硬罩幕層309表面之保護光阻310，直到露出硬罩幕層309表面為止。可由終點偵測(endpoint detector)來控制，保留下來的保護光阻310a之中部分溝槽306內之保護光阻310a的上表面低於硬罩幕層309的上表面，如此便形成複數溝槽缺口I。但是，由於保護光阻310的表面平坦性不佳，因此，每一溝槽306內保留下來的保護光阻310a之上表面與基底300之上表面相距不相同的距離。

然後，請參照第2E圖，全面性形成一回填光阻312。此為本發明之主要特徵，在第一道光阻(保護光阻310)去除位於溝槽內上半部之部分後，多增加一第二道光阻(回填料阻312)以填滿該等溝槽缺口，由於該第二道光阻具有回填的效果，可形成平坦表面，因此在此稱該第二道光阻為回填料阻。保護光阻310a與回填料阻312可由相同材質



## 五、發明說明 (9)

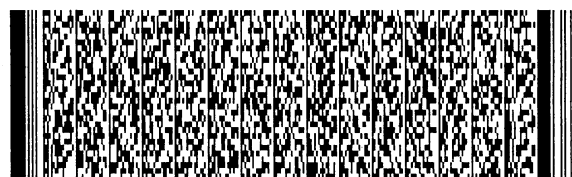
所構成，共同填滿溝槽，成為複數溝槽光阻310a、312。因此，有利後續順利平坦化，因為相較於原來之溝槽，該溝槽已經變淺，也就是說改善圖案密度(pattern density)。

接著，請參照第2F圖，例如適當利用蝕刻法去除部份溝槽光阻310a、312，較佳的是乾式蝕刻法，使溝槽光阻310a、312的上表面低於基底300的上表面一既定距離，暴露出溝槽306內之部分介電層308。如此一來，由於回填光阻312具有平坦表面，因此，每一溝槽306內之保留下來的溝槽光阻310a、312的上表面與基底300的上表面皆相距相同的距離。

接著，請參照第2G圖，以保留下來的溝槽光阻層310a、312為罩幕，剝除裸露出之介電層308，其剝除的方法比如是濕式蝕刻法。

接著，請參照第2H圖，以適當溶液，例如含有硫酸( $H_2SO_4$ )與雙氧水( $H_2O_2$ )之SPM，移除溝槽光阻310a、312。

最後，請參照第2I圖，先順應性形成一介電層314於基底300與溝槽306表面，再進行一熱製程，以將介電層308a中之導電型摻質趨入基底300中，於溝槽306周緣的基底300內形成埋入板(buried plate; BP)，以做為溝槽電容器之下電極316。其中，介電層314的作用是在避免介電層308a中的導電型摻質於熱製程期間擴散至反應室(chamber)中。



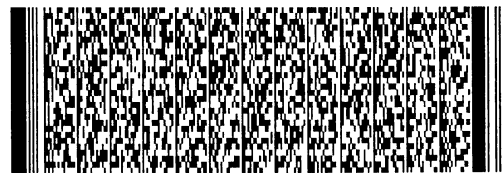
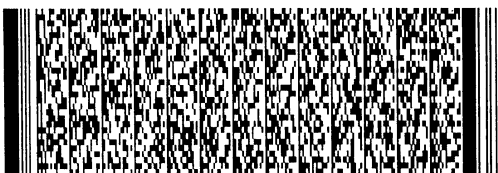
## 五、發明說明 (10)

發明特徵與效果

綜上所述，本發明至少提供下列優點：

1. 本發明所提供之改善光阻平坦度的方法，可適用於密度不均勻之溝槽。
2. 在溝槽電容器之下電極的製程上，藉由有效控制光阻充填於不同密度之溝槽中時，光阻上表面與基底上表面之間的距離，進而提高溝槽電容器的下電極之製程的良率。
3. 藉由改善光阻的平坦度，在溝槽電容器的製造上，可以在不影響解耦合電容區之電容器的品質下，使記憶胞陣列區的電容器具有較高的電容量。
4. 可以增加埋入帶和埋入板的崩潰電壓，進而提高溝槽電容器的可靠度。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做各種的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A圖至第1B圖係說明之習知光阻表面平坦度不佳的問題。

第2A圖至第2I圖根據本發明之改善光阻平坦度方法應用於製作溝槽電容下電極之製程剖面圖。

## 【符號說明】

- 100、300~基底；
- 104~光阻；
- 302~記憶胞陣列區；
- 304~解耦合電容器區；
- 110、306~溝槽；
- 308~氧化層；
- 309~氮化層；
- 310~保護光阻；
- 310a~保留之保護光阻；
- I~溝槽缺口；
- 312~回填光阻；
- 310a、312~溝槽光阻；
- 314~介電層；
- 308a~殘留氧化層；
- 316~下電極。



四、中文發明摘要 (發明名稱：改善光阻平整度的方法與溝槽電容之下電極的製造方法)

本發明提供一種改善光阻平坦度的方法與溝槽電容之下電極的製造方法。在去除溝槽內部之上半部光阻(保護光阻)後，新增一道全面性重新填滿另一光阻(回填光阻)的程序，以填滿去除後之保護光阻上表面與基底上表面之間的距離，該距離係由於光阻與基底表面附著性不佳或是溝槽密度分佈不均所引起，重新形成的回填光阻便可具有一平坦表面，接著，依據習知製程去除部份溝槽內之光阻，便可得到溝槽內之光阻上表面與基底上表面相距相同距離的改善效果。

伍、(一)、本案代表圖為：第2E圖。

(二)、本案代表圖之元件代表符號簡單說明：

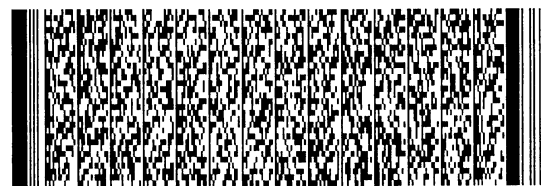
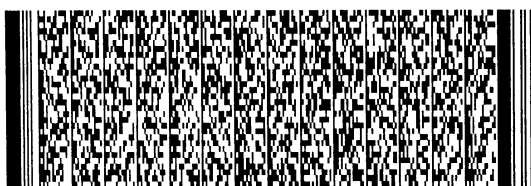
300~ 基底；

302~ 記憶胞陣列區；

304~ 解耦合電容器區；

六、英文發明摘要 (發明名稱：METHOD OF IMPROVING UNIFORMITY OF PHOTORESIST LAYER)

A method for improving uniformity of a photoresist layer. First, a substrate having a plurality of trenches is provided. Next, a protective photoresist layer is formed on the substrate to fill the trenches. Parts of the protective photoresist layer are removed to form openings in trenches. A refill photoresist layer with a planar upper surface is blanketly formed to



## 四、中文發明摘要 (發明名稱：改善光阻平整度的方法與溝槽電容之下電極的製造方法)

306~ 溝槽；

308~ 氧化層；

309~ 氮化層；

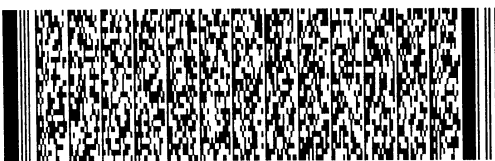
310a~ 保留之保護光阻；

312~ 回填光阻；

310a、312~ 溝槽光阻。

## 六、英文發明摘要 (發明名稱：METHOD OF IMPROVING UNIFORMITY OF PHOTORESIST LAYER)

fill up the openings. The photoresist layer, the protective photoresist or the refill photoresist layer, is recessed to leave a plurality of openings with substantial equal depths in each of the trenches.





## 六、申請專利範圍

1. 一種改善光阻平坦度的方法，包括：

提供一基底，該基底中形成有複數個溝槽；

形成一保護光阻於該基底表面，使該保護光阻填入該等溝槽內；

去除高出於該基底表面之該保護光阻，其中部分該等溝槽內之該保護光阻的上表面低於該基底的上表面，以形成複數溝槽缺口；

全面性形成一回填光阻，以填滿該等溝槽缺口，使該保護光阻與該回填光阻共同填滿該等溝槽，成為複數溝槽光阻；以及

去除部份該等溝槽光阻，使各該等溝槽中之該等溝槽光阻的上表面低於該基底上表面一既定距離。

2. 如申請專利範圍第1項所述之改善光阻平坦度的方法，其中該基底表面更包括：一氮化層，形成於該等溝槽以外之該基底表面。

3. 如申請專利範圍第2項所述之改善光阻平坦度的方法，其中去除高出於該基底表面之該保護光阻直到露出該氮化層表面為止。

4. 如申請專利範圍第1項所述之改善光阻平坦度的方法，其中該保護光阻與該回填光阻係由相同材質所構成。

5. 如申請專利範圍第1項所述之改善光阻平坦度的方法，其中該溝槽光阻係僅由該保護光阻所構成或由該保護光阻與該回填光阻所共同構成。

6. 一種溝槽電容之下電極的製造方法，包括：



## 六、申請專利範圍

提供一基底；

形成具有複數個開口的硬罩幕於該基底表面；

經由該硬罩幕的開口蝕刻該基底，以形成複數個溝槽；

順應性形成一介電層於該等溝槽表面和側壁，其中該介電層中摻雜有一導電型摻質；

形成一保護光阻於該硬罩幕表面，使該保護光阻填入該等溝槽內；

去除高出於該硬罩幕表面之該保護光阻，直到露出該硬罩幕表面為止，其中部分該等溝槽內之該保護光阻的上表面低於該硬罩幕的上表面，以形成複數溝槽缺口；

全面性形成一回填光阻，以填滿該等溝槽缺口，使該保護光阻與該回填光阻共同填滿該等溝槽，成為複數溝槽光阻；

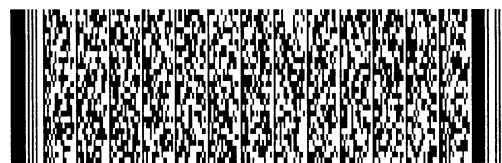
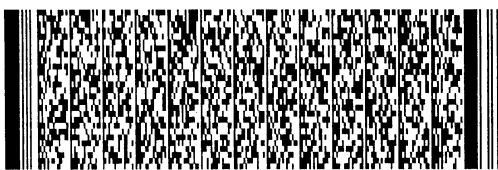
去除部份該溝槽光阻，使該溝槽光阻的上表面低於該基底上表面一既定距離，暴露出該等溝槽內之部分該介電層；

剝除暴露之該介電層；

移除該溝槽光阻；以及

將該介電層中之該導電型摻質趨入該基底中，以形成該等下電極。

7. 如申請專利範圍第6項所述之溝槽電容之下電極的製造方法，其中該保護光阻與該回填光阻係由相同材質所構成。



## 六、申請專利範圍

8. 如申請專利範圍第6項所述之溝槽電容之下電極的製造方法，其中該溝槽光阻係僅由該保護光阻所構成或由該保護光阻與該回填光阻所共同構成。

9. 如申請專利範圍第6項所述之溝槽電容之下電極的製造方法，其中該硬罩幕層係氮化物所構成。

10. 如申請專利範圍第6項所述之溝槽電容之下電極的製造方法，其中更包括：形成一墊氧化層於該基底與該硬罩幕層之間。

11. 一種溝槽電容之下電極的製造方法，包括：

提供一基底；

形成具有複數個開口的硬罩幕於該基底表面；

經由該硬罩幕的開口蝕刻該基底，以形成複數個溝槽，其中該等溝槽區分為複數緻密區溝槽與一孤立區溝槽；

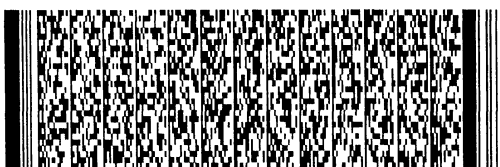
順應性形成一介電層於該等溝槽表面和側壁，其中該介電層中摻雜有一導電型摻質；

形成一保護光阻於該硬罩幕表面，使該保護光阻填入該等溝槽內；

去除高出於該硬罩幕表面之該保護光阻，直到露出該硬罩幕表面為止，其中部分該等溝槽內之該保護光阻的上表面低於該硬罩幕的上表面，以形成複數溝槽缺口；

全面性形成一回填光阻，以填滿該等溝槽缺口，使該保護光阻與該回填光阻共同填滿該等溝槽，成為複數溝槽光阻；

去除部份該溝槽光阻，使位於該等緻密溝槽與該孤立



## 六、申請專利範圍

溝槽之該溝槽光阻的上表面皆與該基底上表面相距一既定距離，暴露出該等溝槽內之部分該介電層；

剝除暴露之該介電層；

移除該溝槽光阻；以及

將該介電層中之該導電型摻質趨入該基底中，以形成該等下電極。

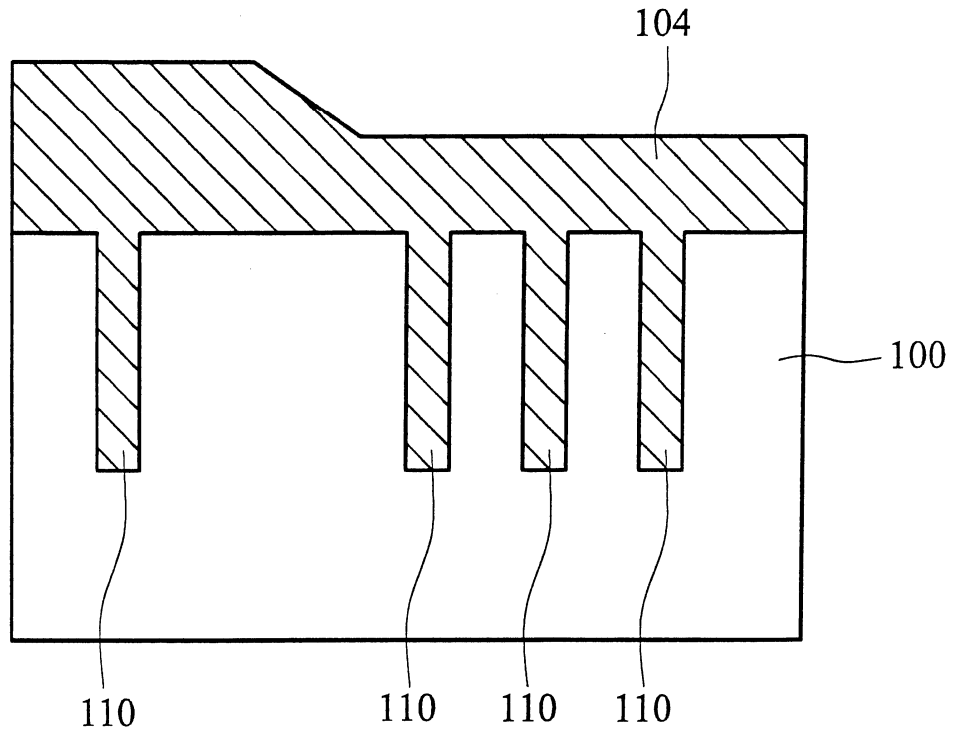
12. 如申請專利範圍第11項所述之溝槽電容之下電極的製造方法，其中該保護光阻與該回填光阻係由相同材質所構成。

13. 如申請專利範圍第11項所述之溝槽電容之下電極的製造方法，其中該溝槽光阻係僅由該保護光阻所構成或由該保護光阻與該回填光阻所共同構成。

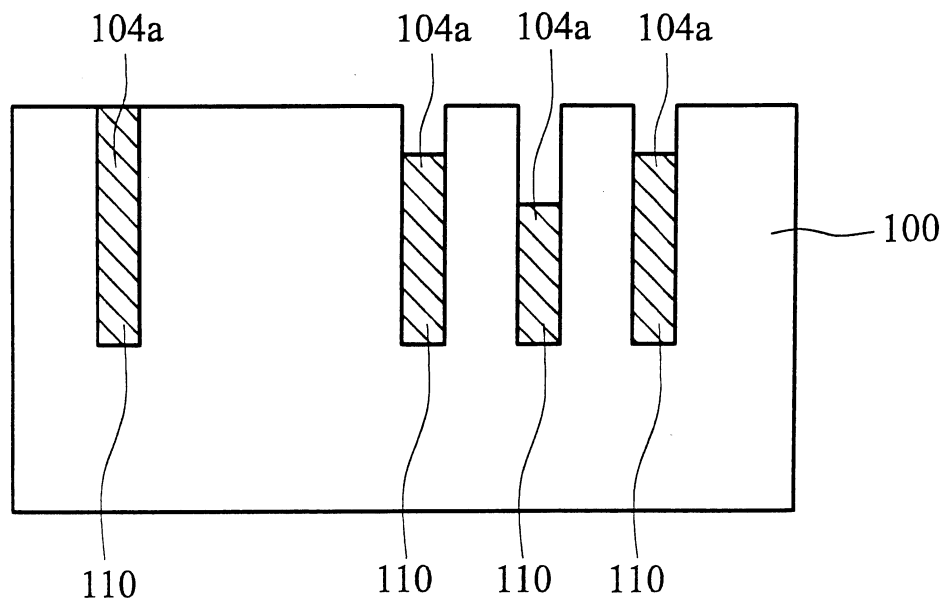
14. 如申請專利範圍第11項所述之溝槽電容之下電極的製造方法，其中該硬罩幕層係氮化物所構成。

15. 如申請專利範圍第11項所述之溝槽電容之下電極的製造方法，其中更包括：形成一墊氧化層於該基底與該硬罩幕層之間。

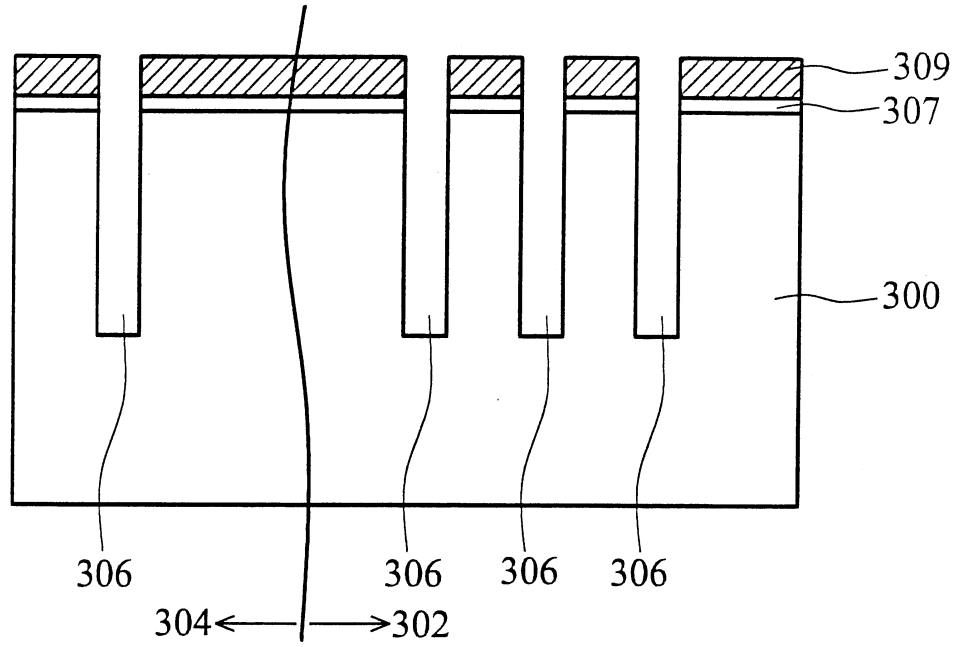




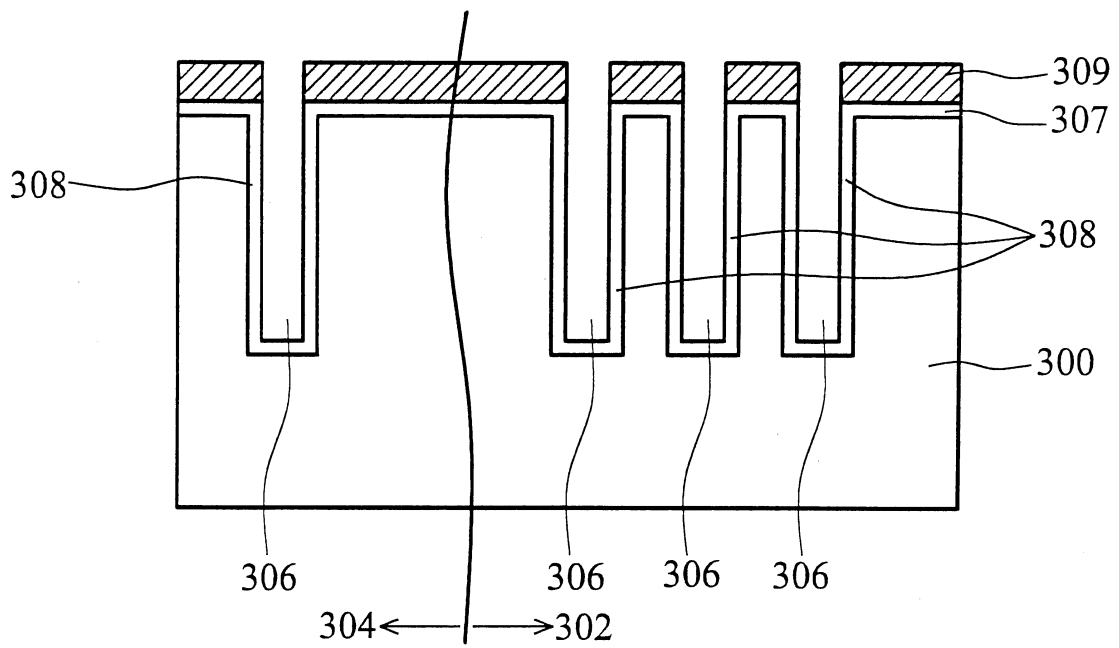
第 1A 圖



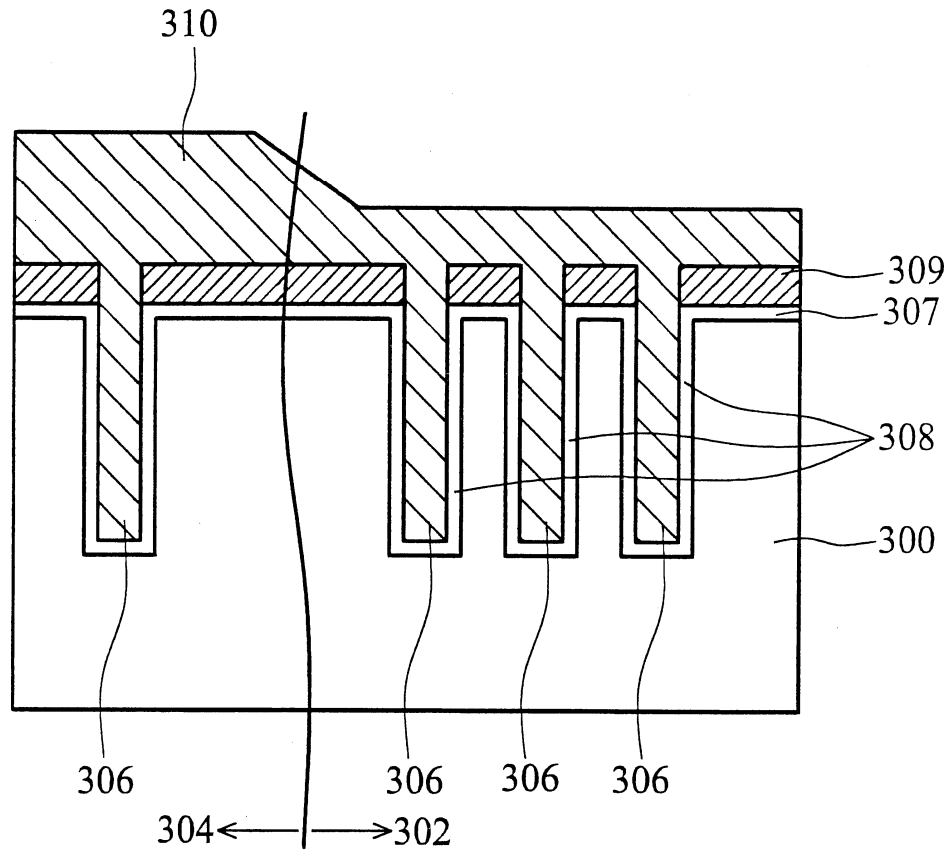
第 1B 圖



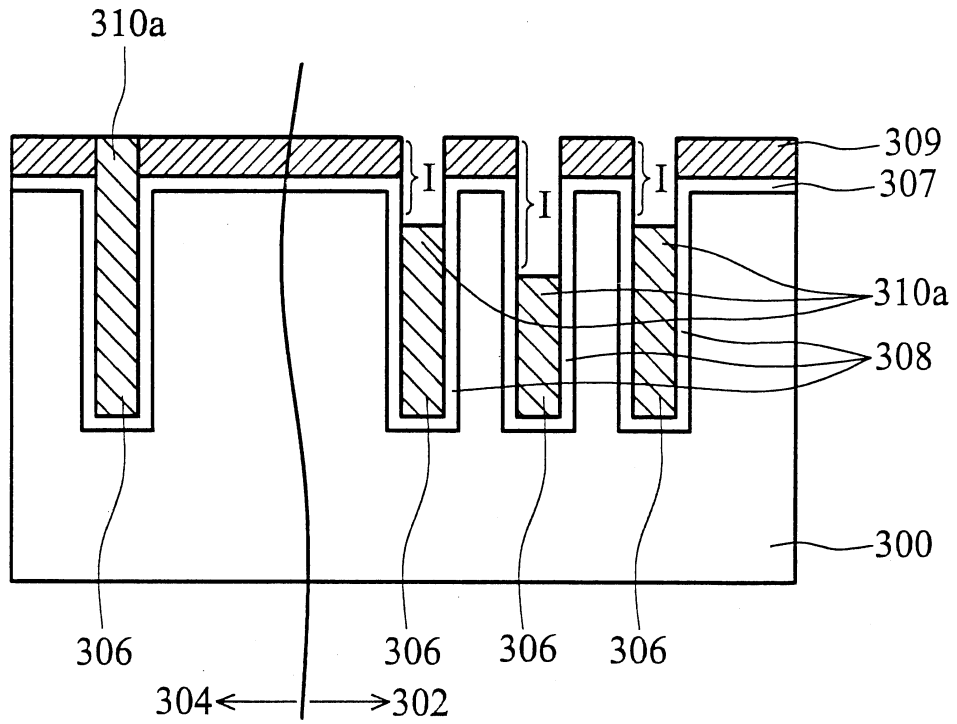
第2A圖



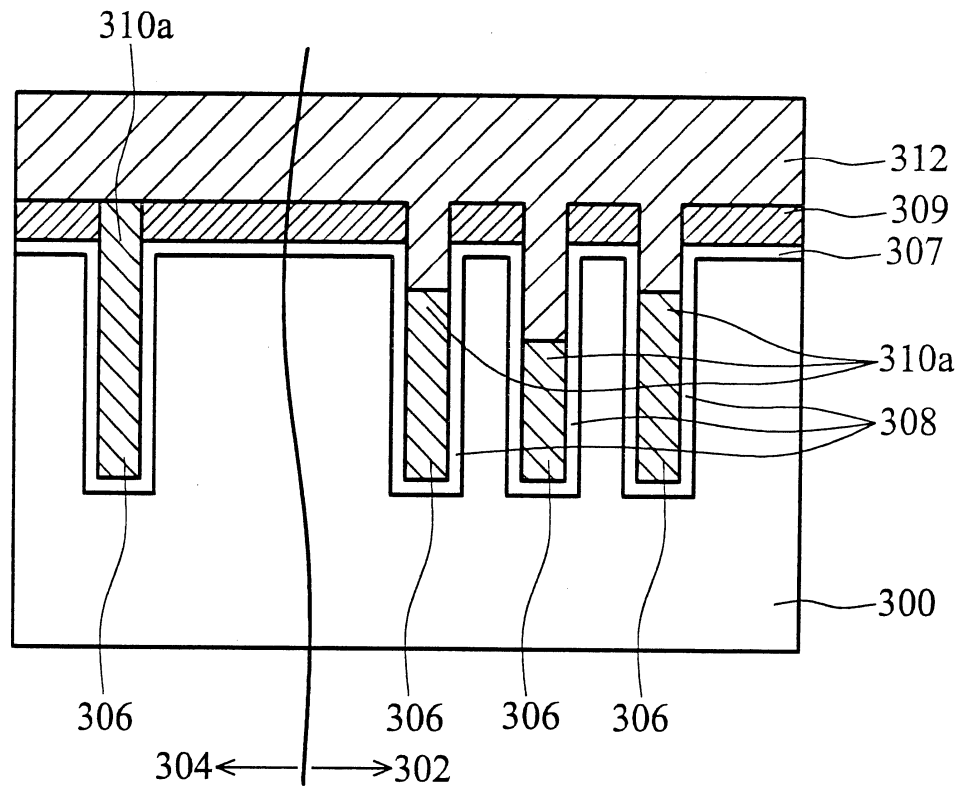
第2B圖



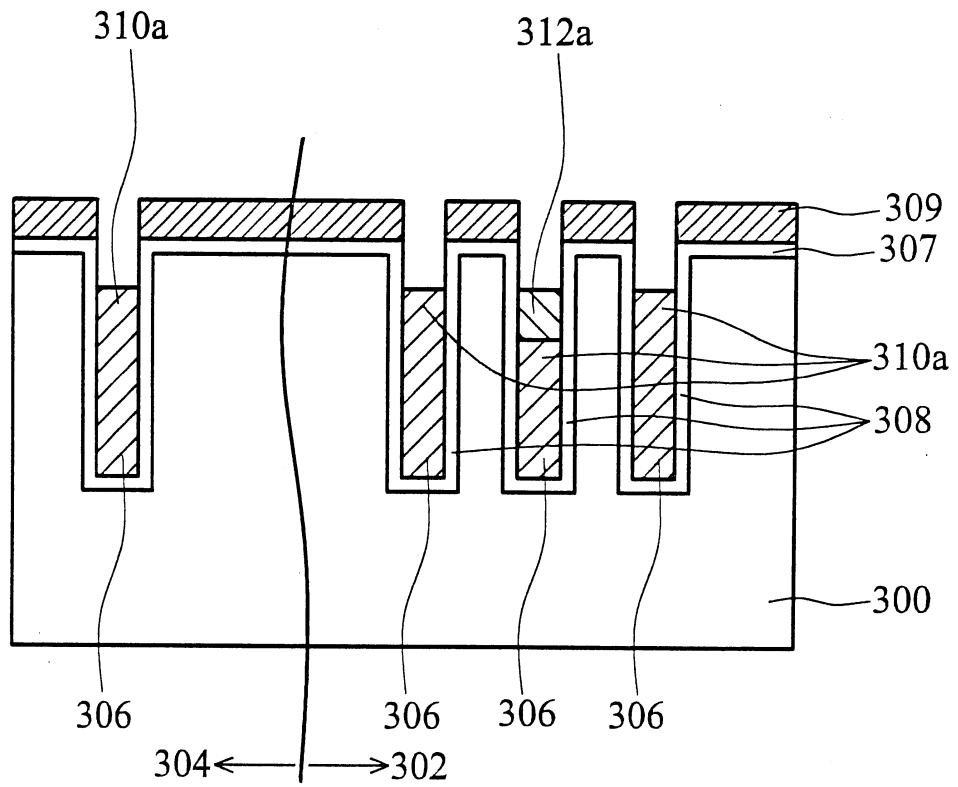
第2C圖



第2D圖

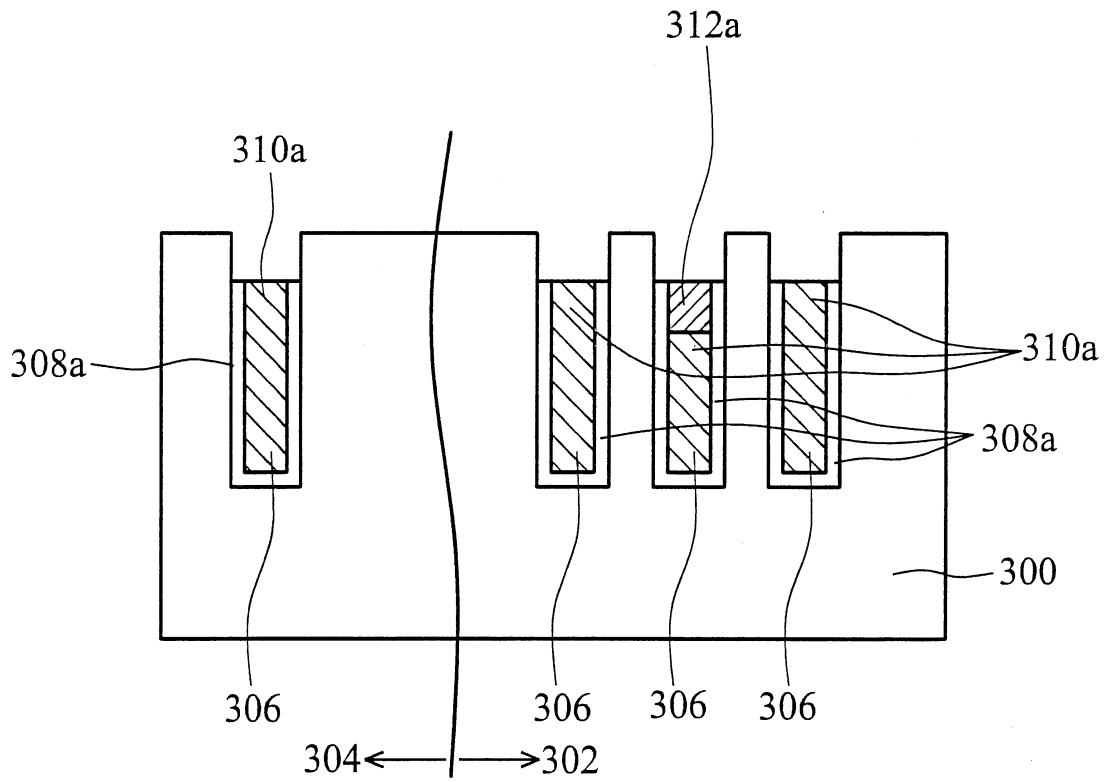


第2E圖

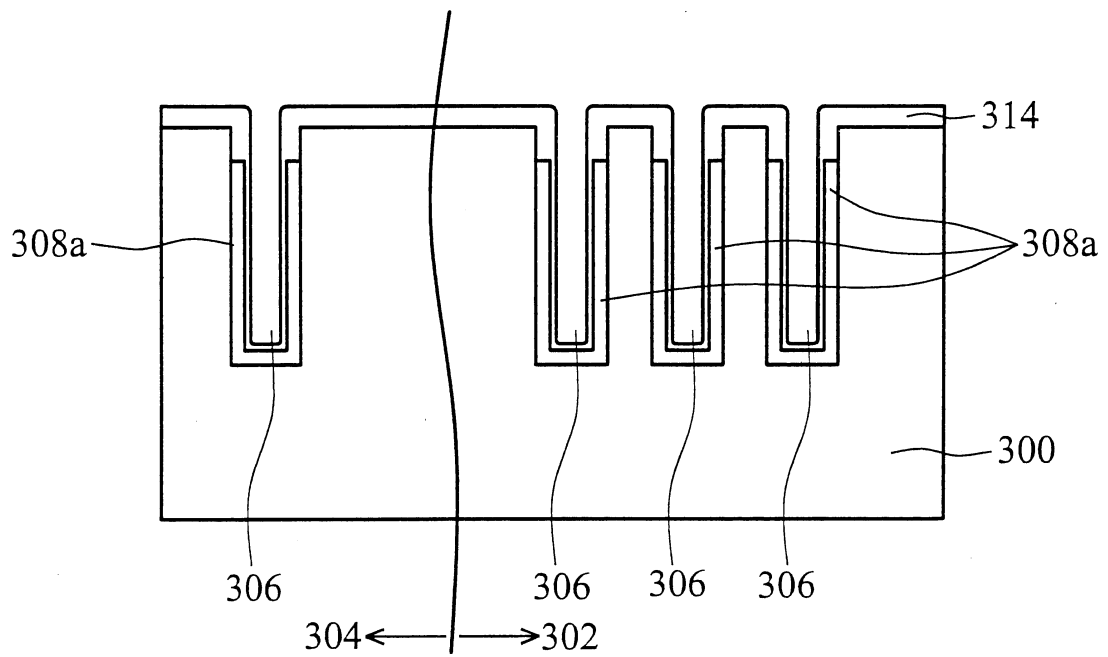


第2F圖

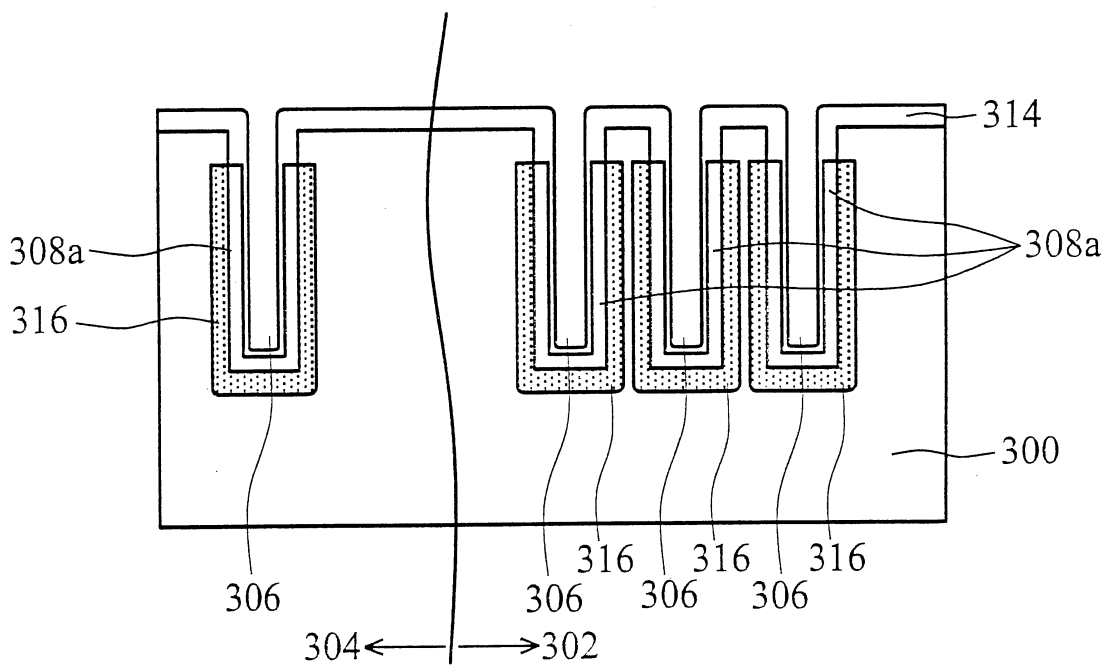




第2G圖



第2H圖



第21圖