



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0043166
(43) 공개일자 2011년04월27일

- | | |
|--|---|
| <p>(51) Int. Cl.
<i>G02F 1/1343</i> (2006.01)</p> <p>(21) 출원번호 10-2009-0100164
(22) 출원일자 2009년10월21일
심사청구일자 없음</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416</p> <p>(72) 발명자
허명구
충남 아산시 탕정면 명암리 트라팰리스 101-502
최상건
충남 아산시 탕정면 명암리 삼성 트라 팰리스 20
4동 804호</p> <p>(74) 대리인
박영우</p> |
|--|---|

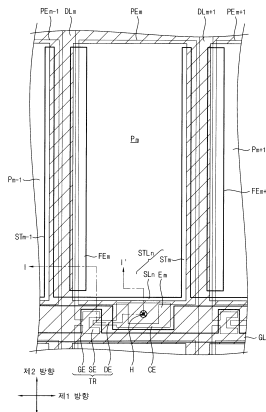
전체 청구항 수 : 총 20 항

(54) 표시 기관, 이의 제조 방법 및 이를 포함하는 표시 장치

(57) 요약

표시 기관은 화소 전극, 제 m 데이터 배선(m 은 자연수), 플로팅 전극, 제 $m+1$ 데이터 배선 및 스토리지 전극을 포함한다. 화소 전극은 기관 위의 화소 영역에 배치된다. 제 m 데이터 배선은 화소 전극의 제1 단 측에 배치되고 화소 전극과 전기적으로 연결된다. 플로팅 전극은 제 m 데이터 배선과 부분적으로 중첩되어 화소 영역에 배치된다. 제 $m+1$ 데이터 배선은 화소 전극의 제1 단과 마주하는 제2 단 측에 배치된다. 스토리지 전극은 제 $m+1$ 데이터 배선과 이격되어 화소 영역에 배치된다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 위의 화소 영역에 배치된 화소 전극;
 상기 화소 전극의 제1 단 측에 배치되고 상기 화소 전극과 전기적으로 연결된 제 m 데이터 배선(m 은 자연수);
 상기 제 m 데이터 배선과 부분적으로 중첩되어 상기 화소 영역에 배치된 플로팅 전극;
 상기 화소 전극의 제1 단과 마주하는 제2 단 측에 배치된 제 $m+1$ 데이터 배선; 및
 상기 제 $m+1$ 데이터 배선과 이격되어 상기 화소 영역에 배치된 스토리지 전극을 포함하는 표시 기관.

청구항 2

제1항에 있어서, 상기 플로팅 전극은 전기적으로 플로팅 되고, 상기 스토리지 전극은 전압이 인가되는 것을 특징으로 하는 표시 기관.

청구항 3

제1항에 있어서, 상기 제 m 및 제 $m+1$ 데이터 배선들과 교차하는 제 n 게이트 배선;
 상기 스토리지 전극과 전기적으로 연결되고, 상기 제 n 게이트 배선과 평행하게 배치된 스토리지 배선; 및
 상기 제 m 데이터 배선과 상기 제 n 게이트 배선에 전기적으로 연결된 트랜지스터를 더 포함하는 표시 기관.

청구항 4

제3항에 있어서, 상기 기관 상에 배치되어 상기 트랜지스터를 덮는 컬러 필터층을 더 포함하는 표시 기관.

청구항 5

제4항에 있어서, 상기 컬러 필터층은
 상기 기관 상에 배치된 상기 제 m 및 제 $m+1$ 데이터 배선들을 덮는 차광 패턴; 및
 상기 화소 전극과 상기 기관 사이의 상기 화소 영역에 배치된 컬러 필터를 포함하는 것을 특징으로 하는 표시 기관.

청구항 6

제5항에 있어서, 상기 기관 상에 배치되어 상기 차광 패턴과 상기 컬러 필터를 덮는 오버 코팅층을 더 포함하고,
 상기 오버 코팅층은 상기 컬러 필터와 상기 화소 전극 사이에 배치되는 것을 특징으로 하는 표시 기관.

청구항 7

제3항에 있어서, 상기 화소 전극과 상기 트랜지스터를 전기적으로 연결하는 콘택 전극; 및
 상기 스토리지 배선과 전기적으로 연결되고 상기 콘택 전극과 중첩되는 돌출 전극을 더 포함하는 표시 기관.

청구항 8

기관 위의 화소 영역에 플로팅 전극, 상기 플로팅 전극과 마주하는 스토리지 전극을 포함하는 제1 도전 패턴을 형성하는 단계;
 상기 제1 도전 패턴이 형성된 상기 기관 위에 상기 플로팅 전극과 부분적으로 중첩되는 제 m 데이터 배선, 상기 스토리지 전극과 이격된 제 $m+1$ 데이터 배선을 포함하는 제2 도전 패턴을 형성하는 단계; 및
 상기 제2 도전 패턴이 형성된 상기 기관 위의 상기 화소 영역에 상기 제1 데이터 배선과 전기적으로 연결된 화소 전극을 형성하는 단계를 포함하는 표시 기관의 제조 방법.

청구항 9

제8항에 있어서, 상기 제1 도전 패턴을 형성하는 단계는

상기 제 m 및 제 $m+1$ 데이터 배선들과 교차하는 제 n 게이트 배선, 및 상기 스토리지 전극과 전기적으로 연결되고 상기 제 n 게이트 배선과 평행한 스토리지 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 10

제8항에 있어서, 상기 제 n 게이트 배선과 상기 제 m 데이터 배선과 전기적으로 연결된 트랜지스터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 11

제10항에 있어서, 상기 화소 전극과 상기 트랜지스터를 전기적으로 연결하는 콘택 전극 및 상기 스토리지 배선과 전기적으로 연결되고 상기 콘택 전극과 중첩되는 돌출 전극을 더 형성하는 단계를 더 포함하는 표시 기관의 제조 방법.

청구항 12

제10항에 있어서, 상기 트랜지스터가 형성된 상기 기관 위에 컬러 필터층을 형성하는 단계를 더 포함하는 표시 기관의 제조 방법.

청구항 13

제12항에 있어서, 상기 컬러 필터층을 형성하는 단계는

상기 트랜지스터가 형성된 상기 기관 위에 상기 제 m 및 제 $m+1$ 데이터 배선을 덮도록 차광 패턴을 형성하는 단계; 및

상기 기관 상의 상기 화소 영역에 컬러 필터를 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 14

제13항에 있어서, 상기 차광 패턴과 상기 컬러 필터가 형성된 상기 기관 상에 오버 코팅층을 형성하는 단계를 더 포함하는 표시 기관의 제조 방법.

청구항 15

기관 위의 화소 영역에 배치된 화소 전극과, 상기 화소 전극의 제1 단 측에 배치되고 상기 화소 전극과 전기적으로 연결된 제 m 데이터 배선(m 은 자연수)과, 상기 제 m 데이터 배선과 부분적으로 중첩되어 상기 화소 영역에 배치되고 전기적으로 플로팅 된 플로팅 전극, 상기 화소 전극의 제1 단과 마주하는 제2 단 측에 배치된 제 $m+1$ 데이터 배선, 및 상기 제 $m+1$ 데이터 배선과 이격되어 상기 화소 영역에 배치되고 전압이 인가되는 스토리지 전극을 포함하는 표시 기관; 및

상기 표시 기관과 대향하고 공통 전극을 포함하는 대향 기관을 포함하는 표시 장치.

청구항 16

제15항에 있어서, 상기 표시 기관은

상기 제 m 및 제 $m+1$ 데이터 배선들과 교차하는 제 n 게이트 배선;

상기 스토리지 전극과 전기적으로 연결되고, 상기 제 n 게이트 배선과 평행하게 배치된 스토리지 배선; 및

상기 제 m 데이터 배선과 상기 제 n 게이트 배선에 전기적으로 연결된 트랜지스터를 더 포함하는 표시 장치.

청구항 17

제16항에 있어서, 상기 기관 상에 배치되어 상기 트랜지스터를 덮는 컬러 필터층을 더 포함하는 표시 장치.

청구항 18

제17항에 있어서, 상기 컬러 필터층은

상기 기판 상에 배치된 상기 제 m 및 제 $m+1$ 데이터 배선들을 덮는 차광 패턴; 및

상기 화소 전극과 상기 기판 사이의 상기 화소 영역에 배치된 컬러 필터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 19

제18항에 있어서, 상기 기판 상에 배치되어 상기 차광 패턴과 상기 컬러 필터를 덮는 오버 코팅층을 더 포함하고, 상기 오버 코팅층은 상기 컬러 필터와 상기 화소 전극 사이에 배치되는 것을 특징으로 하는 표시 장치.

청구항 20

제16항에 있어서, 상기 표시 기판은

상기 화소 전극과 상기 트랜지스터를 서로 전기적으로 연결하는 콘택 전극; 및

상기 스토리지 배선과 전기적으로 연결되고 상기 콘택 전극과 중첩되는 돌출 전극을 더 포함하는 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시 기판, 이의 제조 방법 및 이를 포함하는 표시 장치에 관한 것으로 보다 상세하게는 표시 품질을 향상시키기 위한 표시 기판, 이의 제조 방법 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치는 액정표시패널과 상기 액정표시패널에 광을 제공하는 백라이트를 포함한다. 상기 액정표시패널은 박막 트랜지스터들이 배열된 어레이 기판과, 상기 어레이 기판에 대향하여 컬러 필터가 형성된 컬러필터 기판을 포함하고, 상기 어레이 기판과 컬러필터 기판 사이에 개재된 액정층을 포함한다. 상기 액정표시장치는 액정 배열의 변화에 따른 광의 투과율로 계조를 표시한다.

[0003] 구체적으로, 상기 어레이 기판은 상기 박막 트랜지스터와 전기적으로 연결된 데이터 배선과 게이트 배선을 포함하고, 또한 화소 영역에 배치되어 상기 박막 트랜지스터와 전기적으로 연결된 화소 전극을 포함한다. 상기 화소 전극은 액정 커패시터의 제1 전극이다. 상기 컬러필터 기판은 공통 전극을 포함하고, 상기 공통 전극은 상기 액정 커패시터의 제2 전극이다. 상기 화소 전극과 상기 공통 전극에 의해 형성되는 전계의 세기에 따라서 상기 화소 전극과 공통 전극 사이에 배치된 액정의 배열이 변화한다.

[0004] 따라서, 데이터 배선과 상기 데이터 배선과 다른 전압이 인가되는 인접한 화소 전극간의 커플링 커패시턴스가 발생할 수 있으며, 상기 커플링 커패시턴스는 컬러 쉬프트 현상과 같은 표시 불량 발생한다.

[0005] 또한, 상기 액정표시장치는 상기 액정층을 투과하는 광이 시야각에 따라서 정면과 측면의 서로 다르게 시인된다. 특히, 상기 화소 전극과 상기 데이터 배선이 서로 인접한 영역에서 시야각에 따른 빛샘으로 표시 불량이 발생한다.

발명의 내용

해결 하고자하는 과제

[0006] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 표시 품질을 향상시키기 위한 표시 기판을 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 표시 기판의 제조 방법을 제공하는 것이다.

[0008] 본 발명의 또 다른 목적은 상기 표시 기관을 포함하는 표시 장치를 제공하는 것이다.

과제 해결수단

[0009] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 기관은 화소 전극, 제 m 데이터 배선(m 은 자연수), 플로팅 전극, 제 $m+1$ 데이터 배선 및 스토리지 전극을 포함한다. 상기 화소 전극은 기관 위의 화소 영역에 배치된다. 상기 제 m 데이터 배선은 상기 화소 전극의 제1 단 측에 배치되고 상기 화소 전극과 전기적으로 연결된다. 상기 플로팅 전극은 상기 제 m 데이터 배선과 부분적으로 중첩되어 상기 화소 영역에 배치된다. 상기 제 $m+1$ 데이터 배선은 상기 화소 전극의 제1 단과 마주하는 제2 단 측에 배치된다. 상기 스토리지 전극은 상기 제 $m+1$ 데이터 배선과 이격되어 상기 화소 영역에 배치된다.

[0010] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 표시 기관의 제조 방법은 기관 위의 화소 영역에 플로팅 전극, 상기 플로팅 전극과 마주하는 스토리지 전극을 포함하는 제1 도전 패턴을 형성한다. 상기 제1 도전 패턴이 형성된 상기 기관 위에 상기 플로팅 전극과 부분적으로 중첩되는 제 m 데이터 배선, 상기 스토리지 전극과 이격된 제 $m+1$ 데이터 배선을 포함하는 제2 도전 패턴을 형성한다. 상기 제2 도전 패턴이 형성된 상기 기관 위의 상기 화소 영역에 상기 제1 데이터 배선과 전기적으로 연결된 화소 전극을 형성한다.

[0011] 상기한 본 발명의 또 다른 목적을 실현하기 위한 일 실시예에 따른 표시 장치는 표시 기관 및 대향 기관을 포함한다. 상기 표시 기관은 기관 위의 화소 영역에 배치된 화소 전극과, 상기 화소 전극의 제1 단 측에 배치되고 상기 화소 전극과 전기적으로 연결된 제 m 데이터 배선(m 은 자연수)과, 상기 제 m 데이터 배선과 부분적으로 중첩되어 상기 화소 영역에 배치되고, 전기적으로 플로팅 된 플로팅 전극, 상기 화소 전극의 제1 단과 마주하는 제2 단 측에 배치된 제 $m+1$ 데이터 배선, 및 상기 제 $m+1$ 데이터 배선과 이격되어 상기 화소 영역에 배치되고 전압이 인가되는 스토리지 전극을 포함한다. 상기 대향 기관은 상기 표시 기관과 대향하고 공통 전극을 포함한다.

효과

[0012] 이러한 표시 기관 및 이의 제조 방법에 의하면, 컬러 쉬프트 현상을 개선하고 시야각에 따른 빛샘을 방지할 수 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 이하, 도면들을 참조하여 본 발명의 표시장치의 바람직한 실시예들을 보다 상세하게 설명하기로 한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 고안의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0014] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0015] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다. 도 2는 도 1의 I-I' 선을 따라 절단한 표시 장치의 단면도이다.

[0016] 도 1 및 도 2를 참조하면, 상기 표시 장치(500A)는 표시 기관(100), 대향 기관(200) 및 액정층(300)을 포함한다.

- [0017] 상기 표시 기관(100)은 제1 기관(101), 트랜지스터층(TRL), 컬러 필터층(CFL) 및 투명 전극층(TEL)을 포함한다.
- [0018] 상기 트랜지스터층(TRL)은 제1 도전 패턴, 절연층(110), 제2 도전 패턴, 보호층(130)을 포함한다. 상기 절연층(110) 및 상기 보호층(130) 각각은 유기 물질 또는 무기 물질일 수 있다.
- [0019] 상기 제1 도전 패턴은 상기 제1 기관(101) 위에 배치된 제n 게이트 배선(GLn), 제n 스토리지 전극 배선(STLn) 및 제m 플로팅 전극(FEm)을 포함한다(n 및 m은 자연수임).
- [0020] 상기 제n 게이트 배선(GLn)은 제1 방향으로 연장되고 복수의 게이트 전극들을 포함한다. 예를 들면, 상기 제n 게이트 배선(GLn)은 제m 화소 영역(Pm)에 배치된 게이트 전극(GE)을 포함한다.
- [0021] 상기 제n 스토리지 전극 배선(STLn)은 상기 제1 방향으로 연장된 제n 스토리지 배선(SLn)과, 상기 제n 스토리지 배선(SLn)과 연결된 복수의 스토리지 전극들 및 상기 제n 스토리지 배선(SLn)과 연결된 복수의 돌출 전극들을 포함한다. 상기 제n 스토리지 전극 배선(STLn)은 스토리지 공통전압이 인가된다.
- [0022] 상기 복수의 스토리지 전극들은 복수의 데이터 배선들과 인접하고 평행하게 배치될 수 있다. 상기 복수의 돌출 전극들은 복수의 게이트 전극들과 인접하게 각각 배치될 수 있다.
- [0023] 예를 들면, 제m 스토리지 전극(STm)은 상기 스토리지 배선(SLn)과 연결되어 제m+1 데이터 배선(DLm+1)과 인접하고 평행한 제m 화소 영역(Pm)에 배치된다. 제m 돌출 전극(Em)은 상기 제n 스토리지 배선(SLn)과 연결되어 상기 게이트 전극(GE)과 인접한 제m 화소 영역(Pm)에 배치된다. 상기 제m 스토리지 전극(STm)은 상기 제m 화소 영역(Pm)에 정의되는 스토리지 커패시터의 공통 전극이고, 또한, 상기 제m+1 데이터 배선(DLm+1)과 인접한 영역으로 누설되는 광을 차단할 수 있다.
- [0024] 상기 제m 플로팅 전극(FEm)은 상기 제m 데이터 배선(DLm)과 인접하고 평행한 상기 제m 화소 영역(Pm)에 배치된다. 상기 제m 플로팅 전극(FEm)은 전기적으로 플로팅 되며, 상기 제m 데이터 배선(DLm)과 인접한 영역으로 상기 광이 누설되는 것을 차단할 수 있다. 상기 제m 플로팅 전극(FEm)의 폭은 상기 제m 스토리지 전극(STm)의 폭 보다 넓을 수 있다. 상기 제m 플로팅 전극(FEm)은 제m-1 스토리지 전극(SRm-1)과 이격되어 배치된다.
- [0025] 상기 절연층(110)은 상기 제1 도전 패턴이 배치된 상기 제1 기관(101) 위에 상기 제1 도전 패턴을 덮도록 배치된다.
- [0026] 상기 제2 도전 패턴은 상기 제m 데이터 배선(DLm), 콘택 전극(CE) 및 제m+1 데이터 배선(DLm+1)을 포함한다.
- [0027] 상기 제m 데이터 배선(DLm)은 상기 제1 방향과 교차하는 제2 방향으로 연장되고 복수의 소스 전극들을 포함한다. 예를 들면, 상기 제m 데이터 배선(DLm)은 상기 제m-1 스토리지 전극(STm-1)과 이격되고 상기 제m 플로팅 전극(FEm)과 부분적으로 중첩되는 영역에 배치된다. 상기 제m 데이터 배선(DLm)은 상기 제m 화소 영역(Pm)에 배치된 소스 전극(SE)을 포함할 수 있다. 상기 콘택 전극(CE)은 상기 제m 돌출 전극(Em)이 배치된 영역에 상기 제m 돌출 전극(Em)과 중첩되어 배치되고, 상기 소스 전극(SE)과 이격된 영역에 배치된 드레인 전극(DE)을 포함한다.
- [0028] 상기 제m+1 데이터 배선(DLm)은 상기 제m 화소 영역(Pm)을 사이에 두고 상기 제m 데이터 배선(DLm)과 마주보는 영역에 배치되고, 복수의 소스 전극들을 포함할 수 있다.
- [0029] 상기 제m 데이터 배선(DLm), 상기 콘택 전극(CE) 및 상기 제m+1 데이터 배선(DLm+1)을 포함하는 상기 제2 도전 패턴은 하부에 배치된 채널 패턴(CH)을 더 포함할 수 있다. 상기 채널 패턴(CH)은 반도체층 및 저항 접촉층을 포함할 수 있다.
- [0030] 상기 게이트 전극(GE), 상기 소스 전극(SE), 상기 드레인 전극(DE) 및 상기 채널 패턴(CH)에 의해 상기 제n 게이트 배선(GLn)과 상기 제m 데이터 배선(DLm)에 연결된 트랜지스터(TR)가 정의될 수 있다. 상기 제m 돌출 전극(Em), 상기 절연층(110) 및 상기 콘택 전극(CE)에 의해 상기 제m 화소 영역(Pm)의 스토리지 커패시터가 정의될 수 있다.
- [0031] 상기 보호층(130)은 상기 제2 도전 패턴이 배치된 상기 제1 기관(101) 위에 상기 제2 도전 패턴을 덮도록 배치된다.
- [0032] 상기 컬러 필터층(CFL)은 차광 패턴(BM), 복수의 컬러 필터들(CF1, CF2, CF3) 및 오버 코팅층(150)을 포함한다. 상기 컬러 필터층(CFL)은 오버 코팅층(150)을 생략할 수 있다.
- [0033] 상기 차광 패턴(BM)은 상기 제1 및 제2 도전 패턴들이 배치된 영역에 배치될 수 있다. 예를 들면, 상기 차광 패

턴(BM)은 상기 제 n 게이트 배선(GL n), 상기 제 n 스토리지 전극 배선(STL n), 상기 제 m 데이터 배선(DL m), 상기 콘택 전극(CE) 및 상기 제 $m+1$ 데이터 배선(DL $m+1$)이 배치된 영역에 대응하여 배치된다.

- [0034] 상기 컬러 필터들(CF1, CF2, CF3)은 인접한 데이터 배선들 사이의 영역에 각각 배치된다. 예를 들면, 상기 제 m 및 제 $m+1$ 데이터 배선들(DL m , DL $m+1$) 사이의 영역에 제1 컬러 필터(CF1)가 배치되고, 제2 컬러 필터(CF2)는 제 m 및 제 $m-1$ 데이터 배선들 사이의 영역에 배치되고, 제3 컬러 필터(CF3)는 제 $m+1$ 및 제 $m+2$ 데이터 배선들 사이의 영역에 배치된다. 따라서, 상기 제 m 화소 영역(P m)에는 상기 제1 컬러 필터(CF1)가 배치되고, 제 $m-1$ 화소 영역(P $m-1$)에는 상기 제2 컬러 필터(CF2)가 배치되고, 제 $m+1$ 화소 영역(P $m+1$)에는 상기 제3 컬러 필터(CF3)가 배치될 수 있다.
- [0035] 상기 오버 코팅층(150)은 상기 차광 패턴(BM) 및 상기 컬러 필터들(CF1, CF2, CF3)이 배치된 상기 제1 기판(101) 위에 상기 차광 패턴(BM) 및 상기 컬러 필터들(CF1, CF2, CF3)을 덮도록 배치되어 상기 표시 기판(100)의 표면을 평탄화 한다.
- [0036] 상기 투명 전극층(TEL)은 복수의 화소 전극들 및 제1 배향층(170)을 포함한다.
- [0037] 예를 들면, 제 m 화소 전극(PE m)은 상기 제 n 게이트 배선(GL n), 제 m 데이터 배선(DL m) 및 제 $m+1$ 데이터 배선(DL $m+1$)에 대응하는 상기 제 m 화소 영역(P m)에 배치되고, 제 $m-1$ 화소 전극(PE $m-1$)은 상기 제 n 게이트 배선(GL n), 제 $m-1$ 데이터 배선 및 제 m 데이터 배선(DL $m+1$)에 대응하는 상기 제 $m-1$ 화소 영역(P $m-1$)에 배치되고, 제 $m+1$ 화소 전극(PE $m+1$)은 상기 제 n 게이트 배선(GL n), 제 $m+1$ 데이터 배선(DL $m+1$) 및 제 $m+2$ 데이터 배선에 대응하는 제 $m+1$ 화소 영역(P $m+1$)에 배치될 수 있다.
- [0038] 상기 제 m 화소 전극(PE m)은 상기 제 n 게이트 배선(GL n) 및 상기 제 m 데이터 배선(DL m)에 연결된 트랜지스터(TR)와 콘택홀(H)을 통해 전기적으로 연결된다. 상기 제 m 화소 전극(PE m)은 상기 제 m 스토리지 전극(ST m)과 중첩 되도록 배치되며, 상기 제 m 화소 전극(PE m) 및 상기 제 m 스토리지 전극(ST m)은 상기 제 m 화소 영역(P m)의 스토리지 커패시터를 정의할 수 있다.
- [0039] 상기 제1 배향층(170)은 상기 화소 전극들(PE $m-1$, PE m , PE $m+1$)이 배치된 상기 제1 기판(101) 위에 상기 화소 전극들(PE $m-1$, PE m , PE $m+1$)을 덮도록 배치된다. 상기 제1 배향층(170)은 액정층(300)의 액정을 초기 배열한다.
- [0040] 상기 대향 기판(200)은 제2 기판(201), 공통 전극(210) 및 제2 배향층(230)을 포함한다. 상기 공통 전극(210)은 상기 제2 기판(201) 위에 배치되고, 상기 액정층(300) 및 각 화소 전극들(PE $m-1$, PE m , PE $m+1$)과 함께 액정 커패시터를 정의할 수 있다. 상기 제2 배향층(230)은 상기 공통 전극(210) 위에 배치되고, 상기 액정층(300)의 액정을 초기 배열한다.
- [0041] 이하에서는 도 3a 내지 도 7b를 참조하여 상기 표시 기판(100)의 제조 방법을 설명한다.
- [0042] 도 3a 및 도 3b는 도 2에 도시된 표시 기판의 제1 도전 패턴을 형성하는 방법을 설명하기 위한 평면도 및 단면도이다.
- [0043] 도 2, 도 3a 및 도 3b를 참조하면, 상기 제1 기판(101) 위에 제1 도전층을 형성하고, 상기 제1 도전층을 패터닝하여 제1 도전 패턴을 형성한다. 상기 제1 도전 패턴은 제 n 게이트 배선(GL n), 제 n 스토리지 전극 배선(STL n) 및 제 m 플로팅 전극(FE m)을 포함한다.
- [0044] 상기 제 n 게이트 배선(GL n)은 제1 방향으로 연장되고 게이트 전극(GE)을 포함한다. 상기 제 n 스토리지 전극 배선(STL n)은 상기 제1 방향으로 연장된 제 n 스토리지 배선(SL n), 상기 제 n 스토리지 배선(SL n)과 연결되고 상기 제1 방향과 교차하는 제2 방향으로 연장된 제 m 스토리지 전극(ST m), 및 상기 제 n 스토리지 배선(SL n)과 연결되고 상기 게이트 전극(GE)과 인접한 제 m 돌출 전극(E m)을 포함한다. 상기 제 n 스토리지 전극 배선(STL n)은 스토리지 공통전압이 인가된다.
- [0045] 상기 제 m 플로팅 전극(FE m)은 상기 제 m 스토리지 전극(ST m)과 이격되어 형성된다. 상기 제 m 플로팅 전극(FE m)은 빛샘을 차단하는 차광 기능을 수행한다. 상기 제 m 플로팅 전극(FE m)의 폭은 상기 제 m 스토리지 전극(ST m)의 폭보다 넓게 형성될 수 있다.
- [0046] 상기 제1 도전 패턴이 형성된 상기 제1 기판(101) 위에 상기 절연층(110)을 형성한다.
- [0047] 도 4a 및 도 4b는 도 2에 도시된 표시 기판의 제2 도전 패턴을 형성하는 방법을 설명하기 위한 평면도 및 단면도이다.

- [0048] 도 2, 도 4a 및 도 4b를 참조하면, 상기 절연층(110) 위에 채널층 및 제2 도전층을 순차적으로 형성한다. 상기 채널층은 반도체층 및 저항 접촉층을 포함할 수 있다. 상기 채널층 및 상기 제2 도전층을 동일한 마스크를 이용해 동시에 패터닝하여 제2 도전 패턴을 형성한다.
- [0049] 상기 제2 도전 패턴은 상기 제2 도전층과 상기 채널층으로 이루어진 이중층 구조를 가지며, 제 m 데이터 배선(DL m), 콘택 전극(CE) 및 제 $m+1$ 데이터 배선(DL $m+1$)을 포함한다. 상기 제 m 데이터 배선(DL m), 콘택 전극(CE) 및 제 $m+1$ 데이터 배선(DL $m+1$)은 상기 채널 패턴(CH)을 각각 포함한다.
- [0050] 상기 제 m 데이터 배선(DL m)은 상기 제2 방향으로 연장되고 소스 전극(SE)을 포함한다. 상기 제 m 데이터 배선(DL m)은 상기 제 m 스토리지 전극(ST m)과 이격되고 상기 제 m 플로팅 전극(FE m)과 부분적으로 중첩되는 영역에 형성된다. 따라서, 상기 제 m 데이터 배선(DL m)과 인접한 영역에서 누설되는 광은 상기 제 m 플로팅 전극(FE m)에 의해 차단될 수 있다. 상기 소스 전극(SE)은 상기 게이트 전극(GE) 위에 형성된다.
- [0051] 상기 콘택 전극(CE)은 상기 제 m 돌출 전극(E m) 위에 상기 제 m 돌출 전극(E m)과 부분적으로 중첩되어 형성된다. 상기 콘택 전극(CE)은 상기 게이트 전극(GE) 위에 형성된 드레인 전극(DE)을 포함한다. 상기 드레인 전극(DE)은 상기 소스 전극(SE)과 이격되어 상기 채널 패턴(CH)을 노출시킨다.
- [0052] 상기 제 $m+1$ 데이터 배선(DL m)은 상기 제 m 데이터 배선(DL m)과 마주보는 영역에 배치되고, 복수의 소스 전극들을 포함한다.
- [0053] 상기 게이트 전극(GE), 상기 소스 전극(SE), 상기 드레인 전극(DE) 및 상기 채널 패턴(CH)에 의해 상기 제 n 게이트 배선(GL n)과 상기 제 m 데이터 배선(DL m)에 연결된 트랜지스터(TR)가 정의될 수 있다. 상기 제 m 스토리지 전극(ST m), 상기 절연층(110) 및 상기 콘택 전극(CE)에 의해 제 m 화소 영역(P m)의 스토리지 커패시터가 정의될 수 있다.
- [0054] 상기 보호층(130)은 상기 제2 도전 패턴이 형성된 상기 제1 기판(101) 위에 형성된다. 상기 보호층(130)은 유기 물질 또는 무기 물질 일 수 있다. 이에 의해 상기 제1 기판(101) 위에 상기 트랜지스터층(TRL)이 형성된다.
- [0055] 이상에서는 상기 채널층과 상기 제2 도전층을 동일한 마스크를 이용해 동시에 패터닝 하는 것을 예시하였으나, 서로 다른 마스크를 이용하여 상기 채널층을 패터닝 하고, 상기 제2 도전층을 패터닝 할 수 있다.
- [0056] 도 5a 및 도 5b는 도 2에 도시된 표시 기관의 컬러 필터층을 형성하는 방법을 설명하기 위한 단면도들이다.
- [0057] 도 2, 도 5a 및 도 5b를 참조하면, 상기 보호층(130)이 형성된 제1 기판(101) 위에 차광층을 형성하고, 상기 차광층을 패터닝하여 상기 차광 패턴(BM)을 형성한다.
- [0058] 상기 차광 패턴(BM)은 상기 제 n 게이트 배선(GL n), 상기 제 n 스토리지 전극 배선(STL n), 상기 제 m 데이터 배선(DL m), 상기 콘택 전극(CE), 상기 제 $m+1$ 데이터 배선(DL $m+1$) 및 상기 트랜지스터(TR)가 형성된 영역 위에 형성된다. 상기 차광 패턴(BM)은 상기 제1 기판(101)의 전체 영역에 대해 매트릭스 형상을 가질 수 있다.
- [0059] 상기 차광 패턴(BM)은 형성된 상기 제1 기판(101) 위에 컬러 포토레지스트층을 형성하고, 상기 컬러 포토레지스트층을 패터닝하여 컬러 필터를 형성한다.
- [0060] 예를 들면, 상기 제1 기판(101) 위에 제1 컬러 포토레지스트층을 형성하고 상기 제1 컬러 포토레지스트층을 패터닝하여 제1 컬러 필터(CF1)를 제1 영역에 형성한다. 상기 제1 컬러 필터가 형성된 제1 기판(101) 위에 제2 컬러 포토레지스트층을 형성하고 상기 제2 컬러 포토레지스트층을 패터닝하여 제2 컬러 필터(CF2)를 제2 영역에 형성한다. 상기 제1 및 제2 컬러 필터들(CF1, CF2)이 형성된 제1 기판(101) 위에 제3 컬러 포토레지스트층을 형성하고 상기 제3 컬러 포토레지스트층을 패터닝하여 제3 컬러 필터(CF3)를 제3 영역에 형성한다. 상기 제1 영역은 제 m 및 제 $m+1$ 데이터 배선들에 의해 정의되는 영역이고, 상기 제2 영역은 제 $m-1$ 및 제 m 데이터 배선들에 의해 정의되는 영역이고, 상기 제3 영역은 제 $m+1$ 및 제 $m+2$ 데이터 배선들에 의해 정의되는 영역일 수 있다.
- [0061] 결과적으로, 제 m 화소 영역(P m)에는 상기 제1 컬러 필터(CF1)가 형성되고, 제 $m-1$ 화소 영역(P $m-1$)에는 상기 제2 컬러 필터(CF2)가 형성되고, 제 $m+1$ 화소 영역(P $m+1$)에는 상기 제3 컬러 필터(CF3)가 형성된다.
- [0062] 상기 콘택 전극(CE) 위의 상기 차광 패턴(150) 및 상기 제1 내지 제3 컬러 필터들(CF1, CF2, CF3) 각각은 상기 보호층(130)을 노출시키는 개구(H)가 형성된다.
- [0063] 이와 같이, 상기 제1 기판(101) 위에 상기 컬러 필터층(CFL)을 형성한다.
- [0064] 도 6a 및 도 6b는 도 2에 도시된 표시 기관의 콘택홀을 형성하는 방법을 설명하기 위한 평면도 및 단면도이다.

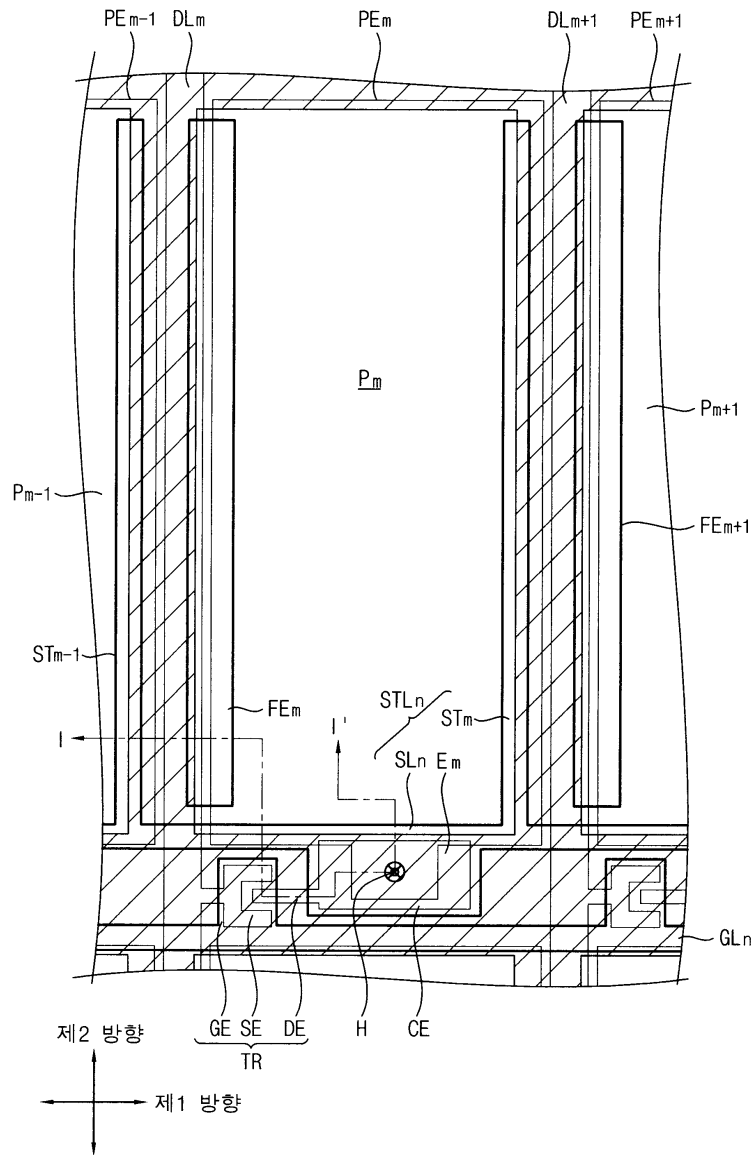
- [0065] 도 2, 도 6a 및 도 6b를 참조하면, 상기 컬러 필터들(CF1, CF2, CF3)이 형성된 제1 기판(101) 위에 오버 코팅층(150)을 형성한다. 상기 오버 코팅층(150)은 유기 물질 또는 무기 물질 일 수 있다. 상기 오버 코팅층(150) 역시, 상기 콘택 전극(CE) 위에 상기 보호층(130)을 노출시키는 개구(H)가 형성된다. 상기 오버 코팅층(150)은 생략할 수 있다.
- [0066] 상기 컬러 필터층(CFL)이 형성된 제1 기판(101)을 식각 공정을 통해 상기 개구(H)를 통해 노출된 상기 보호층(130)을 식각하여 콘택홀(135)을 형성한다. 상기 콘택홀(135)에 의해 상기 콘택 전극(CE)이 노출된다.
- [0067] 도 7a 및 도 7b는 도 2에 도시된 표시 기판의 투명 전극층을 형성하는 방법을 설명하기 위한 평면도 및 단면도이다.
- [0068] 도 2, 도 7a 및 도 7b를 참조하면, 상기 콘택홀(135)이 형성된 제1 기판(101) 위에 투명 도전층을 형성하고, 상기 투명 도전층을 패터닝하여 복수의 화소 전극들(PE_{m-1}, PE_m, PE_{m+1})을 형성한다.
- [0069] 예를 들면, 상기 제_m 화소 영역(P_m)에 제_m 화소 전극(PE_m)을 형성하고, 상기 제_{m-1} 화소 영역(P_{m-1})에 제_{m-1} 화소 전극(PE_{m-1})을 형성하고, 상기 제_{m+1} 화소 영역(P_{m+1})에 제_{m+1} 화소 전극(PE_{m+1})을 형성한다. 상기 제_m 화소 전극(PE_m)은 상기 제_m 화소 영역(P_m)에 상기 제_m 스토리지 전극(ST_m)과 중첩되도록 형성된다. 상기 제_m 화소 전극(PE_m)은 상기 콘택홀(135)을 통해 상기 콘택 전극(CE)과 접촉되고, 상기 트랜지스터(TR)의 드레인 전극(DE)과 전기적으로 연결된다.
- [0070] 상기 제_m 스토리지 전극(ST_m)과 중첩되는 상기 제_m 화소 전극(PE_m)의 영역에서 상기 제_m 화소 영역(P_m)의 스토리지 캐패시터가 정의될 수 있다.
- [0071] 도 8a 및 도 8b는 도 2에 도시된 표시 장치에 의해 컬러 쉬프트 현상 및 빛샘 현상이 방지되는 원리를 설명하기 위한 개념도들이다.
- [0072] 도 2 및 도 8a를 참조하면, 상기 제_m 데이터 배선(DL_m)의 양측에는 상기 제_{m-1} 스토리지 전극(ST_{m-1})과 제_m 플로팅 전극(FE_m)이 배치된다. 상기 제_{m-1} 스토리지 전극(ST_{m-1})은 상기 제_m 데이터 배선(DL_m)의 좌측에 이격되어 배치되고, 상기 제_m 플로팅 전극(FE_m)은 상기 제_m 데이터 배선(DL_m)의 우측에 부분적으로 중첩되어 배치된다. 제_m 화소 전극(PE_m)은 상기 제_m 플로팅 전극(FE_m)과 부분적으로 중첩되어 배치된다.
- [0073] 상기 제_m 플로팅 전극(FE_m)은 전기적으로 플로팅되어 제_m 화소 영역(P_m)에 배치되고, 상기 제_m 화소 전극(PE_m)과 중첩된다. 상기 제_m 플로팅 전극(FE_m)의 전위 레벨은 중첩된 상기 제_m 화소 전극(PE_m)의 전위 레벨에 따라서 변할 수 있다.
- [0074] 상기 제_m 플로팅 전극(FE_m)은 자기 화소 영역인 상기 제_m 화소 영역(P_m)에 형성된 상기 제_m 화소 전극(PE_m)의 전위 레벨에 영향을 받고, 인접한 제_{m-1} 화소 영역(P_{m-1})에 형성된 제_{m-1} 화소 전극(PE_{m-1})의 전위 레벨에는 영향을 받지 않는다. 따라서, 인접한 제_{m-1} 화소 전극(PE_{m-1})의 커플링 커패시턴스에 의한 컬러 쉬프트 현상을 막을 수 있다.
- [0075] 도 8b를 참조하면, 상기 제_m 데이터 배선(DL_m)의 양측에는 상기 제_{m-1} 스토리지 전극(ST_{m-1})과 제_m 플로팅 전극(FE_m)이 배치된다. 상기 제_{m-1} 스토리지 전극(ST_{m-1})은 상기 제_m 데이터 배선(DL_m)의 좌측에 이격되어 배치되고, 상기 제_m 플로팅 전극(FE_m)은 상기 제_m 데이터 배선(DL_m)의 우측에 부분적으로 중첩되어 배치된다.
- [0076] 한편, 상기 차광 패턴(BM)은 정위치(BMA)에 형성되지 않고 공정 마진에 의해 상기 정위치(BMA)에 대해 좌측으로 틀어진 어긋난 위치(BMA')에 형성된다. 이 경우, 상기 제_m 플로팅 전극(FE_m)이 상기 제_m 데이터 배선(DL_m)과 부분적으로 중첩되어 형성됨으로써 상기 제_m 데이터 배선(DL_m)과 상기 제_m 화소 전극(PE_m) 사이의 영역에서 누설되는 광(LIGHT)을 차단할 수 있다. 따라서, 상기 제_m 플로팅 전극(FE_m)은 시야각에 따른 빛샘(LIGHT)을 차단할 수 있다.
- [0077] 이와 같이, 본 발명의 실시예에 따르면, 컬러 쉬프트 현상을 개선할 수 있고, 시야각에 따른 빛샘을 차단할 수 있다.
- [0078] 이하에서는 일 실시예에 따른 구성 요소와 동일한 구성 요소에 대해서는 동일한 도면 부호를 부여하고 반복되는 설명은 간략하게 설명하거나 생략한다.
- [0079] 도 9는 본 발명의 다른 실시예에 따른 표시 장치의 단면도이다.
- [0080] 도 1 및 도 9를 참조하면, 표시 장치(500B)는 표시 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다.

- [0081] 상기 표시 기관(100)은 제1 기관(101), 트랜지스터층(TRL), 컬러 필터층(CFL) 및 투명 전극층(EL)을 포함한다.
- [0082] 상기 트랜지스터층(TRL)은 제1 도전 패턴, 절연층(110), 제2 도전 패턴, 보호층(130)을 포함한다.
- [0083] 상기 제1 도전 패턴은 상기 제1 기관(101) 위에 배치된 제 n 게이트 배선(GL_n), 제 n 스토리지 전극 배선(STL_n) 및 제 m 플로팅 전극(FEm)을 포함한다.
- [0084] 상기 제 n 스토리지 전극 배선(STL_n)은 상기 제1 방향으로 연장된 제 n 스토리지 배선(SL_n)과, 상기 제 n 스토리지 배선(SL_n)과 연결된 복수의 스토리지 전극들 및 상기 제 n 스토리지 배선(SL_n)과 연결된 복수의 돌출 전극들을 포함한다. 상기 제 n 스토리지 전극 배선(STL_n)은 스토리지 공통전압이 인가된다.
- [0085] 예를 들면, 제 m 스토리지 전극(STm)은 상기 스토리지 배선(SL_n)과 연결되어 제 $m+1$ 데이터 배선($Dm+1$)과 인접하고 평행한 제 m 화소 영역(Pm)에 배치된다. 제 m 돌출 전극(Em)은 상기 제 n 스토리지 배선(SL_n)과 연결되어 상기 게이트 전극(GE)과 인접한 제 m 화소 영역(Pm)에 배치된다. 상기 제 m 스토리지 전극(STm)은 상기 제 m 화소 영역(Pm)에 정의되는 스토리지 캐패시터의 공통 전극이고, 또한, 상기 제 $m+1$ 데이터 배선($Dm+1$)과 인접한 영역으로 누설되는 광을 차단할 수 있다.
- [0086] 상기 제 m 플로팅 전극(FEm)은 상기 제 m 데이터 배선(Dm)과 인접하고 평행한 상기 제 m 화소 영역(Pm)에 배치된다. 상기 제 m 플로팅 전극(FEm)은 전기적으로 플로팅 되며, 상기 제 m 데이터 배선(Dm)과 인접한 영역으로 상기 광이 누설되는 것을 차단할 수 있다. 상기 제 m 플로팅 전극(FEm)의 폭은 상기 제 m 스토리지 전극(STm)의 폭 보다 넓을 수 있다.
- [0087] 상기 절연층(110)은 상기 제1 도전 패턴이 배치된 상기 제1 기관(101) 위에 상기 제1 도전 패턴을 덮도록 배치된다.
- [0088] 상기 제2 도전 패턴은 상기 제 m 데이터 배선(Dm), 콘택 전극(CE) 및 제 $m+1$ 데이터 배선($Dm+1$)을 포함한다.
- [0089] 상기 제 m 데이터 배선(Dm)은 상기 제1 방향과 교차하는 제2 방향으로 연장되고 복수의 소스 전극들을 포함한다. 예를 들면, 상기 제 m 데이터 배선(Dm)은 상기 제 $m-1$ 스토리지 전극($STm-1$)과 이격되고 상기 제 m 플로팅 전극(FEm)과 부분적으로 중첩되는 영역에 배치된다. 상기 제 m 데이터 배선(Dm)은 상기 제 m 화소 영역(Pm)에 배치된 소스 전극(SE)을 포함할 수 있다. 상기 콘택 전극(CE)은 상기 제 m 돌출 전극(Em)이 배치된 영역에 상기 제 m 돌출 전극(Em)과 중첩되어 배치되고, 상기 소스 전극(SE)과 이격된 영역에 배치된 드레인 전극(DE)을 포함한다.
- [0090] 상기 보호층(130)은 상기 제2 도전 패턴이 배치된 상기 제1 기관(101) 위에 상기 제2 도전 패턴을 덮도록 배치된다.
- [0091] 상기 컬러 필터층(CFL)은 복수의 컬러 필터들($CF1$, $CF2$, $CF3$), 차광 패턴(BM) 및 오버 코팅층(150)을 포함한다. 상기 컬러 필터층(CFL)은 오버 코팅층(150)을 생략할 수 있다.
- [0092] 상기 컬러 필터들($CF1$, $CF2$, $CF3$)은 인접한 데이터 배선들 사이의 영역에 각각 배치된다. 예를 들면, 상기 제 m 및 제 $m+1$ 데이터 배선들(Dm , $Dm+1$) 사이의 영역에 제1 컬러 필터($CF1$)가 배치되고, 제2 컬러 필터($CF2$)는 제 m 및 제 $m-1$ 데이터 배선들 사이의 영역에 배치되고, 제3 컬러 필터($CF3$)는 제 $m+1$ 및 제 $m+2$ 데이터 배선들 사이의 영역에 배치된다. 상기 제 m 화소 영역(Pm)에는 상기 제1 컬러 필터($CF1$)가 배치되고, 제 $m-1$ 화소 영역($Pm-1$)에는 상기 제2 컬러 필터($CF2$)가 배치되고, 제 $m+1$ 화소 영역($Pm+1$)에는 상기 제3 컬러 필터($CF3$)가 배치될 수 있다.
- [0093] 상기 차광 패턴(BM)은 상기 제1 및 제2 도전 패턴들이 배치된 영역에 배치될 수 있다. 예를 들면, 상기 차광 패턴(BM)은 상기 제 n 게이트 배선(GL_n), 상기 제 n 스토리지 전극 배선(STL_n), 상기 제 m 데이터 배선(Dm), 상기 콘택 전극(CE) 및 상기 제 $m+1$ 데이터 배선($Dm+1$)이 배치된 영역에 대응하여 배치된다.
- [0094] 상기 투명 전극층(TEL)은 복수의 화소 전극들 및 제1 배향층(170)을 포함한다. 제 m 화소 전극(PEm)은 상기 제 n 게이트 배선(GL_n), 제 m 데이터 배선(Dm) 및 제 $m+1$ 데이터 배선($Dm+1$)에 대응하는 상기 제 m 화소 영역(Pm)에 배치되고, 제 $m-1$ 화소 전극($PEm-1$)은 상기 제 n 게이트 배선(GL_n), 제 $m-1$ 데이터 배선 및 제 m 데이터 배선($Dm+1$)에 대응하는 상기 제 $m-1$ 화소 영역($Pm-1$)에 배치되고, 제 $m+1$ 화소 전극($PEm+1$)은 상기 제 n 게이트 배선(GL_n), 제 $m+1$ 데이터 배선($Dm+1$) 및 제 $m+2$ 데이터 배선에 대응하는 제 $m+1$ 화소 영역($Pm+1$)에 배치될 수 있다.
- [0095] 상기 제1 배향층(170)은 상기 화소 전극들($PEm-1$, PEm , $PEm+1$)이 배치된 상기 제1 기관(101) 위에 배치된다.

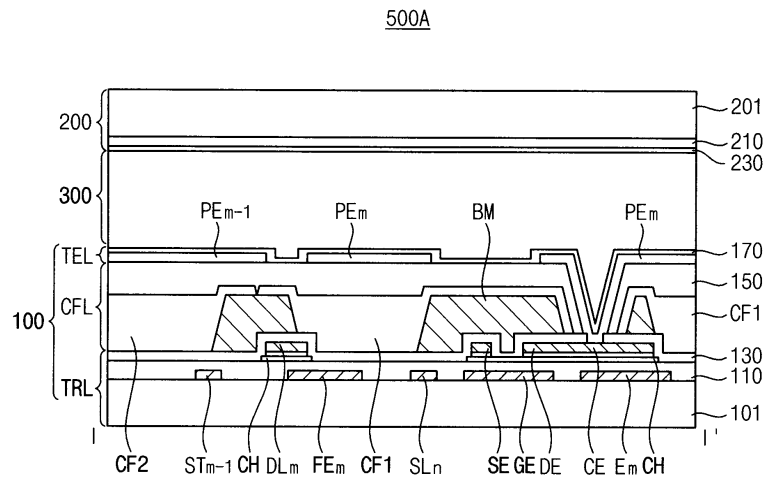
- [0096] 도 10a 내지 도 10d는 도 9에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0097] 도 9 및 도 10a를 참조하면, 상기 제1 기관(101) 위에 제1 도전층을 형성하고, 상기 제1 도전층을 패터닝하여 제1 도전 패턴을 형성한다. 상기 제1 도전 패턴은 제 n 게이트 배선(GL n), 제 n 스토리지 전극 배선(STL n) 및 플로팅 전극(FE)을 포함한다. 상기 제 n 스토리지 전극 배선(STL n)은 상기 제1 방향으로 연장된 제 n 스토리지 배선(SL n), 상기 제 n 스토리지 배선(SL n)과 연결되고 상기 제1 방향과 교차하는 제2 방향으로 연장된 제 m 스토리지 전극(ST m), 및 상기 제 n 스토리지 배선(SL n)과 연결되고 상기 게이트 전극(GE)과 인접한 제 m 돌출 전극(Em)을 포함한다. 상기 제 m 플로팅 전극(FEm)은 상기 제 m 스토리지 전극(ST m)과 이격되어 형성된다.
- [0098] 상기 제1 도전 패턴이 형성된 상기 제1 기관(101) 위에 상기 절연층(110)을 형성한다.
- [0099] 상기 절연층(110) 위에 채널층 및 제2 도전층을 순차적으로 형성한다. 상기 채널층은 반도체층 및 저항 접촉층을 포함할 수 있다. 상기 채널층 및 상기 제2 도전층을 동일한 마스크를 이용해 동시에 패터닝하여 제2 도전 패턴을 형성한다.
- [0100] 상기 제2 도전 패턴은 상기 제2 도전층과 상기 채널층으로 이루어진 이중층 구조를 가지며, 제 m 데이터 배선(DL m), 콘택 전극(CE) 및 제 $m+1$ 데이터 배선(DL $m+1$)을 포함한다. 상기 제 m 데이터 배선(DL m), 콘택 전극(CE) 및 제 $m+1$ 데이터 배선(DL $m+1$)은 상기 채널 패턴(CH)을 각각 포함한다. 상기 제 m 데이터 배선(DL m)은 상기 제 m 스토리지 전극(ST m)과 이격되고 상기 제 m 플로팅 전극(FEm)과 부분적으로 중첩되는 영역에 형성된다. 따라서, 상기 제 m 데이터 배선(DL m)과 인접한 영역에서 누설되는 광은 상기 제 m 플로팅 전극(FEm)에 의해 차단될 수 있다.
- [0101] 상기 보호층(130)은 상기 제2 도전 패턴이 형성된 상기 제1 기관(101) 위에 형성된다. 상기 보호층(130)은 유기 물질 또는 무기 물질 일 수 있다. 이에 의해 상기 제1 기관(101) 위에 상기 트랜지스터층(TRL)이 형성된다.
- [0102] 도 9 및 도 10b를 참조하면, 상기 보호층(130)이 형성된 제1 기관(101) 위에 컬러 포토레지스트층을 형성하고, 상기 컬러 포토레지스트층을 패터닝하여 컬러 필터를 형성한다.
- [0103] 예를 들면, 상기 제1 기관(101) 위에 제1 컬러 포토레지스트층을 형성하고 상기 제1 컬러 포토레지스트층을 패터닝하여 제1 컬러 필터(CF1)를 제1 영역에 형성한다. 상기 제1 컬러 필터가 형성된 제1 기관(101) 위에 제2 컬러 포토레지스트층을 형성하고 상기 제2 컬러 포토레지스트층을 패터닝하여 제2 컬러 필터(CF2)를 제2 영역에 형성한다. 상기 제1 및 제2 컬러 필터들(CF1, CF2)이 형성된 제1 기관(101) 위에 제3 컬러 포토레지스트층을 형성하고 상기 제3 컬러 포토레지스트층을 패터닝하여 제3 컬러 필터(CF3)를 제3 영역에 형성한다. 상기 제1 영역은 제 m 및 제 $m+1$ 데이터 배선들에 의해 정의되는 영역이고, 상기 제2 영역은 제 $m-1$ 및 제 m 데이터 배선들에 의해 정의되는 영역이고, 상기 제3 영역은 제 $m+1$ 및 제 $m+2$ 데이터 배선들에 의해 정의되는 영역일 수 있다.
- [0104] 결과적으로, 제 m 화소 영역(P m)에는 상기 제1 컬러 필터(CF1)가 형성되고, 제 $m-1$ 화소 영역(P $m-1$)에는 상기 제2 컬러 필터(CF2)가 형성되고, 제 $m+1$ 화소 영역(P $m+1$)에는 상기 제3 컬러 필터(CF3)가 형성된다.
- [0105] 상기 컬러 필터들(CF1, CF2, CF3)이 형성된 제1 기관(101) 위에 차광층을 형성하고, 패터닝하여 차광 패턴(BM)을 형성한다. 상기 차광 패턴(BM)은 상기 제 n 게이트 배선(GL n), 상기 제 n 스토리지 전극 배선(STL n), 상기 제 m 데이터 배선(DL m), 상기 콘택 전극(CE), 상기 제 $m+1$ 데이터 배선(DL $m+1$) 및 상기 트랜지스터(TR)가 형성된 영역 위에 형성된다. 상기 차광 패턴(BM)은 상기 제1 기관(101)의 전체 영역에 대해 매트릭스 형상을 가질 수 있다.
- [0106] 상기 콘택 전극(CE) 위의 상기 컬러 필터들(CF1, CF2, CF3) 및 상기 차광 패턴(150)은 상기 보호층(130)을 노출시키는 개구(H)가 형성된다.
- [0107] 도 9 및 도 10c를 참조하면, 상기 컬러 필터들(CF1, CF2, CF3) 및 상기 차광 패턴(150)이 형성된 제1 기관(101) 위에 오버 코팅층(150)을 형성한다. 상기 오버 코팅층(150)은 유기 물질 또는 무기 물질 일 수 있다. 상기 오버 코팅층(150) 역시, 상기 콘택 전극(CE) 위에 상기 보호층(130)을 노출시키는 개구(H)가 형성된다. 상기 컬러 필터층(CFL)이 형성된 제1 기관(101)을 식각 공정을 통해 상기 개구(H)를 통해 노출된 상기 보호층(130)을 식각하여 콘택홀(135)을 형성한다.
- [0108] 도 9 및 도 10d를 참조하면, 상기 콘택홀(135)이 형성된 제1 기관(101) 위에 투명 도전층을 형성하고, 상기 투명 도전층을 패터닝하여 복수의 화소 전극들(PE $m-1$, PE m , PE $m+1$)을 형성한다. 예를 들면, 제 m 화소 전극(PE m)은 상기 제 m 화소 영역(P m)에 상기 제 m 스토리지 전극(ST m)과 중첩되도록 형성된다. 상기 제 m 화소 전극(PE m)은 상기 콘택홀(135)을 통해 상기 콘택 전극(CE)과 접촉되고, 상기 트랜지스터(TR)의 드레인 전극(DE)과 전기적으로

도면

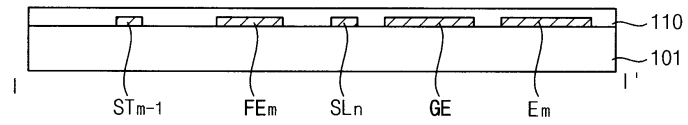
도면1



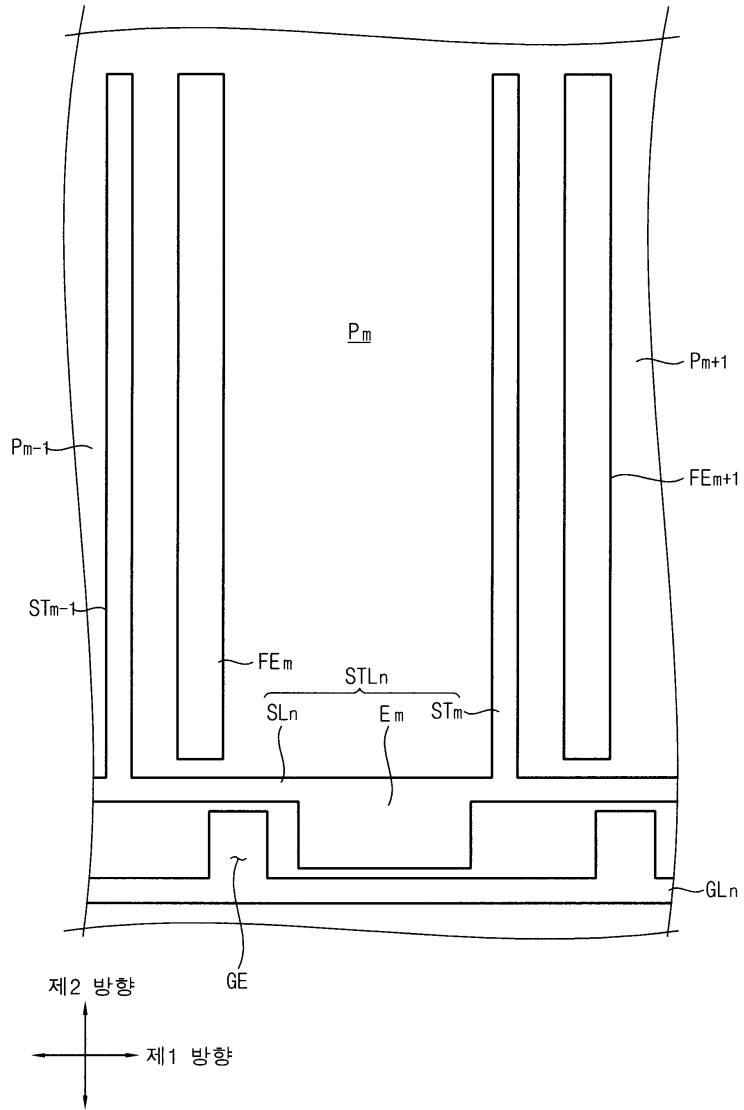
도면2



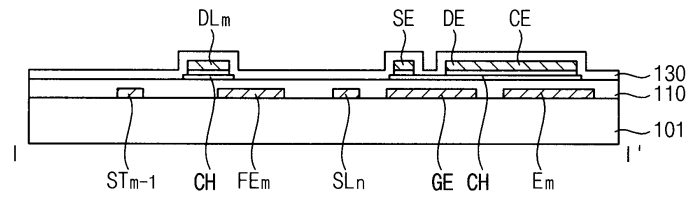
도면3a



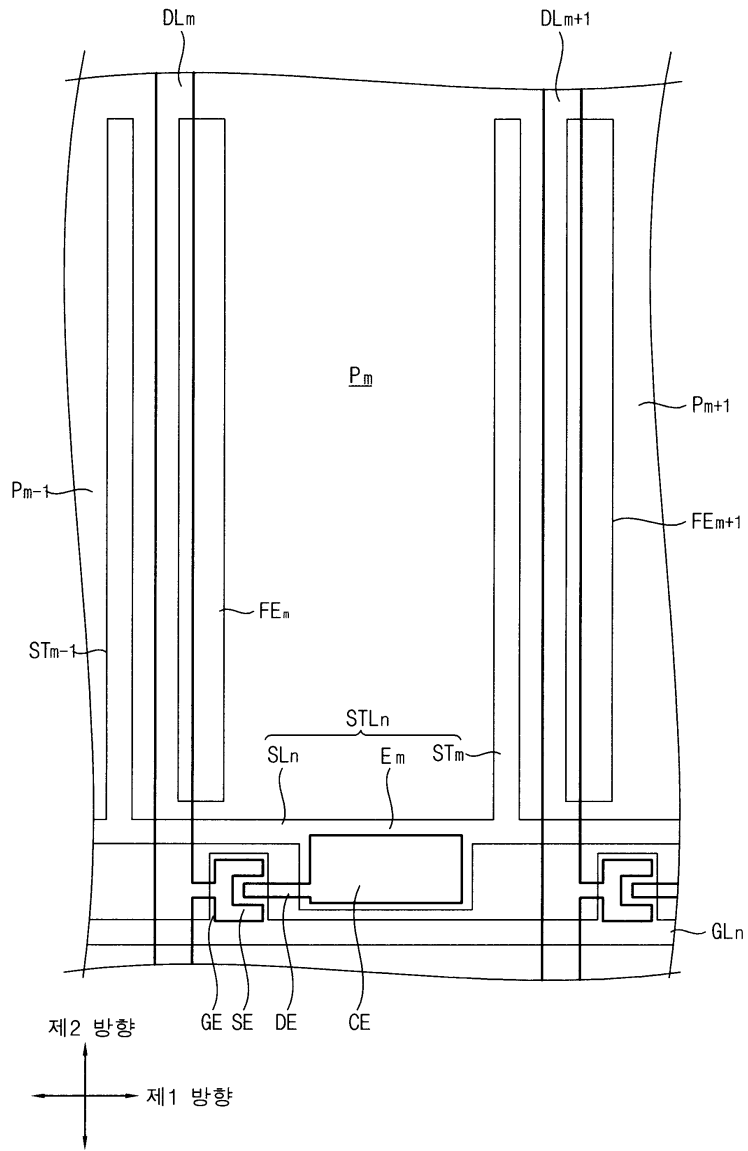
도면3b



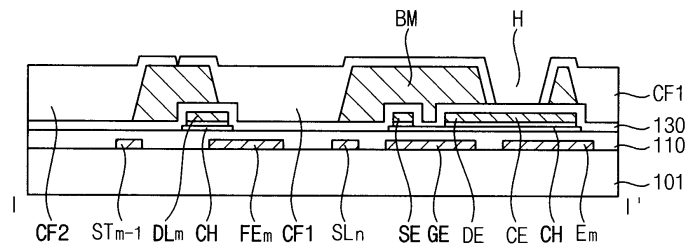
도면4a



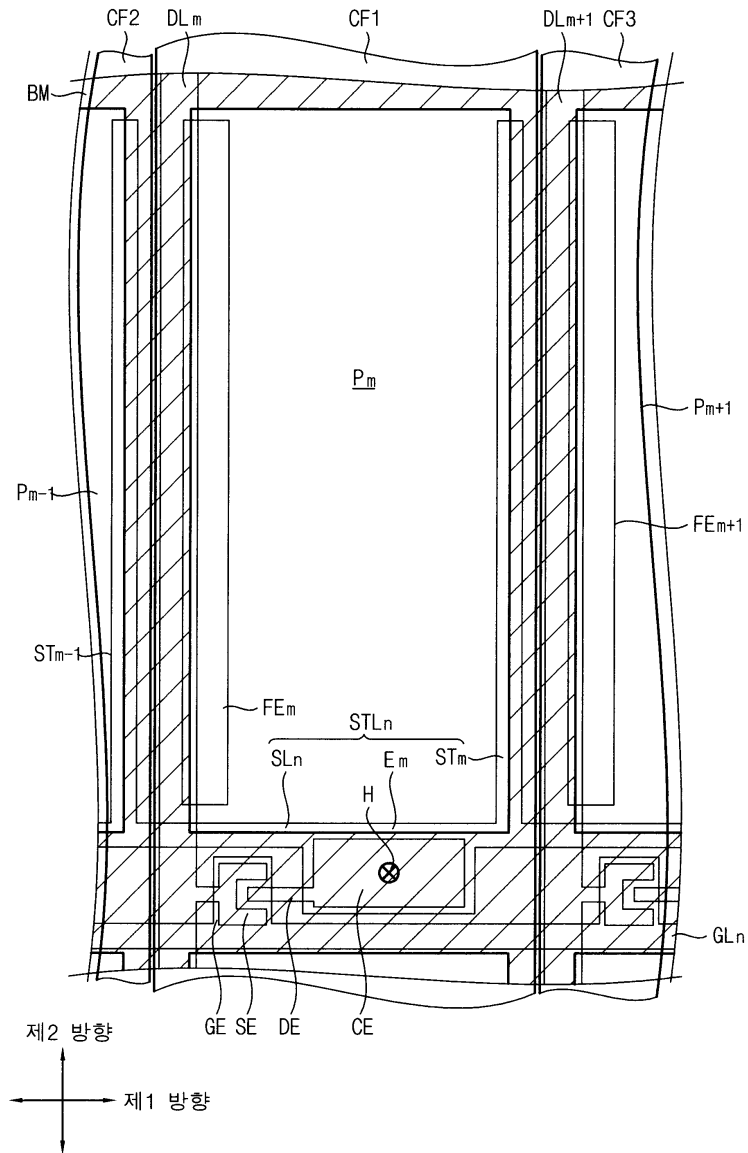
도면4b



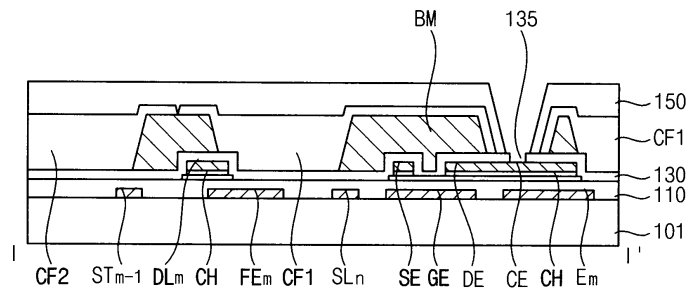
도면5a



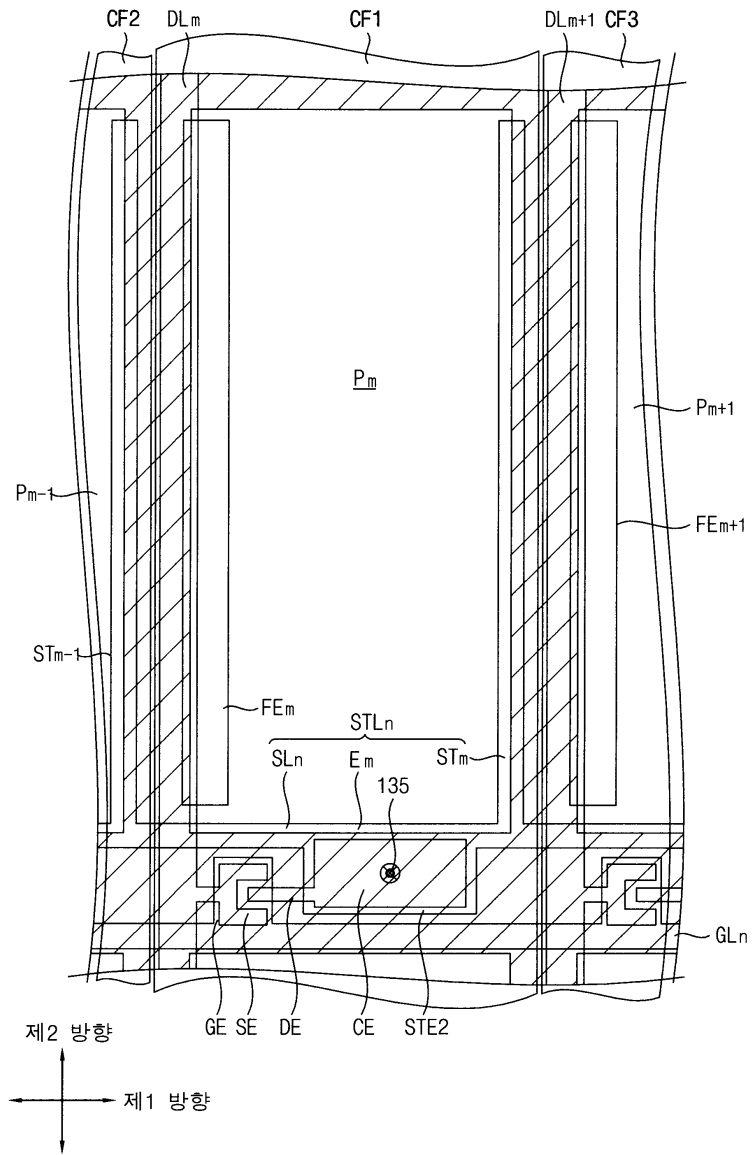
도면5b



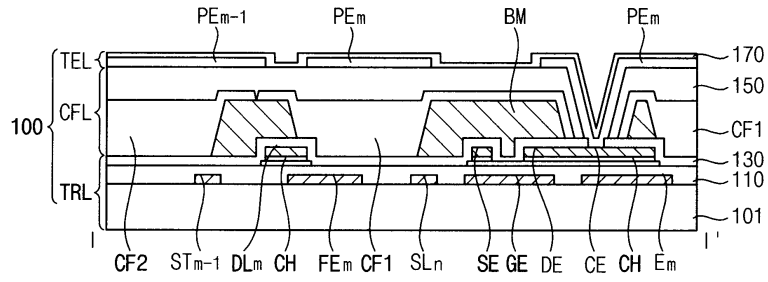
도면6a



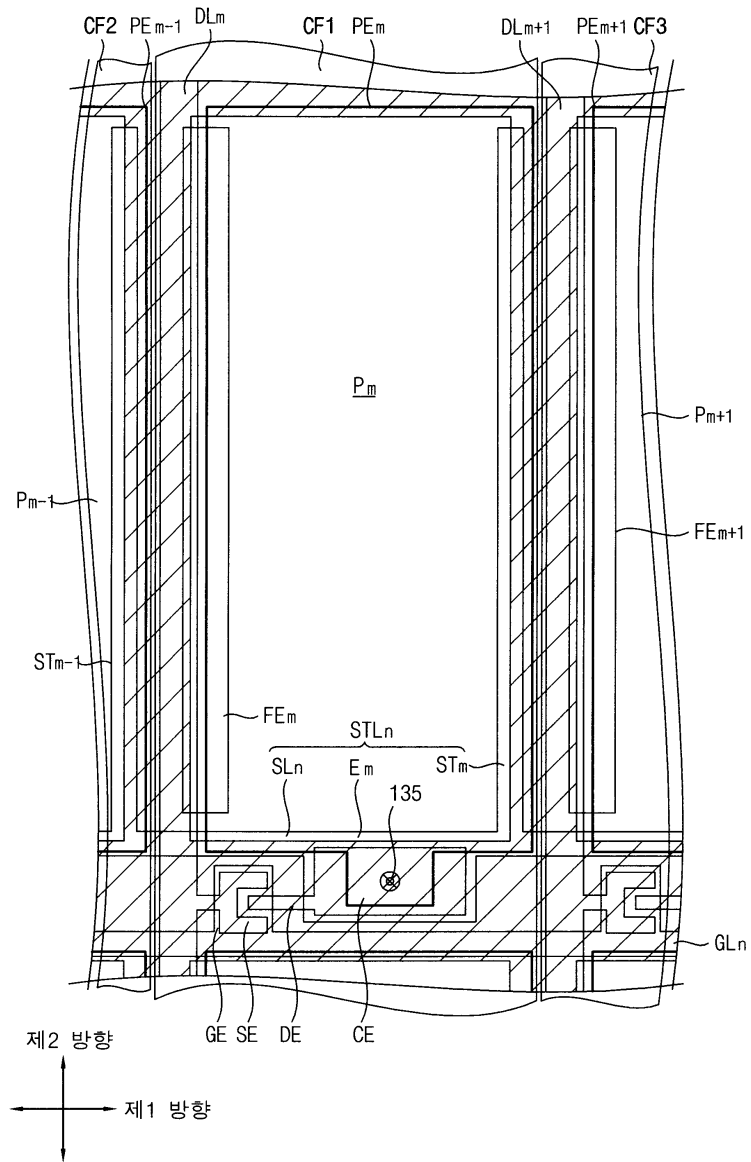
도면6b



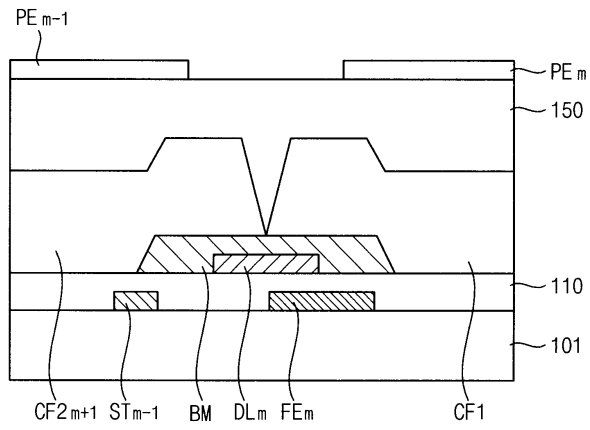
도면7a



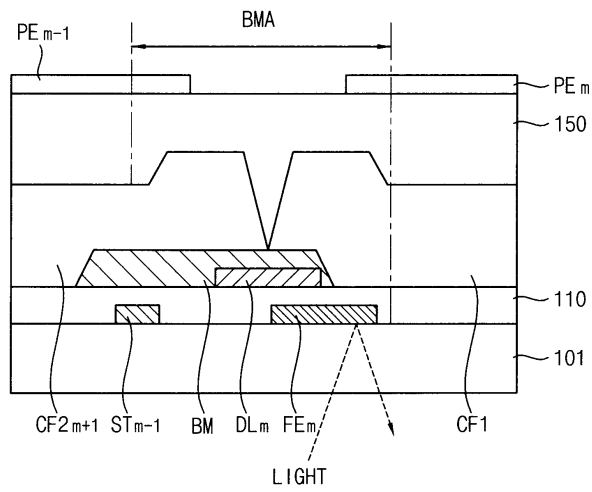
도면7b



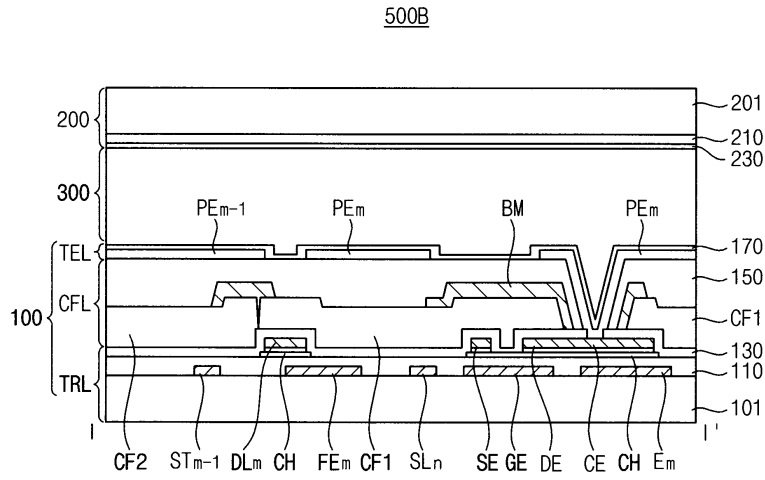
도면8a



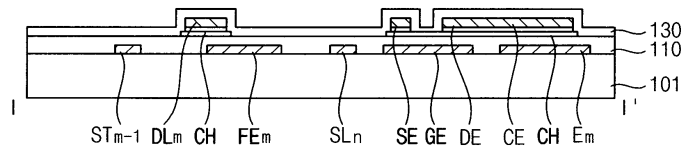
도면8b



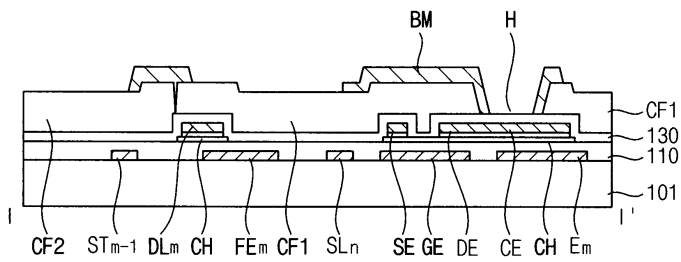
도면9



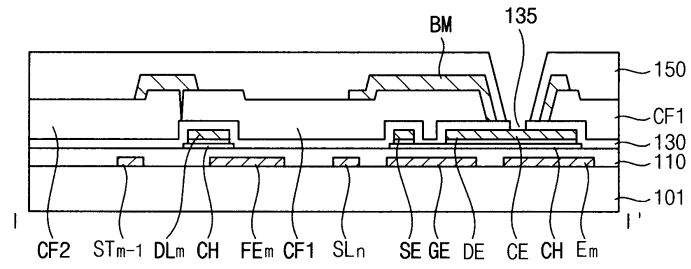
도면10a



도면10b



도면10c



도면10d

