(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0131115
(43) 공개일자 2022년09월27일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01) *G11C 29/18* (2006.01)
G11C 29/24 (2006.01)
(52) CPC특허분류
G11C 29/808 (2013.01)
G11C 29/18 (2013.01)
(21) 출원번호 10-2021-0036258
(22) 출원일자 2021년03월19일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이정준
경기도 이천시 부발읍 경충대로 2091
김수환
경기도 이천시 부발읍 경충대로 2091
황미현
경기도 이천시 부발읍 경충대로 2091
(74) 대리인
특허법인아주

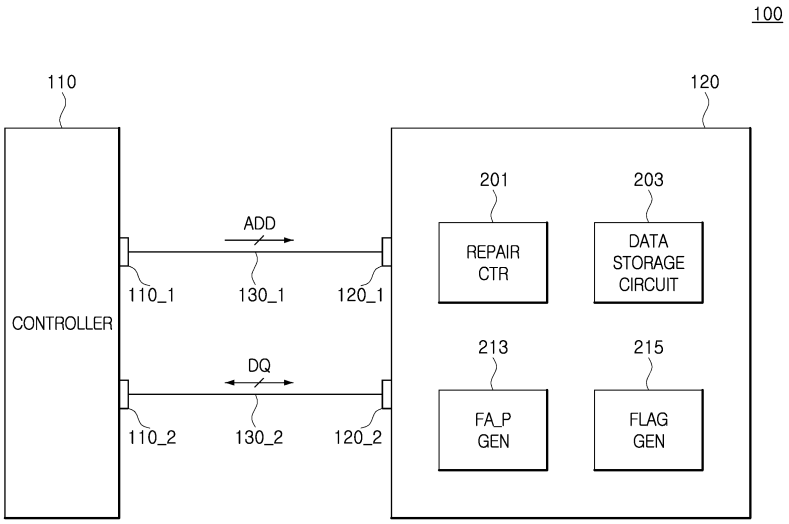
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **리페어동작을 수행하는 장치**

(57) 요 약

장치는 제1 불량신호라인에 대한 제1 불량정보 및 제2 불량신호라인에 대한 제2 불량정보를 토대로 상기 제1 불량신호라인과 상기 제2 불량신호라인이 인접한지 여부를 감지하여 잠재적불량정보를 생성하는 잠재적불량정보생성회로; 및 상기 잠재적불량정보를 리던던시리페어정보와 비교하여 플래그를 생성하는 플래그생성회로를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
G11C 29/24 (2013.01)
G11C 29/76 (2013.01)

명 세 서

청구범위

청구항 1

제1 불량신호라인에 대한 제1 불량정보 및 제2 불량신호라인에 대한 제2 불량정보를 토대로 상기 제1 불량신호라인과 상기 제2 불량신호라인이 인접한지 여부를 감지하여 잠재적불량정보를 생성하는 잠재적불량정보생성회로; 및

상기 잠재적불량정보를 리던던시리페어정보와 비교하여 플래그를 생성하는 플래그생성회로를 포함하는 장치.

청구항 2

제 1 항에 있어서,

상기 잠재적불량정보생성회로는 리페어모드에서 상기 제1 및 제2 불량정보를 수신하되, 상기 제1 불량정보는 상기 제1 불량신호라인에 대한 메모리영역정보 및 어드레스정보를 포함하고, 상기 제2 불량정보는 상기 제2 불량신호라인에 대한 상기 메모리영역정보 및 상기 어드레스정보를 포함하는 장치.

청구항 3

제 2 항에 있어서,

상기 잠재적불량정보생성회로는 상기 제1 및 제2 불량정보를 토대로 상기 제1 불량신호라인에 대한 상기 메모리영역정보와 제2 불량신호라인에 대한 상기 메모리영역정보가 동일하고, 상기 제1 불량신호라인에 대한 상기 어드레스정보와 제2 불량신호라인에 대한 상기 어드레스정보가 연속적인 조합을 가질 때, 상기 잠재적불량정보를 생성하는 장치.

청구항 4

제 2 항에 있어서,

상기 잠재적불량정보생성회로는 상기 제1 및 제2 불량정보를 토대로 상기 잠재적불량정보를 생성하되, 상기 잠재적불량정보는 불량인접신호라인에 대한 메모리영역정보 및 어드레스정보를 포함하는 장치

청구항 5

제 4 항에 있어서,

상기 잠재적불량정보생성회로는 상기 제1 및 제2 불량정보를 토대로 상기 잠재적불량정보를 생성하되, 상기 불량인접신호라인에 대한 상기 메모리영역정보는 상기 제1 및 제2 불량신호라인에 대한 상기 메모리영역정보와 동일하고, 상기 잠재적불량정보에 대한 상기 어드레스정보는 상기 제1 및 제2 불량신호라인에 대한 상기 어드레스정보와 연속적인 조합을 가지는 장치.

청구항 6

제 1 항에 있어서,

상기 플래그생성회로는 불량인접신호라인에 대한 상기 잠재적불량정보를 상기 리던던시리페어정보와 비교하여 상기 플래그를 생성하되, 상기 리던던시리페어정보는 제3 불량신호라인에 대한 메모리영역정보 및 어드레스정보

를 포함하는 장치.

청구항 7

제 6 항에 있어서,

컬럼동작에서 상기 제3 불량신호라인에 대한 어드레스가 입력될 때, 상기 리던던시리페어정보를 토대로 상기 제3 불량신호라인을 리던던시리페어라인으로 리페어하는 제1 리페어회로를 더 포함하되, 상기 제3 불량신호라인에 대한 상기 어드레스정보와 상기 리던던시리페어라인에 대한 상기 어드레스정보는 동일하게 설정되는 장치.

청구항 8

제 6 항에 있어서,

상기 플래그생성회로는 상기 잠재적불량정보 및 상기 리던던시리페어정보를 토대로 상기 불량인접신호라인에 대한 상기 메모리영역정보가 상기 제3 불량신호라인에 대한 상기 메모리영역정보와 상이하고, 상기 불량인접신호라인에 대한 상기 어드레스정보가 상기 제3 불량신호라인에 대한 상기 어드레스정보와 동일할 때, 상기 플래그를 활성화시키는 장치.

청구항 9

제 1 항에 있어서,

상기 플래그생성회로는 불량인접신호라인에 대한 상기 잠재적불량정보를 노멀리페어정보와 비교하여 상기 플래그를 생성하되, 상기 노멀리페어정보는 제4 불량신호라인 및 노멀리페어라인에 대한 메모리영역정보 및 어드레스정보를 포함하는 장치.

청구항 10

제 9 항에 있어서,

컬럼동작에서 상기 제4 불량신호라인에 대한 어드레스가 입력될 때, 상기 노멀리페어정보를 토대로 상기 제4 불량신호라인을 상기 노멀리페어라인으로 리페어하는 제2 리페어회로를 더 포함하되, 상기 제4 불량신호라인에 대한 상기 메모리영역정보와 상기 노멀리페어라인에 대한 상기 메모리영역정보는 동일하게 설정되는 장치.

청구항 11

제 10 항에 있어서,

상기 제2 리페어회로는 상기 컬럼동작에서 상기 어드레스의 조합이 상기 제4 불량신호라인에 대한 상기 어드레스정보와 동일할 때, 상기 어드레스의 조합을 상기 노멀리페어라인에 대한 상기 어드레스정보로 변환하는 장치.

청구항 12

제 9 항에 있어서,

상기 플래그생성회로는 상기 잠재적불량정보 및 상기 노멀리페어정보를 토대로 상기 불량인접신호라인에 대한 메모리영역정보가 노멀리페어라인에 대한 상기 메모리영역정보와 상이하고, 상기 불량인접신호라인에 대한 상기 어드레스정보가 상기 노멀리페어라인에 대한 상기 어드레스정보와 동일할 때, 상기 플래그를 활성화시키는 장치.

청구항 13

제1 불량신호라인에 대한 제1 불량정보를 토대로 상기 제1 불량신호라인을 리던던시영역에서 리페어하기 위한 리던던시리페어정보를 생성하는 리페어제어회로; 및

불량인접신호라인에 대한 잠재적불량정보를 상기 리던던시리페어정보와 비교하여 플래그를 생성하는 플래그생성회로를 포함하는 장치.

청구항 14

제 13 항에 있어서,

상기 플래그생성회로는 상기 잠재적불량정보 및 상기 리던던시리페어정보를 토대로 상기 불량인접신호라인에 대한 어드레스정보가 상기 제1 불량신호라인에 대한 어드레스정보와 동일할 때, 상기 플래그를 활성화시키는 장치.

청구항 15

제 13 항에 있어서,

상기 리페어제어회로는 제2 불량신호라인에 대한 제2 불량정보가 입력되고, 상기 제2 불량신호라인에 대한 어드레스정보가 상기 제1 불량신호라인에 대한 상기 어드레스정보와 동일할 때, 상기 제2 불량신호라인을 메모리영역에서 노멀리페어라인으로 리페어하기 위한 노멀리페어정보를 생성하는 장치.

청구항 16

제 15 항에 있어서,

상기 플래그생성회로는 상기 잠재적불량정보 및 상기 노멀리페어정보를 토대로 상기 불량인접신호라인에 대한 상기 어드레스정보가 상기 노멀리페어라인에 대한 상기 어드레스정보와 동일할 때, 상기 플래그를 활성화시키는 장치.

청구항 17

제 15 항에 있어서,

상기 리페어제어회로는 상기 제2 불량정보가 입력되고, 상기 제2 불량신호라인에 대한 어드레스정보가 상기 제1 불량신호라인에 대한 상기 어드레스정보와 동일할 때, 상기 노멀리페어라인을 상기 리던던시영역에서 리페어하기 위한 상기 리던던시리페어정보를 생성하는 장치.

청구항 18

제 15 항에 있어서,

상기 리페어제어회로는 상기 제2 불량정보가 입력되고, 상기 제2 불량신호라인에 대한 어드레스정보가 상기 제1 불량신호라인에 대한 상기 어드레스정보와 상이할 때, 상기 제2 불량신호라인을 상기 리던던시영역에서 리페어하기 위한 상기 리던던시리페어정보를 생성하는 장치.

청구항 19

제 13 항에 있어서,

제3 불량신호라인에 대한 제3 불량정보 및 제4 불량신호라인에 대한 제4 불량정보를 토대로 상기 제3 불량신호라인과 상기 제4 불량신호라인이 인접한지 여부를 감지하여 상기 잠재적불량정보를 생성하는 잠재적불량정보생성회로를 더 포함하는 장치.

청구항 20

제 19 항에 있어서,

상기 잠재적불량정보생성회로는 상기 제3 불량정보 및 상기 제4 불량정보를 토대로 상기 잠재적불량정보를 생성하되, 상기 잠재적불량정보의 어드레스정보는 상기 제3 및 제4 불량정보의 상기 어드레스정보와 연속적인 조합을 가지는 장치.

발명의 설명

기 술 분 야

[0001] 본 개시는 리페어동작을 수행하는 장치에 관한 것이다.

배 경 기 술

[0002] 반도체장치는 불량이 발생된 메모리셀을 정상적인 메모리셀로 교체하는 리페어동작을 수행할 수 있다. 기존의 반도체장치에서는 다수의 메모리영역 각각이 리던던시영역을 구비하여 (컬럼)리페어동작을 수행하였다. 이와 달리, 최근의 반도체장치에서는 다수의 메모리영역이 별도로 구비된 리던던시영역을 공유하는 FFCR(Full Flexible Column Repair) 방식을 통해 (컬럼)리페어동작을 효율적으로 수행할 수 있게 되었다.

[0003] 한편, 반도체장치는 공정상의 결함으로 인해 특정 영역에 불량이 집중될 수 있다. 이 때, 리페어동작은 품질확보를 위해 불량이 집중된 영역뿐만 아니라 불량이 집중된 영역과 인접한 영역에도 수행될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 개시는 리페어동작을 수행하는 장치를 제공한다.

과제의 해결 수단

[0005] 이를 위해 본 개시는 제1 불량신호라인에 대한 제1 불량정보 및 제2 불량신호라인에 대한 제2 불량정보를 토대로 상기 제1 불량신호라인과 상기 제2 불량신호라인이 인접한지 여부를 감지하여 잠재적불량정보를 생성하는 잠재적불량정보생성회로 및 상기 잠재적불량정보를 리던던시리페어정보와 비교하여 플래그를 생성하는 플래그생성회로를 포함하는 장치를 제공한다.

[0006] 또한, 본 개시는 제1 불량신호라인에 대한 제1 불량정보를 토대로 상기 제1 불량신호라인을 리던던시영역에서 리페어하기 위한 리던던시리페어정보를 생성하는 리페어제어회로; 및 불량인접신호라인에 대한 잠재적불량정보를 상기 리던던시리페어정보와 비교하여 플래그를 생성하는 플래그생성회로를 포함하는 장치를 제공한다.

발명의 효과

[0007] 본 개시에 의하면 리페어모드에서 인접한 불량신호라인들과 이웃한 불량인접신호라인에 대해 리페어 확장이 가능한지를 확인함으로써, 불량이 발생할 가능성이 있는 불량인접신호라인에 대한 리페어 확장을 용이하게 할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 개시의 일 실시예에 따른 시스템의 구성을 도시한 블록도이다.

도 2는 도 1에 도시된 장치의 일 실시예에 따른 구성을 도시한 블록도이다.

도 3은 도 2에 도시된 데이터저장회로의 일 실시예에 따른 구성을 도시한 블록도이다.

도 4는 도 2에 도시된 잠재적불량정보생성회로의 일 실시예에 따른 구성을 도시한 블록도이다.

도 5는 도 2에 도시된 플래그생성회로의 일 실시예에 따른 구성을 도시한 블록도이다.

도 6, 도 7 및 도 8은 도 3에 도시된 데이터저장회로에서 데이터가 입력되는 동작을 설명하기 위한 도면들이다.

도 9는 도 1에 도시된 시스템의 다른 실시예에 따른 구성을 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 다음의 실시예들의 기재에 있어서, "기 설정된"이라는 용어는 프로세스나 알고리즘에서 매개변수를 사용할 때 매개변수의 수치가 미리 결정되어 있음을 의미한다. 매개변수의 수치는 실시예에 따라서 프로세스나 알고리즘이 시작할 때 설정되거나 프로세스나 알고리즘이 수행되는 구간 동안 설정될 수 있다.

[0010] 다양한 구성요소들을 구별하는데 사용되는 "제1" 및 "제2" 등의 용어는 구성요소들에 의해 한정되지 않는다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 반대로 제2 구성요소는 제1 구성요소로 명명될 수 있다.

[0011] 하나의 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 할 때 직접적으로 연결되거나 중간에 다른 구성요소를 매개로 연결될 수도 있다고 이해되어야 한다. 반면 "직접 연결되어" 및 "직접 접속되어"라는 기재는 하나의 구성요소가 다른 구성요소에 또 다른 구성요소를 사이에 두지 않고 직접 연결된다고 이해되어야 한다.

[0012] "로직하이레벨" 및 "로직로우레벨"은 신호들의 로직레벨들을 설명하기 위해 사용된다. "로직하이레벨"을 갖는 신호는 "로직로우레벨"을 갖는 신호와 구별된다. 예를 들어, 제1 전압을 갖는 신호가 "로직하이레벨"을 갖는 신호에 대응할 때 제2 전압을 갖는 신호는 "로직로우레벨"을 갖는 신호에 대응할 수 있다. 일 실시예에 따라 "로직하이레벨"은 "로직로우레벨"보다 큰 전압으로 설정될 수 있다. 한편, 신호들의 로직레벨들은 실시예에 따라서 다른 로직레벨 또는 반대의 로직레벨로 설정될 수 있다. 예를 들어, 로직하이레벨을 갖는 신호는 실시예에 따라서 로직로우레벨을 갖도록 설정될 수 있고, 로직로우레벨을 갖는 신호는 실시예에 따라서 로직하이레벨을 갖도록 설정될 수 있다.

[0013] 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.

[0014] 도 1은 본 개시의 일 실시예에 따른 시스템(100)의 구성을 도시한 블록도이다. 도 1에 도시된 바와 같이, 시스템(100)은 컨트롤러(CONTROLLER)(110) 및 장치(120)를 포함할 수 있다. 장치(120)는 반도체장치로 구현될 수 있다.

[0015] 컨트롤러(110)는 제1 컨트롤핀(110_1) 및 제2 컨트롤핀(110_2)을 포함할 수 있다. 장치(120)는 제1 장치핀(120_1) 및 제2 장치핀(120_2)을 포함할 수 있다. 컨트롤러(110)는 제1 컨트롤핀(110_1) 및 제1 장치핀(120_1) 사이에 연결된 제1 전송라인(130_1)을 통해 어드레스(ADD)를 장치(120)로 전송할 수 있다. 어드레스(ADD)의 비트 수는 실시예에 따라 다양하게 설정될 수 있다. 컨트롤러(110)는 제2 컨트롤핀(110_2) 및 제2 장치핀(120_2) 사이에 연결된 제2 전송라인(130_2)을 통해 데이터(DQ)를 장치(120)와 송수신할 수 있다. 데이터(DQ)의 비트 수는 실시예에 따라 다양하게 설정될 수 있다.

[0016] 장치(120)는 리페어제어회로(REPAIR CTR)(201), 데이터저장회로(DATA STORAGE CIRCUIT)(203), 잠재적불량정보생성회로(FA_P GEN)(213) 및 플래그생성회로(FLAG GEN)(215)를 포함할 수 있다. 장치(120)는 어드레스(ADD) 및 데이터(DQ)를 토대로 테스트모드, 리페어모드 및 컬럼동작을 포함한 다양한 내부동작들을 수행할 수 있다. 컬럼동작은 라이트동작 및 리드동작을 포함할 수 있다.

[0017] 데이터저장회로(203)는 메모리영역(도 2의 205) 및 리던던시영역(도 2의 207)을 포함할 수 있다. 메모리영역(205)은 다수의 메모리(도 3의 MAT_L<1:M>, MAT_R<1:M>)를 포함할 수 있다. 리던던시영역(207)은 리던던시메모리(도 3의 RMAT)를 포함할 수 있다. 다수의 메모리(MAT_L<1:M>, MAT_R<1:M>) 및 리던던시메모리(RMAT)는 각각 다수의 신호라인들(도 3의 C<1:N>)을 포함할 수 있다.

[0018] 다수의 메모리(도 3의 MAT_L<1:M>, MAT_R<1:M>)는 메모리영역정보의 각각의 조합에 대응할 수 있다. 예를 들어, 제1 메모리(MAT_L<1>)는 메모리영역정보의 제1 조합에 대응할 수 있다. 제2 메모리(MAT_L<2>)는 메모리영역정보

의 제2 조합에 대응할 수 있다. 신호라인에 대한 메모리영역정보는 메모리영역(도 2의 205) 중 해당 신호라인이 포함된 메모리에 대한 정보로 설정될 수 있다. 예를 들어, 제1 메모리(MAT_L<1>)에 포함된 제1 신호라인(C<1>)에 대한 메모리영역정보는 제1 메모리(MAT_L<1>)에 대한 정보로 설정될 수 있다.

[0019] 다수의 신호라인들(도 3의 C<1:N>)은 어드레스(ADD)의 각각의 조합으로 설정된 어드레스정보에 대응할 수 있다. 예를 들어, 다수의 메모리(도 3의 MAT_L<1:M>, MAT_R<1:M>) 및 리던던시메모리(도 3의 RMAT)에 포함된 제1 신호라인들(C<1>)은 어드레스(ADD)의 제1 조합으로 설정된 어드레스정보에 대응할 수 있다. 다수의 메모리(MAT_L<1:M>, MAT_R<1:M>) 및 리던던시메모리(RMAT)에 포함된 제2 신호라인들(C<2>)은 어드레스(ADD)의 제2 조합으로 설정된 어드레스정보에 대응할 수 있다.

[0020] 리페어제어회로(201)는 테스트모드에서 불량신호라인에 대한 불량정보(도 2의 FA)를 수신할 수 있다. 불량신호라인은 테스트모드에서 메모리영역(도 2의 205)에 포함된 다수의 신호라인들(도 3의 C<1:N>) 중 불량이 검출된 신호라인으로 설정될 수 있다. 불량정보(FA)는 불량신호라인에 대한 메모리영역정보 및 어드레스정보를 포함할 수 있다.

[0021] 리페어제어회로(201)는 리페어모드에서 불량정보(도 2의 FA)를 토대로 리던던시리페어정보(도 2의 RFS) 및 노멀리페어정보(도 2의 NFS)를 생성할 수 있다. 리던던시리페어정보(RFS)는 불량신호라인을 리던던시영역(도 2의 207)에 포함된 리던던시리페어라인으로 리페어하기 위해 생성될 수 있다. 리던던시리페어라인은 리던던시영역(207)에 포함된 다수의 신호라인(도 3의 C<1:N>) 중 하나로 설정될 수 있다. 노멀리페어정보(NFS)는 불량신호라인을 메모리영역(도 2의 205)에 포함된 노멀리페어라인으로 리페어하기 위해 생성될 수 있다. 노멀리페어라인은 메모리영역(205)에 포함된 다수의 신호라인(도 3의 C<1:N>) 중 하나로 설정될 수 있다.

[0022] 잠재적불량정보생성회로(213)는 불량정보(도 2의 FA)를 토대로 불량신호라인들이 인접할 때 불량인접신호라인에 대한 잠재적불량정보(도 2의 FA_P)를 생성할 수 있다. 불량인접신호라인은 하나의 메모리내에서 인접한 불량신호라인들과 이웃한 신호라인들 중 하나로 설정될 수 있다. 또한, 불량인접신호라인은 테스트모드에서 메모리영역(도 2의 205)에 포함된 다수의 신호라인들(도 3의 C<1:N>) 중 불량이 검출되지 않은 신호라인으로 설정될 수 있다. 예를 들어, 제1 메모리(도 3의 MAT_L<1>)의 제1 및 제2 신호라인들(도 3의 C<1>, C<2>)이 불량신호라인일 때, 제1 메모리(도 3의 MAT_L<1>)의 제3 신호라인(도 3의 C<3>)은 테스트모드에서 불량이 검출되지 않은 불량인접신호라인으로 설정될 수 있다.

[0023] 플래그생성회로(215)는 리페어동작을 수행할 때 불량인접신호라인에 대한 잠재적불량정보(도 2의 FA_P)와 불량신호라인을 리던던시영역(도 2의 207)에서 리페어하기 위한 리던던시리페어정보(도 2의 RFS)를 비교하여 플래그(도 2의 FLAG)를 생성할 수 있다. 또한, 플래그생성회로(215)는 리페어동작을 수행할 때 불량인접신호라인에 대한 잠재적불량정보(FA_P)와 불량신호라인을 메모리영역(도 2의 205)에서 리페어하기 위한 노멀리페어정보(도 2의 NFS)를 비교하여 플래그(도 2의 FLAG)를 생성할 수 있다.

[0024] 이에 따라, 장치(120)는 리페어모드에서 인접한 불량신호라인들과 이웃한 신호라인에 대해 리페어 확장이 가능한지를 확인함으로써, 불량이 발생할 가능성이 있는 이웃한 신호라인들에 대한 리페어 확장을 용이하게 할 수 있다.

[0025] 도 2는 도 1에 도시된 장치(120)의 일 실시예에 따른 블록도이다. 도 2에 도시된 바와 같이, 장치(120)는 리페어제어회로(REPAIR CTR)(201), 데이터저장회로(203), 잠재적불량정보생성회로(FA_P GEN)(213), 플래그생성회로(FLAG GEN)(215) 및 플래그저장회로(FLAG STORAGE CIRCUIT)(217)를 포함할 수 있다.

[0026] 리페어제어회로(201)는 리페어모드에서 불량정보(FA)를 토대로 리던던시리페어정보(RFS) 및 노멀리페어정보(NFS)를 생성할 수 있다. 불량정보(FA)는 각각 불량신호라인들 중 하나에 대한 메모리영역정보 및 어드레스정보를 포함할 수 있다. 예를 들어, 제1 불량정보(FA<1>)는 제1 불량신호라인에 대한 메모리영역정보 및 어드레스정보를 포함할 수 있다. 제2 불량정보(FA<2>)는 제2 불량신호라인에 대한 메모리영역정보 및 어드레스정보를 포함할 수 있다.

[0027] 리페어제어회로(201)는 불량정보(FA)를 토대로 불량신호라인을 리던던시영역(207)에 포함된 리던던시리페어라인으로 리페어하기 위해 리던던시리페어정보(RFS)를 생성할 수 있다. 리던던시리페어정보(RFS)는 불량정보(FA)의 불량신호라인에 대한 메모리영역정보 및 어드레스정보를 포함할 수 있다. 리던던시리페어라인에 대한 어드레스정보는 불량신호라인에 대한 어드레스정보와 동일하게 설정될 수 있다. 리페어제어회로(201)는 불량정보(FA)의 메모리영역정보를 불량정보(FA)의 어드레스정보의 조합별로 배열하여 리던던시리페어정보(RFS)로 출력할 수 있다. 예를 들어, 리페어제어회로(201)는 제1 불량신호라인에 대한 어드레스정보가 제1 신호라인(도 3의 C<1>)에

대응될 때, 제1 불량신호라인에 대한 메모리영역정보를 제1 리던던시퓨즈회로(도 3의 REDUN<1>)에 제1 리던던시리페어정보(RFS<1>)로 출력할 수 있다. 리페어제어회로(201)는 제2 불량신호라인에 대한 어드레스정보가 제2 신호라인(도 3의 C<2>)에 대응될 때, 제2 불량신호라인에 대한 메모리영역정보를 제2 리던던시퓨즈회로(도 3의 REDUN<2>)에 제2 리던던시리페어정보(RFS<2>)로 출력할 수 있다.

[0028] 리페어제어회로(201)는 불량정보(FA)를 토대로 불량신호라인을 메모리영역(205)에 포함된 노멀리페어라인으로 리페어하기 위해 노멀리페어정보(NFS)를 생성할 수 있다. 노멀리페어정보(NFS)는 불량정보(FA)의 불량신호라인에 대한 메모리영역정보 및 어드레스정보를 포함할 수 있다. 또한, 노멀리페어정보(NFS)는 노멀리페어라인에 대한 메모리영역정보 및 어드레스정보를 포함할 수 있다. 리페어제어회로(201)는 불량정보(FA)의 어드레스정보를 불량정보(FA)의 메모리영역정보의 조합별로 배열하여 노멀리페어정보(NFS)로 출력할 수 있다. 또한, 리페어제어회로(201)는 불량정보(FA)의 어드레스정보와 함께 노멀리페어라인에 대한 어드레스정보를 불량정보(FA)의 메모리영역정보의 조합별로 배열하여 노멀리페어정보(NFS)로 출력할 수 있다. 노멀리페어라인에 대한 메모리영역정보는 불량신호라인에 대한 메모리영역정보와 동일하게 설정될 수 있다. 노멀리페어라인에 대한 어드레스정보는 기 설정된 알고리즘에 따라 불량신호라인에 대한 어드레스정보와 상이하게 설정될 수 있다. 예를 들어, 리페어제어회로(201)는 제1 불량신호라인에 대한 메모리영역정보가 제1 메모리(도 3의 MAT_L<1>)에 대응될 때, 제1 불량신호라인에 대한 어드레스정보를 제1 노멀퓨즈회로(도 3의 NORMAL_L<1>)에 제1 노멀리페어정보(NFS<1>)로 출력할 수 있다. 또한, 리페어제어회로(201)는 제1 불량신호라인에 대한 어드레스정보와 함께 제1 노멀리페어라인에 대한 어드레스정보를 제1 노멀퓨즈회로(NORMAL_L<1>)에 제1 노멀리페어정보(NFS<1>)로 출력할 수 있다. 제1 노멀리페어라인에 대한 메모리영역정보는 제1 불량신호라인에 대한 메모리영역정보와 동일하게 설정될 수 있다. 리페어제어회로(201)는 제2 불량신호라인에 대한 제2 불량정보(FA<2>)를 입력받고, 제2 불량신호라인에 대한 메모리영역정보가 제2 메모리(도 3의 MAT_L<2>)에 대응될 때, 제2 불량신호라인에 대한 어드레스정보를 제2 노멀퓨즈회로(도 3의 NORMAL_L<2>)에 제2 노멀리페어정보(NFS<2>)로 출력할 수 있다. 또한, 리페어제어회로(201)는 제2 불량신호라인에 대한 어드레스정보와 함께 제2 노멀리페어라인에 대한 어드레스정보를 제2 노멀퓨즈회로(NORMAL_L<2>)에 제2 노멀리페어정보(NFS<2>)로 출력할 수 있다. 제2 노멀리페어라인에 대한 메모리영역정보는 제2 불량신호라인에 대한 메모리영역정보와 동일하게 설정될 수 있다.

[0029] 리페어제어회로(201)는 동일한 어드레스정보를 가지는 불량신호라인들에 대한 불량정보(FA)들이 입력될 때, 기 설정된 알고리즘에 따라 선순위로 리던던시리페어정보(RFS)를 생성하고, 차순위로 노멀리페어정보(NFS)를 생성할 수 있다. 리페어제어회로(201)는 차순위로 노멀리페어정보(NFS)를 생성할 때, 기 설정된 알고리즘에 따라 노멀리페어라인을 리던던시리페어라인으로 리페어하기 위한 리던던시리페어정보(RFS)를 생성할 수 있다. 예를 들어, 리페어제어회로(201)는 제1 불량신호라인에 대한 제1 불량정보(FA<1>)가 입력될 때, 선순위로 제1 불량신호라인을 리던던시리페어라인으로 리페어하기 위한 리던던시리페어정보(RFS)를 생성할 수 있다. 그 후, 리페어제어회로(201)는 제2 불량신호라인에 대한 제2 불량정보(FA<2>)가 입력되고, 제2 불량신호라인에 대한 어드레스정보가 제1 불량신호라인에 대한 어드레스정보와 동일할 때, 차순위로 제2 불량신호라인을 노멀리페어라인으로 리페어하기 위한 노멀리페어정보(NFS)를 생성할 수 있다. 리페어제어회로(201)는 제2 불량신호라인에 대한 제2 불량정보(FA<2>)가 입력되고, 제2 불량신호라인에 대한 어드레스정보가 제1 불량신호라인에 대한 어드레스정보와 동일할 때, 노멀리페어라인을 리던던시리페어라인으로 리페어하기 위한 리던던시리페어정보(RFS)를 생성할 수 있다. 이와 다르게, 리페어제어회로(201)는 제2 불량신호라인에 대한 제2 불량정보(FA<2>)가 입력되고, 제1 불량신호라인에 대한 어드레스정보가 제2 불량신호라인에 대한 어드레스정보와 상이할 때, 제2 불량신호라인을 리던던시리페어라인으로 리페어하기 위한 리던던시리페어정보(RFS)를 생성할 수 있다. 실시예에 따라, 리페어제어회로(201)의 기 설정된 알고리즘은 다양하게 설정될 수 있다.

[0030] 데이터저장회로(203)는 메모리영역(MEMORY REGION)(205), 리던던시영역(REDUN REGION)(207), 제1 리페어회로(FIRST REPAIR CIRCUIT)(209) 및 제2 리페어회로(SECOND REPAIR CIRCUIT)(211)를 포함할 수 있다. 데이터저장회로(203)는 컬럼동작을 수행할 때 어드레스(ADD)를 입력받아 메모리영역(205) 및 리던던시영역(207)에 데이터(DQ)를 입출력할 수 있다. 본 실시예에서, 데이터저장회로(203)는 메모리영역(205)이 리던던시영역(207)을 공유하는 FFCR(Full Flexible Column Repair) 방식으로 (컬럼)리페어동작을 수행할 수 있다.

[0031] 제1 리페어회로(209)는 리페어모드에서 리던던시리페어정보(RFS)를 수신하여 어드레스정보의 조합별로 리던던시퓨즈회로(도 3의 REDUN<1:N>)에 저장할 수 있다. 제1 리페어회로(209)는 컬럼동작에서 불량신호라인에 대한 어드레스(ADD)가 입력될 때, 리던던시리페어정보(RFS)를 토대로 불량신호라인을 리던던시영역(207)에 포함된 리던던시리페어라인으로 리페어할 수 있다.

[0032] 제2 리페어회로(211)는 리페어모드에서 노멀리페어정보(NFS)를 수신하여 메모리영역정보의 조합별로 노멀퓨즈회

로(도 3의 NORMAL<1:2M>)에 저장할 수 있다. 제2 리페어회로(211)는 컬럼동작에서 불량신호라인에 대한 어드레스(ADD)가 입력될 때, 노멀리페어정보(NFS)를 토대로 불량신호라인을 메모리영역(205)에 포함된 노멀리페어라인으로 리페어할 수 있다. 좀 더 구체적으로, 제2 리페어회로(211)는 컬럼동작에서 노멀리페어정보(NFS)를 토대로 어드레스(ADD)의 조합이 불량신호라인에 대한 어드레스정보와 동일할 때, 어드레스(ADD)의 조합을 노멀리페어라인에 대한 어드레스정보로 변환하여 리페어할 수 있다. 데이터저장회로(203)의 구체적인 구성 및 동작에 대한 설명은 도 3을 참고하여 후술한다.

[0033] 잠재적불량정보생성회로(213)는 리페어모드에서 다수의 불량정보(FA)를 토대로 불량신호라인들이 인접한지 여부를 감지하여 불량인접신호라인에 대한 잠재적불량정보(FA_P)를 생성할 수 있다. 잠재적불량정보(FA_P)는 불량인접신호라인에 대한 메모리영역정보 및 어드레스정보를 포함할 수 있다. 예를 들어, 잠재적불량정보생성회로(213)는 제1 불량정보(FA<1>) 및 제2 불량정보(FA<2>)를 토대로 제1 불량신호라인과 제2 불량신호라인이 인접한지 여부를 감지하여 불량인접신호라인에 대한 잠재적불량정보(FA_P)를 생성할 수 있다. 좀 더 구체적으로, 잠재적불량정보생성회로(213)는 제1 불량신호라인에 대한 메모리영역정보와 제2 불량신호라인에 대한 메모리영역정보가 동일하고, 제1 불량신호라인에 대한 어드레스정보와 제2 불량신호라인에 대한 어드레스정보가 연속적인 조합을 가질 때, 잠재적불량정보(FA_P)를 생성할 수 있다. 불량인접신호라인에 대한 메모리영역정보는 제1 및 제2 불량신호라인에 대한 상기 메모리영역정보와 동일할 수 있다. 불량인접신호라인에 대한 어드레스정보는 제1 및 제2 불량신호라인에 대한 어드레스정보와 연속적인 조합을 가질 수 있다. 어드레스정보의 연속적인 조합은 하나의 메모리내에서 인접한 위치에 있는 신호라인들에 각각 접근하기 위한 어드레스(ADD)의 조합들로 설정될 수 있다. 잠재적불량정보생성회로(213)의 구체적인 구성 및 동작에 대한 설명은 도 4를 참고하여 후술한다.

[0034] 플래그생성회로(215)는 잠재적불량정보(FA_P)를 리던던시리페어정보(RFS) 및노멀리페어정보(NFS)와 비교하여 플래그(FLAG)를 생성할 수 있다. 플래그(FLAG)는 불량인접신호라인에 대한 리페어 확장이 가능할 때 비활성화될 수 있다. 플래그(FLAG)는 불량인접신호라인에 대한 리페어 확장이 불가능할 때 활성화될 수 있다.

[0035] 플래그생성회로(215)는 불량인접신호라인에 대한 잠재적불량정보(FA_P)를 리던던시리페어정보(RFS)와 비교하여 플래그(FLAG)를 생성할 수 있다. 플래그생성회로(215)는 잠재적불량정보(FA_P) 및 리던던시리페어정보(RFS)를 토대로 불량인접신호라인에 대한 메모리영역정보와 불량신호라인에 대한 메모리영역정보가 상이하고, 불량인접신호라인에 대한 어드레스정보와 불량신호라인에 대한 어드레스정보가 동일할 때, 플래그(FLAG)를 활성화시킬 수 있다. 예를 들어, 플래그생성회로(215)는 불량인접신호라인이 제1 메모리(도 3의 MAT_L<1>)의 제3 신호라인(도 3의 C<3>)으로 설정되고, 리던던시리페어정보(RFS)의 불량신호라인이 제2 메모리(도 3의 MAT_L<2>)의 제3 신호라인(도 3의 C<3>)으로 설정될 때, 플래그(FLAG)를 활성화시킬 수 있다.

[0036] 플래그생성회로(215)는 불량인접신호라인에 대한 잠재적불량정보(FA_P)를 노멀리페어정보(NFS)와 비교하여 플래그(FLAG)를 생성할 수 있다. 플래그생성회로(215)는 잠재적불량정보(FA_P) 및 노멀리페어정보(NFS)를 토대로 불량인접신호라인에 대한 메모리영역정보와 노멀리페어라인에 대한 메모리영역정보가 상이하고, 불량인접신호라인에 대한 어드레스정보와 노멀리페어라인에 대한 어드레스정보가 동일할 때, 플래그(FLAG)를 활성화시킬 수 있다. 예를 들어, 플래그생성회로(215)는 불량인접신호라인이 제1 메모리(도 3의 MAT_L<1>)의 제3 신호라인(도 3의 C<3>)으로 설정되고, 노멀리페어정보(NFS)의 노멀리페어라인이 제3 메모리(도 3의 MAT_L<3>)의 제3 신호라인(도 3의 C<3>)으로 설정될 때, 플래그(FLAG)를 활성화시킬 수 있다.

[0037] 이에 따라, 플래그생성회로(215)는 리페어모드에서 인접한 불량신호라인들과 이웃한 신호라인들에 대해 리페어 확장이 가능한지를 확인함으로써, 불량이 발생할 가능성이 있는 이웃한 신호라인들에 대한 리페어 확장을 용이하게 할 수 있다. 플래그생성회로(215)의 구체적인 구성 및 동작에 대한 설명은 도 5를 참고하여 후술한다.

[0038] 플래그저장회로(217)는 플래그(FLAG)를 수신하여 저장할 수 있다. 플래그저장회로(217)는 플래그(FLAG)를 컨트롤러(도 1의 110)로 전송하기 위한 커맨드(미도시)를 토대로 내부에 저장된 플래그(FLAG)를 출력할 수 있다. 플래그저장회로(217)는 이-퓨즈(E-FUSE)를 전기적으로 프로그래밍하여 플래그(FLAG)를 저장할 수 있다. 플래그저장회로(217)는 메모리별로 불량인접신호라인에 대한 리페어 확장이 가능한지 여부를 확인하기 위해 메모리영역정보의 조합별로 플래그(FLAG)를 저장할 수 있다. 또한, 플래그저장회로(217)는 메모리뱅크(미도시)별로 불량인접신호라인에 대한 리페어 확장이 가능한지 여부를 확인하기 위해 메모리뱅크별로 플래그(FLAG)를 저장할 수 있다.

[0039] 도 3은 도 2에 도시된 데이터저장회로(203)의 일 실시예에 따른 블록도이다. 도 3에 도시된 바와 같이, 데이터저장회로(203)은 메모리영역(205), 리던던시영역(207), 제1 리페어회로(209) 및 제2 리페어회로(211)를 포함할 수 있다.

[0040] 메모리영역(205)은 다수의 메모리(MAT_L<1:M>, MAT_R<1:M>)를 포함할 수 있다. 다수의 메모리(MAT_L<1:M>, MAT_R<1:M>) 각각은 다수의 신호라인들(C<1:N>)을 포함할 수 있다. 리던던시영역(207)는 리던던시메모리(RMAT)를 포함할 수 있다. 리던던시메모리(RMAT)는 다수의 신호라인들(C<1:N>)을 포함할 수 있다. 다수의 메모리(MAT_L<1:M>, MAT_R<1:M>) 및 리던던시메모리(RMAT)에 포함된 다수의 신호라인들(C<1:N>)은 각각 어드레스(ADD)의 조합에 대응될 수 있다. 예를 들어, 제1 신호라인들(C<1>)은 어드레스(ADD)의 제1 조합에 대응될 수 있다. 제2 신호라인들(C<2>)은 어드레스(ADD)의 제2 조합에 대응될 수 있다.

[0041] 제1 리페어회로(209)는 다수의 리던던시퓨즈회로(REDUN<1:N>)를 포함할 수 있다. 다수의 리던던시퓨즈회로(REDUN<1:N>)는 어드레스정보의 각각의 조합에 대응할 수 있다. 제1 리페어회로(209)는 리페어모드에서 다수의 리던던시리페어정보(RFS<1:N>)를 어드레스정보의 조합별로 수신하여 다수의 리던던시퓨즈회로(REDUN<1:N>)에 각각 저장할 수 있다. 예를 들어, 제1 리페어회로(209)는 제1 리던던시퓨즈회로(REDUN<1>)에 포함된 이-퓨즈(E-FUSE)를 전기적으로 프로그래밍하여 제1 리던던시리페어정보(RFS<1>)를 저장할 수 있다. 제1 리페어회로(209)는 제2 리던던시퓨즈회로(REDUN<2>)에 포함된 이-퓨즈(E-FUSE)를 전기적으로 프로그래밍하여 제2 리던던시리페어정보(RFS<2>)를 저장할 수 있다. 제1 리페어회로(209)는 컬럼동작을 수행할 때 어드레스(ADD) 및 리던던시리페어정보(RFS<1:N>)를 토대로 데이터입출력라인(IO_L<1:M>, IO_R<1:M>) 및 리던던시입출력라인(RIO)을 통해 데이터(DQ_L<1:M>, DQ_R<1:M>)을 송수신할 수 있다. 제1 리페어회로(209)는 리페어모드가 수행되지 않았을 때, 데이터(DQ_L<1:M>, DQ_R<1:M>)를 데이터입출력라인(IO_L<1:M>, IO_R<1:M>)을 통해 각각 송수신할 수 있다. 제1 리페어회로(209)는 컬럼동작에서 어드레스(ADD)의 조합에 대응되는 리던던시리페어정보(RFS)를 토대로 리던던시입출력라인(RIO)을 통해 데이터(DQ)를 송수신하여 리페어동작을 수행할 수 있다. 예를 들어, 제1 리페어회로(209)는 제1 리던던시퓨즈회로(REDUN<1>)에 제1 메모리(MAT_L<1>)에 대응되는 메모리영역정보가 저장된 상태에서, 제1 신호라인(C<1>)에 대한 조합을 가지는 어드레스(ADD)를 입력받을 때, 제1 메모리(MAT_L<1>)의 제1 신호라인(C<1>)을 리던던시메모리(RMAT)의 제1 신호라인(C<1>)으로 리페어할 수 있다. 제1 리페어회로(209)는 제2 리던던시퓨즈회로(REDUN<2>)에 제1 메모리(MAT_L<1>)에 대응되는 메모리영역정보가 저장된 상태에서, 제2 신호라인(C<2>)에 대한 조합을 가지는 어드레스(ADD)를 입력받을 때, 제1 메모리(MAT_L<1>)의 제2 신호라인(C<2>)을 리던던시메모리(RMAT)의 제2 신호라인(C<2>)으로 리페어할 수 있다.

[0042] 제2 리페어회로(211)는 다수의 노멀퓨즈회로(NORMAL_L<1:M>, NORMAL_R<1:M>)를 포함할 수 있다. 다수의 노멀퓨즈회로(NORMAL_L<1:M>, NORMAL_R<1:M>)는 메모리영역정보의 각각의 조합에 대응할 수 있다. 제2 리페어회로(211)는 다수의 노멀리페어정보(NFS<1:N>)를 메모리영역정보의 조합별로 수신하여 다수의 노멀퓨즈회로(NORMAL_L<1:M>, NORMAL_R<1:M>)에 각각 저장할 수 있다. 예를 들어, 제2 리페어회로(211)는 제1 노멀퓨즈회로(NORMAL_L<1>)에 포함된 이-퓨즈(E-FUSE)를 전기적으로 프로그래밍하여 제1 노멀리페어정보(NFS<1>)를 저장할 수 있다. 제2 리페어회로(211)는 제2 노멀퓨즈회로(NORMAL_L<2>)에 포함된 이-퓨즈(E-FUSE)를 전기적으로 프로그래밍하여 제2 노멀리페어정보(NFS<2>)를 저장할 수 있다. 제2 리페어회로(211)는 데이터(DQ_L<1:M>, DQ_R<1:M>)를 어드레스(ADD)의 조합에 따라 선택된 다수의 신호라인(C<1:N>) 중 하나를 통해 각각 송수신할 수 있다. 제2 리페어회로(211)는 컬럼동작에서 다수의 노멀리페어정보(NFS<1:N>)를 토대로 어드레스(ADD)의 조합이 불량신호라인에 대한 어드레스정보와 동일할 때, 어드레스(ADD)의 조합을 노멀리페어라인에 대한 어드레스정보로 변환하여 리페어할 수 있다. 예를 들어, 제2 리페어회로(211)는 리페어모드에서 제1 노멀퓨즈회로(NORMAL_L<1>)에 불량신호라인으로 설정된 제1 신호라인(C<1>) 및 노멀리페어라인으로 설정된 제3 신호라인(C<3>)에 대한 어드레스정보들을 저장할 수 있다. 그 후, 제2 리페어회로(211)는 컬럼동작에서 제1 신호라인(C<1>)에 대한 조합을 가지는 어드레스(ADD)를 입력받을 때, 어드레스(ADD)의 조합을 제3 신호라인(C<3>)에 대한 어드레스정보로 변환하여 리페어할 수 있다.

[0043] 도 4는 도 2에 도시된 잠재적불량정보생성회로(213)의 일 실시예에 따른 구성을 도시한 블록도이다. 도 4에 도시된 바와 같이, 잠재적불량정보생성회로(213)는 감지신호생성회로(DET GEN)(221) 및 잠재적불량정보출력회로(FA_P OUTPUT CIRCUIT)(223)를 포함할 수 있다.

[0044] 감지신호생성회로(221)는 리페어모드에서 다수의 불량정보(FA)를 토대로 불량신호라인들이 인접한지 여부를 감지하여 감지신호(DET)를 생성할 수 있다. 감지신호생성회로(221)는 제1 불량정보(FA<1>) 및 제2 불량정보(FA<2>)를 토대로 제1 불량신호라인과 제2 불량신호라인이 인접한지 여부를 감지하여 감지신호(DET)를 생성할 수 있다. 예를 들어, 제1 및 제2 불량신호라인이 각각 제1 메모리(MAT_L<1>)에 포함된 제1 및 제2 신호라인(C<1>, C<2>)으로 설정될 때, 감지신호(DET)는 활성화될 수 있다. 감지신호생성회로(221)에서 감지신호(DET)가 활성화되기 위한 인접한 불량신호라인들의 수는 실시예에 따라 다양하게 설정될 수 있다.

[0045] 잠재적불량정보출력회로(223)는 리페어모드에서 감지신호(DET)가 활성화될 때 불량정보(FA)로부터 잠재적불량정

보(FA_P)를 생성할 수 있다. 예를 들어, 잠재적불량정보출력회로(223)는 감지신호(DET)가 활성화될 때 제1 불량정보(FA<1>) 및 제2 불량정보(FA<2>)로부터 불량인접신호라인에 대한 잠재적불량정보(FA_P)를 생성할 수 있다. 좀 더 구체적으로, 잠재적불량정보출력회로(223)는 제1 메모리(MAT_L<1>)에 포함된 제1 신호라인(C<1>)에 대한 제1 불량정보(FA<1>) 및 제1 메모리(MAT_L<1>)에 포함된 제2 신호라인(C<2>)에 대한 제2 불량정보(FA<2>)로부터 제1 메모리(MAT_L<1>)에 포함된 제3 신호라인(C<3>)에 대한 잠재적불량정보(FA_P)를 생성할 수 있다.

[0046] 도 5는 도 2에 도시된 플래그생성회로(215)의 일 실시예에 따른 구성을 도시한 블록도이다. 도 5에 도시된 바와 같이, 플래그생성회로(215)는 제1 리페어정보비교회로(RFS COM)(231) 및 제2 리페어정보비교회로(NFS COM)(233)를 포함할 수 있다.

[0047] 제1 리페어정보비교회로(231)는 잠재적불량정보(FA_P)를 리던던시리페어정보(RFS<1:N>)와 비교하여 내부플래그(IFLAG<1:2M>)를 생성할 수 있다. 제1 리페어정보비교회로(231)는 불량인접신호라인에 대한 메모리영역정보의 조합별로 내부플래그(IFLAG<1:2M>)를 각각 생성할 수 있다. 제1 리페어정보비교회로(231)는 불량인접신호라인에 대한 어드레스정보에 대응하는 리던던시리페어정보(RFS<1:N>)에 메모리영역정보가 저장된 상태일 때, 내부플래그(IFLAG<1:2M>)를 활성화시킬 수 있다. 예를 들어, 제1 리페어정보비교회로(231)는 불량인접신호라인이 제1 메모리(도 3의 MAT_L<1>)의 제1 신호라인(도 3의 C<1>)으로 설정될 때, 제1 메모리(도 3의 MAT_L<1>)에 대응하는 제1 내부플래그(IFLAG<1>)를 생성할 수 있다. 제1 리페어정보비교회로(231)는 불량인접신호라인이 제1 메모리(MAT_L<1>)의 제1 신호라인(C<1>)으로 설정되고, 제1 리던던시퓨즈회로(도 3의 REDUN<1>)에 메모리영역정보가 저장된 상태일 때, 제1 내부플래그(IFLAG<1>)를 활성화시킬 수 있다.

[0048] 제2 리페어정보비교회로(233)는 내부플래그(IFLAG<1:2M>)를 토대로 잠재적불량정보(FA_P)를 노멀리페어정보(NFS<1:2M>)와 비교하여 플래그(FLAG<1:2M>)를 각각 생성할 수 있다. 제2 리페어정보비교회로(233)는 잠재적불량정보(FA_P) 및 노멀리페어정보(NFS)를 토대로 불량인접신호라인에 대한 메모리영역정보와 노멀리페어라인에 대한 메모리영역정보가 상이하고, 불량인접신호라인에 대한 어드레스정보와 노멀리페어라인에 대한 어드레스정보가 동일할 때, 플래그(FLAG<1:2M>)를 활성화시킬 수 있다. 제2 리페어정보비교회로(233)는 내부플래그(IFLAG<1:2M>)가 활성화될 때 플래그(FLAG<1:2M>)를 각각 활성화시킬 수 있다. 예를 들어, 제2 리페어정보비교회로(233)는 제1 내부플래그(IFLAG<1>)가 활성화될 때, 제1 플래그(FLAG<1>)를 활성화시킬 수 있다. 제2 리페어정보비교회로(233)는 제2 내부플래그(IFLAG<2>)가 활성화될 때, 제2 플래그(FLAG<2>)를 활성화시킬 수 있다.

[0049] 도 6은 리페어모드가 수행되지 않았을 때, 도 3에 도시된 데이터저장회로(203)에서 데이터(DQ)가 입력되는 동작을 설명하기 위한 도면이다.

[0050] 도 6을 참고하면, 제1 리페어회로(209)는 리페어모드가 수행되지 않았을 때, 데이터(DQ_L<1:M>, DQ_R<1:M>)를 데이터입출력라인(IO_L<1:M>, IO_R<1:M>)에 각각 전송할 수 있다.

[0051] 제2 리페어회로(211)는 라이트동작에서 어드레스(ADD)의 조합이 제1 신호라인(C<1>)에 대응할 때, 다수의 메모리(MAT_L<1:M>, MAT_R<1:M>)에 포함된 제1 신호라인(C<1>)들에 데이터입출력라인(IO_L<1:M>, IO_R<1:M>)에 실린 데이터(DQ_L<1:M>, DQ_R<1:M>)를 각각 전송할 수 있다.

[0052] 도 7은 불량신호라인에 대한 리페어동작이 수행되었을 때, 도 3에 도시된 데이터저장회로(203)에서 데이터(DQ)가 입력되는 동작을 설명하기 위한 도면이다.

[0053] 도 7을 참고하면, 제2 메모리(MAT_L<2>)의 제1 신호라인(C<1>)은 테스트모드에서 불량('FAIL')이 검출된 상태이다. 제1 리페어회로(209)는 제1 리던던시퓨즈회로(REDUN<1>)에 제2 메모리(MAT_L<2>)의 메모리영역정보가 저장된 상태이다.

[0054] 제1 리페어회로(209)는 제1 신호라인(C<1>)에 대응하는 조합을 가지는 어드레스(ADD)가 입력될 때, 제2 메모리(MAT_L<2>)의 제1 신호라인(C<1>)을 리던던시메모리(RMAT)의 제1 신호라인(C<1>)으로 리페어할 수 있다. 여기서, 제1 리페어회로(209)는 각각의 데이터입출력라인(IO_L<3:M>)에 데이터(DQ_L<2:M-1>)를 전송하고, 리던던시입출력라인(RIO)에 데이터(DQ_L<M>)를 전송함으로써, 제2 메모리(MAT_L<2>)의 제1 신호라인(C<1>)을 리던던시메모리(RMAT)의 제1 신호라인(C<1>)으로 리페어할 수 있다.

[0055] 도 8은 동일한 어드레스정보를 가지는 다수의 불량신호라인들에 대한 리페어동작이 수행되었을 때, 도 3에 도시된 데이터저장회로(203)에서 데이터(DQ)가 입력되는 동작을 설명하기 위한 도면이다.

[0056] 도 8을 참고하면, 제2 메모리(MAT_L<2>)의 제1 신호라인(C<1>) 및 제M+2 메모리(MAT_R<2>)의 제1 신호라인(C<1>)은 테스트모드에서 불량('FAIL')이 검출된 상태이다. 제1 리페어회로(209)는 제1 리던던시퓨즈회로

(REDUN<1>)에 제2 메모리(MAT_L<2>)의 메모리영역정보가 저장된 상태이다. 제2 리페어회로(211)는 제M+2 노멀퓨즈회로(NORMAL_R<2>)에 제1 신호라인(C<1>)을 제32 신호라인(C<32>)으로 리페어하기 위한 어드레스정보가 저장된 상태이다. 이에 따라, 제1 리페어회로(209)는 제M+2 메모리(MAT_R<2>)의 제32 신호라인(C<32>)을 리던던시메모리(RMAT)에서 리페어하기 위해, 제32 리던던시퓨즈회로(REDUN<32>)에 제M+2 메모리(MAT_R<2>)의 메모리영역정보가 저장된 상태이다.

[0057] 제1 리페어회로(209)가 제2 메모리(MAT_L<2>)의 제1 신호라인(C<1>)을 리던던시메모리(RMAT)의 제1 신호라인(C<1>)으로 리페어하는 동작은 도 7의 동작과 동일하게 구현된다.

[0058] 제2 리페어회로(211)는 제1 신호라인(C<1>)에 대응하는 조합을 가지는 어드레스(ADD)가 입력될 때, 제M+2 메모리(MAT_R<2>)의 제1 신호라인(C<1>)을 제M+2 메모리(MAT_R<2>)의 제32 신호라인(C<32>)으로 리페어할 수 있다.

[0059] 이상 살펴본 바와 같이, 본 개시는 리페어모드에서 인접한 불량신호라인들과 이웃한 신호라인들에 대해 리페어 확장이 가능한지를 확인함으로써, 불량이 발생할 가능성이 있는 이웃한 신호라인들에 대한 리페어 확장을 용이하게 할 수 있다.

[0060] 도 9는 도 1에 도시된 시스템(100)의 다른 실시예에 따른 구성을 도시한 블록도이다. 도 9에 도시된 바와 같이, 시스템(1000)은 호스트(HOST)(1100), 컨트롤러(CONTROLLER)(1200) 및 전자장치들(ELECTRONIC DEVICES)(1300<1:K>)을 포함할 수 있다. 컨트롤러(1200)는 도 1에 도시된 컨트롤러(110)로 구현될 수 있다. 전자장치들(1300<1:K>)은 각각 도 1에 도시된 장치(120)로 구현될 수 있다.

[0061] 호스트(1100)는 인터페이스 프로토콜을 사용하여 컨트롤러(1200)와 상호 신호들을 전송할 수 있다. 호스트(1100) 및 컨트롤러(1200) 사이에 사용되는 인터페이스 프로토콜은 MMC(Multi-Media Card), ESDI(Enhanced Small Disk Interface), IDE(Integrated Drive Electronics), PCI-E(Peripheral Component Interconnect - Express), ATA(Advanced Technology Attachment), SATA(Serial ATA), PATA(Parallel ATA), SAS(serial attached SCSI) 및 USB(Universal Serial Bus) 등이 있다.

[0062] 컨트롤러(1200)는 전자장치들(1300<1:K>)이 각각 리페어모드, 테스트모드 및 컬럼동작을 포함한 다양한 내부동작들을 수행하도록 제어할 수 있다.

[0063] 전자장치들(1300<1:K>)은 실시예에 따라 DRAM(dynamic random access memory), PRAM(Phase change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 및 FRAM(Ferroelectric Random Access Memory) 등으로 구현될 수 있다.

부호의 설명

[0064] 100: 시스템 110: 컨트롤러

120: 장치 201: 리페어제어회로

203: 데이터저장회로 205: 메모리영역

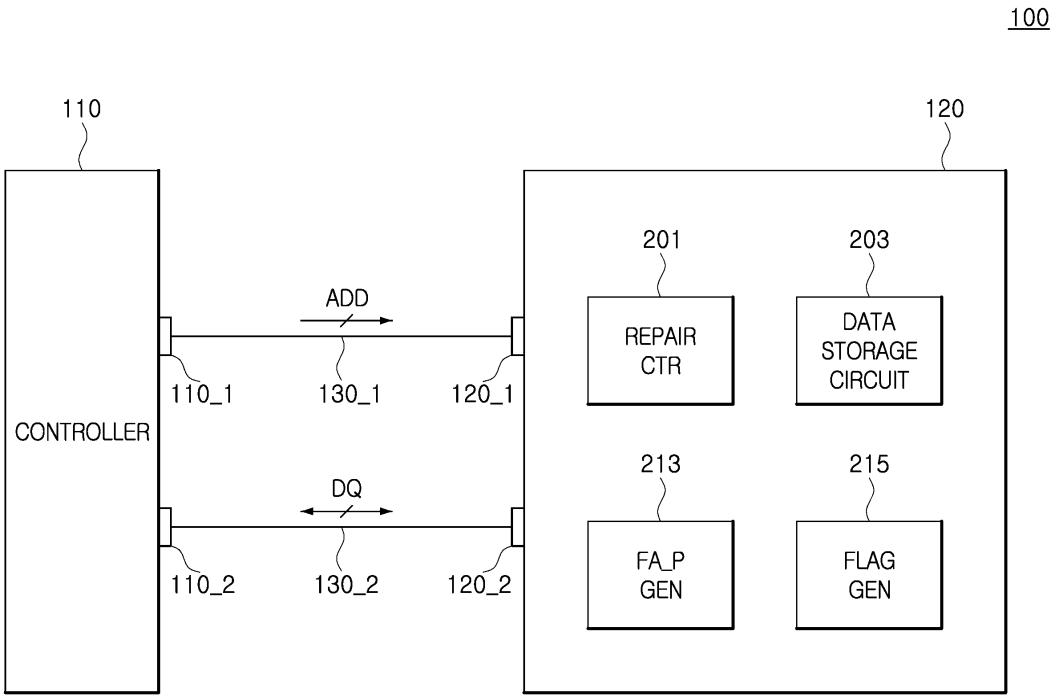
207: 리던던시영역 209: 제1 리페어회로

211: 제2 리페어회로 213: 잠재적불량정보생성회로

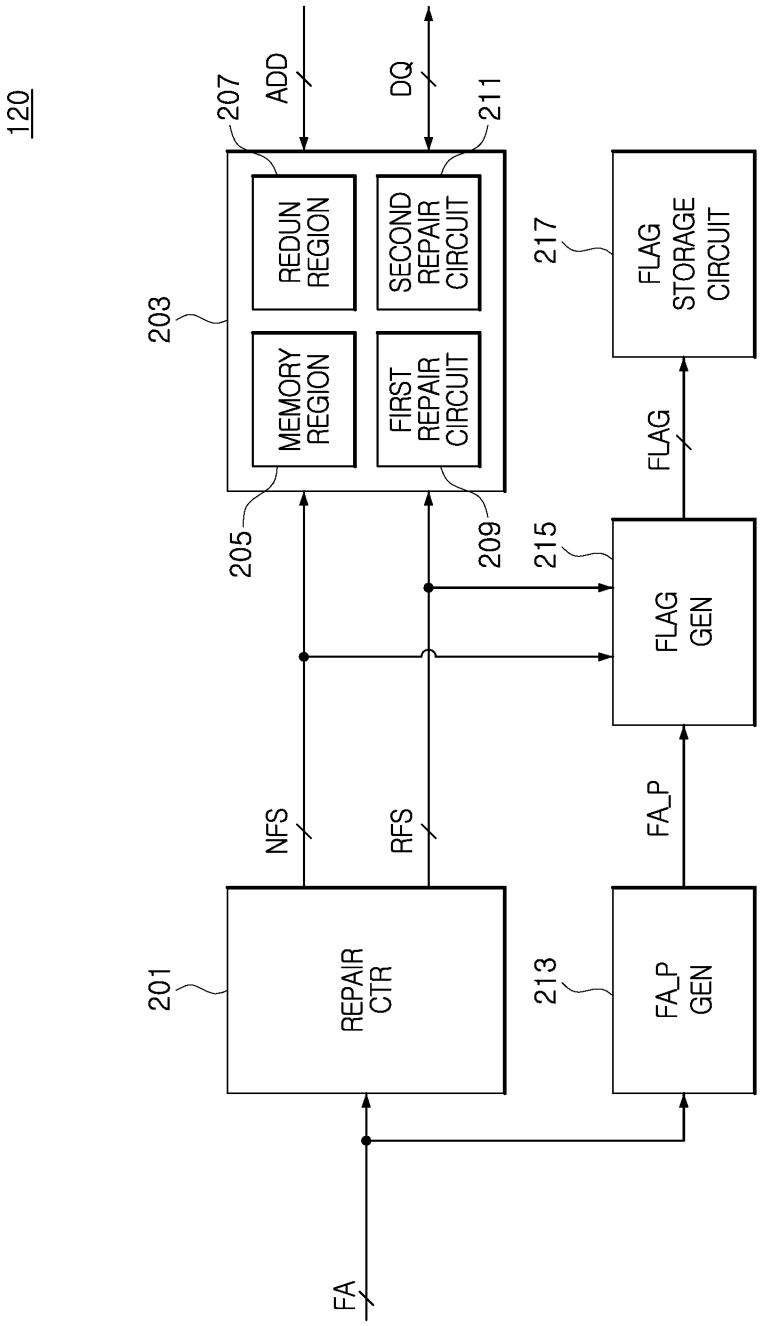
215: 플래그생성회로 217: 플래그저장회로

도면

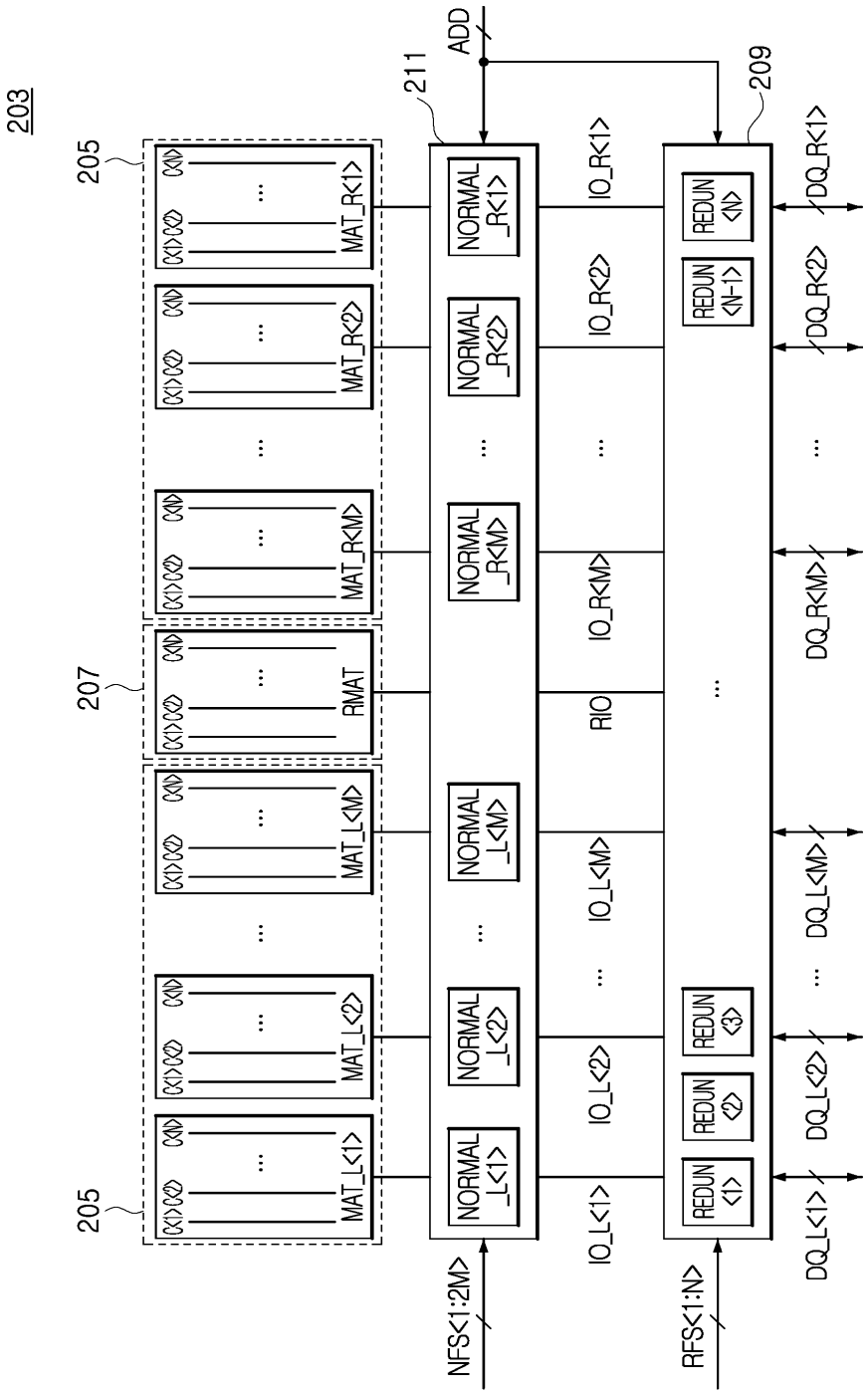
도면1


100
110
120
201
203
ADD
REPAIR CTR
DATA STORAGE CIRCUIT
CONTROLLER
110_1
130_1
120_1
213
215
DQ
FA_P GEN
FLAG GEN
110_2
130_2
120_2

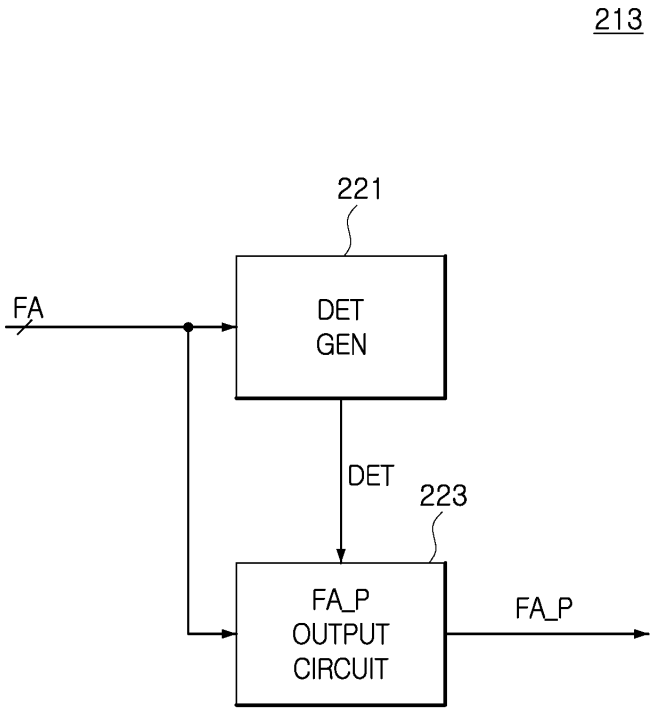
도면2


120
ADD
DQ
207
211
REDUN REGION
SECOND REPAIR CIRCUIT
203
MEMORY REGION
FIRST REPAIR CIRCUIT
205
209
217
FLAG STORAGE CIRCUIT
FLAG
215
FLAG GEN
NFS
RFS
FA_P
201
REPAIR CTR
213
FA_P GEN
FA

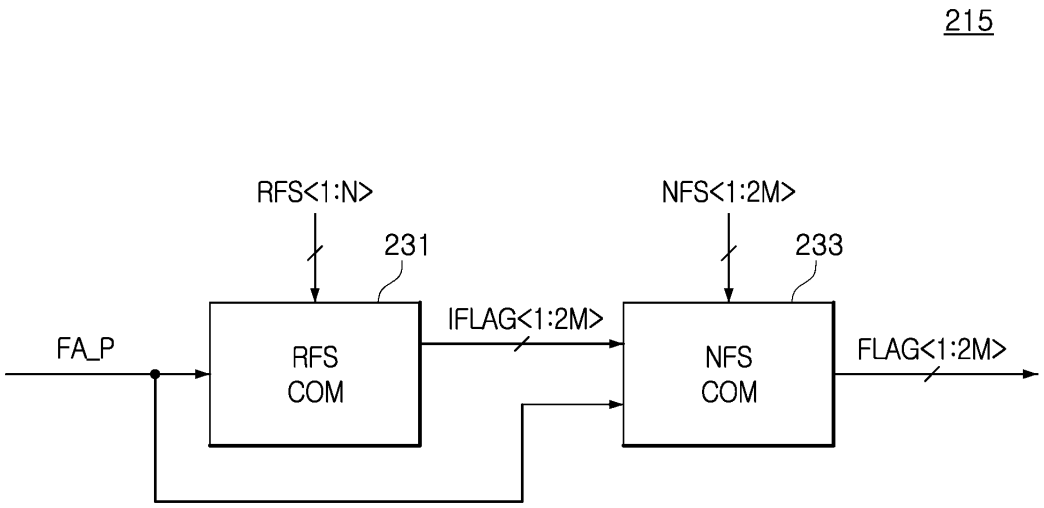
도면3


203
205
207
205
MAT_L<1>
MAT_L<2>
MAT_L<M>
RMAT
MAT_R<M>
MAT_R<2>
MAT_R<1>
211
ADD
209
NORMAL_L<1>
NORMAL_L<2>
NORMAL_L<M>
NORMAL_R<M>
NORMAL_R<2>
NORMAL_R<1>
REDUN<1>
REDUN<2>
REDUN<3>
REDUN<N-1>
REDUN<N>
IO_L<1>
IO_L<2>
IO_L<M>
RIO
IO_R<M>
IO_R<2>
IO_R<1>
DQ_L<1>
DQ_L<2>
DQ_L<M>
DQ_R<M>
DQ_R<2>
DQ_R<1>
NFS<1:2M>
RFS<1:N>

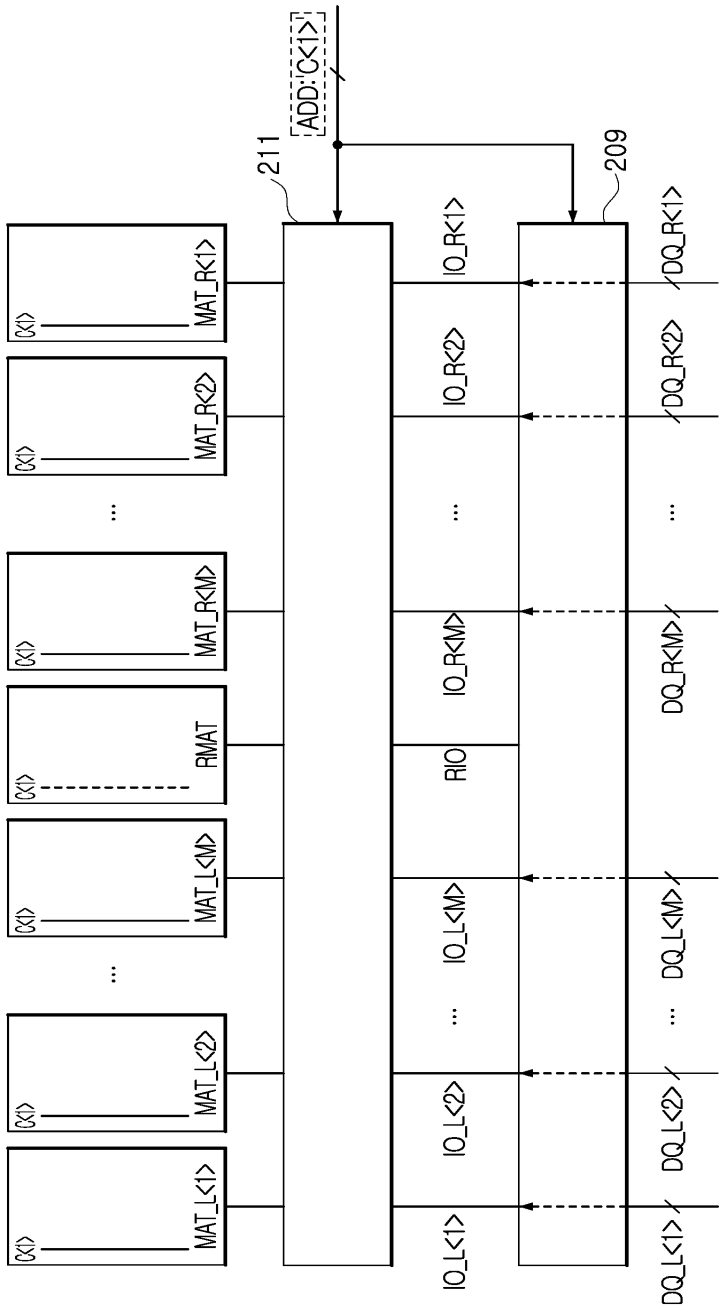
도면4


213
221
FA
DET
GEN
DET
223
FA_P
OUTPUT
CIRCUIT
FA_P

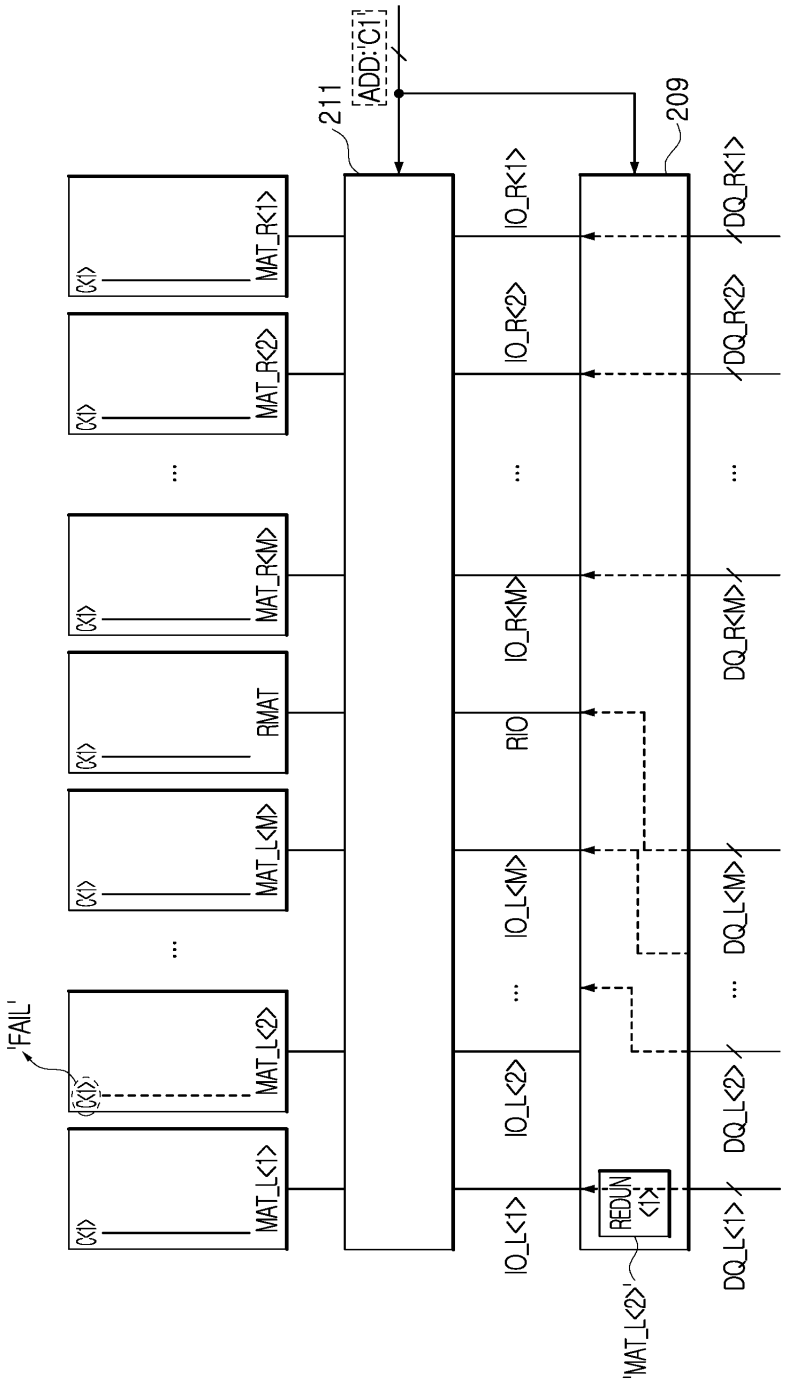
도면5


215
RFS<1:N>
231
NFS<1:2M>
233
FA_P
RFS
COM
IFLAG<1:2M>
NFS
COM
FLAG<1:2M>

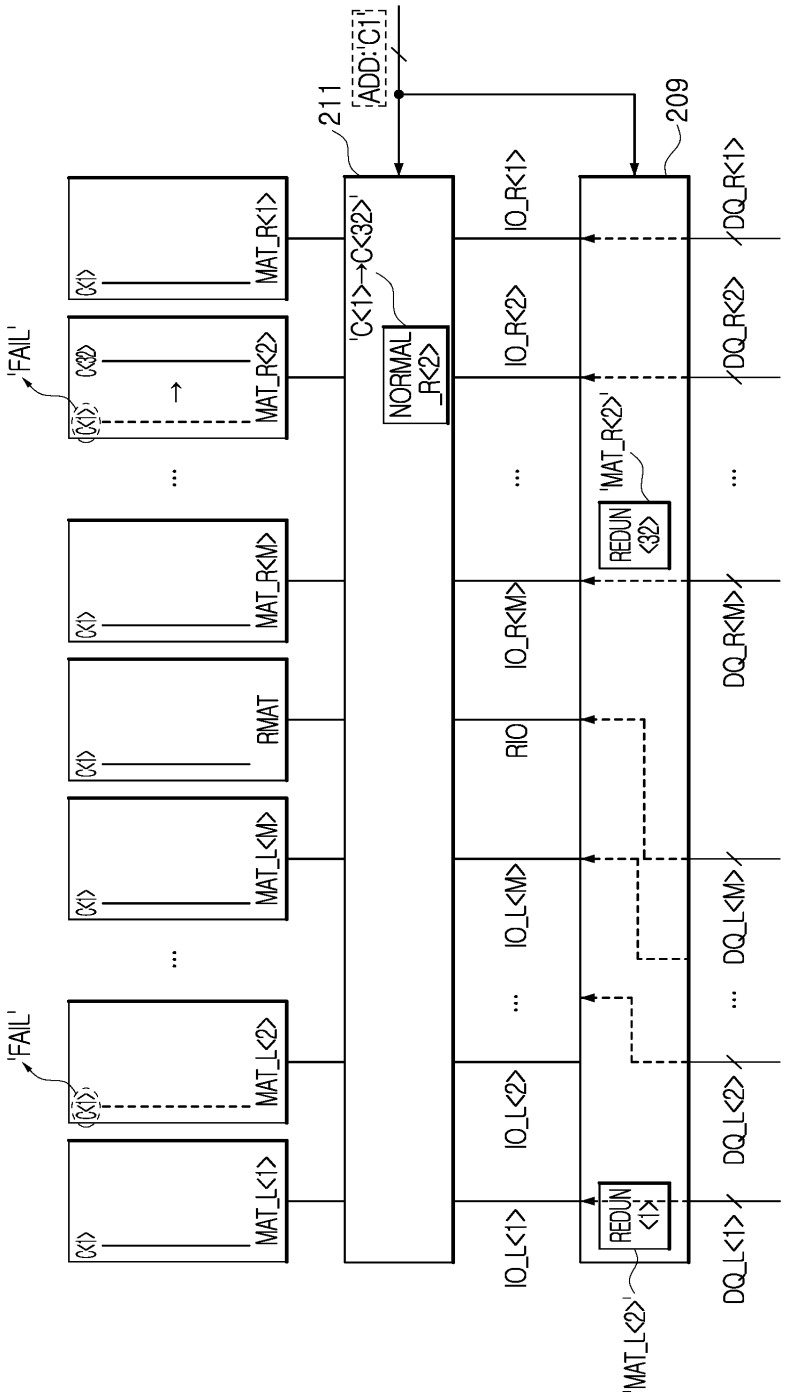
도면6


ADD:C<1:>
211
209
MAT_R<1>
MAT_R<2>
MAT_R<M>
RMAT
MAT_L<M>
MAT_L<2>
MAT_L<1>
C<1>
IO_R<1>
IO_R<2>
IO_R<M>
RIO
IO_L<M>
IO_L<2>
IO_L<1>
DQ_R<1>
DQ_R<2>
DQ_R<M>
DQ_L<M>
DQ_L<2>
DQ_L<1>

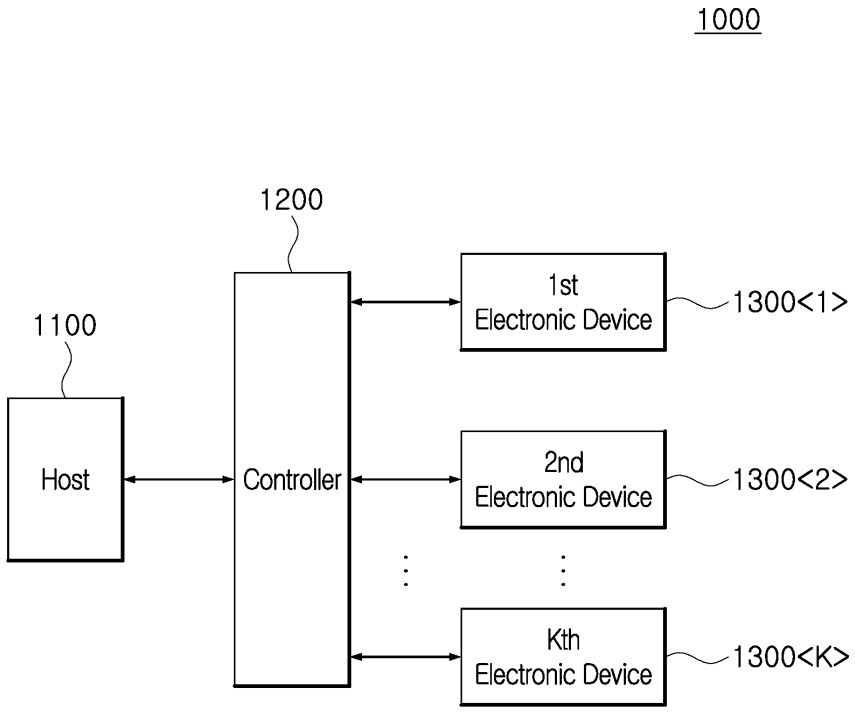
도면7


ADD:'C1'
211
209
MAT_R<1>
MAT_R<2>
MAT_R<M>
RMAT
MAT_L<M>
MAT_L<2>
MAT_L<1>
C<1>
'FAIL'
IO_R<1>
IO_R<2>
IO_R<M>
RIO
IO_L<M>
IO_L<2>
IO_L<1>
DQ_R<1>
DQ_R<2>
DQ_R<M>
DQ_L<M>
DQ_L<2>
DQ_L<1>
REDUN <1>
'MAT_L<2>'

도면8


211
ADD:'C1'
209
'C<1>→C<32>'
NORMAL_R<2>
REDUN<32>
REDUN<1>
'MAT_R<2>'
'MAT_L<2>'
'FAIL'
'FAIL'
MAT_R<1>
MAT_R<2>
MAT_R<M>
RMAT
MAT_L<M>
MAT_L<2>
MAT_L<1>
IO_R<1>
IO_R<2>
IO_R<M>
RIO
IO_L<M>
IO_L<2>
IO_L<1>
DQ_R<1>
DQ_R<2>
DQ_R<M>
DQ_L<M>
DQ_L<2>
DQ_L<1>

도면9


1000
1200
1100
Host
Controller
1st
Electronic Device
1300<1>
2nd
Electronic Device
1300<2>
Kth
Electronic Device
1300<K>