

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4848752号  
(P4848752)

(45) 発行日 平成23年12月28日(2011.12.28)

(24) 登録日 平成23年10月28日(2011.10.28)

(51) Int.Cl. F I  
H05K 3/34 (2006.01) H05K 3/34 501D

請求項の数 11 (全 13 頁)

|           |                               |           |  |
|-----------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2005-356049 (P2005-356049)  | (73) 特許権者 | 000000158<br>イビデン株式会社<br>岐阜県大垣市神田町2丁目1番地 |
| (22) 出願日  | 平成17年12月9日(2005.12.9)         | (74) 代理人  | 100135965<br>弁理士 高橋 要泰                   |
| (65) 公開番号 | 特開2007-165373 (P2007-165373A) | (72) 発明者  | 苅谷 隆<br>岐阜県大垣市神田町2-1 イビデン株式会社内           |
| (43) 公開日  | 平成19年6月28日(2007.6.28)         | (72) 発明者  | 古谷 俊樹<br>岐阜県大垣市神田町2-1 イビデン株式会社内          |
| 審査請求日     | 平成20年7月17日(2008.7.17)         | (72) 発明者  | 河西 猛<br>岐阜県大垣市神田町2-1 イビデン株式会社内           |

最終頁に続く

(54) 【発明の名称】 部品実装用ピンを有するプリント配線板及びこれを使用した電子機器

(57) 【特許請求の範囲】

【請求項1】

部品実装用ピンを備えたプリント配線板であって、  
前記プリント配線板は、部品実装面に最外層導体を有し、  
前記部品実装用ピンは、弾性を有する別個のめっき層から形成された二層構造であり、  
前記部品実装面に対向する第1めっき層は伸張する内部応力を、第1めっき層の上面に形成された第2めっき層は収縮する内部応力を夫々有し、  
前記部品実装用ピンの一端は前記最外層導体から延在し、他端に至る全長にわたり、第1めっき層と第2めっき層との内部応力の差によって、前記プリント配線板より湾曲して上方に立ち上がっている、プリント配線板。

【請求項2】

請求項1に記載のプリント配線板において、  
前記部品実装用ピンは、導電性の保護被膜が形成されている、プリント配線板。

【請求項3】

請求項1に記載のプリント配線板において、更に、  
前記部品実装面の上面に形成された絶縁層を有し、該絶縁層は、前記部品実装用ピンの一端が接続された前記最外層導体の部分を除き、該部品実装面を覆っている、プリント配線板。

【請求項4】

請求項3に記載のプリント配線板において、更に、

前記絶縁層は、ソルダーレジスト層又は熱硬化された絶縁フィルムである、プリント配線板。

【請求項 5】

請求項 1 に記載のプリント配線板において、  
前記部品実装用ピンは、前記他端に半田バンプを有している、プリント配線板。

【請求項 6】

部品実装用ピンを有するプリント配線板と、  
電極パッドを有する面実装型部品とを備え、  
前記プリント配線板は、部品実装面に最外層導体を有し、

前記部品実装用ピンは、弾性を有する別個のめっき層から形成された二層構造であり、  
前記部品実装面に対向する第 1 めっき層は伸張する内部応力を、第 1 めっき層の上面に形成された第 2 めっき層は収縮する内部応力を夫々有し、

前記部品実装用ピンの一端は前記最外層導体から延在し、他端に至る全長にわたり、第 1 めっき層と第 2 めっき層との内部応力の差によって、前記プリント配線板より湾曲して上方に立ち上がって、前記面実装型部品の電極パッドに圧接している、電子機器。

10

【請求項 7】

請求項 6 に記載の電子機器において、  
前記部品実装用ピンは、導電性の保護被膜が形成されている、電子機器。

【請求項 8】

請求項 6 に記載の電子機器において、更に、  
前記部品実装面の上面に形成された絶縁層を有し、該絶縁層は、前記部品実装用ピンの一端が延在する前記最外層導体の部分を除き、該部品実装面を覆っている、電子機器。

20

【請求項 9】

請求項 8 に記載の電子機器において、更に、  
前記絶縁層は、ソルダーレジスト層又は熱硬化された絶縁フィルムである、電子機器。

【請求項 10】

請求項 6 に記載の電子機器において、  
前記部品実装用ピンの他端は、前記面実装型部品の電極パッドに圧接し、該部品実装用ピンは周囲を空気で囲まれている、電子機器。

【請求項 11】

請求項 6 に記載の電子機器において、  
前記部品実装用ピンの他端は、前記面実装型部品の電極パッドに対して半田接続している、電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、部品実装用ピンを有するプリント配線板及びこれを使用した電子機器に関し、更に具体的には、面実装型部品の実装に利用される部品実装用ピンを有するプリント配線板及びこれを使用した電子機器に関する。

【背景技術】

【0002】

電子装置を構成するためには、多数の電子部品（例えば、IC、LSI等の半導体装置）が使用される。これらの半導体装置の電極パッド間を電氣的に相互接続するため、プリント配線板が使用されている。高集積度化された半導体装置は必然的に多数の電極を有しており、このような半導体装置を限られた面積のプリント配線板に実装するために、典型的には、半導体チップの電極パッド面をプリント配線板に向けて搭載して、半田バンプ等の技術を用いてプリント配線板実装面のランドと接続したフリップチップ方式が利用されている。

40

【0003】

なお、本出願書類では、「プリント配線板」は、絶縁基板に配線パターンを形成した板

50

をいい、「プリント回路板」はプリント配線板にIC、LSI等の電子部品等を実装した構成部品をいい、プリント回路板は所定の目的を持った電子部品の構成部品であるので「電子機器」ともいう。

【特許文献1】特開2005-183466「多層プリント配線板」(公開日:2005年7月7日) 特許文献1の背景技術に、「該ビアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、ビアホール160及び導体回路158にバンプ76U、76Dが形成されている。図示しないICチップは、バンプ76UにC4(フリップチップ)実装を行うことにより電気的な接続が取られる。」として、半田バンプ等の技術を用いて接続したフリップチップ方式の記載がある。

10

【0004】

しかし、本願で開示する部品実装用ピンを有するプリント配線板に関する記載はない。

【発明の開示】

【発明が解決しようとする課題】

【0005】

最近、このような電子部品は一層高集積化しており、そのためチップサイズも巨大化している。巨大サイズの電子部品(例えば、半導体チップ)の電極パッドとプリント配線板のランドが半田付けされた実装状態の電子機器が、周囲温度の上昇・下降に曝されると、電子部品とプリント配線板との熱膨張係数の差に起因して、半田付け箇所が損壊することがある。

20

【0006】

このため、従来より、高集積化した電子部品を実装しても、半導体チップとプリント配線板との熱膨張係数の差に起因した接続不良の発生を減少し得るプリント配線板の開発が望まれていた。

【課題を解決するための手段】

【0007】

従って、本発明は、高集積化した電子部品を実装しても、電子部品とプリント配線板との熱膨張係数の差に起因した接続不良の発生を減少し得るプリント配線板を提供することを目的とする。

【0008】

更に、本発明は、高集積化した電子部品を実装しても、半導体チップとプリント配線板との熱膨張係数の差に起因した接続不良の発生を減少し得る電子機器を提供することを目的とする。

30

【0009】

上記目的に鑑みて、本発明に係るプリント配線板は、部品実装用ピンを備えたプリント配線板である。

【0010】

更に、上記プリント配線板では、前記部品実装用ピンは、前記プリント配線板の最外層導体から延在し、他端は該プリント配線板から立ち上がっていてもよい。

【0011】

更に、上記プリント配線板では、前記部品実装用ピンは、弾性を有する材質からなることもできる。

40

【0012】

更に、上記プリント配線板では、前記部品実装用ピンは、電気抵抗の低い物質から成ることもできる。

【0013】

更に、上記プリント配線板では、前記部品実装用ピンは、金属、導電性ゴム、一部分を導電性化したゴム、導電性の合成樹脂及び一部分を導電性化した合成樹脂からなる群から選択された任意の物質からなることもできる。

【0014】

50

更に、上記プリント配線板では、前記部品実装ピンは、 $n$ 層 ( $n \geq 2$ ) の膜からなり、前記プリント配線板と対向する膜を  $n = 1$  とした場合、1層目の膜は、 $n$ 層目の膜に対して伸びやすくしてもよい。

【0015】

更に、上記プリント配線板では、 $n - 1$ 層目の応力は、 $n$ 層目の応力に対し、引っ張り応力若しくは同等であって、1層目の応力は、 $n$ 層目の応力に対し、引っ張り応力とすることもできる。

【0016】

更に、上記プリント配線板では、 $n - 1$ 層目の熱膨張係数は、 $n$ 層目の熱膨張係数と同等以上であって、1層目の熱膨張係数は、 $n$ 層目の熱膨張係数に対し、大きくてもよい。

10

【0017】

更に、上記プリント配線板では、前記部品実装用ピンは、導電性の保護被膜が形成されていてもよい。

【0018】

更に、上記プリント配線板では、前記部品実装用ピンは、先端部に半田バンプを有していてもよい。

【0019】

更に、本発明に係る電子機器は、部品実装用ピンを有するプリント配線板と、電極パッドを有する面実装型部品とを備え、前記部品実装用ピンは、前記電極パッドに電氣的に接続している。

20

【0020】

更に、上記電子機器では、前記部品実装用ピンは、弾性を有し、前記電極パッド対して圧接していてもよい。

【0021】

更に、上記電子機器では、前記部品実装用ピンは、長さが短くてもよい。

【0022】

更に、上記電子機器では、前記部品実装用ピンは、前記プリント配線板の最外層導体から延在して立ち上がって前記電極パッドに電氣的に接続し、この立ち上がった部分は周囲を空気で囲まれていてもよい。

【0023】

30

更に、本発明に係る電子機器は、部品実装用ピンを有するプリント配線板と、電極パッドを有する面実装型部品とを備え、前記部品実装用ピンは、その先端部に半田バンプを有し、前記電極パッドに半田付けされている。

【発明の効果】

【0024】

本発明によれば、高集積化した電子部品を実装しても、電子部品とプリント配線板との熱膨張係数の差に起因した接続不良の発生を減少し得るプリント配線板を提供することができる。

【0025】

更に、本発明によれば、高集積化した電子部品を実装しても、電子部品とプリント配線板との熱膨張係数の差に起因した接続不良の発生を減少し得る電子機器を提供することができる。

40

【発明を実施するための最良の形態】

【0026】

以下、本実施形態に係るプリント配線板及びこれを使用した電子機器に関し、添付の図面を参照しながら詳細に説明する。なお、図面の同じ要素に対しては同じ符号を付して、重複した説明を省略する。

[ 部品実装用ピンを有するプリント配線板及びこれを使用した電子機器の構成 ]

( 部品実装用ピンを有するプリント配線板 )

図1は、部品実装用ピンを有するプリント配線板の構成の一部を示す図である。本発明

50

に係るプリント配線板 1 は、例えば、IC, LSI 等の半導体装置のような電子部品 ( 図示せず。 ) と接続するための部品実装用ピン 18 を備えている。

【 0027 】

本発明に係る部品実装用ピンを有するプリント配線板 1 は、最外層導体 11 に電氣的に接続した部品実装用ピン 18 が形成されたことを特徴とする。従って、プリント配線板 1 のその他の構成に関しては任意である。本実施形態は、最外層導体に特徴を有するため、1 枚のプリント配線板 1 を、便宜的に最外層導体 11 が形成された絶縁層 10 と、その上層のソルダーレジスト層 12 と、絶縁層 10 の下層にあるその他の層 9 とに分けて説明する。

【 0028 】

例えば、プリント配線板 1 は、開口 12 a が形成されたソルダーレジスト層 12 と、基板 9, 10 とを有する。基板 10 は、ソルダーレジスト層の下層の絶縁層であり、基板 9 は所定の導体層及び絶縁層からなる。絶縁層 10 には、フィルドビア 5 が形成され、その上部は最外層導体 11 となっている。

【 0029 】

部品実装用ピン 18 の一端は、最外層導体 11 に電氣的に接続し、他端はプリント配線板 1 から立ち上がっている。部品実装用ピン 18 は、所望により、導電性の保護被膜 19 が形成されている。プリント配線板 1 は、この部品実装用ピン 18 を利用して、半導体装置 ( 図示せず。 ) と接続される。

【 0030 】

部品実装用ピン 18 は、可撓性、弾性、屈曲性等を有し、好ましくは電気抵抗の低い物質から成る。例えば、この弾性体は、金属、導電性ゴム、一部分を導電性化したゴム、導電性の合成樹脂、一部分を導電性化した合成樹脂からなる群から選択された任意のものでよい。

【 0031 】

部品実装用ピン 18 は、 $n$  層の膜 ( $n \geq 2$ 。ここで、1 層目はプリント配線板 1 と対向する側とする。 ) から構成されていてもよく、 $n$  層目の膜が、1 層目の膜に対して縮まりやすければ、 $n$  層目の膜は  $n - 1$  層目の膜に対して縮む必要はない。このような膜とする方法として、 $n$  層目の膜が 1 層目の膜に対して圧縮応力であったり、 $n$  層目の膜の熱膨張係数を 1 層目の膜の熱膨張係数より小さくする方法等がある。

【 0032 】

そして、 $n$  層目に対して、 $n - 1$  層目は引っ張り応力であっても、引っ張り応力又は圧縮応力のいずれでなくてもよい。また、 $n$  層目に対して、 $n - 1$  層目の熱膨張係数が大きくても、同等であってもよい。1 層目に対して 2 層目、2 層目に対して 3 層目、...、 $n - 1$  層目に対して  $n$  層目が圧縮応力となるようにしたり、各層の熱膨張係数が 1 層目から  $n$  層に向かって徐々に熱膨張係数を小さくすることもできる。

【 部品実装用ピンを有するプリント配線板を使用した電子機器の実装方法 】

図 2 は、部品実装用ピン 18 を有するプリント配線板 1 を使用した電子機器 4 の一部を示す図であり、実装構造を明らかにしている。プリント配線板 1 の部品実装用ピン 18 は、例えば、IC, LSI 等の半導体装置のような電子部品 2 に形成された電極パッド 3 に対して機械的に接触し、電氣的接続を確保している。

【 0033 】

プリント配線板 1 と半導体装置 2 との相互間の固定は、任意の方法で行われる。図示していないが、例えば、電子機器の筐体に対して両者を固定してもよい。或いは、樹脂等の接着剤を用いて両者を固定してもよい。

【 0034 】

この電子機器 4 は、電子部品 2 とプリント配線板 1 との間を接続する介在物を、従来の半田バンプ ( 図示せず。 ) から部品実装用ピン 18 に変更したことを特徴とする。

【 0035 】

部品実装用ピン 18 は、可撓性、弾性、屈曲性等を有しているため、電極パッド 3 に押

10

20

30

40

50

圧されて、電氣的接続を確実にしている。更に、部品実装用ピン 18 は、半導体装置 2 及びプリント配線板 1 の一方又は両方にかかる力（機械的エネルギー）を、弾性又は変形により吸収し得る機械要素となっている。このため、半導体装置 2 とプリント配線板 1 との熱膨張係数の差に起因した接続不良の発生を減少することが出来る。

【 0 0 3 6 】

プリント配線板 1 のサイズは、これに限定されないが、例えば、30 ~ 70 mm 角である。搭載半導体装置 2 のサイズは、例えば、10 ~ 30 mm 角である。1 個の半導体装置 2 は、例えば、3,000 ~ 20,000 ポイントの電極パッドを持っている。特に、本実施形態は、10,000 ~ 20,000 ポイントの電極パッドを有する電子部品を実装するのに好適である。通常、1 枚のプリント配線板 1 に 1 個の半導体装置 2 を搭載しているが、MCM (Multichip module) 化して 2 ~ 3 個搭載する場合でも、部品実装用ピン 18 を利用することにより、熱膨張係数の差に起因した接続不良の発生を減少することが出来る。

10

【 0 0 3 7 】

更に、部品実装用ピン 18 の長さは非常に短いので、例えば特性インピーダンス  $Z_0$  の整合、電気信号の伝搬速度の高速化の面で良好な電氣的特性が得られる。同様に、部品実装用ピン 18 が、電気抵抗の低い物質から形成された場合、無用な電圧降下が回避できる。例えば、Cu, Au, Ag 又はこれらの任意の合金製の部品実装用ピン、これらの金属で表面処理した部品実装用ピンとした場合である。

【 0 0 3 8 】

更に、部品実装用ピン 18 は立ち上がった形状であるため、周囲を空気に取り囲まれ、信号伝送の高速化を図ることができる。

20

【 0 0 3 9 】

更に、部品実装用ピン 18 の反発力を利用して機械的接触を行っている場合、半導体装置 2 とプリント配線板 1 との良好な電氣的接続が確保できる。

【 0 0 4 0 】

更に、本発明に係る部品実装用ピン 18 を有するプリント配線板 1 は、最外層導体 11 に電氣的に接続した部品実装用ピン 18 に特徴があるため、プリント配線板 1 のその他の部分に関しては任意であり、サイズの大きなプリント配線板や、反りの発生しやすいコアレス基板等にも適用できる。

【 0 0 4 1 】

更に、半導体装置 2 とプリント配線板 1 との間の接続を、半田付けでなく、部品実装用ピン 18 による機械的接触に変更したので、半田リフロー等の熱履歴が残らないメリットがある。

30

【 0 0 4 2 】

図 3 は、プリント配線板 1 の部品実装用ピン 18 と半導体装置 2 とを半田付けにより電氣的接続を確保した電子機器 5 の一部を示す図であり、実装構造を明らかにしている。所望により、プリント配線板 1 の部品実装用ピン 18 の先端に半田パンプ 4 を設け、図 2 に示すように、半導体装置 2 と機械的に接触した状態で半田リフロー処理することにより、部品実装用ピン 18 と半導体の電極パッド 3 とを半田接続している。更に、所望により、上述したような方法で、プリント配線板 1 と半導体装置 2 との相互の固定を行ってもよい。

40

[ 部品実装用ピンを有するプリント配線板の製造方法 ]

図 4 A ~ 図 4 M を参照しながら、部品実装用ピンを有するプリント配線板の製造方法の典型例を、めっきを利用した方法（めっき法）によって説明する。

【 0 0 4 3 】

なお、この製造方法の特徴は最外層導体 11 を利用した電子部品実装面に関するものであるため、最外層導体以外の部分（図 1 ~ 3 の符号 9, 10 参照）に関しては既に形成されたものとして説明する。

【 0 0 4 4 】

また、本願では、部品実装用ピン 18 を有するプリント配線板の製造方法の典型例を簡

50

単に説明するに止める。部品実装用ピン18を有するプリント配線板の製造方法の詳細に関しては、同日に出願する特許出願（出願人整理番号PB030-JP00）を参照されたい。

【0045】

最外層以外の部分9, 10は、周知のビルドアップ製造法により形成される。このようなプリント配線板の製造方法に関しては、例えば、特開2004-40138「ビルドアップ多層プリント配線板」（公開日2004.2.5）、特開2004-311919「スルーホールフィル方法」（公開日2004.11.4）を参照されたい。ビルドアップ製造法に関しては、高木清「ビルドアップ多層プリント配線板技術」日刊工業新聞社、2000.06.20を参照されたい。

【0046】

以上により、最外層導体以外の部分は、以下の製造方法の説明から省略されていることを承知されたい。

【0047】

図4Aは、基板（最外層導体以外の部分）9, 10を準備する工程を示す図である。この基板9, 10は、上記のように、最外層以外の部分が形成されたプリント配線板からなる。最外層導体11を、周知のセミアディティブやフルアディティブ、サブトラクティブ法により形成する。この最外層導体11として、例えば、厚さ20 $\mu$ m、直径（導体ランド径）150 $\mu$ m、最小ピッチ（隣接する導体ランド間距離）200 $\mu$ mの半導体装置接続用ランドが形成される。導体ランド11の配置は、中心部が格子状配置であり、外周部がランダム配置である。導体ランドの個数は50 $\times$ 40個となる。このような導体ランド群が、プリント配線板の最外層の150平方mmの領域内に形成される。

【0048】

図4Bは、ソルダーレジスト層を形成する工程を示す図である。例えば、ソルダーレジスト層12をスクリーン印刷により塗布し、開口12aを形成する。或いは、半硬化状態の絶縁フィルムを貼り付け、熱硬化後にレーザー光線等を利用して開口12aを形成してもよい。

【0049】

図4Cは、ドライフィルムをラミネートし、露光、現像処理する工程を示す図である。例えば、フィルム13をラミネートし、露光、現像処理によりドライフィルム13に開口部13aを形成する。ドライフィルム13の開口部13aは、ソルダーレジスト層12の開口12aとは、厚さ方向に重ならない位置とする。

【0050】

図4Dは、Sn層の形成の工程を示す図である。例えば、Sn層をスパッタリングによりドライフィルム13及び開口部13aの底部のソルダーレジスト層12の上に形成する。その後、ドライフィルム13を剥離する。その結果、開口部13aの底部のソルダーレジスト層12の上のSn層14のみが残存する。このSn層14は、後工程（図4K）で部分的に除去されるため、「犠牲層」とも呼ばれる。

【0051】

その後、無電解めっき用触媒核を付与する。無電解めっき用触媒核としては、典型的には、貴金属イオン、貴金属コロイド（例えば、塩化パラジウム、パラジウムコロイド）を使用する（図示せず。）。

【0052】

図4Eは、第1めっき層形成の工程を示す図である。第1めっき層16としては、典型的には、無電解銅メッキを使用する。好ましくは、析出する第1めっき層16に引っ張り応力を発生し易くするため、この無電解メッキ浴は、酒石酸を錯化剤とし、更に、添加剤としてニッケルイオン、鉄イオン、コバルトイオン等からなる群から選ばれた少なくとも1種類の金属イオンを含ませてもよい。メッキ膜に取り込まれる水素量が少なくなっているため、引っ張り応力となると推察している。

【0053】

図4Fは、第2めっき層形成の工程を示す図である。第2めっき層17としては、典型

10

20

30

40

50

的には、無電解銅メッキを使用する。好ましくは、析出する第2めっき層17に圧縮応力を発生し易くするため、この無電解メッキ浴は、錯化剤として、EDTA（エチレン-ジアミンテトラ酢酸）を用いる。第2めっき層17に水素を多く含むようにしている。

【0054】

この結果、引っ張り応力の発生し易い第1めっき層16と、圧縮応力の発生し易い第2めっき層17との二層構造が形成される。この二層構造が、この後の工程を経て、部品実装用ピン18となる。

【0055】

図4Gは、エッチングレジストをラミネートする工程を示す図である。例えば、ドライフィルム18をラミネートする。

10

【0056】

図4Hは、エッチングレジストを露光、現像処理する工程を示す図である。これにより、次工程のエッチング処理に対するエッチングレジスト18が形成される。

【0057】

図4Iは、第1及び第2めっき層のエッチング処理工程を示す図である。エッチングレジスト18を利用して、いずれも無電解メッキ層である第1めっき層16及び第2めっき層17をエッチングして導体ランド（パターン）を形成する。その後、エッチングレジスト18を剥離する。

【0058】

図4Jは、Sn層14のエッチング処理工程を示す図である。Sn剥離剤を利用して、第1めっき層16の下方に位置するSn層14を部分的にエッチングする。

20

【0059】

図4Kは、部品実装用ピンを形成する工程を示す図である。、第1めっき層16の下方に位置するSn層14が除去されたことにより、部品実装用ピン18が立ち上がる。この部品実装用ピン18は、引っ張り応力の発生し易い第1めっき層16と、圧縮応力の発生し易い第2めっき層17との二層構造で形成されているため、第1めっき層16が伸張し、第2めっき層17が収縮することにより、上方に立ち上がる。

【0060】

図4Lは、保護膜形成（コーティング）工程を示す図である。所望により、部品実装用ピン18に導電性の保護皮膜を形成する。このコーティングとしては、例えば、めっきを利用してNi, Au, Cu, Pd/Sn等から選ばれる一層又は複数層の皮膜を形成する。

30

[本実施形態の効果]

上記実施形態によれば、以下の効果がある。

【0061】

(1)半導体チップとプリント配線板との熱膨張係数の差に起因した接続不良の発生の減少

半導体チップとプリント配線板とは、可撓性、弾性、屈曲性等を有する部品実装用ピンで接続（部品実装用ピンの反発力を利用した機械的接合）されているため、曝される温度によって発生する膨張差による剪断応力（機械的エネルギー）を吸収することができる。半導体チップとプリント配線板の膨張差を吸収できるので、半田接続部に過重な応力が集中せず、接続部分の損壊を減少することができる。

40

【0062】

この部品実装用ピンは、360度の方向の応力を吸収することができる。この結果、半導体チップとプリント配線板との熱膨張係数の差に起因した接続不良の発生を減少し得るプリント配線板を提供することができる。

【0063】

(2)良好な電気的特性

半導体チップとプリント配線板とを、プリント配線板のパターンを利用した部品実装用ピンで接続しているので、必然的に接続長さが短くなり良好な電気的特性が得られる。例

50

えば、1枚のプリント板に、複数個の半導体チップを搭載した電子機器 (Multichip module) において、特性インピーダンス  $Z_0$  が一定になるように設計されたプリント配線板のマイクロストリップラインに対して、長さの極端に短い部品実装用ピンを形成して半導体チップと接続することにより、特性インピーダンス  $Z_0$  の不整合に起因する電氣的不良を低減することができる。

【 0 0 6 4 】

(3) 電子機器の高速化

半導体チップとプリント配線板とを、寸法の短い部品実装用ピンで接続しているの、電子機器の高速化を図ることができる。

【 0 0 6 5 】

(4) 電子機器の各回路要素に対する良好な電源供給

半導体チップとプリント配線板とを、電気抵抗の低い部品実装用ピンで接続しているので、電子機器の各回路要素に対する電源供給の際の無用な電圧降下を防止できる。電気抵抗の低い部品実装用ピンとしては、例えば、Cu, Au, Ag 又はこれらの任意の合金製の部品実装用ピン、これらの金属で表面処理した部品実装用ピンを使用できる。

【 0 0 6 6 】

(5) 信号の高速伝送

半導体チップとプリント配線板とを、空気中に立ち上がった部品実装用ピンで接続しているの、信号の高速伝送が可能となる。即ち、ガラスエポキシ基板など比誘電率  $\epsilon_r$  が 1 より大きい基板の中を流れる電気信号の速さは  $v = c / (\epsilon_r)^{1/2}$  (m/s) になるのに対して、空気中に立ち上がった部品実装用ピンでは真空中に近い速度と考えられ、 $v = c$  (m/s) と一層速くなる。

【 0 0 6 7 】

(6) 半導体チップとプリント配線板との良好な電氣的接続

図 2 を用いて説明した部品実装用ピン圧接実装構造を有する電子機器 4 では、半導体チップとプリント配線板とは部品実装用ピンの反発力を利用した状態で機械的に接合しているため、接触抵抗が比較的低い状態の電氣的接続が得られる。

【 0 0 6 8 】

(7) 比較的大きいプリント配線板であっても適用が可能

図 2 を用いて説明した部品実装用ピン圧接実装構造を有する電子機器では、半導体チップに対してプリント配線板を押し付けることにより両者間の電氣的接続が確保できる。従って、コア基板が存在しないコアレス基板やコア基板の厚さが薄い基板のような反りの発生が比較的大きいプリント配線板であっても、この部品実装用ピン圧接実装構造を有する電子機器を実現できる。

【 0 0 6 9 】

(8) 変更作業, 補修作業が容易

図 2 を用いて説明した部品実装用ピン圧接実装構造を有する電子機器では、半導体チップとプリント配線板とは半田接続されていないため、変更作業, 補修作業 (Repair) 等の際に、容易に半導体チップとプリント配線板とを分離できる。

【 0 0 7 0 】

(9) プリント配線板に熱によるダメージが無い。

【 0 0 7 1 】

図 2 を用いて説明した部品実装用ピン圧接実装構造を有する電子機器では、半導体チップとプリント配線板とは半田接続されないため、プリント配線板に対してリフロー工程等の熱履歴が残らない。即ち、プリント配線板に熱によるダメージは発生しない。

【 0 0 7 2 】

(10) プリント配線板のパターンを高密度化が可能

図 2 を用いて説明した部品実装用ピン圧接実装構造を有する電子機器では、リフロー工程等の熱履歴が残らない。熱によるダメージがないため、プリント配線板のパターンを高密度化 (ファイン化) ができる。

10

20

30

40

50

## 【0073】

即ち、リフロー温度は、プリント配線板が曝される温度で最も高い温度であり、リフロー時にプリント配線板が受けるストレスに対応出来るように、設計上種々の制約がある。例えば、ビルドアッププリント配線板ではビアホール底径を所定値以上（例えば、60 μm以上）としたり、絶縁層と導体層間の密着を確保するために導体層を所定値以上（例えば、2 μm以上）の導体粗化処理を必要とする。しかし、リフロー工程を不要とすることにより、このような制約が無くなり、ビアホール径を一層小さくでき、また導体粗化を一層小さく出来るので、プリント配線板のパターンを高密度化ができる。或いは、導体粗化を無くすことも可能である（導体表面が平滑）。

## 〔その他〕

以上により、部品実装用ピンを有するプリント配線板及びこれを使用した電子機器の実施形態について説明したが、これらは例示であって、本発明はこれに限定されない。当業者が容易になしえる付加・削除・変換・改良等は、本発明の範囲に含まれる。

## 【0074】

本発明の技術的範囲は、添付の特許請求の範囲の記載によって定められる。

## 【図面の簡単な説明】

## 【0075】

【図1】図1は、部品実装用ピンを有するプリント配線板の構成の一部を示す図である。

【図2】図2は、部品実装用ピンを有するプリント配線板を使用した電子機器の一部を示す図である。

【図3】図3は、プリント配線板の部品実装用ピンと電子部品とを半田付けにより電気的接続を確保した電子機器の一部を示す図である。

【図4A】図4Aは、部品実装用ピンを有するプリント配線板の製造方法において、基材を準備する工程を示す図である。

【図4B】図4Bは、ソルダーレジストを形成する工程を示す図である。

【図4C】図4Cは、めっきレジストをラミネートし、露光、現像処理する工程を示す図である。

【図4D】図4Dは、Snめっき形成の工程を示す図である。

【図4E】図4Eは、第1めっき層形成の工程を示す図である。

【図4F】図4Fは、第2めっき層形成の工程を示す図である。

【図4G】図4Gは、めっきレジストをラミネートする工程を示す図である。

【図4H】図4Hは、めっきレジストを露光、現像処理する工程を示す図である。

【図4I】図4Iは、第1及び第2めっき層のエッチング処理工程を示す図である。

【図4J】図4Jは、Snめっきのエッチング処理工程を示す図である。

【図4K】図4Kは、部品実装用ピンをリフトアップする工程を示す図である。

【図4L】図4Lは、保護膜形成工程を示す図である。

## 【符号の説明】

## 【0076】

1：プリント配線板、 2：半導体装置（IC、LSI等）、 3：電極パッド、 4：電子機器、 5：フィルドビア、 10：絶縁層、 11：最外層導体、導体ランド、 12：ソルダーレジスト層、 12a：開口、 13：ドライフィルム、 13a：開口、 14：Sn層、 16：第1メッキ層、 17：第2メッキ層、 18：部品実装用ピン、 20：エッチングレジスト、

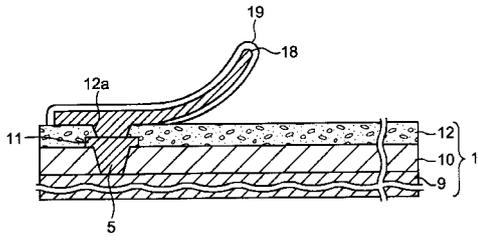
10

20

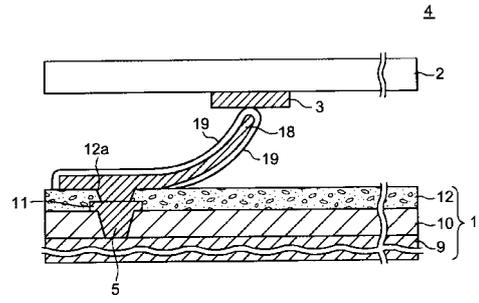
30

40

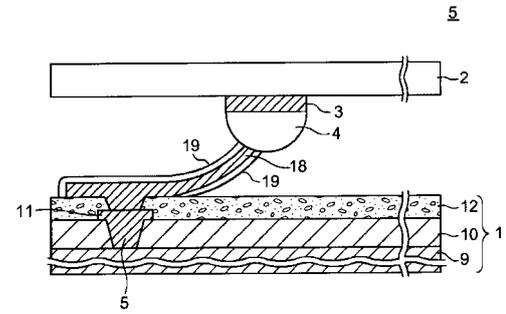
【図 1】



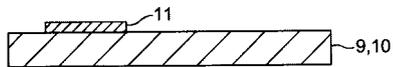
【図 2】



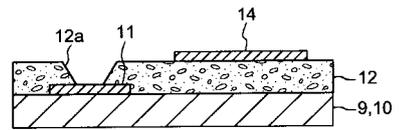
【図 3】



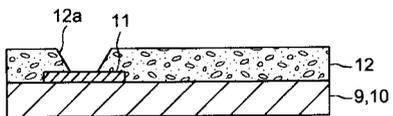
【図 4 A】



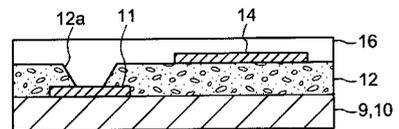
【図 4 D】



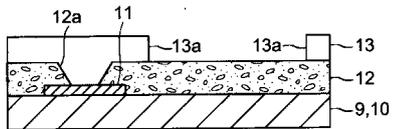
【図 4 B】



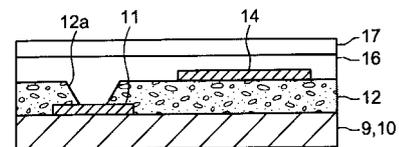
【図 4 E】



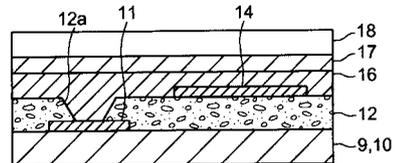
【図 4 C】



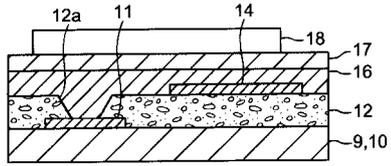
【図 4 F】



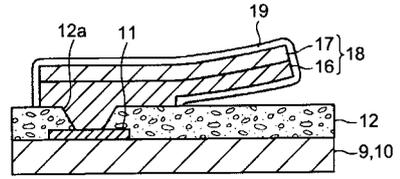
【図 4 G】



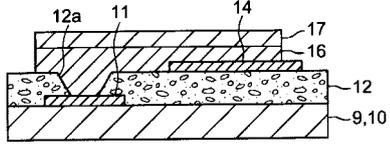
【 4 H 】



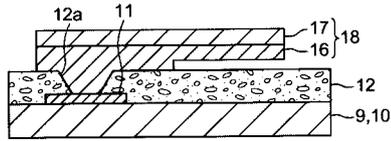
【 4 L 】



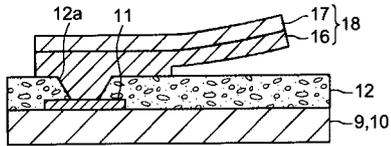
【 4 I 】



【 4 J 】



【 4 K 】



---

フロントページの続き

審査官 中尾 麗

- (56)参考文献 特表平11-506829(JP,A)  
特表2000-512437(JP,A)  
特表2001-502851(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H05K 3/34  
H01L 23/12