



(12) 发明专利

(10) 授权公告号 CN 101398803 B

(45) 授权公告日 2011.04.06

(21) 申请号 200710153176.0

(22) 申请日 2007.09.28

(73) 专利权人 国际商业机器公司
地址 美国纽约阿芒克

(72) 发明人 王峥 陈亮 汪文俊 冯宽

(74) 专利代理机构 北京市柳沈律师事务所
11105
代理人 黄小临 周少杰

(51) Int. Cl.

G06F 15/16 (2006.01)

G06F 13/28 (2006.01)

(56) 对比文件

CN 1941780 A, 2007.04.04, 全文.

US 2007/0074221 A1, 2007.03.29, 全文.

US 2007/0198628 A1, 2007.08.23, 全文.

审查员 杜军

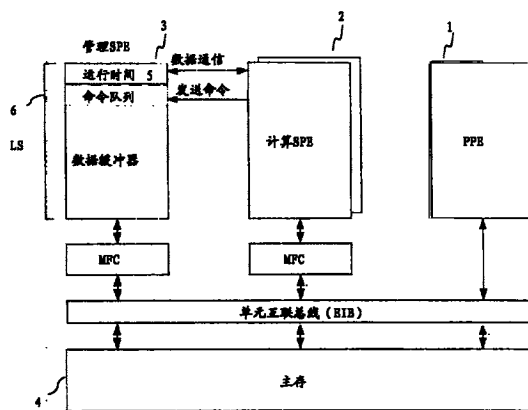
权利要求书 3 页 说明书 6 页 附图 3 页

(54) 发明名称

管理数据移动的方法和使用该方法的细胞宽带引擎处理器

(57) 摘要

一种在细胞宽带引擎处理器中管理数据移动的方法，包括：从细胞宽带引擎处理器的多个协处理器元件中确定一个或多个空闲 SPE 为管理 SPE，并将所述管理 SPE 的 LS 的起始有效地址和用于命令队列的有效地址通知给所述多个 SPE 中的计算 SPE；以及所述管理 SPE 基于来自计算 SPE 的命令队列管理与所述计算 SPE 的计算有关的数据的移动。



1. 一种在细胞宽带引擎处理器中管理数据移动的方法,包括:从细胞宽带引擎处理器的多个协处理器元件中确定一个或多个空闲协处理器元件为管理协处理器元件,并将所述管理协处理器元件的本地存储的起始有效地址和用于命令队列的有效地址通知给所述多个协处理器元件中的计算协处理器元件;以及所述管理协处理器元件通过轮询来自计算协处理器元件的命令队列并使用位于其局部存储中的数据缓冲器来管理与所述计算协处理器元件的计算有关的数据的移动。

2. 如权利要求 1 所述的方法,其中,所述管理协处理器元件通过轮询来自计算协处理器元件的命令队列并使用位于其局部存储中的数据缓冲器来管理与所述计算协处理器元件的计算有关的数据的移动包括如下步骤:

所述管理协处理器元件轮询所述命令队列中是否存在数据加载命令;

如果存在数据加载命令,则判断所需加载的数据是否已经位于所述数据缓冲器内;

如果所述数据已经位于所述数据缓冲器内,则基于所述计算协处理器元件进行计算的需要而发出 DMA 命令将该数据传送到位于计算协处理器元件中的目的地地址,并从命令队列中清除所述加载命令。

3. 如权利要求 2 所述的方法,其中,所述管理协处理器元件通过轮询来自计算协处理器元件的命令队列并使用位于其局部存储中的数据缓冲器来管理与所述计算协处理器元件的计算有关的数据的移动还包括如下步骤:

如果在所述数据缓冲器内没有所需加载的数据,则基于所需加载的数据的大小判断所述数据缓冲器是否已经充满;

如果所述数据缓冲器没有充满,则基于所述加载命令,发出 DMA 命令将所需加载的数据从主存加载到所述数据缓冲器。

4. 如权利要求 3 所述的方法,其中,所述管理协处理器元件通过轮询来自计算协处理器元件的命令队列并使用位于其局部存储中的数据缓冲器来管理与所述计算协处理器元件的计算有关的数据的移动还包括如下步骤:

如果所述数据缓冲器已经充满,则发出 DMA 命令将所需加载的数据从主存加载并覆写到所述数据缓冲器中的最近最少使用的缓存数据的地址中;以及

如果所述最近最少使用的缓存数据是被修改过的数据,则在所述覆写步骤之前发出 DMA 命令将所述修改过的数据存储到所述主存中的原始有效地址。

5. 如前述任意一个权利要求所述的方法,所述管理协处理器元件通过轮询来自计算协处理器元件的命令队列并使用位于其局部存储中的数据缓冲器来管理与所述计算协处理器元件的计算有关的数据的移动还包括如下步骤:

所述管理协处理器元件轮询所述命令队列中是否存在数据存储命令;

如果存在数据存储命令,则判断所需存储的数据是否已经位于所述数据缓冲器内;

如果所述数据已经位于所述数据缓冲器内,则从命令队列中清除所述存储命令。

6. 如权利要求 5 所述的方法,其中,所述管理协处理器元件通过轮询来自计算协处理器元件的命令队列并使用位于其局部存储中的数据缓冲器来管理与所述计算协处理器元件的计算有关的数据的移动还包括如下步骤:

如果在所述数据缓冲器内没有所需存储的数据,则基于所需存储的数据的大小判断所述数据缓冲器是否已经充满;

如果所述数据缓冲器没有充满,则基于所述存储命令,发出 DMA 命令将所需存储的数据从所述计算协处理器元件缓存到所述数据缓冲器。

7. 如权利要求 6 所述的方法,其中,所述管理协处理器元件通过轮询来自计算协处理器元件的命令队列并使用位于其局部存储中的数据缓冲器来管理与所述计算协处理器元件的计算有关的数据的移动还包括如下步骤:

如果所述数据缓冲器已经充满,则发出 DMA 命令将所需存储的数据从所述计算协处理器元件缓存并覆写到所述数据缓冲器中的最近最少使用的缓存数据的地址中;以及

如果所述最近最少使用的缓存数据是被修改过的数据,则在所述覆写之前发出 DMA 命令将所述修改过的缓存数据存储到所述主存中的原始有效地址。

8. 一种细胞宽带引擎处理器,包括强大处理器元件、多个协处理器元件、与每个协处理器元件相关联的存储流控制器和局部存储、内部中断控制器以及主存,其特征在于,在所述细胞宽带引擎处理器执行应用程序时,所述强大处理器元件用于从所述多个协处理器元件中创建一个计算协处理器元件以及从所述多个协处理器元件的空闲协处理器元件中为所述计算协处理器元件创建一个管理协处理器元件,并将与所述管理协处理器元件相关联的本地存储的起始有效地址和用于命令队列的有效地址通知给多个协处理器元件中的执行该应用程序的计算协处理器元件,而所述管理协处理器元件的本地存储中包括用于存储所述命令队列的部分和用于缓存数据的缓冲器部分,并且用于通过轮询来自计算协处理器元件的命令队列并使用位于其局部存储中的数据缓冲器来管理与所述计算协处理器元件的计算有关的数据的移动。

9. 如权利要求 8 所述的细胞宽带引擎处理器,其中,在所述命令队列中存在来自所述计算协处理器元件的数据加载命令并且所需加载的数据已经位于所述数据缓冲器内的情况下,所述管理协处理器元件用于基于所述计算协处理器元件进行计算的需要而发出 DMA 命令从而将该数据传送到所述计算协处理器元件中的目的地地址,并从所述命令队列中清除所述加载命令。

10. 如权利要求 9 所述的细胞宽带引擎处理器,其中,在所述命令队列中存在来自所述计算协处理器元件的数据加载命令并且所述数据缓冲器内没有所需加载的数据的情况下,所述管理协处理器元件用于在所述数据缓冲器的剩余空间足以存储所需加载的数据时发出 DMA 命令将所需加载的数据从主存加载到所述数据缓冲器。

11. 如权利要求 10 所述的细胞宽带引擎处理器,其中,在所述命令队列中存在来自所述计算协处理器元件的数据加载命令并且所述数据缓冲器内没有所需加载的数据的情况下,所述管理协处理器元件用于在所述数据缓冲器的剩余空间不足以存储所需加载的数据时发出 DMA 从而将所需加载的数据从主存加载并覆写到所述数据缓冲器中的最近最少使用的缓存数据的地址中,并且用于在所述最近最少使用的缓存数据是被修改过的情况下在进行所述覆写之前发出 DMA 命令将所述修改过的数据存储到所述主存中的原始有效地址。

12. 如前述任意一个权利要求所述的细胞宽带引擎处理器,其中,在所述命令队列中存在来自所述计算协处理器元件的数据存储命令并且所需存储的数据已经位于所述数据缓冲器内的情况下,所述管理协处理器元件用于从所述命令队列中清除所述存储命令。

13. 如权利要求 12 所述的细胞宽带引擎处理器,其中,在所述命令队列中存在来自所述计算协处理器元件的数据存储命令并且所述数据缓冲器内没有所需存储的数据的情况

下,所述管理协处理器元件用于在所述数据缓冲器的剩余空间足以存储所需存储的数据时发出 DMA 命令将所需存储的数据从所述计算协处理器元件缓存到所述数据缓冲器。

14. 如权利要求 13 所述的细胞宽带引擎处理器,其中,在所述命令队列中存在来自所述计算协处理器元件的数据存储命令并且所述数据缓冲器内没有所需存储的数据的情况下,所述管理协处理器元件用于在所述数据缓冲器的剩余空间不足以存储所需存储的数据时发出 DMA 命令将所需存储的数据从所述计算协处理器元件缓存并覆写到所述数据缓冲器中的最近最少使用的缓存数据的地址中,并且用于在所述最近最少使用的缓存数据是被修改过的情况下在进行所述覆写之前发出 DMA 命令将所述修改过的数据存储到所述主存中的原始有效地址。

管理数据移动的方法和使用该方法的细胞宽带引擎处理器

技术领域

[0001] 本发明涉及一种细胞宽带引擎处理器,尤其涉及一种在细胞宽带引擎处理器中管理数据移动的方法和使用该方法的细胞宽带引擎处理器。

背景技术

[0002] 细胞宽带引擎(以下简称为“CellBE”)处理器是利用并行处理的一类微处理器。通常,一个细胞宽带引擎处理器的基本配置包括“强大处理器元件”(以下简称为“PPE”)、8个“协处理器元件”(以下简称为“SPE”)、存储流控制器(以下简称为“MFC”)、内部中断控制器(以下简称为“IIC”)以及主存。CellBE处理器的计算部件是PPE和SPE。CellBE处理器的构成部分采用高速总线“单元互连总线”(以下简称为“EIB”)连接在一起。8个SPE两两之间有25.6GB的高速总线可以进行数据交换,而SPE和主存之间一共只有25.6GB的总线,SPE之间的总线传输和各个SPE到主存之间的总线传输是可以并发的。CellBE处理器可以应用到手持装置到主计算机的各种应用中。

[0003] CellBE处理器为计算机的结构体系带来飞跃性的改变。CellBE处理器由于具备八个SPE,并且这八个SPE能够进行并行处理,因此显著地提高了计算机的计算性能。为了解决CellBE处理器中的存储壁垒问题,为CellBE处理器中的每个SPE都配备了一个专用的局部存储,每个SPE只能直接对其本地存储(以下简称为“LS”)进行存取。引入本地存储虽然能够降低存储等待,但是本地存储的大小通常为256KB,这样大小的存储空间由于对程序二进制尺寸的限制而为开发者带来了不便。而且,由于这样的SPE缺乏高速缓存器,这会显著地降低CellBE处理器处理大数据量应用程序的计算性能,这些大数据量应用程序诸如高性能计算、数字媒体、以及财务应用程序。

[0004] 为了解决上述问题,现有的CellBE处理器为SPE增设了专用的物理高速缓存器,这虽然提高了计算性能,但是也使得CellBE处理器的架构体系更为复杂,导致成本的增加。另外一种方法是采用软高速缓存器,该方法使用本地存储的一部分作为软高速缓存器。这种技术方案的缺点在于该技术会降低本地存储的可用空间,并且一旦程序比较大时,该软高速缓存器将不能使用。

[0005] 另外,现有技术的另一个问题是本地存储对持久数据管理。由于本地存储的大小的局限,大多数持久数据必须放到由PPE管理的主存。这样就存在几个与主存进行通信的缺点。首先,PPE中的处理可能被OS切断,并且PPE和SPE之间的通信开销将会增加。其次,主存中的数据将被换出到硬盘换区中,这样就会增加处理的等待。其三,不规则的数据移动易于导致高速缓存器不一致(inconsistent)的问题,诸如高速缓存器伪共享(false sharing)问题。

[0006] 为了解决至少上述问题之一,本发明提供一种有效的持久数据管理方法以增强软件管理高速缓存器的性能和适用性。

发明内容

[0007] 因此,根据本发明一个方面,提供了一种在细胞宽带引擎处理器中管理数据移动的方法,包括:从细胞宽带引擎处理器的多个 SPE 中确定一个或多个空闲 SPE,并将所述空闲 SPE 的 LS 的起始有效地址和用于命令队列的有效地址通知给所述多个 SPE 中的计算 SPE;以及所述空闲 SPE 基于来自计算 SPE 的命令队列管理与所述计算 SPE 的计算有关的数据的移动。

[0008] 根据本发明另一个方面,提供一种细胞宽带引擎处理器,包括具有强大处理器元件 (PPE)、多个协处理器元件 (SPE)、与每个 SPE 相关联的存储流控制器 (MFC) 和局部存储 (LS)、内部中断控制器 (IIC) 以及主存,其特征在于,在所述细胞宽带引擎处理器执行应用程序时,所述强大处理器元件用于从所述多个 SPE 中创建一个计算 SPE 以及从所述多个 SPE 的空闲 SPE 中为所述计算 SPE 创建一个管理 SPE,并将与所述管理 SPE 相关联的 LS 的起始有效地址和用于命令队列的有效地址通知给多个协处理器元件中的执行该应用程序的计算 SPE,而所述管理 SPE 的 LS 中包括用于存储所述命令队列的部分和用于缓存数据的缓冲器部分,并且用于基于来自计算 SPE 的命令队列管理与所述计算 SPE 的计算有关的数据的移动。

附图说明

[0009] 下面参照附图仅作为示例详细描述本发明的实施例,其中:

[0010] 图 1 所示的是根据本发明的在细胞宽带引擎处理器中管理数据移动的方法的加载数据流程图;

[0011] 图 2 所示的是根据本发明的在细胞宽带引擎处理器中管理数据移动的方法的存储数据流程图;

[0012] 图 3 所示的是根据本发明的细胞宽带引擎处理器的管理 SPE 和计算 SPE 的架构体系的示意图;

具体实施方式

[0013] 本发明一个方面是提供一种在细胞宽带引擎处理器中管理数据移动的方法,包括:从细胞宽带引擎处理器的多个协处理器元件中确定一个或多个空闲 SPE 为管理 SPE 并将所述管理 SPE 的 LS 的起始有效地址和用于命令队列的有效地址通知给所述多个 SPE 中的计算 SPE;以及所述管理 SPE 基于来自计算 SPE 的命令队列管理与所述计算 SPE 的计算有关的数据的移动。

[0014] 图 1 所示的是根据本发明的在细胞宽带引擎处理器中管理数据移动的方法加载数据的流程图。首先,当在细胞宽带引擎处理器中运行一个应用程序时,在后面如图 3 所述的 PPE 中创建一个用于执行该应用程序的计算 SPE,并且将多个 SPE 中的空闲 SPE 创建为与与所述计算 SPE 的管理 SPE,该管理 SPE 用于管理该计算 SPE 的数据的移动(步骤 S102)。如后面参考图 3 所述,每个 SPE 都具有一个 Runtime,并且该管理 SPE 具有用于存储命令队列的部分和用于缓存数据的缓冲器。在 PPE 创建管理 SPE 的同时,将所述管理 SPE 的 LS 的起始有效地址和用于命令队列的有效地址通知给所述计算 SPE。所述计算 SPE 在执行应用程序的过程中或预先将数据加载命令发送到所述管理 SPE 中的命令队列中,该命令指示管理 SPE 将计算 SPE 所需的数据及时地加载到计算 SPE(步骤 S103)。该计算 SPE 能够通过

DMA、邮箱或其它 SPE-SPE 通信方法发出该命令。该数据加载命令是一种如下描述的四元数 (SRC, DEST, SIZE, READYBIT_EA), 在该四元数中, 各个元的顺序可以有所不同。其中, SRC 是数据的需要加载的有效地址, 在加载阶段, 通常是该数据在主存中的有效地址, 也可以管理 SPE 中的 LS 的地址; DEST 是数据需要存储的有效地址, 在加载阶段, 通常是计算 SPE 中的有效地址; SIZE 是需要移动或加载的数据大小, 以及 READYBIT_EA 是准备好的比特的有效地址, 即计算 SPE 在该数据已经从管理 SPE 传送到计算 SPE 中时, 计算 SPE 中的运行时间 (Runtime) 该数据设定为有效。所述管理 SPE 确认接收到所述的数据加载命令, 并准备执行该数据加载命令 (步骤 S104)。

[0015] 在所述管理 SPE 确认所述命令队列中存在所述数据加载命令之后, 首先根据所述四元数描述的加载命令, 确定其本地存储 LS 的缓冲器中是否已经存在所要加载的数据 (步骤 S105, 是)。如果所要加载的数据已经缓存在所述缓冲器中, 所述管理 SPE 则发出 DMA (直接存储器存取), 将所需加载的数据从管理 SPE 的缓冲器发送到计算 SPE 中的目的地有效地址 DEST (步骤 S106)。然后将所述数据加载命令从所述命令队列中清除掉 (步骤 S107) 然后结束加载进程 (步骤 S108)。

[0016] 如果所述管理 SPE 根据所述四元数描述的加载命令, 确定其本地存储 LS 的缓冲器中没有所要加载的数据 (步骤 S105, 否), 该管理 SPE 则需要判断其缓冲器是否已经没有空间用于缓存所需要加载的数据 (步骤 S109)。如果在步骤 S109 处的判断结果为“否”, 则进程前进到步骤 S113。在步骤 S113 处, 所述管理 SPE 基于该四元数描述的加载命令, 发出 DMA (直接存储器存取), 从而将所需加载的数据从所述主存缓存到所述管理 SPE 的缓冲器。随后进程前进到步骤 S106。

[0017] 另外, 如果所述管理 SPE 在步骤 S109 处判断其缓冲器已经没有空间用于缓存所需要加载的数据, 则进程前进到步骤 S110。在步骤 S110 处, 所述管理 SPE 利用最近最少使用原则 (LRU) 找到缓冲器内所缓存的最近最少使用的数据, 并确定该最近最少使用的数据的输入项是否被修改过。通常, 如果该数据未修改过, 则将该数据被标记为“load (加载)”, 如果该数据被修改过, 则标记为“store (存储)”。如果在步骤 S110 处的判断结果为“否”, 则进程前进到步骤 S112。在步骤 S112 处, 所述管理 SPE 基于该四元数描述的加载命令, 发出 DMA (直接存储器存取), 从而将所需加载的数据从所述主存直接缓存并覆写到所述最近最少使用的数据在所述管理 SPE 的缓冲器中的地址。随后进程前进到步骤 S106。

[0018] 此外, 如果在步骤 S110 处, 所述管理 SPE 确定该最近最少使用的数据的输入项被修改过, 例如该最近最少使用的数据被标记为“store (存储)”, 则进程前进到步骤 S111。在步骤 S111 处, 发出 DMA (直接存储器存取), 将所述管理 SPE 基于该四元数描述的加载命令, 所述管理 SPE 发出 DMA (直接存储器存取), 从而将所述修改后的最近最少使用的数据从其缓冲器存储在所述主存的原始有效地址。随后进程前进到步骤 S112。

[0019] 图 2 所示的是根据本发明的在细胞宽带引擎处理器中管理数据移动的方法存储数据的流程图。与参加图 1 所描述的相同, 首先, 在细胞宽带引擎处理器中运行一个应用程序时, 所述 PPE 中创建一个用于执行该应用程序的计算 SPE, 并且将多个 SPE 中的空闲 SPE 创建为用与所述计算 SPE 的管理 SPE, 该管理 SPE 用于管理该计算 SPE 的数据的移动 (步骤 S102)。所述管理 SPE 具有用于存储命令队列的部分和用于缓存数据的缓冲器。在 PPE 创建管理 SPE 的同时, 所述计算 SPE 已经获得所述管理 SPE 的 LS 的起始有效地址和用于命令

队列的有效地址。所述计算 SPE 在执行应用程序而需要存储所产生的数据时将数据存储命令发送到所述管理 SPE 中的命令队列中,该命令指示管理 SPE 将计算 SPE 所产生的数据缓存到管理 SPE 缓冲器中或随后存储到所述主存中(步骤 S203)。该计算 SPE 能够通过 DMA、邮箱或其它 SPE-SPE 通信方法发出该命令。该数据缓存命令同样是一种四元数 (SRC, DEST, SIZE, READYBIT_EA),其中, SRC 是数据的需要存储的有效地址,在存储阶段,通常是该数据在计算 SPE 中的有效地址;DEST 是数据需要存储的有效地址,在存储阶段,通常是主存或管理 SPE 的缓冲器内的有效地址;SIZE 是需要移动或存储的数据大小,以及 READYBIT_EA 是准备好的比特的有效地址,即管理 SPE 中的运行时间 (Runtime) 将已经缓存到缓冲器中的数据设定为有效。所述管理 SPE 确认接收到所述的数据缓存命令,并准备执行该数据缓存命令(步骤 S204)。

[0020] 在所述管理 SPE 确认所述命令队列中存在所述数据缓存命令之后,首先根据所述四元数描述的加载命令,确定其本地存储 LS 的缓冲器中是否已经存在所要存储的数据(步骤 S205,是)。如果所要存储的数据已经缓存在所述缓冲器中,所述管理 SPE 则将所述数据缓存命令从所述命令队列中清除掉(步骤 S207)然后结束存储进程(步骤 S208)。或者,可以在所要存储的数据已经位于缓冲器中的情况下直接将所要存储的数据覆写到缓冲器中相同数据的地址中。

[0021] 如果所述管理 SPE 根据所述四元数描述的存储命令,确定其本地存储 LS 的缓冲器中没有所要存储的数据(步骤 S205,否),该管理 SPE 则需要判断其缓冲器是否已经没有空间用于缓存所需要存储的数据(步骤 S209)。如果在步骤 S209 处的判断结果为“否”,则进程前进到步骤 S213。在步骤 S213 处,所述管理 SPE 基于该四元数描述的存储命令,发出 DMA(直接存储器存取),从而将所需存储的数据从所述计算 SPE 缓存到所述管理 SPE 的缓冲器。随后进程前进到步骤 S207。

[0022] 另外,如果所述管理 SPE 在步骤 S209 处判断其缓冲器已经没有空间用于缓存所需要存储的数据,则进程前进到步骤 S210。在步骤 S210 处,所述管理 SPE 利用最近最少使用原则 (LRU) 找到缓冲器内所缓存的最近最少使用的数据,并确定该最近最少使用的数据的输入项是否被修改过。如果在步骤 S210 处的判断结果为“否”,即该数据未修改过,例如该最近最少使用的数据被标记为“load”(加载)”则进程前进到步骤 S212。在步骤 S212 处,所述管理 SPE 基于该四元数描述的存储命令,发出 DMA(直接存储器存取),从而将所需存储的数据从所述计算 SPE 直接缓存并覆写到所述最近最少使用的数据在所述管理 SPE 的缓冲器中的地址。随后进程前进到步骤 S207。

[0023] 此外,如果在步骤 S210 处,所述管理 SPE 确定该最近最少使用的数据的输入项被修改过,例如该最近最少使用的数据被标记为“store(存储)”,则进程前进到步骤 S211。在步骤 S211 处,发出 DMA(直接存储器存取),将所述管理 SPE 基于该四元数描述的存储命令,所述管理 SPE 发出 DMA(直接存储器存取),从而将所述修改后的最近最少使用的数据从其缓冲器存储在所述主存的原始有效地址。随后进程前进到步骤 S212。

[0024] 本发明另一方面提供了一种运行上述数据移动管理方法的细胞宽带引擎处理器,包括具有强大处理器元件 (PPE)、多个协处理器元件 (SPE)、与每个 SPE 相关联的存储流控制器 (MFC) 和局部存储 (LS)、内部中断控制器 (IIC) 以及主存,其特征在于,在所述细胞宽带引擎处理器执行应用程序时,所述强大处理器元件用于从所述多个 SPE 中创建一个计算

SPE 以及从所述多个 SPE 的空闲 SPE 中为所述计算 SPE 创建一个管理 SPE,并将与所述管理 SPE 相关联的 LS 的起始有效地址和用于命令队列的有效地址通知给多个协处理器元件中的执行该应用程序的计算 SPE,而所述管理 SPE 的 LS 中包括用于存储所述命令队列的部分和用于缓存数据的缓冲器部分,并且用于基于来自计算 SPE 的命令队列管理与所述计算 SPE 的计算有关的数据的移动。

[0025] 图 3 所示的是根据本发明的细胞宽带引擎处理器的管理 SPE 和计算 SPE 的架构体系的示意图。为了简便起见,其中与本发明没有直接关系的一些元件被省略。其中相同的元件采用相同的附图标记来指代。

[0026] 如图 3 所示,根据本发明的细胞宽带引擎处理器主要包括强大处理器元件 (PPE) 1、计算协处理器元件 (SPE) 2、管理协处理器元件 (SPE) 3 以及主存 4。每个协处理器元件都可包括本地存储 (LS) 5 和运行时间 (以下简称为“Runtime”) 6,该 Runtime 用于管理各自所属协处理器元件中的本地存储 5 和来自其它协处理器元件的数据存取。所述管理 SPE 的 LS 中包括用于存储计算 SPE 发送来的命令的命令队列存储部分以及用于缓存数据的数据缓冲器。所述 Runtime 可以根据命令队列中的数据加载命令从主存 4 中预取数据以及负责将缓存在数据缓冲器中的数据写入主存 4 或计算 SPE2 的 LS 中。

[0027] 在细胞宽带引擎处理器执行应用程序的过程中,管理 SPE 是用于 PPE-SPE 以及 SPE-SPE 数据通信的代理。管理 SPE 负责从主存和本地存储加载数据、负责将数据存储在主存和本地存储、以及负责将修改后的数据写回主存和本地存储。

[0028] 所述运行时间响应于来自其它 SPE 的数据加载和存储请求在管理 SPE 中运行。其发出 DMA 以便从主存 (或本地存储) 中加载数据并将该数据放入数据缓冲器中,并且该运行时间将处理用于其它 SPE 的数据移动。

[0029] 所述命令队列是计算 SPE 和管理 SPE 之间的通信信道。计算 SPE 发送其数据加载 / 存储命令进入该命令队列,并且该管理 SPE 从该队列中检索请求。

[0030] 参见图 3,在所述细胞宽带引擎处理器执行应用程序时,所述 PPE 创建用于管理 SPE 的一个 SPE 线程,同时将与所述管理 SPE 相关联的 LS 的起始有效地址和用于命令队列的有效地址通知给所述计算 SPE。当计算 SPE 需要执行数据加载 / 存储操作时,该计算 SPE 向管理数据移动 SPE 发出请求或命令。该计算 SPE 能够通过 DMA、邮箱或其它 SPE-SPE 通信方法发出该命令。该数据存储命令是一种四元数 (SRC, DEST, SIZE, READYBIT_EA),其中, SRC 是数据的需要存储的有效地址 ;DEST 是数据需要存储的有效地址 ;SIZE 是需要移动或存储的数据大小,以及 READYBIT_EA 是准备好的比特的有效地址 Runtime 在数据准备好时将其设置为有效。SRC、DEST 以及 READYBIT_EA 可以是主存或本地存储的地址。

[0031] 采用本发明,使得本发明的细胞宽带引擎处理器在执行应用程序时所能获得缓冲器的空间显著大于现有的软高速缓存器方案,并且不会降低程序的可获得空间。本发明不会与 SPE 的上进 (up and coming) 技术产生冲突,也不需要额外的硬件支持。由于采用本发明,存储在管理 SPE 中的数据将不会被操作系统换出到硬盘换区,并且计算 SPE 中的运行程序的存储流控制 (MFC) 能够被用于 PPE-SPE 通信,因为数据的加载和存储工作是通过管理 SPE 来执行的。由于具备了管理 SPE 中的缓冲器,可以缓存更多的持久数据,因此降低通信的成本,而且由于本地存储的启动时间最小化,因此计算 SPE 到 PPE 数据移动的等待和输出会更好。

[0032] 需要指出的是本发明并不对用于数据管理的 SPE 的数量进行限制,并且实施方式能够使用所有可用的 SPE 或 SPE 的某些部分。而且一个管理 SPE 能够为多个 SPE 服务。我们也不限制使用其它的缓冲器管理和数据预取技术。

[0033] 本发明的描述是为了示例说明的目的而提供的,而不旨在是彻底无遗漏的,或者局限于所公开的实施例。很多修改和变更对于本领域的普通技术人员将是清楚的。选择这些实施例是为了说明本发明的原理及其实际应用,并且使得本领域的其他普通技术人员能够理解本发明,以便实现可能适于其他预期用途的具有各种修改的各种实施例。

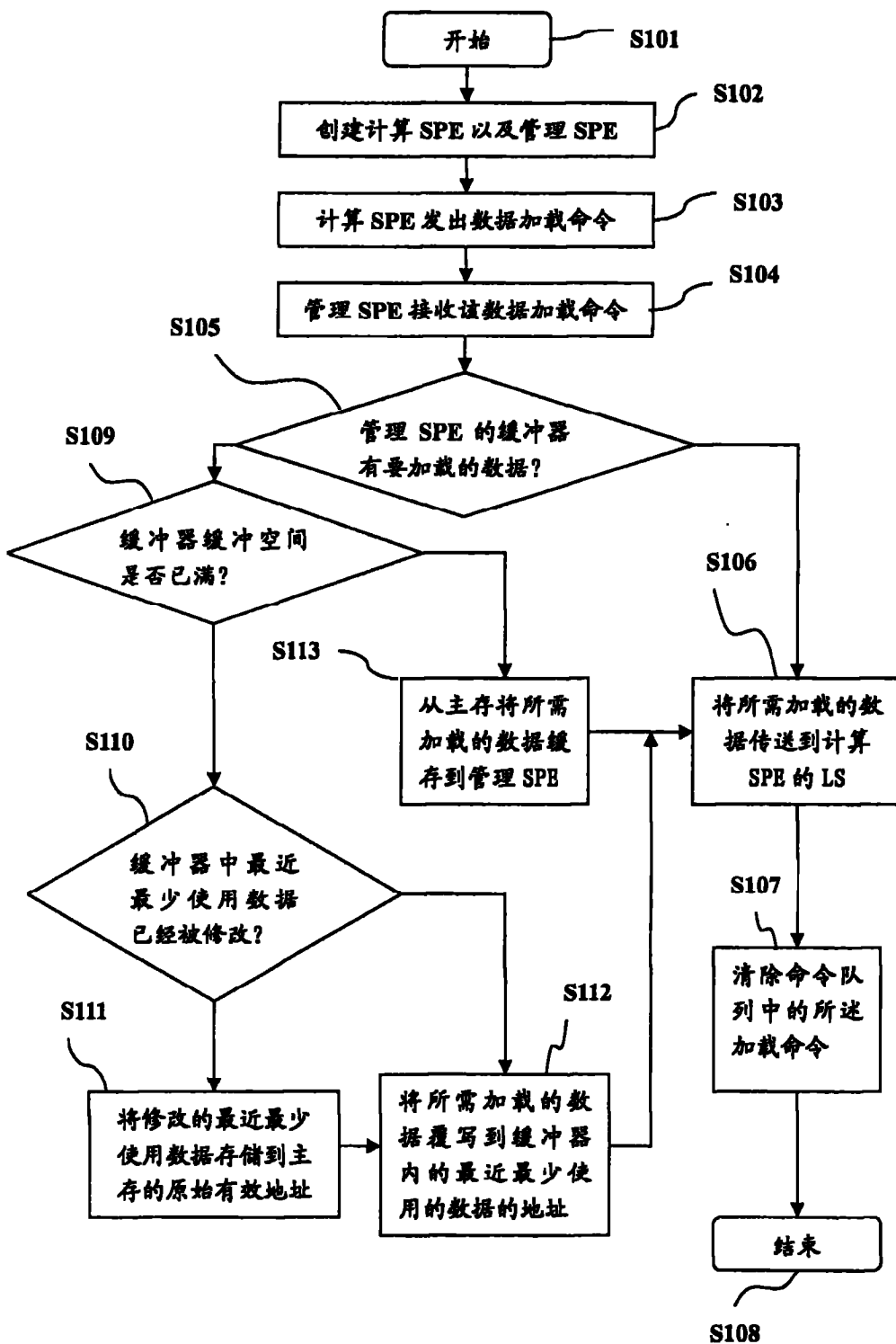


图 1

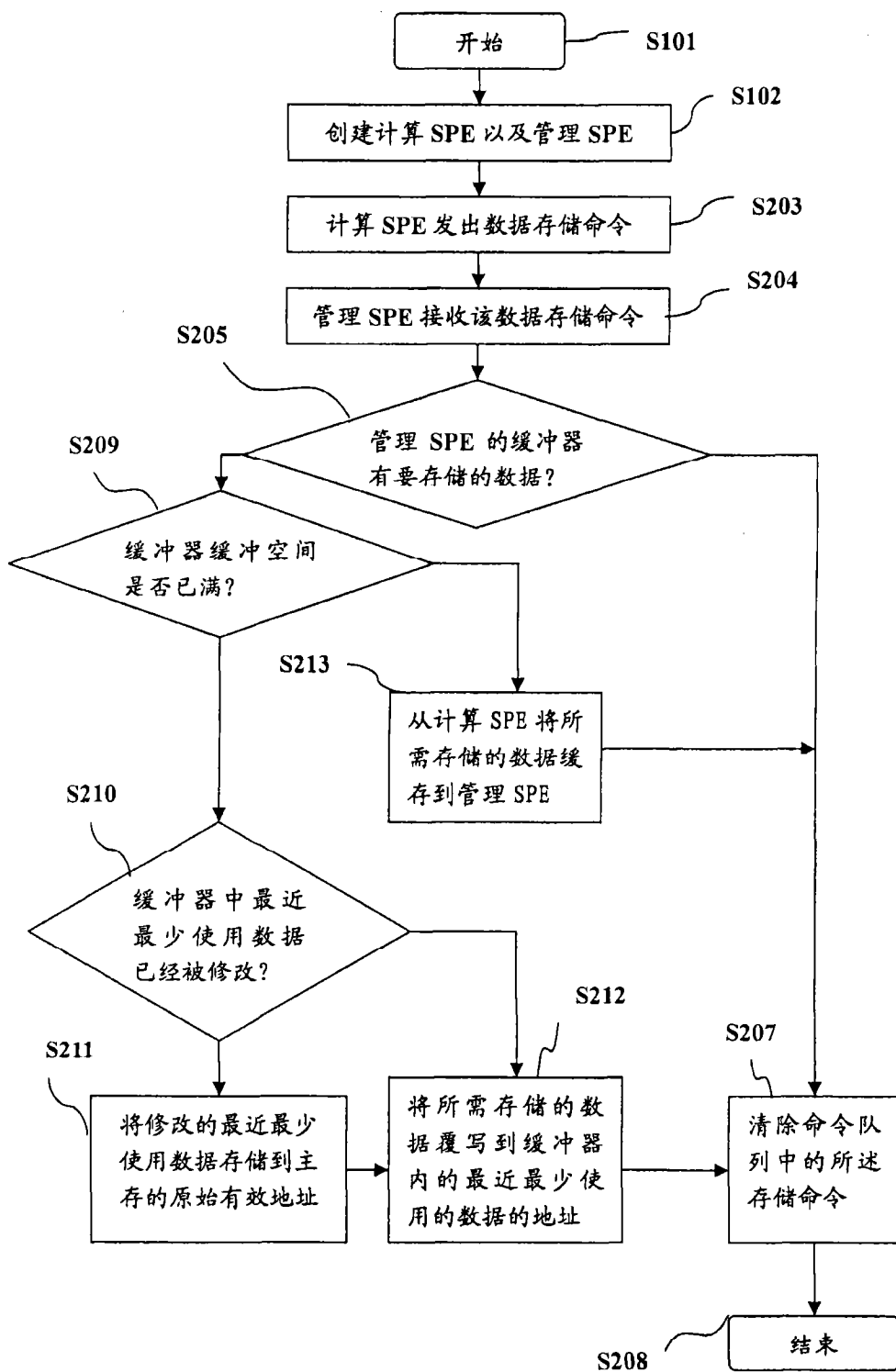


图 2

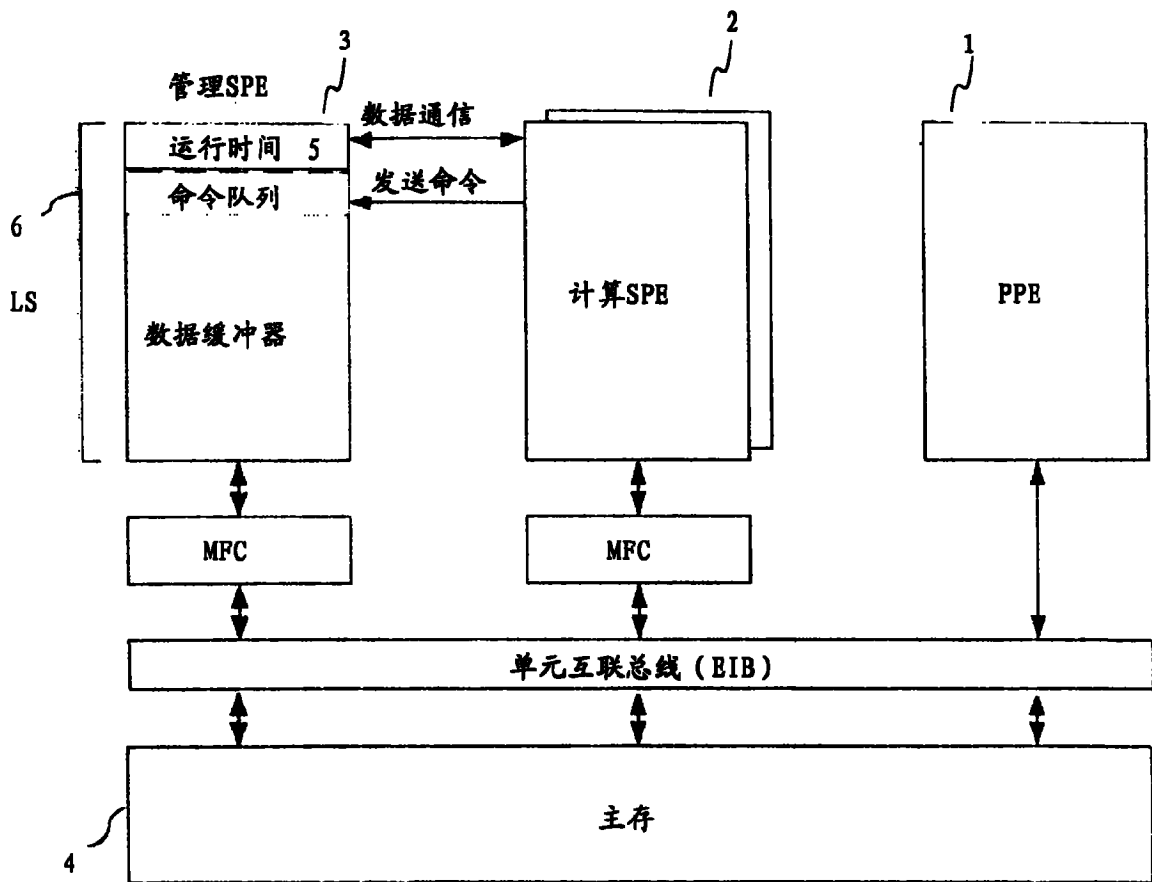


图 3