



(12) 发明专利申请

(10) 申请公布号 CN 118230794 A

(43) 申请公布日 2024. 06. 21

(21) 申请号 202310930979.1

(22) 申请日 2023.07.27

(30) 优先权数据

2022-202224 2022.12.19 JP

(71) 申请人 铠侠股份有限公司

地址 日本东京都

(72) 发明人 庄野温夫 岩崎清隆

(74) 专利代理机构 北京市中咨律师事务所

11247

专利代理师 张洁 段承恩

(51) Int. Cl.

G11C 16/10 (2006.01)

G11C 16/32 (2006.01)

G06F 1/3234 (2019.01)

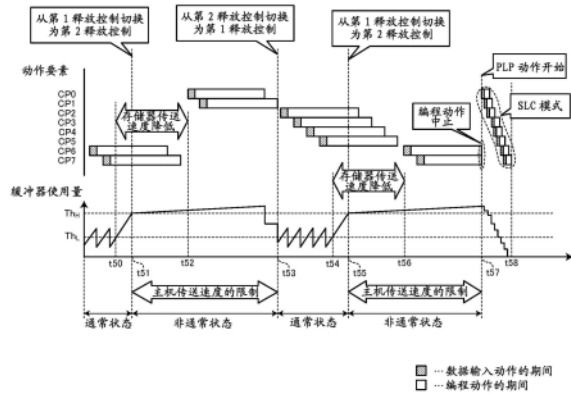
权利要求书2页 说明书20页 附图17页

(54) 发明名称

存储器系统

(57) 摘要

提供一种抑制在进行PLP动作时的耗电量的存储器系统。存储器控制器构成为，在从区域单位的分配起到针对保存于区域单位的数据单位的数据输入动作的完成为止的期间内设定的第1定时，在缓冲区的使用量比第1阈值少的第1状态的情况下，根据针对数据单位的数据输入动作的完成而将区域单位释放，在第1定时，在缓冲区的使用量比大于第1阈值的第2阈值多的第2状态的情况下，根据针对数据单位的编程动作的完成而将区域单位释放。



1. 一种存储器系统,是能够与主机连接的存储器系统,具备:
非易失性的第1存储器,其具有包括多个存储单元的存储单元阵列;
易失性的第2存储器;以及
存储器控制器,其构成为,
在从所述主机接收到写入请求的情况下,
在所述第2存储器的缓冲区分配区域单位,
将通过所述写入请求而请求向所述第1存储器写入的数据单位保存于所述区域单位,
执行包括数据输入动作和编程动作的针对所述数据单位的写入动作,所述数据输入动作是向所述第1存储器传送所述数据单位的动作,所述编程动作是将通过所述数据输入动作输入到所述第1存储器的所述数据单位写入所述存储单元阵列的动作,

所述存储器控制器还构成为,

在从所述区域单位的分配起到针对保存于所述区域单位的所述数据单位的所述数据输入动作的完成为止的期间内设定的第1定时,在所述缓冲区的使用量比第1阈值少的第1状态的情况下,根据针对所述数据单位的所述数据输入动作的完成而将所述区域单位释放,

在所述第1定时,在所述缓冲区的使用量比大于所述第1阈值的第2阈值多的第2状态的情况下,根据针对所述数据单位的所述编程动作的完成而将所述区域单位释放。

2. 根据权利要求1所述的存储器系统,

还具备蓄电装置,所述蓄电装置构成为储蓄电能,

所述存储器控制器还构成为,

在检测到电源切断后,利用储蓄于所述蓄电装置的所述电能进行动作,

如果完成针对所述数据单位的所述数据输入动作的第2定时在检测到所述电源切断之后,则在针对所述数据单位的所述编程动作中执行向每个存储单元写入具有第1数量的位数的数据的第1编程动作,

如果所述第2定时在检测到所述电源切断之前,则在针对所述数据单位的所述编程动作中执行向每个存储单元写入具有大于所述第1数量的第2数量的位数的数据的第2编程动作。

3. 根据权利要求2所述的存储器系统,

所述存储器控制器还构成为,

在检测到所述电源切断后,

如果正在执行针对所述数据单位的所述第2编程动作、且保存了所述数据单位的所述区域单位已完成释放,则继续进行针对所述数据单位的所述第2编程动作直至完成,

如果正在执行针对所述数据单位的所述第2编程动作、且保存了所述数据单位的所述区域单位尚未释放,则中止所述数据单位的所述第2编程动作,并通过所述第1编程动作将保存于尚未释放的所述区域单位的所述数据单位写入所述第1存储器。

4. 根据权利要求1所述的存储器系统,

所述存储器控制器还构成为,

在所述第1状态下,不限制从所述主机向所述存储器控制器的数据传送速度,

在所述第2状态下,限制从所述主机向所述存储器控制器的数据传送速度。

5. 根据权利要求1所述的存储器系统，

所述第1状态是所述缓冲区的使用量从低于所述第1阈值到超过所述第2阈值为止的所述缓冲区的使用量的状态，

所述第2状态是所述缓冲区的使用量从超过所述第2阈值到低于所述第1阈值为止的所述缓冲区的使用量的状态。

6. 根据权利要求1所述的存储器系统，

所述第2存储器包括第3存储器和第4存储器，所述第4存储器与所述第3存储器相比，动作慢且容量大，

所述缓冲区包括设置于所述第3存储器的第1缓冲区、和设置于所述第4存储器的第2缓冲区，

所述第2阈值与所述第1缓冲区的容量相等，

所述存储器控制器构成为，

在所述第1缓冲区具有能够分配所述区域单位的区域的情况下，在所述第1缓冲区分配所述区域单位，

在所述第1缓冲区没有能够分配所述区域单位的区域的情况下，在所述第2缓冲区分配所述区域单位。

7. 根据权利要求1~6中任一项所述的存储器系统，

所述第1定时是完成了针对所述数据单位的所述数据输入动作的定时。

8. 根据权利要求1~6中任一项所述的存储器系统，

所述第1定时是分配了所述区域单位的定时。

9. 根据权利要求1~6中任一项所述的存储器系统，

所述第1定时包括分配了所述区域单位的定时、和完成了针对所述数据单位的所述数据输入动作的定时。

存储器系统

技术领域

[0001] 本实施方式涉及存储器系统(memory system)。

背景技术

[0002] 以往,已知有具备非易失性存储器和易失性存储器的存储器系统。非易失性存储器作为储存器(storage)发挥功能。易失性存储器用作预定要写入非易失性存储器的数据的缓冲器(buffer)。

[0003] 存储器系统有时具有电容器。存储器系统在检测到电源切断(Power Loss,掉电)的情况下,利用储存于电容器的电能,将保存于易失性存储器的数据写入非易失性存储器。由此,保存于易失性存储器的数据退避(save,转存)到非易失性存储器,其结果,防止该数据从存储器系统丢失。这种功能作为PLP(Power Loss Protection,掉电保护)功能而被知悉。

[0004] 现有技术文献

[0005] 专利文献1:美国专利申请公开第2022/0147444号说明书

[0006] 专利文献2:美国专利申请公开第2022/0291857号说明书

[0007] 专利文献3:美国专利第10346072号说明书

发明内容

[0008] 发明所要解决的问题

[0009] 一个实施方式的目的,在于,提供抑制PLP动作时的耗电量的存储器系统。

[0010] 用于解决问题的技术方案

[0011] 根据一个实施方式,存储器系统能够与主机连接。存储器系统具备非易失性的第1存储器、易失性的第2存储器以及存储器控制器。第1存储器具有包括多个存储单元的存储单元阵列(memory cell array)。存储器控制器在第2存储器的缓冲区(buffer area)分配(allocate)区域单位,将通过写入请求而请求向第1存储器写入的数据单位保存于区域单位,执行包括数据输入(data-in)动作和编程(program)动作的针对数据单位的写入动作,所述数据输入动作是向第1存储器传送数据单位的动作,所述编程动作是将通过数据输入动作输入到第1存储器的数据单位写入存储单元阵列的动作。而且,存储器控制器在从区域单位的分配起到针对保存于区域单位的数据单位的数据输入动作的完成为止的期间内设定的第1定时(timing),在缓冲区的使用量比第1阈值少的第1状态的情况下,根据针对数据单位的数据输入动作的完成而将区域单位释放(deallocate,解除分配),在第1定时,在缓冲区的使用量比大于第1阈值的第2阈值多的第2状态的情况下,根据针对数据单位的编程动作的完成而将区域单位释放。

附图说明

[0012] 图1是示出实施方式涉及的存储器系统的构成的一例的示意性的图。

- [0013] 图2是示出实施方式的存储芯片的构成的一例的示意性的图。
- [0014] 图3是示出实施方式的区块(block)的电路结构的示意性的图。
- [0015] 图4是对SLC模式、MLC模式、TLC模式、QLC模式的各情形下的实施方式的分区进行说明的图。
- [0016] 图5是示出实施方式的存储器控制器的功能构成的一例的示意性的图。
- [0017] 图6是用于说明实施方式的缓冲器使用量的变化的一例、和与缓冲器使用量相应的主机传送速度的控制的一例的图。
- [0018] 图7是用于说明实施方式的第1释放控制的示意性的图。
- [0019] 图8是用于说明实施方式的第2释放控制的示意性的图。
- [0020] 图9是示出判定缓冲器使用量的状态的实施方式的动作的一例的流程图。
- [0021] 图10是示出实施方式的存储器系统从主机接收到写入请求时的动作的一例的流程图。
- [0022] 图11是示出实施方式的存储器系统的、没有检测到电源切断的期间内的向NAND存储器的写入动作的一例的流程图。
- [0023] 图12是示出实施方式的存储器系统的、检测到电源切断时的向NAND存储器的写入动作的一例的流程图。
- [0024] 图13是示出实施方式的存储器系统的控制的一例的示意性的图。
- [0025] 图14是示出实施方式的变形例1的存储器控制器的功能构成的一例的示意性的图。
- [0026] 图15是示出实施方式的变形例1的存储器系统从主机接收到写入请求时的动作的一例的流程图。
- [0027] 图16是示出实施方式的变形例1的存储器系统的、没有检测到电源切断的期间内的向NAND存储器的写入动作的一例的流程图。
- [0028] 图17是示出实施方式的变形例2的存储器系统的、没有检测到电源切断的期间内的向NAND存储器的写入动作的一例的流程图。
- [0029] 附图标记说明
- [0030] 1存储器系统;2主机;3外部电源;4分区;11、11a存储器控制器;12NAND存储器;13DRAM;14电源IC;15蓄电装置;20、20-0、20-1、20-2、20-3存储器封装体(memory package);31主机I/F;32、32-0、32-1NANDC;33CPU;34SRAM;40缓冲区;41第1缓冲区;42第2缓冲区;51区域管理信息;101主机写入受理部;102、102a缓冲器控制部;103PLP控制部;104NAND写入部;210外围电路;211存储单元阵列;212NAND串(string)。

具体实施方式

[0031] 以下,参照附图,对实施方式涉及的存储器系统进行详细说明。此外,本发明并不受本实施方式限定。

[0032] (实施方式)

[0033] 图1是示出实施方式涉及的存储器系统的构成的一例的示意性的图。如图1所示,存储器系统1能够通过预定的通信接口与主机2连接。主机2例如是处理器、个人计算机、便携信息终端或服务器。存储器系统1能够从主机2受理各种请求。各种请求包括写入请求或

读取请求等。存储器系统1在与外部电源3连接的情况下,接受来自外部电源3的电力的供给。外部电源3也可以内置于主机2。

[0034] 存储器系统1具备存储器控制器11、NAND型闪速存储器(NAND存储器)12、DRAM(Dynamic Random Access Memory,动态随机存取存储器)13、电源IC(Power Management Integrated Circuit,电源管理集成电路)14以及蓄电装置15。

[0035] NAND存储器12是作为存储器发挥功能的非易失性存储器。NAND存储器12包括1个以上的存储芯片CP。在此,作为1个以上的存储芯片CP的一例,图示出了8个存储芯片CP0~CP7。多个存储芯片CP也可以构成为由树脂等密封的1个封装体。在此,作为一例,图示出了包括存储芯片CP0、CP1的存储器封装体20-0、包括存储芯片CP2、CP3的存储器封装体20-1、包括存储芯片CP4、CP5的存储器封装体20-2以及包括存储芯片CP6、CP7的存储器封装体20-3。

[0036] 存储器控制器11与NAND存储器12经由1个以上的通道(channel)连接。在此,作为一例,存储器系统1具备2个通道CH0、CH1。2个通道CH0、CH1与存储器控制器11连接。存储器封装体20-0、20-1连接于通道CH0,存储器封装体20-2、20-3连接于通道CH1。

[0037] 此外,存储器系统1所具备的通道的数量、存储芯片CP的数量、存储器封装体20的数量、以及存储器控制器11与各存储芯片CP的布线不限于本例。

[0038] 存储器控制器11执行包括主机2与NAND存储器12之间的数据传送的各种处理。作为用于此的构成,存储器控制器11具备主机I/F(Interface,接口)31、1个以上的NANDC(NAND Controller,NAND控制器)32、CPU(Central Processing Unit,中央处理单元)33以及SRAM(Static Random Access Memory,静态随机存取存储器)34。

[0039] 主机I/F31控制与主机2之间的请求及数据等信息的传送。

[0040] CPU33基于固件程序来实现存储器控制器11整体的控制。

[0041] NANDC32基于来自CPU33的指示,将用于进行经由通道对NAND存储器12的访问(access)的命令传送给对象存储芯片CP,或进行与NAND存储器12之间的与该命令对应的数据的传送。对NAND存储器12的访问包括数据的写入、数据的读取以及数据的擦除。

[0042] 在图1所示的例子中,存储器控制器11具备2个NANDC32-0、32-1作为1个以上的NANDC的一例。NANDC32-0控制经由通道CH0的命令及数据的传送,NANDC32-1控制经由通道CH1的命令及数据的传送。存储器控制器11所具备的NANDC32的数量不限于2个。

[0043] SRAM34与DRAM13一起对存储器控制器11提供作为缓冲器或高速缓存的区域。例如,存储器控制器11能够将DRAM13和/或SRAM34用作在主机2与NAND存储器12之间传送的数据的缓冲器,或用作临时保存逻辑物理地址转换信息等各种管理信息的区域。逻辑物理地址转换信息是记录了主机2用于指定数据的位置的逻辑地址与表示NAND存储器12中的保存该数据的位置的物理地址的对应的信息。

[0044] DRAM13与SRAM34相比,动作慢且容量大。相比DRAM13,存储器控制器11优先选择SRAM34作为数据的缓冲目的地。关于数据的缓冲器的控制,将在后面叙述。

[0045] 电源IC14基于从外部电源3输入的电力,生成用于驱动存储器控制器11、NAND存储器12以及DRAM13的电力。而且,电源IC14将生成的电力向它们供给。

[0046] 蓄电装置15能够储存电能。蓄电装置15例如是能够充电的电容器或电池。以下,将蓄电装置15称为电容器15。在从外部电源3供给电力时,电容器15通过电源IC14充电,储存

电能。在发生了电源切断的情况下,即在来自外部电源3的电力供给停止了的情况下,通过电源IC14将电力供给源从外部电源3切换为电容器15。由此,基于储存于电容器15的电能,经由电源IC14向存储器控制器11、NAND存储器12以及DRAM13供给电力。即使在来自外部电源3的电力供给停止后,存储器控制器11、NAND存储器12以及DRAM13也能够在这段时间内利用储存于电容器15的电能来动作。存储器控制器11利用储存于电容器15的电能,执行使保存于易失性存储器(在该情况下为DRAM13或SRAM34)的数据退避到非易失性存储器(在该情况下为NAND存储器12)的PLP动作。

[0047] 在一例中,电源IC14对从外部电源3供给的电压进行监视。在电压低于预定电平的情况下,电源IC14判断为发生了电源切断,将电源切断信号发送给存储器控制器11所具备的CPU33。而且,电源IC14将电力供给源从外部电源3切换为电容器15。CPU33根据来自电源IC14的电源切断信号,开始PLP动作。

[0048] 此外,进行电源切断检测的要素也可以不是电源IC14。例如,也可以由CPU33进行电源切断检测。

[0049] 作为电容器15,能够采用任意的电容器。例如,可以采用电解电容器(electrolytic capacitor)或双电层电容器(electrical double layer capacitor)作为电容器15。

[0050] 作为来自外部电源3的电力供给停止的模式,可以有电力供给在存储器系统1从主机2接收到预告后停止的模式、和电力供给无预告地停止的模式。存储器控制器11也可以构成为,在接收到预告的情况下根据预告进行包括与PLP动作同样的处理在内的存储器系统1的关闭(shutdown),在电力供给无预告地停止了的情况下根据电源切断信号开始PLP动作。此外,在本说明书中,电源切断至少包括电力供给无预告地停止的模式。

[0051] 此外,NAND存储器12是非易失性的第1存储器的一例。DRAM13及SRAM34是易失性的第2存储器的一例。SRAM34是第3存储器的一例。DRAM13是第4存储器的一例。

[0052] 图2是示出实施方式的存储芯片CP的构成的一例的示意性的图。存储芯片CP具备外围电路210和存储单元阵列211。

[0053] 存储单元阵列211具备多个区块BLK(BLK0、BLK1、BLK2、...)。各区块BLK具备多个串单元SU(SU0、SU1、SU2、...)。各串单元SU具备多个NAND串212。各NAND串212包括串联连接的多个非易失性存储单元晶体管。此外,串单元SU内的NAND串212的数量是任意的。NAND串212内的存储单元晶体管的数量是任意的。

[0054] 外围电路210例如包括行译码器、列译码器、读出(sense,感测)放大器、锁存电路以及电压产生电路。外围电路210根据来自存储器控制器11的命令,对存储单元阵列211执行与该命令对应的动作。

[0055] 此外,从存储器控制器11对存储芯片CP的命令包括数据输入命令、编程命令、读出命令、数据输出(data-out)命令、擦除命令等。

[0056] 数据输入命令是指示外围电路210受理从存储器控制器11向存储芯片CP输入的写入数据的命令。从存储器控制器11向存储芯片CP的写入数据的传送也被称为数据输入动作。

[0057] 编程命令是指示外围电路210执行编程动作的命令。编程动作是将通过数据输入动作输入到存储芯片CP(更详细而言是外围电路210所具备的未图示的锁存电路)的数据向

存储单元阵列211写入的动作。

[0058] 读出命令是指示外围电路210执行读出动作的命令。读出动作是将保存于存储单元阵列211的数据向外围电路210所具备的锁存电路传送的动作。

[0059] 数据输出命令是指示外围电路210将保存于外围电路210所具备的锁存电路的数据向存储器控制器11输出的命令。与数据输出命令相应的从存储芯片CP向存储器控制器11的读取数据的传送也被称为数据输出动作。

[0060] 擦除命令是指示外围电路210执行擦除动作的命令。擦除动作是将保存于存储单元阵列211的数据删除的动作。

[0061] 图3是示出实施方式的区块BLK的电路结构的示意性的图。此外,各区块BLK具有同一构成。区块BLK例如具有4个串单元SU0~SU3。各串单元SU包括多个NAND串212。

[0062] NAND串212各自例如包括64个存储单元晶体管MT(MT0~MT63)和选择晶体管ST1、ST2。存储单元晶体管MT具备控制栅极和电荷蓄积层,以非易失的方式保持数据。而且,64个存储单元晶体管MT(MT0~MT63)在选择晶体管ST1的源极与选择晶体管ST2的漏极之间串联连接。此外,存储单元晶体管MT既可以是在电荷蓄积层使用了绝缘膜的MONOS(Metal-Oxide-Nitride-Oxide-Silicon,金属-氧化物-氮化物-氧化物-硅)型,也可以是在电荷蓄积层使用了导电膜的FG(Floating Gate,浮栅)型。NAND串212内的存储单元晶体管MT的个数不限定于64个。

[0063] 串单元SU0~SU3各自所包括的选择晶体管ST1的栅极分别与选择栅极线SGD0~SGD3连接。与此相对,串单元SU0~SU3各自所包括的选择晶体管ST2的栅极例如共同连接于选择栅极线SGS。串单元SU0~SU3各自所包括的选择晶体管ST2的栅极也可以分别与按每个串单元SU而不同的选择栅极线SGS0~SGS3(未图示)连接。同一区块BLK所包括的各存储单元晶体管MT0~MT63的控制栅极分别共同连接于字线WL0~WL63。

[0064] 串单元SU所包括的各NAND串212的选择晶体管ST1的漏极与各不相同的位线BL(BL0~BL(L-1),其中,L为2以上的自然数)连接。另外,位线BL在多个区块BLK之间将各串单元SU所包括的1个NAND串212共同连接。再者,各选择晶体管ST2的源极共同连接于源极线SL。

[0065] 也就是说,串单元SU是分别与不同的位线BL连接且与同一选择栅极线SGD连接的多个NAND串212的集合。另外,区块BLK是共用字线WL的多个串单元SU的集合。而且,存储单元阵列211是至少共用1条位线BL的多个区块BLK的集合。

[0066] 通过外围电路210进行的编程动作及读出动作能够针对1个串单元SU中的连接于1条字线WL的存储单元晶体管MT一并地执行。将在编程动作及读出动作时一并被选择的存储单元晶体管MT的群记载为存储单元组MCG。而且,将1个存储单元组MCG的各存储单元晶体管MT所存储的1位的数据的集合的大小记载为页(page)。

[0067] 通过外围电路210进行的擦除动作以区块BLK为单位来执行。即,保存于1个区块BLK的全部数据一起被擦除。

[0068] 此外,存储单元阵列211的构成不限定于图2和图3所示的构成。例如,存储单元阵列211也可以具有以二维或三维的方式排列有NAND串212的构成。

[0069] 在编程动作中,外围电路210向构成写入目的地的存储单元组MCG的各存储单元晶体管MT的电荷蓄积层注入与数据对应的量的电荷。而且,在读出动作中,外围电路210从构

成保存有读取对象的数据的存储单元组MCG的各存储单元晶体管MT读取与蓄积于电荷蓄积层的电荷量相应的数据。

[0070] 各存储单元晶体管MT能够存储 n ($n \geq 1$) 位的值。 n 为1的模式被称为SLC (Single Level Cell, 单层单元) 模式。在各存储单元晶体管MT存储 n 位的值的情况下, 每存储单元组MCG的存储容量等于 n 页量的大小。 n 为2的模式被称为MLC (Multi Level Cell, 多层单元) 模式。 n 为3的模式被称为TLC (Triple Level Cell, 三层单元) 模式。 n 为4的模式被称为QLC (Quad Level Cell, 四层单元) 模式。

[0071] 各存储单元晶体管MT的阈值电压通过外围电路210控制在一定的范围内。阈值电压的可控范围被分割为2的 n 次方的数量的分区, 对各分区分别分配不同的 n 位的值。

[0072] 图4是对SLC模式、MLC模式、TLC模式、QLC模式的各情形下的实施方式的分区进行说明的图。如图4所示, 阈值电压的范围(可控范围)被分割为多个分区4。

[0073] 例如, 在SLC模式下, 阈值电压的范围被分割为2个分区4a。在MLC模式下, 阈值电压的范围被分割为4个分区4b。在TLC模式下, 阈值电压的范围被分割为8个分区4c。在QLC模式下, 阈值电压的范围被分割为16个分区4d。

[0074] 存储于1个存储单元晶体管MT的值的位数越多, 则各分区4的范围越窄。对各分区4分配有对应的位数的值。在SLC模式下, 对高电压侧的分区4a分配“0”, 对低电压侧的分区4a分配“1”。在MLC模式下, 按电压从高到低的顺序依次对4个分区4b分配“10”、“00”、“01”和“11”。在TLC模式下, 按电压从高到低的顺序依次对8个分区4c分配“111”、“101”、“001”、“011”、“010”、“110”、“100”和“000”。在QLC模式下, 按电压从高到低的顺序依次对16个分区4d分配“1111”、“1011”、“0011”、“0001”、“1001”、“1101”、“0101”、“0111”、“0110”、“1110”、“1010”、“1000”、“1100”、“0100”、“0000”和“0010”。此外, 对各分区4的值的分配方法不局限于上述例子。

[0075] 在编程动作中, 外围电路210选择与列地址对应的位线BL。外围电路210将所选择的位线BL的电位设为零。外围电路210选择与行地址对应的字线WL, 对所选择的字线WL施加编程脉冲。于是, 位于所选择的位线BL与所选择的字线WL的交点的存储单元晶体管MT的电荷蓄积层被注入电荷, 其结果, 存储单元晶体管MT的阈值电压上升。外围电路210在预定的定时确认阈值电压是否到达了与写入数据对应的目标分区4。外围电路210持续进行编程脉冲的施加, 直到存储单元晶体管MT的阈值电压到达目标分区4为止。

[0076] 在读出动作中, 外围电路210决定构成读取目的地的存储单元组MCG的各存储单元晶体管MT的阈值电压所属的分区4, 将分配给所决定的分区4的值作为读取数据输出。

[0077] 在擦除动作中, 外围电路210向存储单元阵列211的基板侧施加擦除电压。而且, 外围电路210使擦除对象的区块BLK的全部字线WL与接地电位导通。于是, 在所选择的区块BLK内的各存储单元晶体管MT中, 蓄积于电荷蓄积层的电荷被放电。其结果, 所选择的区块BLK内的各存储单元晶体管MT的状态向可视为数据被擦除的状态(即, 最低电压侧的分区4)转变。

[0078] 存储器系统1构成为能够设定或变更存储模式。更具体而言, 存储器控制器11在第1模式和第2模式中的任一模式下都能够执行对NAND存储器12的写入动作, 所述第1模式是在每1个存储单元晶体管MT中保存具有第1数量的位数的数据的模式, 所述第2模式是在每1个存储单元晶体管MT中保存具有第2数量(其中, 第2数量比第1数量大)的位数的数据的模

式。

[0079] 原则上,存储器控制器11为了抑制位成本(bit cost)而将从主机2接收到的写入数据以第2模式写入NAND存储器12。然而,在每1个存储单元晶体管MT中保存的数据的位数越多,则每数据量的写入动作所需的时间及耗电量越大。由此,在PLP动作那样的只能使用有限的电力量的情形下等,存储器控制器11为了抑制耗电量而执行第1模式下的写入动作。

[0080] 在以后的说明中,设第1模式为SLC模式、第2模式为TLC模式。即,SLC模式下的编程动作是第1编程动作的一例。TLC模式下的编程动作是第2编程动作的一例。此外,第1模式及第2模式各自不限定于本例。另外,也将存储单元晶体管MT称为存储单元。

[0081] 图5是示出实施方式的存储器控制器11的功能构成的一例的示意性的图。

[0082] 存储器控制器11通过主机I/F31、2个NANDC32以及CPU33的一部分或全部的协作,作为主机写入受理部101、缓冲器控制部102、PLP控制部103以及NAND写入部104发挥功能。

[0083] 在SRAM34及DRAM13设置有对从主机2接收到的写入数据进行缓冲的缓冲区。将设置于SRAM34的缓冲区记载为第1缓冲区41,将设置于DRAM13的缓冲区记载为第2缓冲区42。有时将第1缓冲区41和第2缓冲区42统称记载为缓冲区40。

[0084] 主机写入受理部101进行对来自主机2的写入请求的受理、和通过写入请求而请求进行写入动作的数据(写入数据)的向第1缓冲区41或第2缓冲区42的保存。

[0085] 缓冲器控制部102进行第1缓冲区41及第2缓冲区42的控制。在第1缓冲区41和第2缓冲区42中,按对于NAND存储器12的每个写入单位保存写入数据。

[0086] 写入单位例如是编程动作的单位,与页大小相等。此外,写入单位也可以是多页的量的大小。在TLC模式下进行编程动作的情况下,也可以将作为写入1个存储单元组MCG的数据的大小的3页设为写入单位。将具有写入单位的大小的数据记载为数据单位。

[0087] 主机写入受理部101当接收到写入请求时,请求缓冲器控制部102进行具有写入单位的大小的缓冲区40的区域(以下,称为区域单位)的分配。缓冲器控制部102根据来自主机写入受理部101的请求,分配1个以上的区域单位。主机写入受理部101将来自主机2的写入数据保存于所分配的1个以上的区域单位。

[0088] 缓冲器控制部102将保存有完成了向NAND存储器12的数据输入动作或编程动作的数据单位的区域单位释放。

[0089] 缓冲器控制部102构成为能够执行两种控制作为释放的控制。关于两种释放控制的详情及两种释放控制之间的切换,将在后面叙述。

[0090] NAND写入部104控制将保存于在缓冲区40分配的各区域单位的数据写入NAND存储器12的动作。NAND写入部104控制没有检测到电源切断的期间内的向NAND存储器12的写入动作。

[0091] PLP控制部103根据电源切断信号执行PLP动作。也就是说,PLP控制部103控制检测到电源切断后的期间内的向NAND存储器12的写入动作。

[0092] 在NAND存储器12中,有时编程动作的进展会因某些原因而停滞。例如,在数据单位的编程动作中,在阈值电压没能设定为目标分区4的存储单元的数量超过了预定数量的情况下,判定为该编程动作失败,再次执行该数据单位的编程动作。这样,由于编程动作的重试等,编程动作的进展可能停滞。

[0093] 在产生了编程动作的进展停滞的情况下,从存储器控制器11向NAND存储器12的写

入数据的传送速度降低。当从存储器控制器11向NAND存储器12的写入数据的传送速度低于从主机2向存储器控制器11的写入数据的传送速度时,区域单位的释放的平均速度低于区域单位的分配的平均速度。而且,当在第1缓冲区41和第2缓冲区42中能够进行区域单位的分配的区域耗尽时,将难以接受新的写入数据,由此,对来自主机2的写入请求的延迟(latency)极端恶化。

[0094] 因此,存储器控制器11在缓冲器使用量、也就是说缓冲区40中的已分配的区域单位的大小的总量超过预定的阈值的情况下,有意地将来自主机2向存储器控制器11的写入数据的传送速度限制为不为零的值。由此,避免对来自主机2的写入请求的延迟的极端降低。

[0095] 以后,将从主机2向存储器控制器11的写入数据的传送速度记载为主机传送速度。将从存储器控制器11向NAND存储器12的传送速度记载为存储器传送速度。

[0096] 图6是用于说明实施方式的缓冲器使用量的变化的一例、和与缓冲器使用量相应的主机传送速度的控制的一例的图。

[0097] 在图6的上段描绘的图表示出缓冲器使用量的时间推移的一例。在下段描绘的图表示出完成响应时间的推移的一例,所述响应时间为从接收到写入请求起到向主机2发送完成了写入请求的响应(记载为完成响应)为止的时间。在此,在写入数据向缓冲区40的保存完成后,即使该写入数据向NAND存储器12的写入动作未完成,也向主机2发送完成响应。

[0098] 作为与缓冲器使用量进行比较的阈值的一例,设置阈值 Th_H 和阈值 Th_L 。阈值 Th_L 比阈值 Th_H 小。阈值 Th_L 是第1阈值的一例。阈值 Th_H 是第2阈值的一例。

[0099] 在定时 t_0 ~定时 t_1 ,缓冲器使用量在不超过阈值 Th_H 的范围内,例如以与梯度 G_0 对应的速度增加、或因释放而急剧地减少。主机写入受理部101以完成了写入数据向缓冲区40的保存为契机向主机2传送完成响应。由此,完成响应时间为非常短的时间 tr_0 。

[0100] 在定时 t_1 ,缓冲器使用量超过阈值 Th_H 。主机写入受理部101在写入数据向缓冲区40的保存完成后也暂时抑制完成响应的发送,之后,以从接收到写入请求起经过了预定时间为契机向主机2发送完成响应。由此,完成响应时间为比时间 tr_0 长的时间 tr_1 。

[0101] 主机2例如构成为根据完成响应而请求存储器系统1进行下一动作。在定时 t_1 不久后,如上述那样完成响应时间被延长,因此从主机2向存储器系统1的写入请求的发送频率降低。由此,主机传送速度被限制为不为零的值。另外,缓冲器使用量的增加速度根据被限制的主机传送速度,例如被抑制为比梯度 G_0 平缓的梯度 G_1 。由此,防止了在缓冲区40中能够分配区域单位的区域耗尽。

[0102] 在定时 t_1 ~定时 t_2 ,缓冲器使用量在不低于阈值 Th_L 的范围内以梯度 G_1 所示的速度增加、或因释放而急剧地减少。

[0103] 在定时 t_2 ,缓冲器使用量低于阈值 Th_L 。于是,主机写入受理部101以写入数据向缓冲区40的保存完成为契机向主机2发送完成响应。由此,完成响应时间从时间 tr_1 回到非常短的时间 tr_0 。由此,缓冲器使用量在不超过阈值 Th_H 的范围内,例如以与梯度 G_0 对应的速度增加、或因释放而急剧地减少。

[0104] 这样,存储器控制器11在缓冲器使用量超过了阈值 Th_H 时,限制主机传送速度。由此,避免了由于在缓冲区40中能够分配区域单位的区域耗尽而造成的、对来自主机2的写入请求的延迟的极端降低。

[0105] 例如,将如定时 t_1 之前的期间或定时 t_2 之后的期间那样缓冲器使用量不满足进行使主机传送速度降低的条件的状态记载为通常状态。将如定时 $t_1 \sim$ 定时 t_2 的期间那样缓冲器使用量满足进行使主机传送速度降低的条件的状态记载为非通常状态。

[0106] 此外,在从通常状态向非通常状态的转变的判定、和从非通常状态向通常状态的转变的判定中也可以使用共用的阈值。然而,可能发生在短时间内反复出现缓冲器使用量跨过阈值的变动的情形。在这样的情况下,通常状态与非通常状态之间的转变的频率变高。

[0107] 在图6所示的例子中,用于判定从通常状态向非通常状态的转变的阈值 Th_H 大于用于判定从非通常状态向通常状态的转变的阈值 Th_L 。通过这样设定各阈值,能够抑制通常状态与非通常状态之间的转变的频率。

[0108] 此外,可以任意设定与缓冲器使用量进行比较的阈值(例如 Th_H 和 Th_L)。

[0109] 在一例中,将与第1缓冲区41的容量相等的值设定为阈值 Th_H 。相比于设置于DRAM13的第2缓冲区42,缓冲器控制部102优先从设置于SRAM34的第1缓冲区41中分配区域单位。由此,缓冲器使用量超过阈值 Th_H 意味着,在第1缓冲区41中能够分配区域单位的区域耗尽,开始从第2缓冲区42分配区域单位。

[0110] 第2缓冲区42设置于动作比SRAM34慢的DRAM13。因此,无法向第2缓冲区42进行以第1缓冲区41那样快的速度的数据输入。即,向第2缓冲区42的数据传送的最高速度有可能限制主机传送速度。在该情况下,从主机2向存储器系统1的写入数据的传送的吞吐量降低。

[0111] 然而,在将与第1缓冲区41的容量相等的值设定为阈值 Th_H 的情况下,第2缓冲区42仅在非通常状态下被使用。在非通常状态下,主机传送速度被限制为比通常状态慢的速度。由此,可认为因向第2缓冲区42的数据传送的最高速度引起的吞吐量的降低不会成为问题。

[0112] 此外,阈值 Th_H 也可以不是与第1缓冲区41的容量相等的值。

[0113] 另外,在图6所示的例子中,通过延长完成响应时间实现了降低主机传送速度的控制。实现降低主机传送速度的控制的具体方法不限于延长完成响应时间。

[0114] 接着,说明通过缓冲器控制部102进行的两种释放的控制。将两种释放的控制中的一种记载为第1释放控制,将另一种记载为第2释放控制。

[0115] 图7是用于说明实施方式的第1释放控制的示意性的图。在本图的下段示出了缓冲器使用量的时间推移的一例。在上段示出了NAND存储器12的动作状况的时间推移。在此,作为NAND存储器12的动作状况,示出了与每个动作要素(在此为存储芯片CP)的写入动作相关的动作状况。与写入动作相关的动作状况包括数据输入动作和编程动作。

[0116] 例如,在定时 t_{10} ,向存储芯片CP0的预定的字线WL写入的数据单位积存在某区域单位,由此开始对存储芯片CP0的数据输入动作。当在定时 t_{11} 完成对存储芯片CP0的数据输入动作时,缓冲器控制部102将该数据输入动作的传送源的区域单位释放。缓冲器使用量因该释放而急剧地减少。

[0117] 在定时 t_{12} ,向存储芯片CP1的预定的字线WL写入的数据单位积存在某区域单位,由此开始该数据单位对存储芯片CP1的数据输入动作。当在定时 t_{13} 完成对存储芯片CP1的数据输入动作时,缓冲器控制部102将该数据输入动作的传送源的区域单位释放。

[0118] 同样地,在定时 t_{14} 开始对存储芯片CP2的数据输入动作。当在定时 t_{15} 完成对存储芯片CP2的数据输入动作时,缓冲器控制部102将该数据输入动作的传送源的区域单位释放。

[0119] 进而,同样地,在定时t16开始对存储芯片CP3的数据输入动作。当在定时t17完成对存储芯片CP3的数据输入动作时,缓冲器控制部102将该数据输入动作的传送源的区域单位释放。

[0120] 这样,在第1释放控制中,以完成数据输入动作为契机,执行保存有完成了数据输入动作的数据单位的区域单位的释放。

[0121] 如前所述,原则上,存储器控制器11对NAND存储器12以TLC模式写入数据。而且,在PLP动作时,存储器控制器11对NAND存储器12以与TLC模式相比每数据量的写入动作所需的时间短且耗电量少的SLC模式写入数据。

[0122] 然而,根据第1释放控制,已经完成了数据输入动作的数据单位即使在该数据单位的编程动作尚未完成的情况下,也无法从缓冲区40中再取得。由此,在开始了PLP动作的定时存在正在执行TLC模式下的编程动作的数据单位的情况下,持续进行该数据单位的TLC模式下的编程动作直到编程动作完成为止。

[0123] 然后,在任一区域单位残留有尚未完成编程动作的数据单位的情况下,PLP控制部103将该数据单位以SLC模式写入NAND存储器12。也就是说,PLP控制部103对该数据单位进行数据输入动作,然后执行SLC模式下的编程动作。

[0124] 在图7所示的例子中,在定时t18开始PLP动作(换言之,检测到电源切断)。在该情况下,关于在定时t10~定时t18完成了数据输入动作的各数据单位,在数据输入动作后,开始TLC模式下的编程动作。而且,在PLP动作的开始时间点(即定时t18),在存储芯片CP2及存储芯片CP3中正在执行TLC模式下的编程动作。由此,PLP控制部103对存储芯片CP2及存储芯片CP3继续进行TLC模式下的编程动作。

[0125] 在定时t19,在全部的存储芯片CP中完成了TLC模式下的编程动作。于是,PLP控制部103开始进行残留于缓冲区40的全部数据的SLC模式下的写入动作。在本例中,PLP控制部103开始进行在定时t18存在于任一区域单位的数据的数据输入动作(定时t19),当数据输入动作完成时(定时t20),执行SLC模式下的编程动作。当缓冲区40中不再有尚未写入NAND存储器12的数据时,PLP动作完成(定时t21)。

[0126] 图8是用于说明实施方式的第2释放控制的示意性的图。与图7同样,在本图的下段示出了缓冲器使用量的时间推移的一例。在上段示出了NAND存储器12的动作状况的时间推移。

[0127] 例如,在定时t30,向存储芯片CP0的预定的字线WL写入的数据单位积存在某区域单位,由此开始该数据单位对存储芯片CP0的数据输入动作。在数据输入动作后,开始TLC模式下的编程动作。

[0128] 当在定时t31完成存储芯片CP7中的编程动作时,缓冲器控制部102将保存有完成了编程动作的数据单位的区域单位释放。缓冲器使用量因该释放而急剧地减少。

[0129] 在定时t32,向存储芯片CP1的预定的字线WL写入的数据单位积存在某区域单位,由此开始该数据单位对存储芯片CP1的数据输入动作。在数据输入动作后,开始TLC模式下的编程动作。

[0130] 当在定时t33完成存储芯片CP0中的编程动作时,缓冲器控制部102将保存有完成了编程动作的数据单位的区域单位释放。缓冲器使用量因该释放而急剧地减少。

[0131] 在定时t34,向存储芯片CP2的预定的字线WL写入的数据单位积存在某区域单位,

由此开始该数据单位对存储芯片CP2的数据输入动作。在数据输入动作后,开始TLC模式下的编程动作。

[0132] 当在定时t35完成存储芯片CP1中的编程动作时,缓冲器控制部102将保存有完成了编程动作的数据单位的区域单位释放。缓冲器使用量因该释放而急剧地减少。

[0133] 在定时t36,向存储芯片CP3的预定的字线WL写入的数据单位积存在某区域单位,由此开始该数据单位对存储芯片CP3的数据输入动作。在数据输入动作后,开始TLC模式下的编程动作。

[0134] 这样,在第2释放控制中,以完成数据单位的编程动作为契机,执行保存有该数据单位的区域单位的释放。

[0135] 在第2释放控制中,在开始了PLP动作的定时存在正在执行TLC模式下的编程动作的数据单位的情况下,中止(stop)该数据单位的TLC模式下的编程动作。而且,PLP控制部103将残留于区域单位的该数据单位以SLC模式写入NAND存储器12。

[0136] 在图8所示的例子中,在定时t37开始PLP动作。在开始PLP动作的时间点,在存储芯片CP2及存储芯片CP3中正在执行TLC模式下的编程动作。由此,PLP控制部103使存储芯片CP2及存储芯片CP3中止正在执行的TLC模式下的编程动作。而且,PLP控制部103进行包括中止了TLC模式下的编程动作的2个数据单位的缓冲区40内的全部数据的数据输入动作,对完成了数据输入动作的数据依次执行SLC模式下的编程动作。在图8所示的例子中,在定时t37以后,对存储芯片CP0~存储芯片CP3分别进行数据输入动作及SLC模式下的编程动作。

[0137] 根据第2释放控制,与第1释放控制相比,从区域单位被分配起到被释放为止的期间长。因此,在第2释放控制中,与第1释放控制相比,具有缓冲器使用量稍微变多的倾向。例如,图8所示的第2释放控制下的缓冲器使用量的最大值V1比图7所示的第1释放控制下的缓冲器使用量的最大值V0大。

[0138] 然而,根据第2释放控制,当开始PLP动作时,TLC模式下的编程动作被中止,包括中止了TLC模式下的编程动作的数据单位的缓冲区40内的全部数据以SLC模式被写入NAND存储器12。在SLC模式下,与TLC模式相比,每数据量的写入动作所需的时间短且耗电量少。由此,根据第2释放控制,与第1释放控制相比,PLP动作所需的时间短且PLP动作所需的电力量少。例如,在图7所示的第1释放控制下的动作例中,在定时t18~定时t21的期间执行PLP动作。而且,在图8所示的第2释放控制下的动作例中,在明显比定时t18~定时t21的期间短的定时t37~定时t38的期间执行PLP动作。

[0139] 在实施方式中,如果在预定的判定定时的缓冲器使用量的状态为通常状态,存储器控制器11就对各区域单位执行第1释放控制,如果在判定定时的缓冲器使用量的状态为非通常状态,存储器控制器11就对各区域单位执行第2释放控制。

[0140] 由此,即使缓冲器使用量增加而缓冲器使用量的状态成为了非通常状态,也能够通过中止TLC模式下的编程动作来抑制PLP动作所需的耗电量。另外,由于在通常状态下缓冲器使用量本来就少,因此PLP动作所需的耗电量也少。

[0141] 也就是说,根据实施方式,在缓冲器使用量多的情况下和缓冲器使用量少的情况下都能够抑制PLP动作所需的耗电量。其结果,无需将大容量的电容器搭载于存储器系统,能够抑制存储器系统的成本。

[0142] 此外,在实施方式中,根据预定的判定定时的缓冲器使用量的状态来选择释放的

控制。作为一例,该预定的判定定时设为数据输入动作完成的定时。

[0143] 接着,对实施方式的存储器系统1的动作进行说明。

[0144] 图9是示出判定缓冲器使用量的状态的实施方式的动作的一例的流程图。将本图所示的动作记载为状态判定动作。状态判定动作例如通过缓冲器控制部102来执行。状态判定动作分别在不同的多个定时执行。状态判定动作既可以按预定的时间周期执行,也可以以预定的动作、例如分配或释放区域单位的动作为契机而执行。

[0145] 缓冲器控制部102取得第1缓冲区41及第2缓冲区42的合计的使用量 U (S101)。然后,缓冲器控制部102判定最新的判定结果是否为通常状态(S102)。

[0146] 在最新的判定结果是通常状态的情况下(S102:是),缓冲器控制部102判定使用量 U 是否超过了阈值 Th_H (S103)。在使用量 U 超过了阈值 Th_H 的情况下(S103:是),缓冲器控制部102判定为当前的缓冲器使用量的状态是非通常状态(S104)。

[0147] 在最新的判定结果不是通常状态的情况下(S102:否),即在最新的判定结果是非通常状态的情况下,缓冲器控制部102判定使用量 U 是否低于阈值 Th_L (S105)。在使用量 U 低于阈值 Th_L 的情况下(S105:是),缓冲器控制部102判定为当前的缓冲器使用量的状态是通常状态(S106)。

[0148] 在使用量 U 没有超过阈值 Th_H 的情况下(S103:否),或者在步骤S104的处理后,或者在使用量 U 不低于阈值 Th_L 的情况下(S105:否),或者在步骤S106的处理后,状态判定动作结束。

[0149] 通过以短的间隔反复执行图9所示的一系列动作,在从缓冲区40的使用量低于阈值 Th_L 起到超过阈值 Th_H 为止,缓冲器使用量的状态被识别为通常状态,在从缓冲区40的使用量超过阈值 Th_H 起到低于阈值 Th_L 为止,缓冲器使用量的状态被识别为非通常状态。

[0150] 此外,在步骤S103的判定处理中使用量 U 与阈值 Th_H 相等的情况、或者在步骤S105的判定处理中使用量 U 与阈值 Th_L 相等的情况下的措施不限于上述的例子。例如,在步骤S103的判定处理中使用量 U 与阈值 Th_H 相等的情况下,也可以执行步骤S104的处理。在步骤S105的判定处理中使用量 U 与阈值 Th_L 相等的情况下,也可以执行步骤S106的处理。

[0151] 图10是示出实施方式的存储器系统1从主机2接收到写入请求时的动作的一例的流程图。

[0152] 主机写入受理部101接收来自主机2的写入请求。当主机写入受理部101接收到写入请求时(S201),缓冲器控制部102首先判定第1缓冲区41中是否有能够分配区域单位的区域(S202)。

[0153] 例如,主机写入受理部101在接收到写入请求时,按构成写入请求所涉及的写入数据的每个数据单位,请求缓冲器控制部102进行区域单位的分配。缓冲器控制部102决定分配由主机写入受理部101请求的1个以上的区域单位的缓冲区。缓冲器控制部102基于第1缓冲区41中是否有空闲的、也就是说能够分配区域单位的区域,决定分配给每个区域单位的缓冲区。在此,为了简化说明,设为写入数据由1个数据单位构成,且为了1个数据单位的缓冲而请求1个区域单位的分配。此外,在请求分配2个以上的区域单位的情况下,对请求分配的各区域单位执行步骤S202~步骤S205的处理。

[0154] 在第1缓冲区41中有能够分配区域单位的区域的情况下(S202:是),缓冲器控制部102在第1缓冲区41分配区域单位(S203)。在第1缓冲区41中没有能够分配区域单位的区域

的情况下(S202:否),缓冲器控制部102在第2缓冲区42分配区域单位(S204)。

[0155] 在步骤S203的处理或步骤S204的处理后,主机写入受理部101从主机2接收写入数据,将作为接收到的写入数据的数据单位保存于所分配的区域单位(S205)。

[0156] 然后,主机写入受理部101判定基于状态判定动作的最新的判定结果是否为通常状态(S206)。例如,主机写入受理部101向缓冲器控制部102询问最新的判定结果。此外,基于状态判定动作的最新的判定结果是否为通常状态的判定方法并不限于于此。

[0157] 在基于状态判定动作的最新的判定结果是通常状态的情况下(S206:是),主机写入受理部101向主机2发送完成响应(S207)。在基于状态判定动作的最新的判定结果不是通常状态的情况下(S206:否),也就是说在基于状态判定动作的最新的判定结果是非通常状态的情况下,主机写入受理部101以使从写入请求的接收起的经过时间变长的方式,等待经过预定时间而向主机2发送完成响应(S208)。

[0158] 在步骤S207的处理或步骤S208的处理后,接收到写入请求时的动作结束。

[0159] 图11是示出实施方式的存储器系统1的、没有检测到电源切断的期间内的向NAND存储器12的写入动作的一例的流程图。在此,对所分配的1个区域单位(记载为对象区域单位)涉及的动作进行说明。此外,在分配了多个区域单位的情况下,对所分配的各区域单位执行本图所示的动作。

[0160] 缓冲器控制部102针对对象区域单位决定NAND存储器12中的数据单位的保存目的地(S301)。然后,缓冲器控制部102判定是否在对象区域单位积存了数据单位(S302)。

[0161] 在对象区域单位没有积存数据单位的情况下(S302:否),再次执行步骤S302的处理。

[0162] 在对象区域单位积存了数据单位的情况下(S302:是),NAND写入部104判定是否能够向所决定的保存目的地的存储芯片CP进行数据输入动作(S303)。

[0163] 更详细而言,在对象区域单位积存了数据单位的情况下,缓冲器控制部102请求NAND写入部104进行对象区域单位内的数据单位向NAND存储器12的写入。NAND写入部104将接收的请求积存在队列等中,依次处理接收到的请求。NAND写入部104对能否利用通道CH0、CH1、和各存储芯片CP能否受理新的命令进行监视。各存储芯片CP能否受理新的命令例如通过对就绪/忙碌信号进行监视来判定。在轮到执行向保存目的地的存储芯片CP的写入动作的请求、且能够利用连接了保存目的地的存储芯片CP的通道、并且保存目的地的存储芯片CP能够受理新的命令的情况下,NAND写入部104判定为能够进行向保存目的地的存储芯片CP的数据输入动作。在没有轮到执行向保存目的地的存储芯片CP的写入动作的请求、或不能利用连接了保存目的地的存储芯片CP的通道、或保存目的地的存储芯片CP不能受理新的命令的情况下,NAND写入部104判定为不能进行向保存目的地的存储芯片CP的数据输入动作。此外,能否进行向保存目的地的存储芯片CP的数据输入动作的判定方法不限于于此。

[0164] 在不能进行向保存目的地的存储芯片CP的数据输入动作的情况下(S303:否),再次执行步骤S303的处理。

[0165] 在能够进行向保存目的地的存储芯片CP的数据输入动作的情况下(S303:是),NAND写入部104开始进行对象区域单位内的数据单位的数据输入动作(S304)。

[0166] NAND写入部104判定对象区域单位内的数据单位的数据输入动作是否完成(S305)。对象区域单位内的数据单位的数据输入动作是否完成例如基于通过数据输入动作

向存储芯片CP传送的数据量来判定。

[0167] 在对象区域单位内的数据单位的数据输入动作没有完成的情况下(S305:否),再次执行步骤S305的处理。

[0168] 在对象区域单位内的数据单位的数据输入动作完成了的情况下(S305:是),NAND写入部104使保存目的地的存储芯片CP开始编程动作(S306)。此处的编程动作在TLC模式下被执行。

[0169] 另外,也向缓冲器控制部102通知对象区域单位内的数据单位的数据输入动作已完成这一意思。收到通知的缓冲器控制部102判定基于状态判定动作的最新的判定结果是否为通常状态(S307)。

[0170] 在基于状态判定动作的最新的判定结果是通常状态的情况下(S307:是),缓冲器控制部102将对象区域单位释放(S308)。在该定时将对象区域单位释放的控制相当于第1释放控制。

[0171] 在缓冲器控制部102中执行步骤S307的处理及步骤S308的处理的期间及以后,在NAND写入部104中,对通过步骤S306的处理而开始的编程动作的进展进行监视。也就是说,NAND写入部104判定编程动作是否完成(S309)。在编程动作没有完成的情况下(S309:否),NAND写入部104再次执行步骤S309的处理。

[0172] 当编程动作完成时(S309:是),从NAND写入部104向缓冲器控制部102通知编程动作已完成这一意思。缓冲器控制部102判定对象区域单位是否完成释放(S310)。

[0173] 在对象区域单位没有完成释放的情况下(S310:否),缓冲器控制部102将对象区域单位释放(S311)。在该定时将对象区域单位释放的控制相当于第2释放控制。

[0174] 在对象区域单位已完成释放的情况下(S310:是),或者在步骤S311的处理后,没有检测到电源切断的期间内的向NAND存储器12的写入动作结束。

[0175] 图12是示出实施方式的存储器系统1的、检测到电源切断时的向NAND存储器12的写入动作的一例的流程图。即,本图所示的动作表示PLP动作。当例如电源IC14检测到电源切断时,电源IC14向存储器控制器11发送电源切断信号。在存储器控制器11中,PLP控制部103根据电源切断信号,开始图12所示的PLP动作的控制。

[0176] 在PLP动作中,PLP控制部103首先判定是否正在执行任一数据单位的编程动作(S401)。在正在执行任一数据单位的编程动作的情况下(S401:是),PLP控制部103判定保存了正在执行编程动作的数据单位的区域单位中是否存在没有释放的区域单位(S402)。

[0177] 在正在执行编程动作的时间点,存在区域单位已经被释放的情形(参照图11的S308)、和区域单位尚未被释放的情形(参照图11的S311)。在区域单位已经被释放的情形下,由于无法从区域单位再取得数据单位,因此需要使编程动作完成。在区域单位尚未被释放的情形下,能够中止编程动作。保存了正在执行编程动作的数据单位的区域单位符合哪一个情形可能根据每个数据单位而不同。由此,PLP控制部103在步骤S402中,按正在执行编程动作的每个数据单位判定区域单位是否被释放。PLP控制部103例如通过向缓冲器控制部102询问、或从缓冲器控制部102接受通知来执行步骤S402的处理。

[0178] 在存在区域单位没有被释放的数据单位的情况下(S402:是),PLP控制部103中止区域单位没有被释放的数据单位的编程动作(S403)。

[0179] 在不存在区域单位没有被释放的数据单位的情况下(S402:否),或者在步骤S403

的处理后,PLP控制部103判定是否仍在执行任一数据单位的编程动作(S404)。

[0180] 在仍在执行任一数据单位的编程动作的情况下(S404:是),再次执行步骤S404的处理。

[0181] 在没有正在执行编程动作的数据单位的情况下(S401:否,或者S404:否),PLP控制部103判定缓冲区40是否存在仍未完成编程动作的数据单位(S405)。在缓冲区40不存在仍未完成编程动作的数据单位的情况下(S405:否),检测到电源切断时的向NAND存储器12的写入动作结束。

[0182] 在缓冲区40存在仍未完成编程动作的数据单位的情况下(S405:是),PLP控制部103将仍未完成编程动作的数据单位以SLC模式写入NAND存储器12。此外,在步骤S405的判定处理的时间点,仍未完成编程动作的数据单位与保存于仍未释放的区域单位的数据单位意义相同。通过以后的动作,执行保存于仍未释放的全部区域单位的全部数据单位的SLC模式下的写入动作。

[0183] 具体而言,PLP控制部103首先针对仍未完成编程动作的全部数据单位,决定NAND存储器12中的保存目的地(S406)。然后,PLP控制部103判定是否存在能够进行向保存目的地的存储芯片CP的数据输入动作的数据单位(S407)。在步骤S407的处理中,例如基于与图11所示的步骤S303的处理同样的判定基准,判定有无能够进行向保存目的地的存储芯片CP的数据输入动作的数据单位。此外,步骤S407的处理中的判定基准不限于于此。

[0184] 在存在能够进行向保存目的地的存储芯片CP的数据输入动作的数据单位的情况下(S407:是),PLP控制部103开始该数据单位的数据输入动作(S408)。

[0185] 在没有能够进行向保存目的地的存储芯片的数据输入动作的数据单位的情况下(S407:否),或者在步骤S408的处理后,PLP控制部103判定是否存在能够进行编程动作的数据单位、也即是说数据输入动作已完成但编程动作未开始的数据单位(S409)。

[0186] 在存在能够进行编程动作的数据单位的情况下(S409:是),PLP控制部103使该数据单位的保存目的地的存储芯片CP开始编程动作(S410)。此处的编程动作在SLC模式下被执行。

[0187] 在没有能够进行编程动作的数据单位的情况下(S409:否),或者在步骤S410后,PLP控制部103判定缓冲区40是否存在仍未开始编程动作的数据单位(S411)。

[0188] 在缓冲区40存在仍未开始编程动作的数据单位的情况下(S411:是),再次执行步骤S407的处理。

[0189] 通过反复进行步骤S407~步骤S411的循环处理,完成在步骤S405的判定处理中判定为“是”的时间点残留于缓冲区40的全部数据单位的、向NAND存储器12的SLC模式下的写入动作。换言之,完成保存于在步骤S405的判定处理中尚未释放的全部区域单位的全部数据单位的向NAND存储器12的SLC模式下的写入动作。

[0190] 在缓冲区40没有仍未开始编程动作的数据单位的情况下(S411:否),检测到电源切断时的向NAND存储器12的写入动作结束。

[0191] 图13是示出通过以上所述的动作而实现的控制的一例的示意性的图。与图7同样,在本图的下段示出了缓冲器使用量的时间推移的一例。在上段示出了NAND存储器12的动作状况的时间推移。

[0192] 在图13所示的例子中,在缓冲器使用量成为通常状态的期间的某个定时 t_{50} ,产生

了编程动作的进展停滞而产生了存储器传送速度的降低。由此,从定时 t_{50} 起,缓冲器使用量开始增加,在定时 t_{51} ,缓冲器使用量超过阈值 Th_H 。于是,缓冲器使用量的状态从通常状态转变为非通常状态。即,在定时 t_{51} ,释放的控制从第1释放控制切换为第2释放控制,并且开始进行主机传送速度的限制。

[0193] 在定时 t_{52} ,存储器传送速度的降低被消除,但缓冲器使用量没有低于阈值 Th_L ,因此继续进行非通常状态下的控制(第2释放控制及主机传送速度的限制)。

[0194] 当缓冲器使用量低于阈值 Th_L 时(定时 t_{53}),缓冲器使用量的状态从非通常状态转变为通常状态。即,在定时 t_{53} ,释放的控制从第2释放控制切换为第1释放控制,并且主机传送速度的限制被解除。

[0195] 之后,在定时 t_{54} ,再次产生了编程动作的进展停滞而产生了存储器传送速度的降低。由此,从定时 t_{54} 起,缓冲器使用量开始增加,在定时 t_{55} ,缓冲器使用量超过阈值 Th_H 。于是,缓冲器使用量的状态从通常状态转变为非通常状态。即,在定时 t_{55} ,释放的控制从第1释放控制切换为第2释放控制,并且开始进行主机传送速度的限制。

[0196] 在定时 t_{56} ,存储器传送速度的降低被消除,但缓冲器使用量没有低于阈值 Th_L ,因此继续进行非通常状态下的控制(第2释放控制及主机传送速度的限制)。

[0197] 之后,在定时 t_{57} ,开始PLP动作。

[0198] 在PLP动作中,首先,通过参照图12的步骤S402~步骤S403说明的处理来中止在数据输入动作完成的定时缓冲器使用量处于非通常状态的编程动作。在图13所示的例子中,在存储芯片CP6中执行的编程动作和在存储芯片CP7中执行的编程动作相当于在数据输入动作完成的定时缓冲器使用量处于非通常状态的编程动作。由此,在存储芯片CP6中执行的编程动作和在存储芯片CP7中执行的编程动作被中止。

[0199] 在定时 t_{57} ,正在执行的编程动作中不存在在数据输入动作完成的定时缓冲器使用量处于通常状态的编程动作。由此,通过中止在存储芯片CP6中执行的编程动作和在存储芯片CP7中执行的编程动作而使全部数据单位的编程动作处于非执行中。即,在图12的步骤S404的判定处理中判定为“否”。

[0200] 在中止了在存储芯片CP6中执行的编程动作和在存储芯片CP7中执行的编程动作的时间点,在缓冲区40存在包括编程动作被中止的数据单位的仍未完成编程动作的数据单位。由此,在图12的步骤S405的判定处理中判定为“是”,开始SLC模式下的数据的退避。然后,在定时 t_{58} ,SLC模式下的向NAND存储器12的数据的退避完成,PLP动作完成。

[0201] 这样,根据实施方式,存储器控制器11在从主机2接收到写入请求的情况下,在缓冲区40分配区域单位,将通过写入请求而请求写入的数据单位经由区域单位向NAND存储器12写入。数据单位向NAND存储器12的写入动作包括数据输入动作和编程动作。若数据单位的数据输入动作的完成定时在检测到电源切断之前(换言之,PLP动作开始之前),则如在例如图13所示的定时 t_{57} 之前开始的编程动作那样,存储器控制器11执行作为第1编程动作的TLC模式下的编程动作。另外,若数据单位的数据输入动作的完成定时在检测到电源切断之后(换言之,开始PLP动作之后),则如在例如图13的定时 t_{57} 以后开始的编程动作所示那样,存储器控制器11执行作为第2编程动作的SLC模式下的编程动作。存储器控制器11在数据输入动作的完成定时缓冲区的使用量为通常状态的情况下,根据数据输入动作的完成而将区域单位释放。存储器控制器11在数据输入动作的完成定时缓冲区的使用量为非通常状态的

情况下,根据编程动作的完成而将区域单位释放。存储器控制器11在检测到电源切断后,利用储存于电容器15的电来动作。在检测到电源切断后,存储器控制器11执行以下所述的动作。即,如果正在执行数据单位的TLC模式下的编程动作、且保存了该数据单位的区域单位已完成释放,则存储器控制器11继续进行该数据单位的TLC模式下的编程动作直至完成。如果正在执行数据单位的TLC模式下的编程动作、且保存了该数据单位的区域单位尚未释放,则存储器控制器11中止该数据单位的TLC模式下的编程动作。存储器控制器11通过SLC模式的编程动作将保存于缓冲区40内的尚未释放的区域单位的数据单位写入NAND存储器12。

[0202] 由此,在缓冲器使用量多的情况下和缓冲器使用量少的情况下都能够抑制PLP动作所需的耗电量。

[0203] 另外,根据实施方式,缓冲区40的使用量从低于阈值 Th_L 到超过阈值 Th_H 为止,缓冲器使用量的状态为通常状态,缓冲区40的使用量从超过阈值 Th_H 到低于阈值 Th_L 为止的缓冲器使用量的状态为非通常状态。

[0204] 由此,能够抑制通常状态与非通常状态之间的转变的频率,能够使存储器系统1的动作稳定。

[0205] 此外,通常状态和非通常状态的定义并不限于于此。也可以至少设缓冲区40的使用量低于阈值 Th_L 的期间为通常状态,缓冲区40的使用量超过阈值 Th_H 的期间为非通常状态。也就是说,缓冲区40的使用量处于阈值 Th_L 与阈值 Th_H 之间的状态可以是任意的。另外,阈值 Th_L 与阈值 Th_H 也可以互相相等。

[0206] 另外,根据实施方式,存储器控制器11在通常状态下不限制主机传送速度,在非通常状态下限制主机传送速度。

[0207] 由此,避免了由于在缓冲区40中能够分配区域单位的区域耗尽而造成的对来自主机2的写入请求的延迟的极端降低。

[0208] 另外,根据实施方式,在第1缓冲区41具有能够分配区域单位的区域的情况下,存储器控制器11在第1缓冲区41分配区域单位。在第1缓冲区41没有能够分配区域单位的区域的情况下,存储器控制器11在第2缓冲区42分配区域单位。并且,阈值 Th_H 也可以与第1缓冲区41的容量相等。

[0209] 由此,在非通常状态下能够使用设置于在动作速度方面逊色于SRAM34的DRAM13的第2缓冲区42。然而,在非通常状态下主机传送速度被限制。因此,避免了第2缓冲区42的动作速度成为限速而写入数据向存储器系统1的传送的吞吐量恶化。

[0210] 此外,在以上的说明中,缓冲区40也可以不一定设置于SRAM34和DRAM13这两方。缓冲区40也可以仅设置于SRAM34和DRAM13中的一方。

[0211] 以下,对实施方式的几个变形例进行说明。在各变形例中,对于与实施方式相同的事项、或者与已经说明过的变形例相同的事项,省略说明或简略说明。

[0212] (变形例1)

[0213] 图14是示出实施方式的变形例1的存储器控制器11a的功能构成的一例的示意性的图。

[0214] 存储器控制器11a通过主机I/F31、2个NANDC32以及CPU33的一部分或全部的协作,作为主机写入受理部101、缓冲器控制部102a、PLP控制部103以及NAND写入部104发挥功能。

[0215] 在SRAM34设置有第1缓冲区41,在DRAM13设置有第2缓冲区42。

[0216] 另外,在SRAM34保存区域管理信息51。

[0217] 缓冲器控制部102a的功能与缓冲器控制部102的功能的不同之处在于,释放的控制的切换方法。缓冲器控制部102a根据分配区域单位的定时下的缓冲器使用量的状态来决定该区域单位的释放的控制。区域管理信息51是按每个区域单位记录了分配区域单位的时间点下的缓冲器使用量的状态的信息。使用图15和图16来说明通过缓冲器控制部102a进行的释放的控制的决定方法。

[0218] 图15是示出实施方式的变形例1的存储器系统1从主机2接收到写入请求时的动作的一例的流程图。

[0219] 如图15所示,实施方式的变形例1的主机写入受理部101或缓冲器控制部102a执行与参照图10说明的实施方式的主机写入受理部101或缓冲器控制部102所执行的步骤S201~步骤S204的处理同样的处理。

[0220] 在步骤S203的处理或步骤S204的处理后,即当区域单位的分配完成时,缓冲器控制部102a将表示所分配的区域单位的识别信息与缓冲器使用量的状态相关联而记录于区域管理信息51(S501)。

[0221] 在步骤S501的处理后,实施方式的变形例1的主机写入受理部101或缓冲器控制部102a执行与参照图10说明的实施方式的主机写入受理部101或缓冲器控制部102所执行的步骤S205~步骤S208的处理同样的处理。

[0222] 这样,缓冲器控制部102a在分配区域单位时,将缓冲器使用量的状态记录于区域管理信息51。

[0223] 图16是示出实施方式的变形例1的存储器系统1的、没有检测到电源切断的期间内的向NAND存储器12的写入动作的一例的流程图。在此,对所分配的1个区域单位(记载为对象区域单位)涉及的动作进行说明。此外,在分配了多个区域单位的情况下,对所分配的各区域单位执行本图所示的动作。

[0224] 如图16所示,实施方式的变形例1的NAND写入部104或缓冲器控制部102a执行与参照图11说明的实施方式的NAND写入部104或缓冲器控制部102所执行的步骤S301~步骤S306的处理同样的处理。

[0225] 在对象区域单位内的数据单位的数据输入动作完成了的情况下(S305:是),NAND写入部104使保存目的地的存储芯片CP开始编程动作(S306)。此处的编程动作在TLC模式下被执行。

[0226] 另外,也向缓冲器控制部102a通知对象区域单位内的数据单位的数据输入动作已完成这一意思。收到通知的缓冲器控制部102a判定与对象区域单位的识别信息相关联而记录于区域管理信息51的缓冲器使用量的状态是否为通常状态(S601)。即,缓冲器控制部102a确认分配了对象区域单位的定时的缓冲器使用量的状态。

[0227] 在与对象区域单位的识别信息相关联而记录于区域管理信息51的缓冲器使用量的状态是通常状态的情况下(S601:是),缓冲器控制部102a将对象区域单位释放(S308)。

[0228] 在与对象区域单位的识别信息相关联而记录于区域管理信息51的缓冲器使用量的状态不是通常状态的情况下(S601:否),即在非通常状态与对象区域单位的识别信息相关联而记录于区域管理信息51的情况下,跳过步骤S308的处理。

[0229] 以后,实施方式的变形例1的NAND写入部104或缓冲器控制部102a执行与参照图11说明的实施方式的NAND写入部104或缓冲器控制部102所执行的步骤S309~步骤S311的处理同样的处理。

[0230] 这样,根据实施方式的变形例1,存储器控制器11在分配区域单位的定时下缓冲区的使用量为通常状态的情况下,根据数据输入动作的完成而将该区域单位释放。存储器控制器11在分配区域单位的定时下缓冲区的使用量为非通常状态的情况下,根据编程动作的完成而将区域单位释放。

[0231] (变形例2)

[0232] 根据实施方式的变形例2,缓冲器控制部102a根据分配区域单位的定时下的缓冲器使用量的状态、和完成了数据输入动作的定时下的缓冲器使用量的状态这两方来决定该区域单位的释放的控制。以下,对实施方式的变形例2涉及的事项中的与实施方式的变形例1涉及的事项不同的事项进行说明。

[0233] 图17是示出实施方式的变形例2的存储器系统1的、没有检测到电源切断的期间内的向NAND存储器12的写入动作的一例的流程图。在此,对所分配的1个区域单位(记载为对象区域单位)涉及的动作进行说明。此外,在分配了多个区域单位的情况下,对所分配的各区域单位执行本图所示的动作。

[0234] 如图17所示,实施方式的变形例2的NAND写入部104或缓冲器控制部102a执行与参照图11和图16说明的实施方式及实施方式的变形例1的NAND写入部104或缓冲器控制部102所执行的步骤S301~步骤S306的处理同样的处理。

[0235] 在对象区域单位内的数据单位的数据输入动作完成了的情况下(S305:是),NAND写入部104使保存目的地的存储芯片CP开始编程动作(S306)。此处的编程动作在TLC模式下被执行。

[0236] 另外,也向缓冲器控制部102a通知对象区域单位内的数据单位的数据输入动作已完成这一意思。收到通知的缓冲器控制部102a判定是否基于状态判定动作的最新的判定结果为通常状态、且与对象区域单位的识别信息相关联而记录于区域管理信息51的缓冲器使用量的状态为通常状态(S701)。

[0237] 在基于状态判定动作的最新的判定结果为通常状态、且与对象区域单位的识别信息相关联而记录于区域管理信息51的缓冲器使用量的状态为通常状态的情况下(S701:是),缓冲器控制部102a将对象区域单位释放(S308)。

[0238] 在基于状态判定动作的最新的判定结果为非通常状态、或者与对象区域单位的识别信息相关联而记录于区域管理信息51的缓冲器使用量的状态为非通常状态的情况下(S701:否),跳过步骤S308的处理。

[0239] 以后,实施方式的变形例2的NAND写入部104或缓冲器控制部102a执行与参照图11和图16说明的实施方式及实施方式的变形例1的NAND写入部104或缓冲器控制部102所执行的步骤S309~步骤S311的处理同样的处理。

[0240] 这样,根据实施方式的变形例2,在分配区域单位的定时和保存于区域单位的数据单位的数据输入动作的完成定时这两方定时下缓冲区的使用量为通常状态的情况下,存储器控制器11根据数据输入动作的完成而将该区域单位释放。在分配区域单位的定时和保存于区域单位的数据单位的数据输入动作的完成定时中的任一方定时下缓冲区的使用量为

非通常状态的情况下,存储器控制器11根据编程动作的完成而将区域单位释放。

[0241] 如作为实施方式及其变形例所说明的那样,缓冲器控制部102、102a根据从分配对象区域单位起到对象区域单位内的数据单位的数据输入动作完成为止的期间内的设定定时下的缓冲器使用量的状态来决定释放的控制。在实施方式中,将数据输入动作的完成定时设为设定定时(第1定时的一例)。在实施方式的变形例1中,将分配区域单位的定时设为设定定时。在实施方式的变形例2中,将分配区域单位的定时和数据输入动作的完成定时这两方设为设定定时。

[0242] 这样,能够将从分配对象区域单位起到对象区域单位内的数据单位的数据输入动作完成为止的期间内的任意的定时设为设定定时。

[0243] 对本发明的几个实施方式进行了说明,但这些实施方式是作为例子而提示的,并非意图限定发明的范围。这些新的实施方式能够以其他方式实施,能够在不脱离发明的要旨的范围内进行各种省略、替换、变更。这些实施方式及其变形包含在发明的范围以及要旨中,并且包含在权利要求书所记载的发明和其均等的范围内。

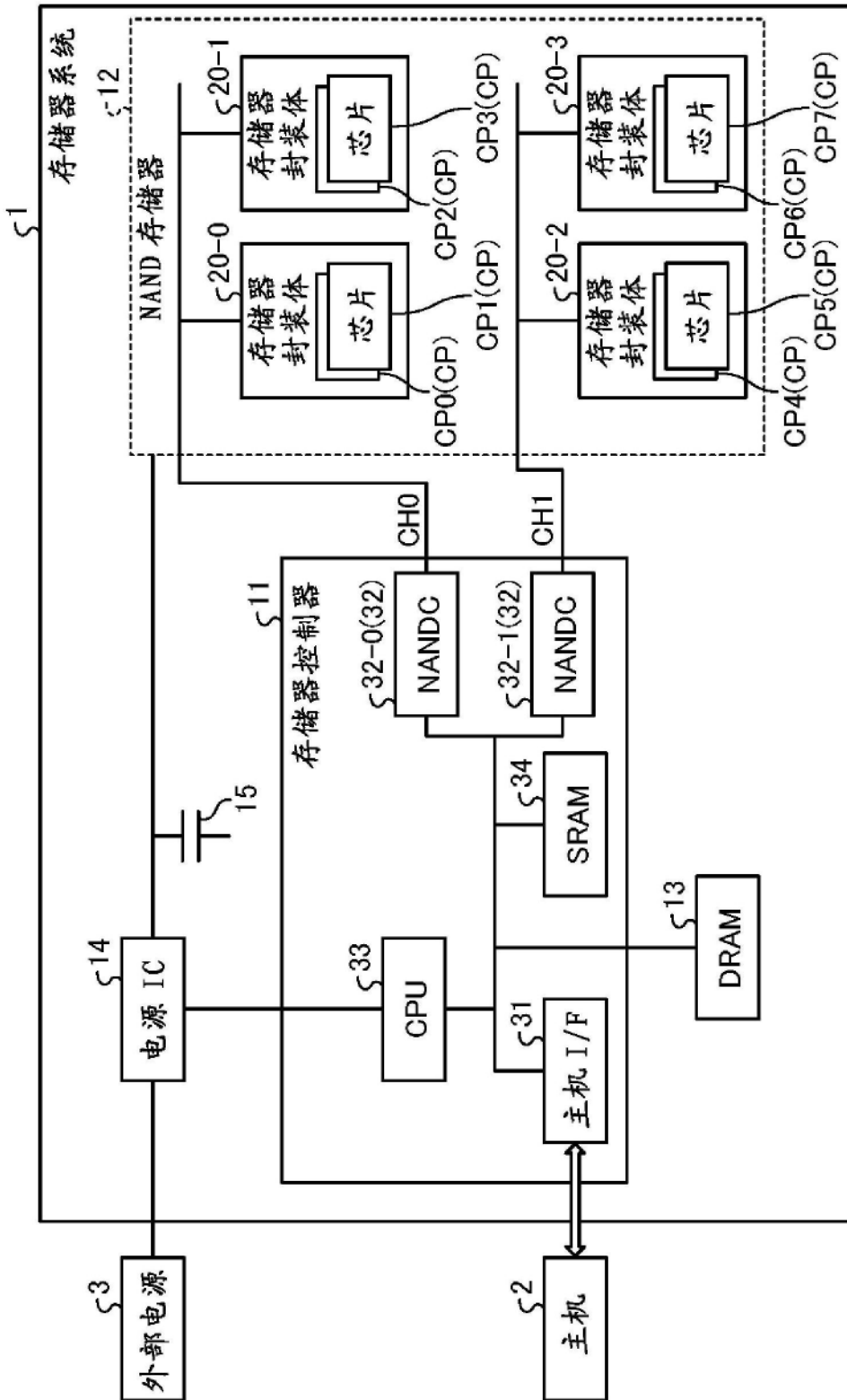


图1

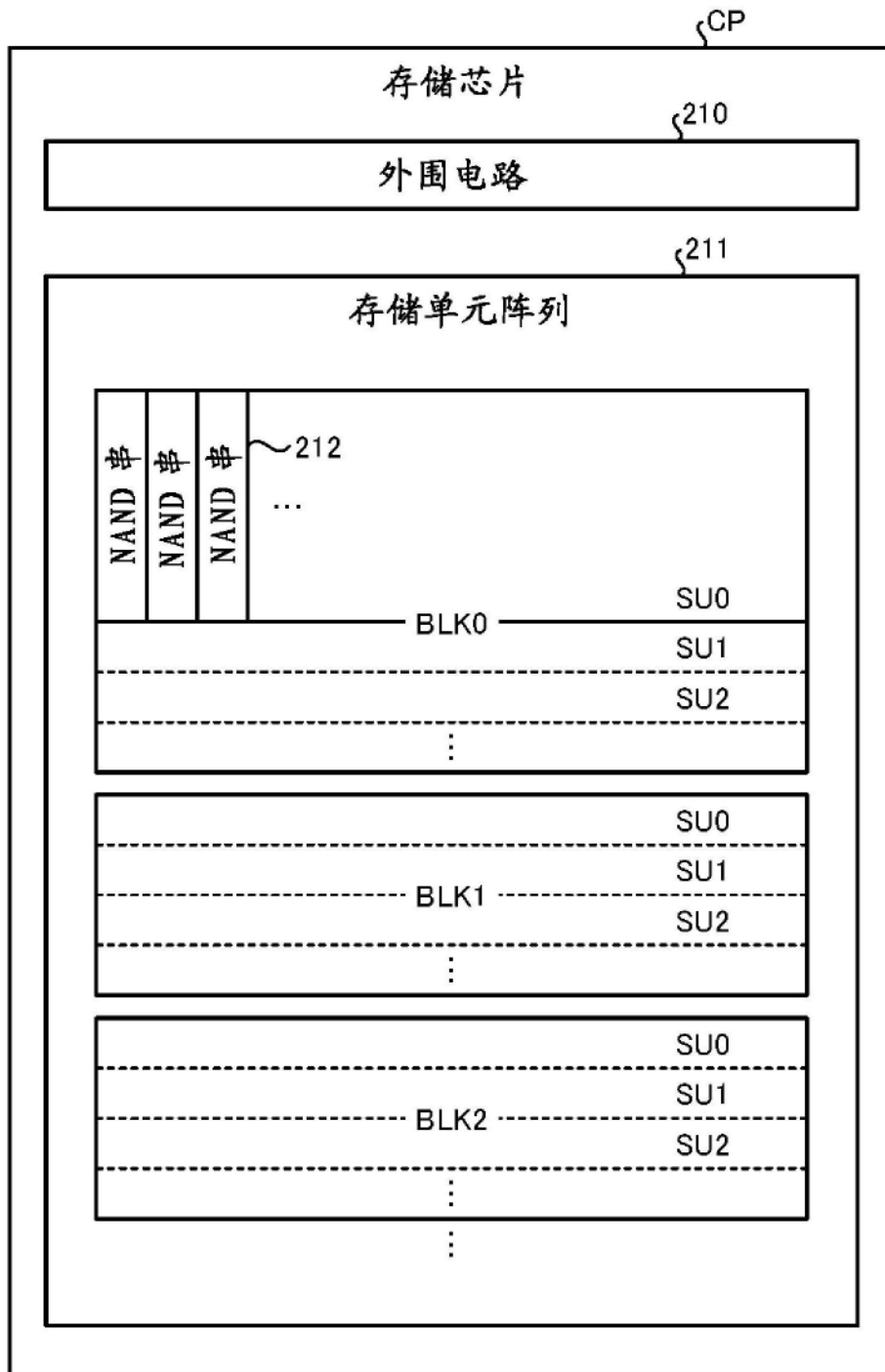


图2

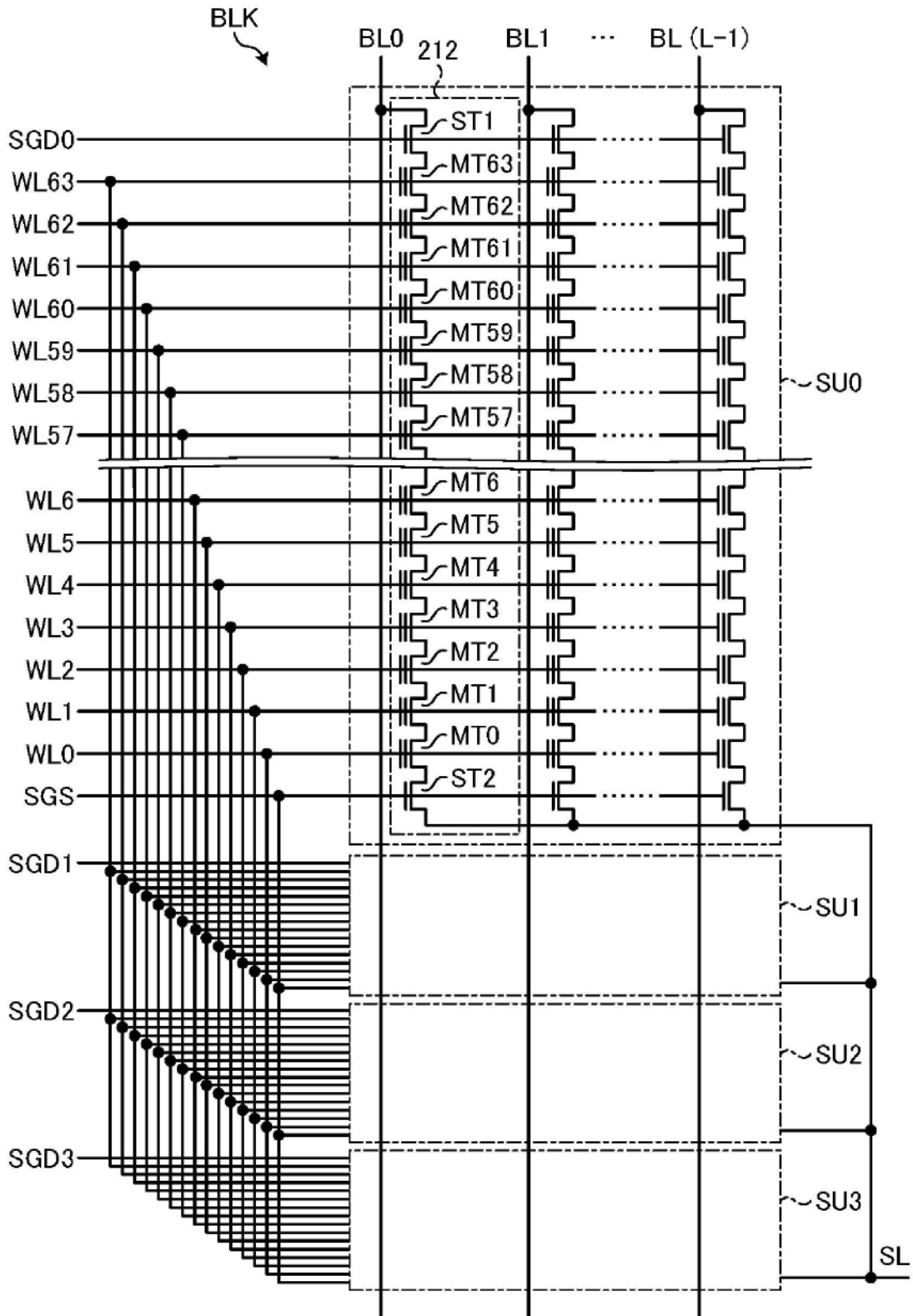


图3

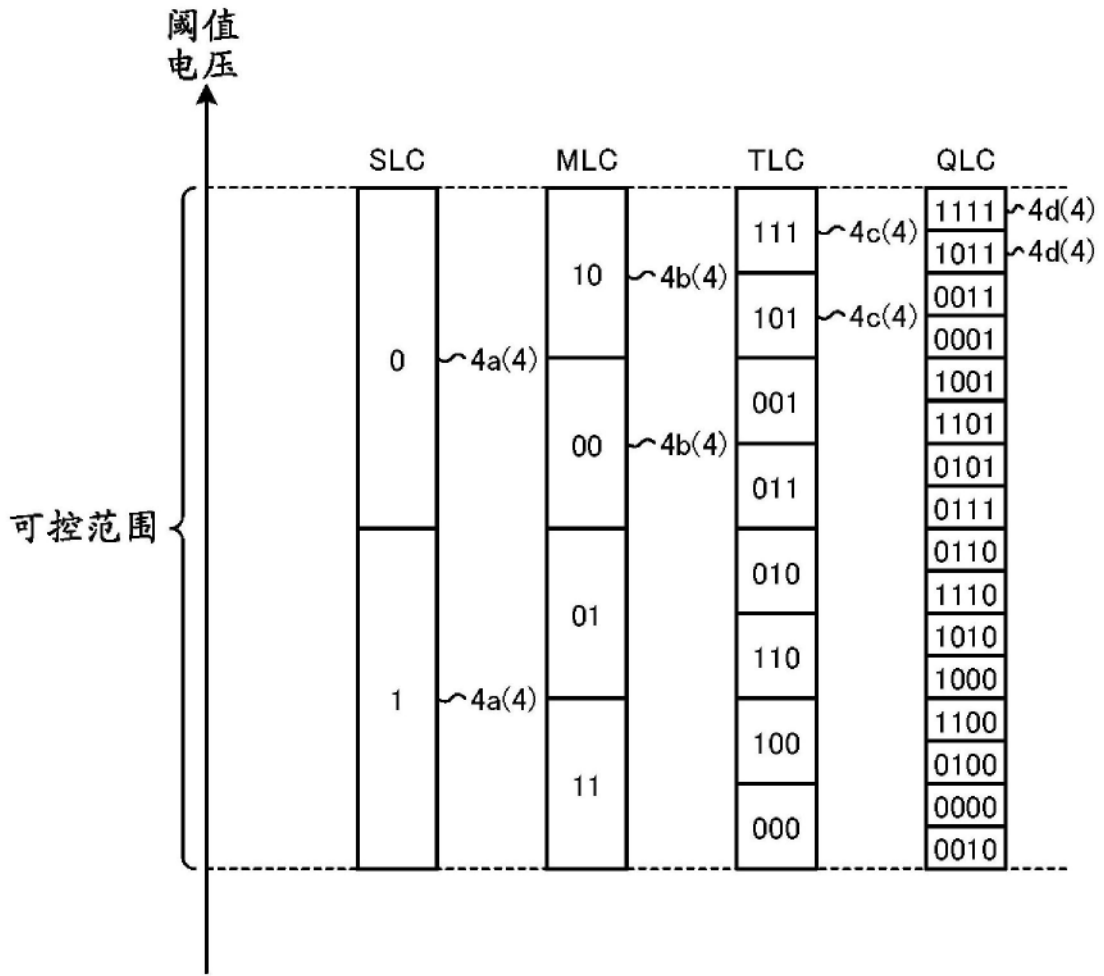


图4

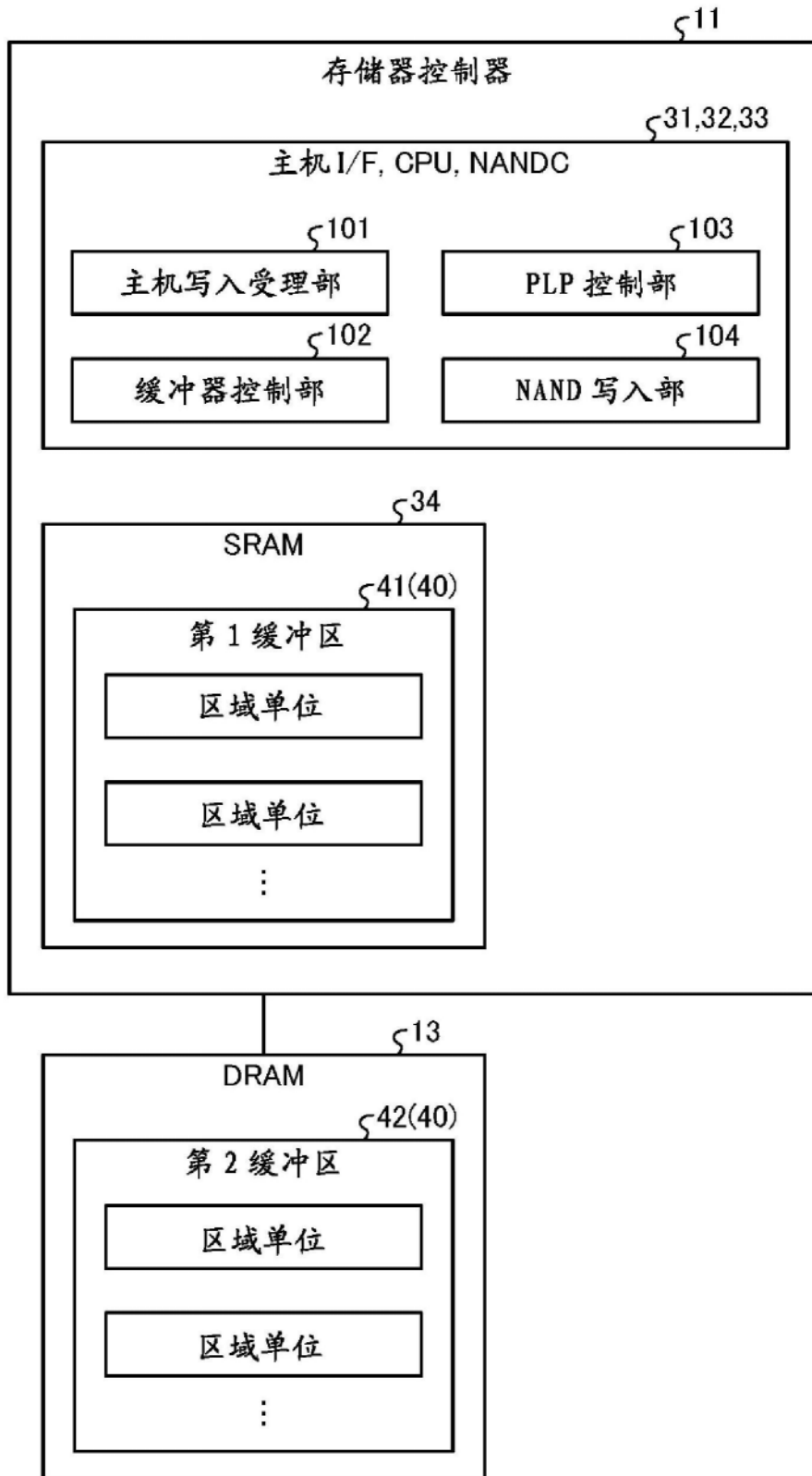


图5

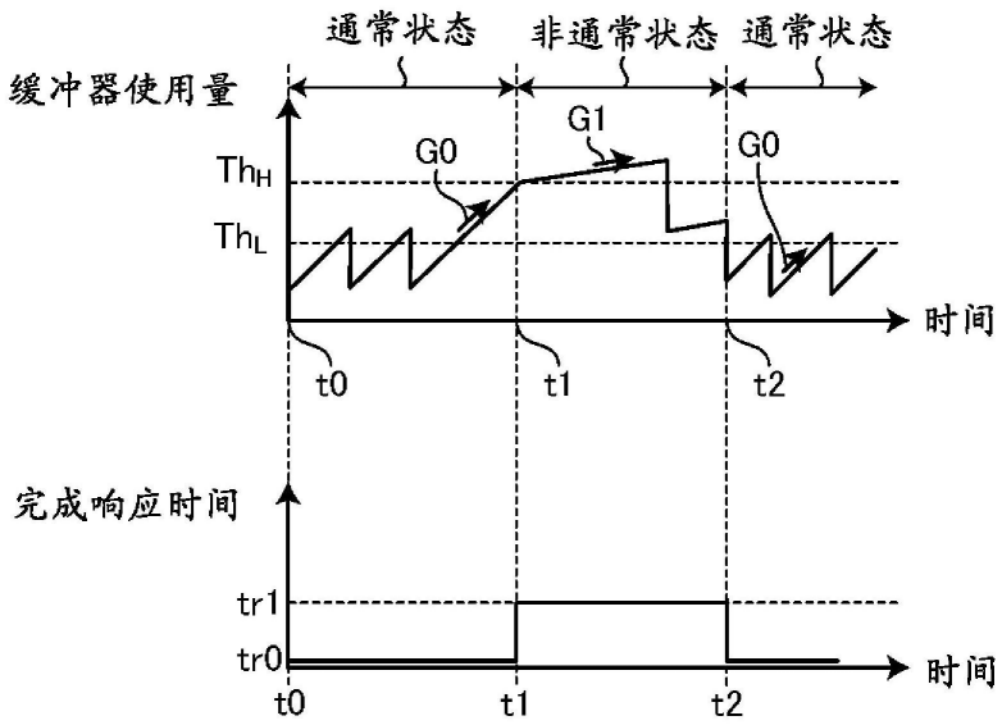


图6

第 1 释放控制

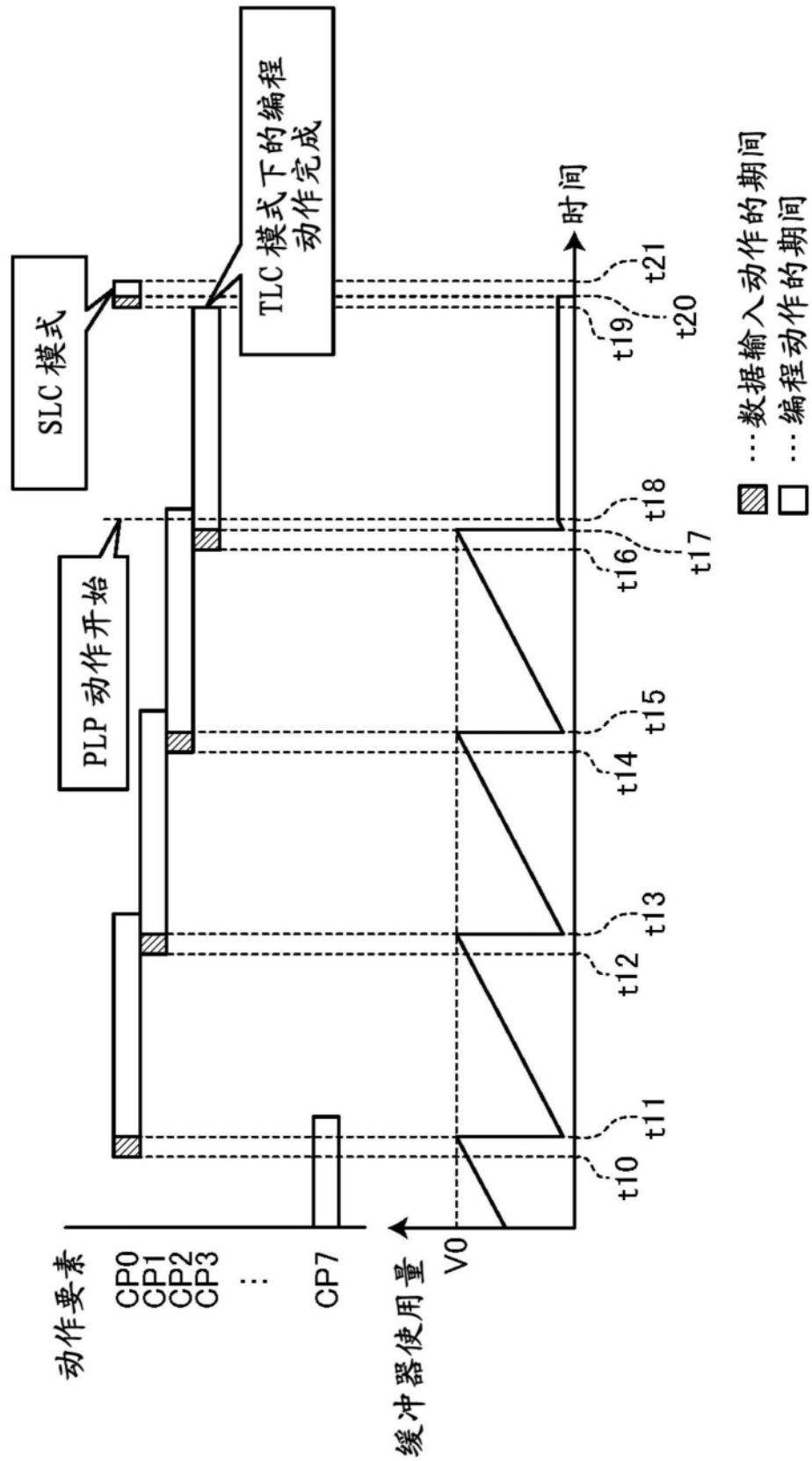


图7

第 2 释放控制

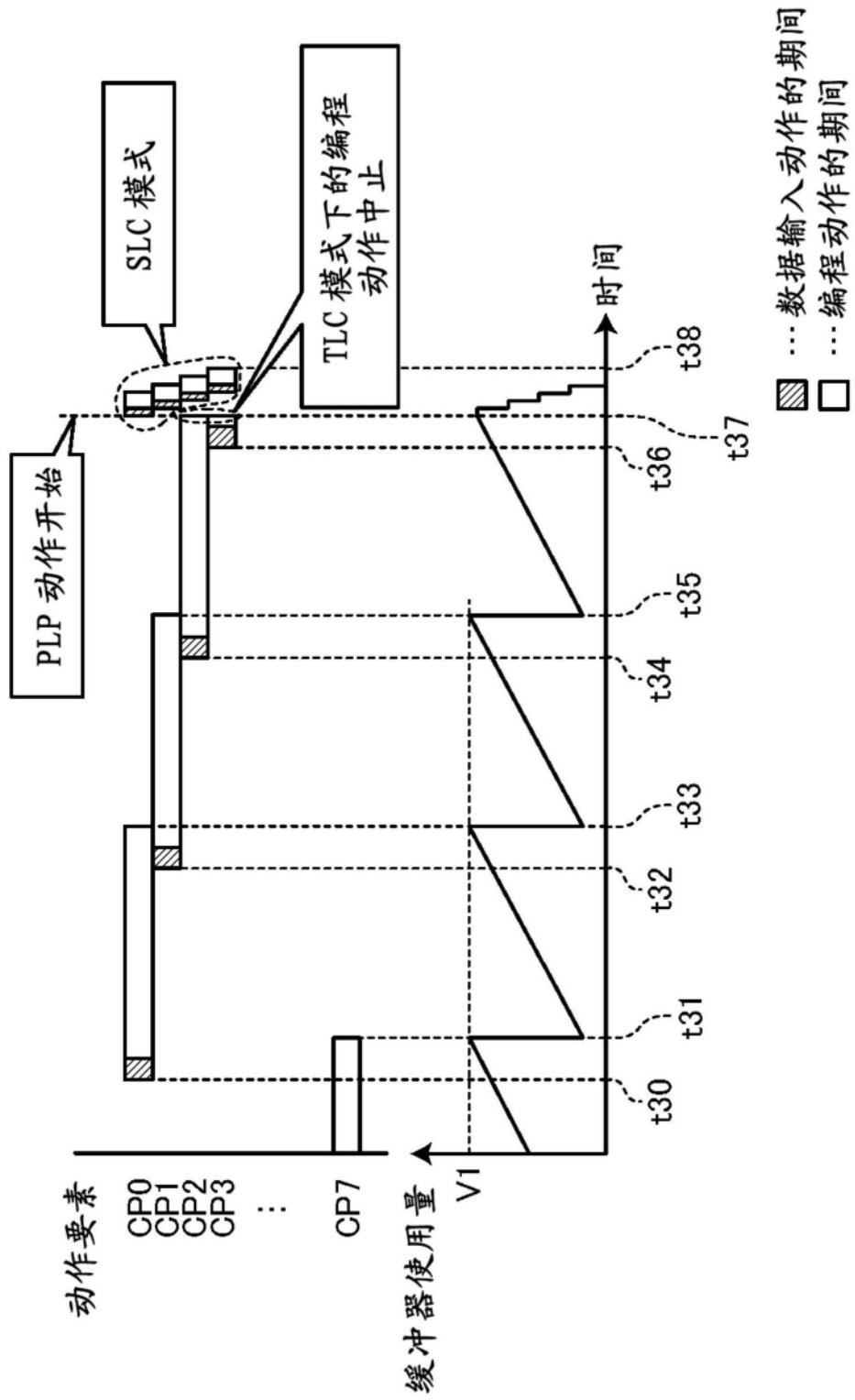


图8

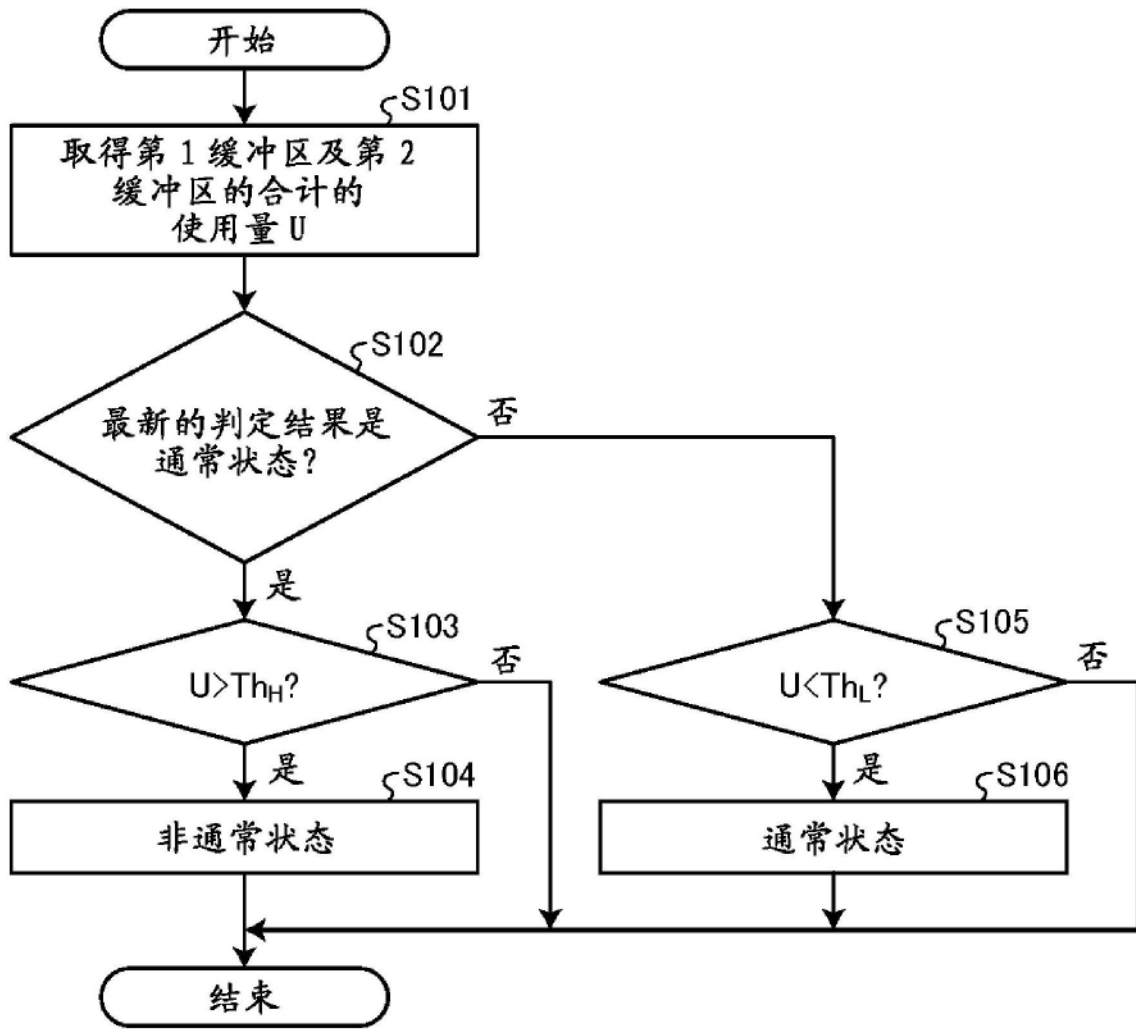


图9

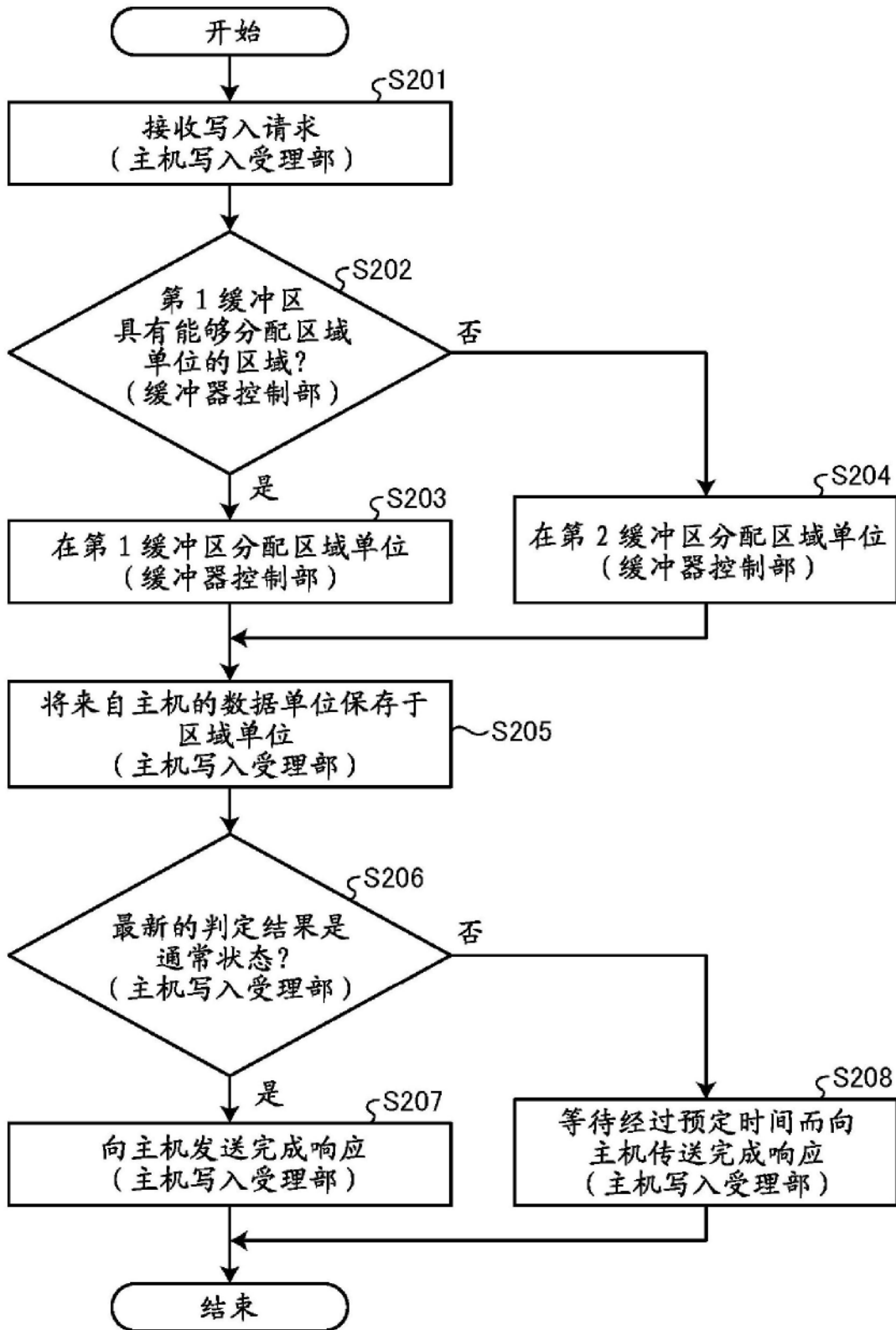


图10

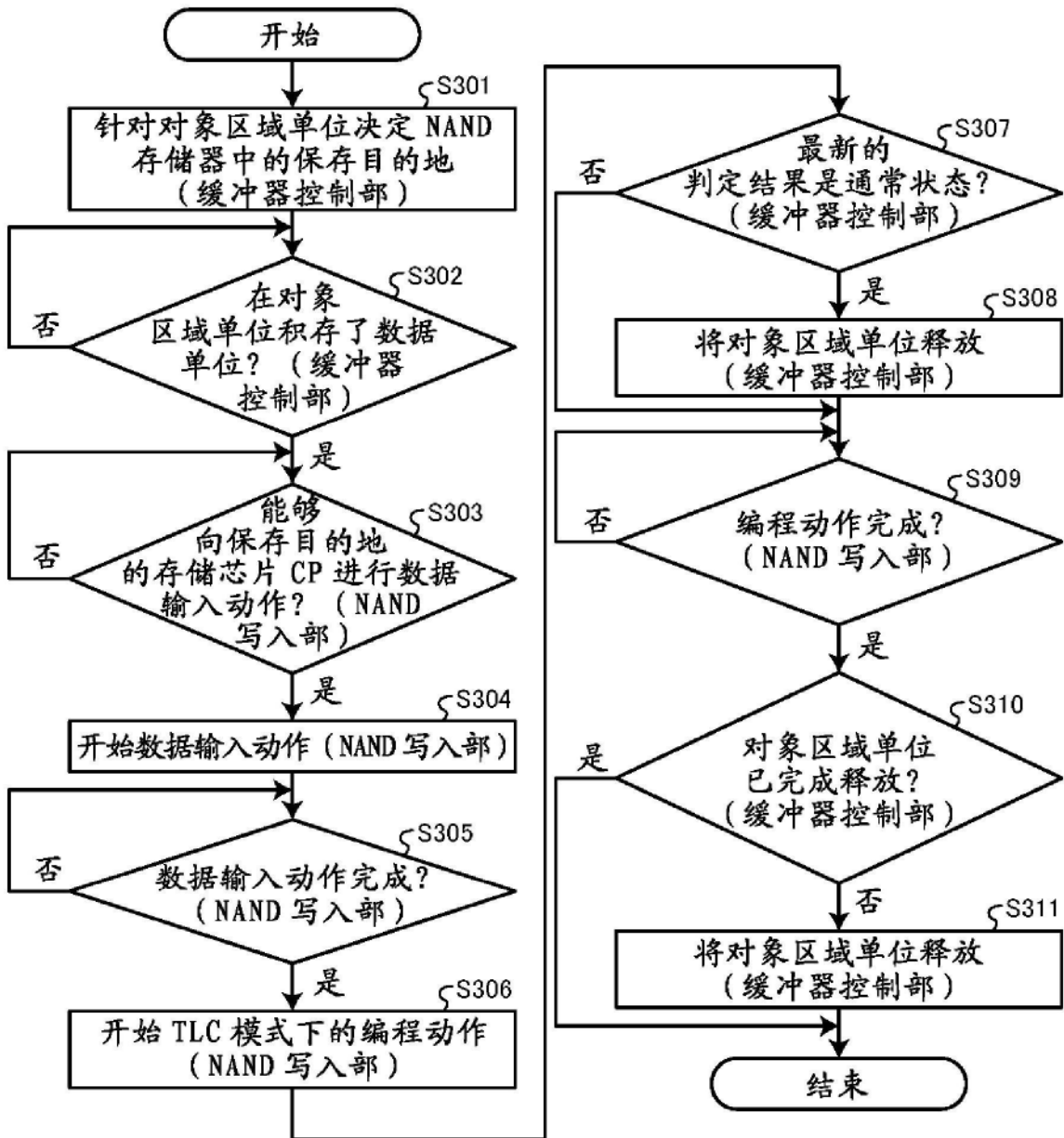


图11

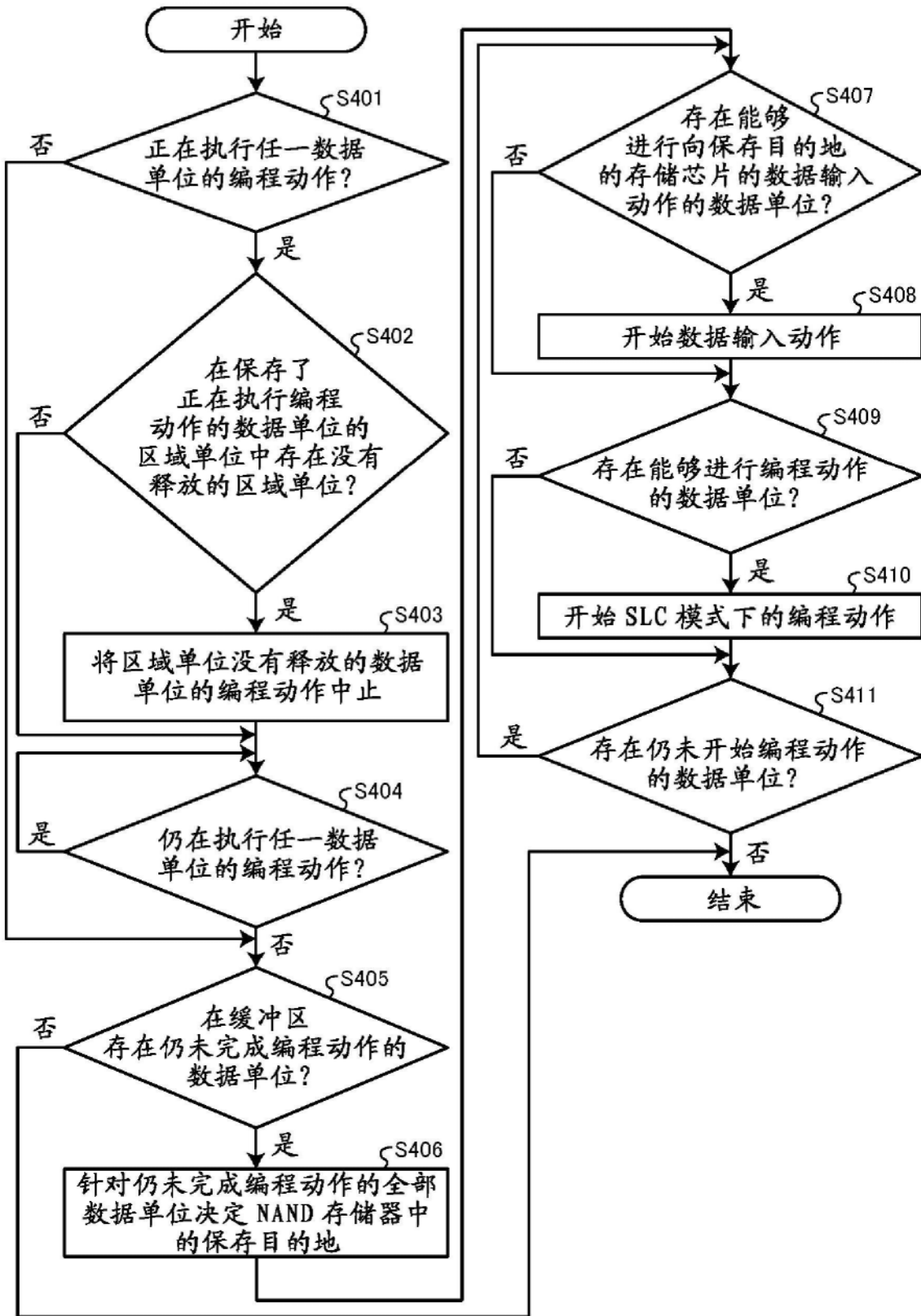


图12

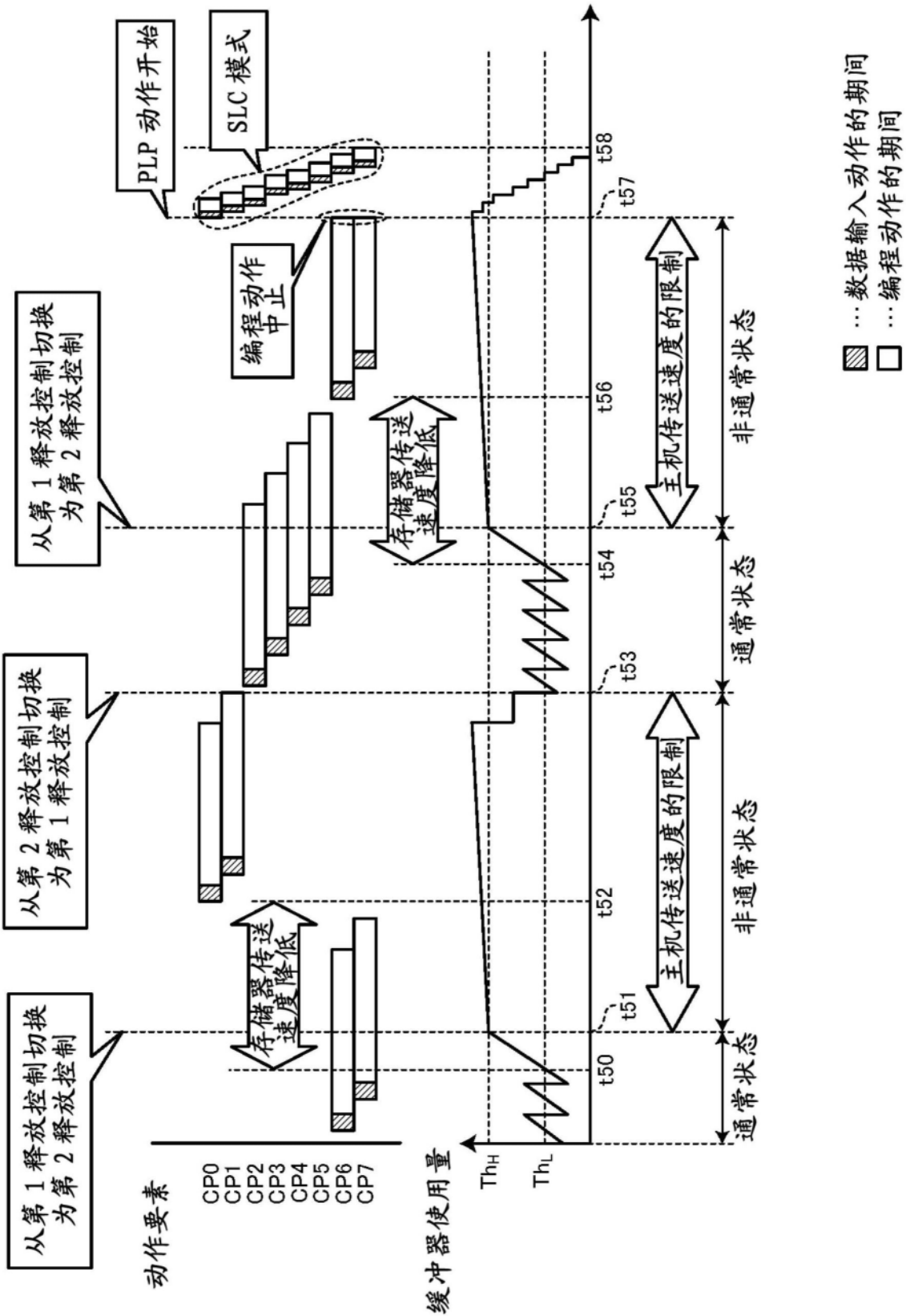


图13

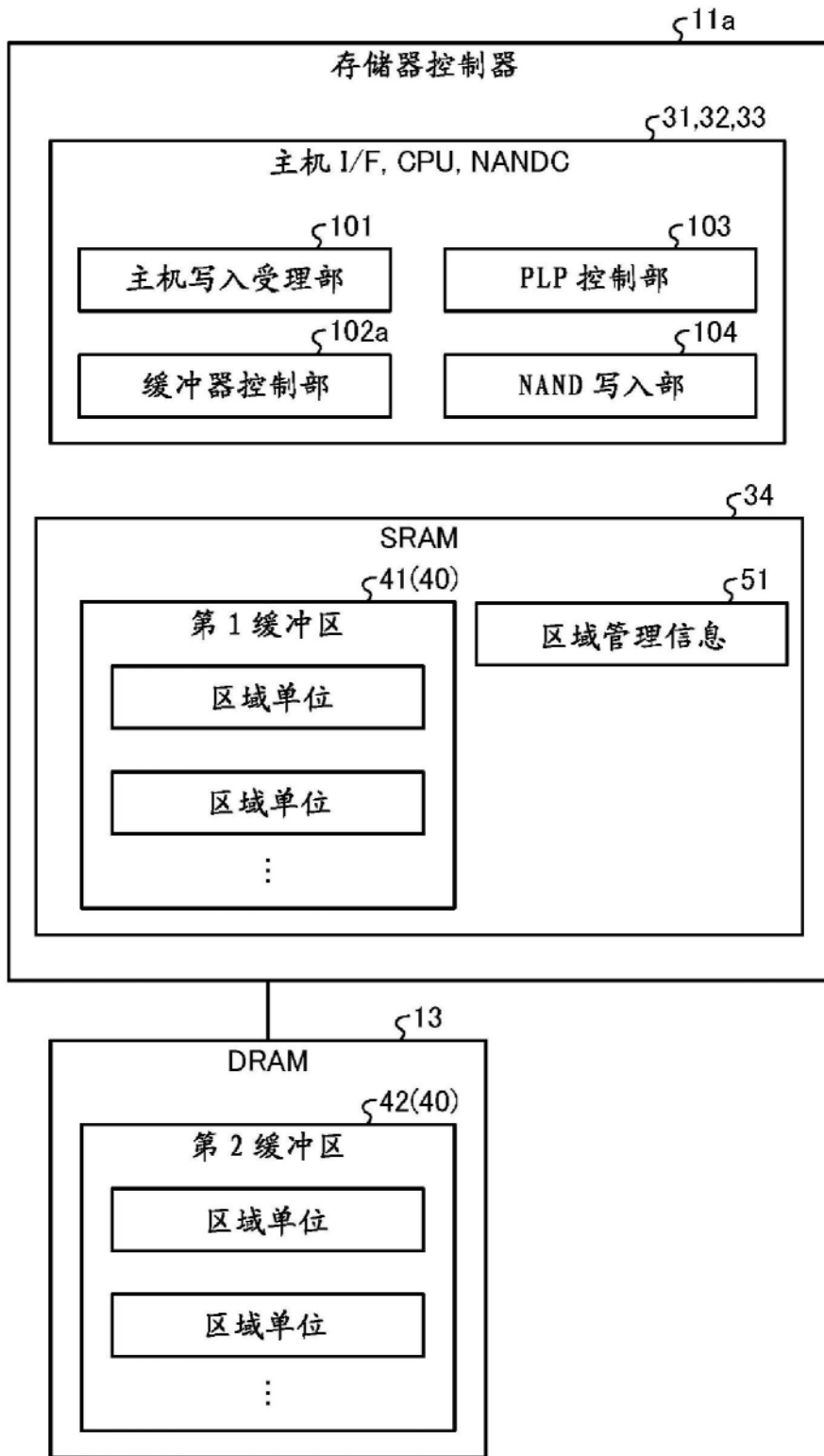


图14

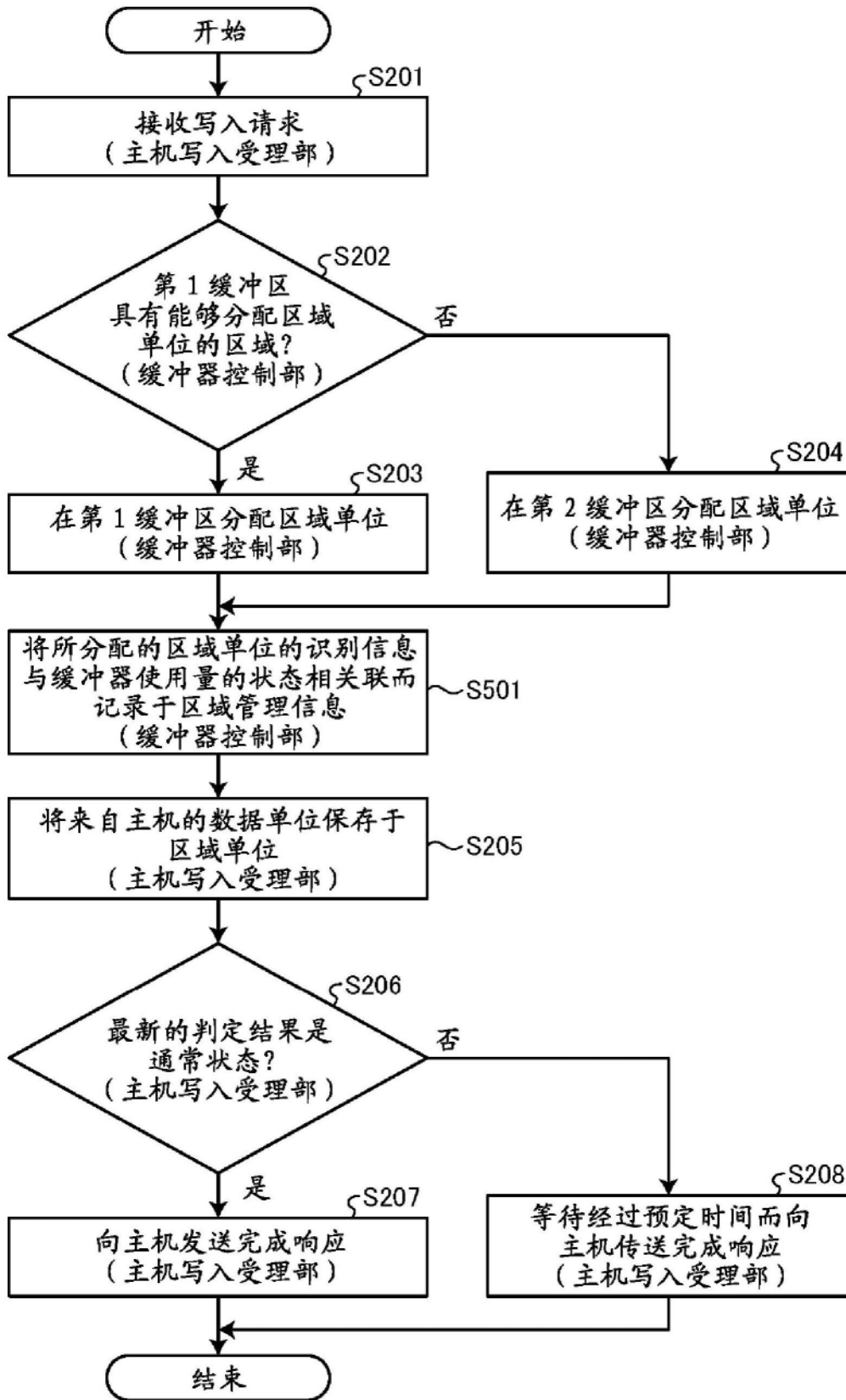


图15

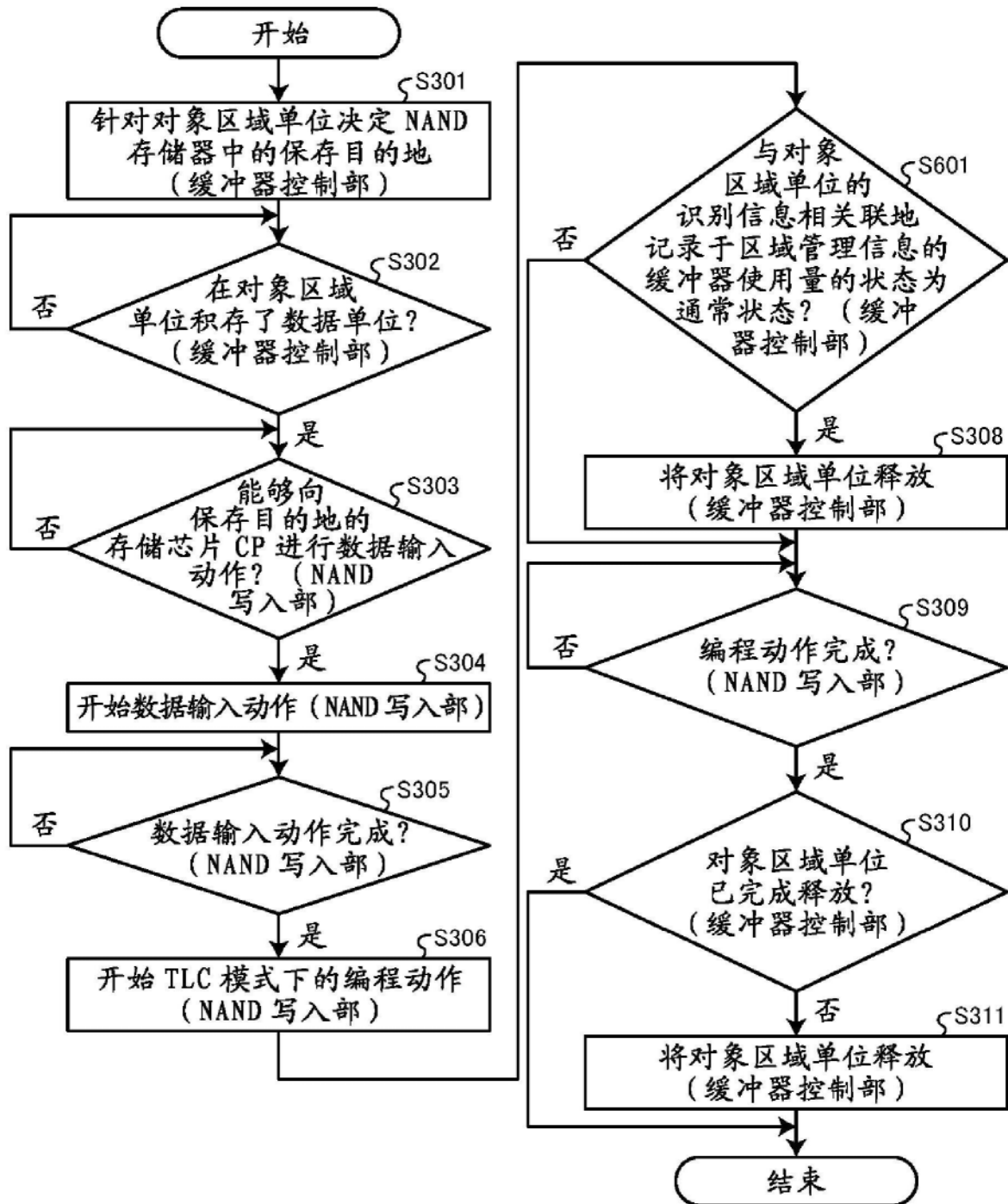


图16

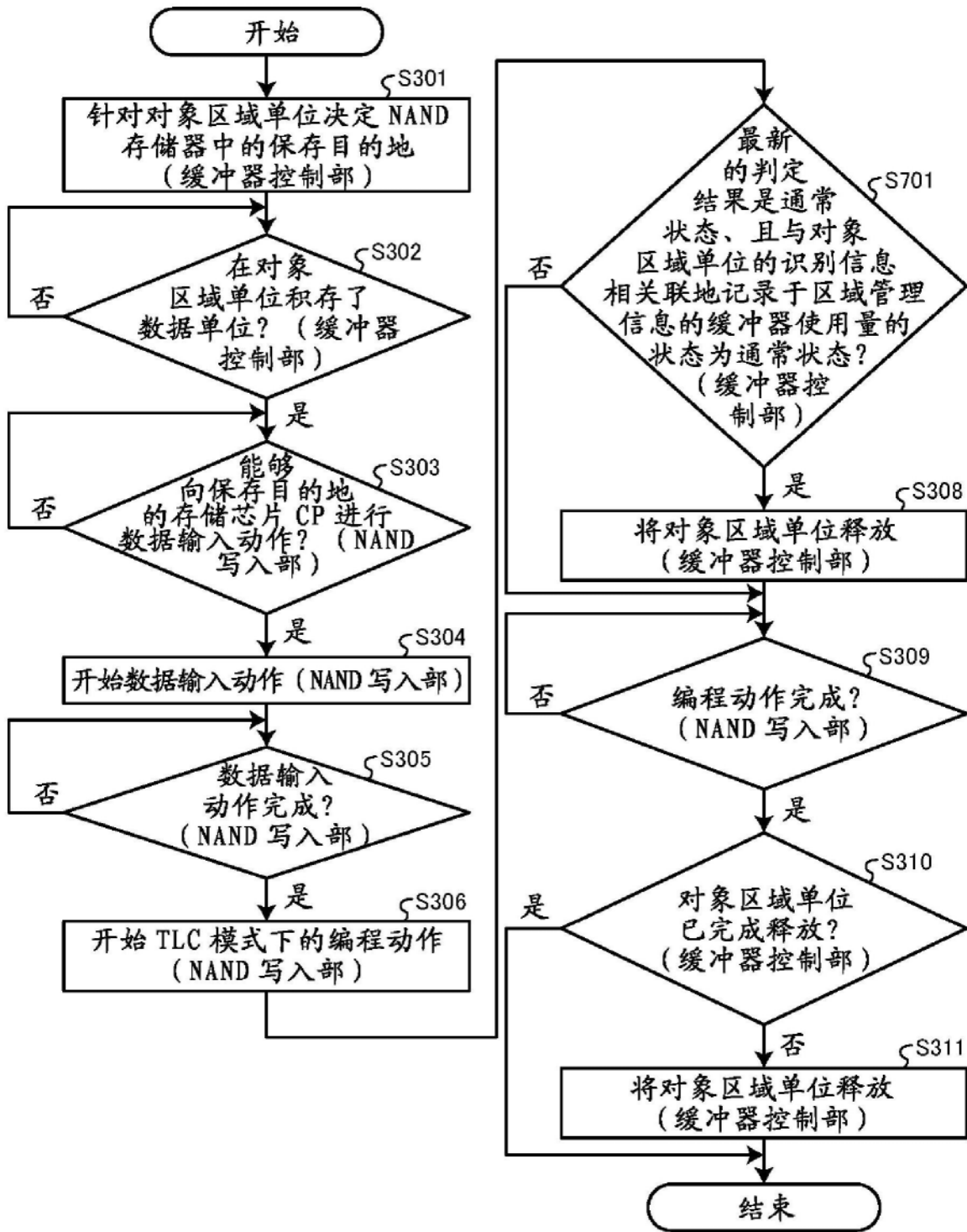


图17