

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6350098号
(P6350098)

(45) 発行日 平成30年7月4日(2018.7.4)

(24) 登録日 平成30年6月15日(2018.6.15)

(51) Int.Cl.

F I

G O 6 F 13/362 (2006.01)

G O 6 F 13/362 5 1 0 A

請求項の数 8 (全 26 頁)

(21) 出願番号	特願2014-163767 (P2014-163767)	(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成26年8月11日(2014.8.11)	(74) 代理人	100092978 弁理士 真田 有
(65) 公開番号	特開2016-38865 (P2016-38865A)	(74) 代理人	100112678 弁理士 山本 雅久
(43) 公開日	平成28年3月22日(2016.3.22)	(72) 発明者	北村 泰浩 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成29年5月11日(2017.5.11)	(72) 発明者	戎崎 浩二 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 演算処理装置、情報処理装置、及び情報処理装置の制御方法

(57) 【特許請求の範囲】

【請求項1】

直列に接続される複数の選択回路を有し、
前記複数の選択回路のうちの少なくとも一つは、
送信元又は前段の選択回路からデータを入力される複数の入力部と、
前記複数の入力部のうちのデータが入力されている一以上の入力部から、いずれか一つ
の入力部を選択する選択部と、
前記選択部が選択した前記一つの入力部から入力される第1のデータを転送先に転送する転送部と、

前記選択部が前記一つの入力部として選択した第1の入力部が前記前段の選択回路に接続されている場合、前記前段の選択回路から前記第1のデータに続いて前記第1の入力部
に入力される一以上の第2のデータを前記転送部が前記転送先に転送するまで、前記選択部に前記第1の入力部を選択させる制御部と、を有することを特徴とする、演算処理装置。

10

【請求項2】

前記制御部は、前記第1の入力部から入力される前記第1のデータに付加される第1の情報であって前記前段の選択回路から前記第1のデータに続けて前記第2のデータが入力されることを表す前記第1の情報が有効である場合、前記第2のデータを前記転送部が前記転送先に転送するまで、前記選択部に前記第1の入力部を選択させることを特徴とする、請求項1記載の演算処理装置。

20

【請求項 3】

前記転送部は、前記第 1 のデータを次段の選択回路に転送し、

前記制御部は、前記選択部が選択しなかった一以上の第 2 の入力部について、前記選択部が前記一以上の第 2 の入力部を選択するまで、前記転送部に、前記次段の選択回路に転送するデータに付加される前記第 1 の情報を有効を示すように更新させることを特徴とする、請求項 2 記載の演算処理装置。

【請求項 4】

前記少なくとも一つの選択回路は、

所定の期間に前記選択部が選択した入力部を示す第 2 の情報を、前記制御部に通知する通知部をさらに有し、

前記制御部は、前記第 2 の情報に基づいて、前記選択部が前記一以上の第 2 の入力部のうちの最後の入力部を選択したことを検出すると、前記転送部に、前記次段の選択回路に転送するデータに付加される前記第 1 の情報を無効を示すように更新させることを特徴とする、請求項 3 記載の演算処理装置。

【請求項 5】

前記選択部は、前記複数の入力部の各々に対して設定された優先度情報に基づいて前記第 1 の入力部の選択を行ない、選択した前記第 1 の入力部の優先度情報を、前記複数の入力部のうちの他の入力部の優先度情報よりも低い優先度を表す値に更新し、

前記制御部は、前記第 1 の入力部が前記前段の選択回路に接続されており、且つ、前記第 1 のデータに付加される前記第 1 の情報が有効である場合、前記選択部による前記第 1 の入力部の優先度情報の更新を抑止させる、又は、前記選択部に前記第 1 の入力部の優先度情報を前記他の入力部の優先度情報よりも高い優先度を表す値に更新させることを特徴とする、請求項 2 ~ 4 のいずれか 1 項記載の演算処理装置。

【請求項 6】

前記前段の選択回路は、

複数の前段入力部と、

前記複数の前段入力部のうちのデータが入力されている一以上の前段入力部から、いずれか 1 つの前段入力部を選択する前段選択部と、

前記前段選択部が選択した前記 1 つの前段入力部から入力されるデータを前記第 1 の入力部に転送する前段転送部と、を有し、

前記一以上の第 2 のデータは、前記前段選択部により選択されなかった他の前段入力部に入力されているデータである、ことを特徴とする、請求項 1 ~ 5 のいずれか 1 項記載の演算処理装置。

【請求項 7】

複数の演算処理装置を有し、

前記複数の演算処理装置のうちの少なくとも一つの演算処理装置は、直列に接続される複数の選択回路を有し、前記複数の選択回路を介して他の演算処理装置からデータを受信し、

前記複数の選択回路のうちの少なくとも一つの選択回路は、

前記他の演算処理装置又は前段の選択回路からデータを入力される複数の入力部と、

前記複数の入力部のうちのデータが入力されている一以上の入力部から、いずれか 1 つの入力部を選択する選択部と、

前記選択部が選択した前記 1 つの入力部から入力される第 1 のデータを転送先に転送する転送部と、

前記選択部が前記 1 つの入力部として選択した第 1 の入力部が前記前段の選択回路に接続されている場合、前記前段の選択回路から前記第 1 のデータに続いて前記第 1 の入力部に入力される一以上の第 2 のデータを前記転送部が前記転送先に転送するまで、前記選択部に前記第 1 の入力部を選択させる制御部と、を有することを特徴とする、情報処理装置。

【請求項 8】

10

20

30

40

50

複数の演算処理装置を有する情報処理装置の制御方法であって、
 前記複数の演算処理装置のうち少なくとも一つの演算処理装置が、直列に接続される
 複数の選択回路を介して他の演算処理装置からデータを受信し、
 前記複数の選択回路のうち少なくとも一つの選択回路において、
 複数の入力部のうちの前記他の演算処理装置又は前段の選択回路からデータを入力され
 ている一以上の入力部から、選択部がいずれか一つの入力部を選択し、
 前記選択部が選択した前記一つの入力部から入力される第1のデータを転送部が転送先
 に転送し、
 前記選択部が前記一つの入力部として選択した第1の入力部が前記前段の選択回路に接
 続されている場合、前記前段の選択回路から前記第1のデータに続いて前記第1の入力部
 に入力される一以上の第2のデータを前記転送部が前記転送先に転送するまで、前記選択
 部に前記第1の入力部を選択させることを特徴とする、情報処理装置の制御方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、演算処理装置、情報処理装置、及び情報処理装置の制御方法に関する。

【背景技術】

【0002】

サーバ等の情報処理装置では、情報処理装置に用いられる演算処理装置としてのCPU
 (Central Processing Unit)等のプロセッサが複数結合して設けられる場合がある。こ
 のような情報処理装置では、例えば並列コンピューティング(並列処理)等の実行のため
 にCPU間で通信が行なわれることがある。

20

【0003】

図15に例示するように、情報処理装置100では、他のCPU200又は図示しない
 他の装置(以下、送信元又はソースという)から送信されるパケット(データ)は、宛先
 のCPU200のインタフェースにある物理層210で受信確認が行なわれる。そして、
 受信確認が行なわれたパケットは、ルータ部220にて調停され、キャッシュ部230を
 通過して、コア部240に通知される。

【0004】

なお、クロスバスイッチにおける調停アルゴリズムにLRU(Least Recently Used)
 アルゴリズムが用いられる技術が知られている(例えば、特許文献1参照)。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開第2010/113262号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0006】

ルータ部220での調停は、各インタフェース(例えばソース)に対して公平であるこ
 とが好ましい。例えば、ルータ部220が各ソースからのパケットを完全LRU等により
 調停(選択)する場合、ソースの数が増えると、各ソースの調停参加信号が一か所に集約
 されるため、LRUで調停(選択)するための回路規模が増大し得る。

40

【0007】

一つの側面では、本発明は、複数の送信元から入力されるデータを処理する演算処理装
 置において、回路規模の増大を抑制しつつ、各送信元のバス使用率を適切に調整するこ
 とを目的とする。

【0008】

なお、前記目的に限らず、後述する発明を実施するための形態に示す各構成により導か
 れる作用効果であって、従来の技術によっては得られない作用効果を奏することも本発明
 の他の目的の一つとして位置付けることができる。

50

【課題を解決するための手段】

【0009】

1つの態様では、本件の演算処理装置は、直列に接続される複数の選択回路を有する。前記複数の選択回路のうち少なくとも一つの選択回路は、送信元又は前段の選択回路からデータを入力される複数の入力部と、前記複数の入力部のうちのデータが入力されている一以上の入力部から、いずれか1つの入力部を選択する選択部とを有する。また、前記少なくとも一つの選択回路は、前記選択部が選択した前記1つの入力部から入力される第1のデータを転送先に転送する転送部と、制御部とをさらに有する。さらに、前記制御部は、前記選択部が前記1つの入力部として選択した第1の入力部が前記前段の選択回路に接続されている場合、以下の処理を行なう。すなわち、前記制御部は、前記前段の選択回路から前記第1のデータに続いて前記第1の入力部に入力される一以上の第2のデータを前記転送部が前記転送先に転送するまで、前記選択部に前記第1の入力部を選択させる。

10

【発明の効果】

【0010】

1つの側面では、複数の送信元から入力されるデータを処理する演算処理装置において、回路規模の増大を抑制しつつ、各送信元のバス使用率を適切に調整することができる。

【図面の簡単な説明】

【0011】

【図1】図15に示すルータ部の一例を示す図である。

【図2】図15に示すルータ部の他の例を示す図である。

20

【図3】(a)は、図2に示すルータ部において、調停回路ごとにバス使用率が平等の場合の例を示す図であり、(b)は、図2に示すルータ部において、ソースごとにバス使用率が平等の場合の例を示す図である。

【図4】一実施形態に係る情報処理装置の構成例を示す図である。

【図5】図4に示すルータ部の一例を示す図である。

【図6】(a)は、図2に示す調停回路Aの動作例を示す図であり、(b)は、図2に示す調停回路Bの動作例を示す図である。

【図7】(a)は、図5に示す調停回路Aの動作例を示す図であり、(b)は、図5に示す調停回路Bの動作例を示す図である。

【図8】(a)は、図6に示す調停回路による調停のタイミングチャートの一例を示す図であり、(b)は、図7に示す調停回路による調停のタイミングチャートの一例を示す図である。

30

【図9】図4に示すルータ部の一例を示す図である。

【図10】図9に示す調停回路の構成例を示す図である。

【図11】図9に示す調停回路による調停のタイミングチャートの一例を示す図である。

【図12】一実施形態に係るルータ部によるパケット転送処理の一例を説明するフローチャートである。

【図13】一実施形態に係るルータ部によるLRU更新処理の一例を説明するフローチャートである。

【図14】一実施形態に係るルータ部によるフラグ更新処理の一例を説明するフローチャートである。

40

【図15】情報処理装置の構成例を示す図である。

【発明を実施するための形態】

【0012】

以下、図面を参照して本発明の実施の形態を説明する。ただし、以下に説明する実施形態は、あくまでも例示であり、以下に明示しない種々の変形や技術の適用を排除する意図はない。すなわち、本実施形態を、その趣旨を逸脱しない範囲で種々変形して実施することができる。なお、以下の実施形態で用いる図面において、同一符号を付した部分は、特に断らない限り、同一若しくは同様の部分を表す。

【0013】

50

〔 1 〕 対比例について

はじめに、図 1 ~ 図 3 (a) 及び (b) を参照しながら、一実施形態の対比例について説明する。図 1 5 に示すルータ部 2 2 0 は、例えば図 1 に示す一元管理方式の調停回路 2 2 0 A をそなえることができる。以下、CPU 2 0 0 又は図示しない他の装置等のパケットの送信元をソース 2 0 0 又はソース A ~ D (図 1 参照) といい、コア部 2 4 0 (又はキャッシュ部 2 3 0) 等のパケットの送信先をターゲット 2 4 0 という場合がある。図 1 に示すルータ部 2 2 0 は、1 つの調停回路 2 2 0 A (調停器) をそなえ、複数のソース A ~ D からパケットを受け取り、受け取ったパケットを調停回路 2 2 0 A にて調停して一つのターゲット 2 4 0 に転送する回路である。

【 0 0 1 4 】

図 1 に示す調停回路 2 2 0 A において、各ソース 2 0 0 からのパケットを完全 L R U 等により調停 (選択) する場合、ソース 2 0 0 の数が増えると、各ソース 2 0 0 の調停参加信号が一か所に集約される。このため、L R U で調停 (選択) するための論理回路の遅延が大きくなり得、複雑なタイミング設計が行なわれることになる。また、調停に勝ったバス (ソース 2 0 0) を選択するための論理回路 (優先権獲得信号を送信する回路を含む) も各ソース 2 0 0 分そなえられるため、回路規模が増大し得る。

【 0 0 1 5 】

そこで、ルータ部 2 2 0 は、例えば図 2 に示す直列多段調停方式の複数の調停回路 2 2 0 B をそなえることも考えられる。図 2 に示すルータ部 2 2 0 は、図 1 に示すような 1 段の調停回路 2 2 0 A ではなく、多段の調停回路 2 2 0 B (調停器) を直列に接続 (結合) する。以下、調停回路 2 2 0 B を調停回路 A ~ C という場合がある。図 2 に示すルータ部 2 2 0 では、複数のソース A ~ D をいくつかのグループ (調停回路 A ~ C に対応) に分け、例えば調停回路 A のグループの勝者 (ソース A 又は B) を後段の調停回路 B のグループ (ソース C) での調停に参加させる。

【 0 0 1 6 】

これにより、複数のソース 2 0 0 を各段で少しずつ調停することができ、ルータ部 2 2 0 の各調停回路 2 2 0 B の負担が調停回路 2 2 0 A よりも軽減されるため、調停回路 2 2 0 B の設計が容易になり得る。また、調停に参加するバスを絞り込みながらパケットを転送することができるため、回路規模も小さくできる。

【 0 0 1 7 】

しかしながら、図 2 に示すルータ部 2 2 0 では、調停回路 2 2 0 B ごとにバス使用率を平等とすると、ターゲット 2 4 0 に近いソース 2 0 0 ほどバスの使用率が高くなる。例えば各調停回路 2 2 0 B において、単純な L R U 等により調停に参加するソース 2 0 0 ごとに公平な選択を行なうと、ターゲット 2 4 0 に近いソース 2 0 0 ほど、ターゲット 2 4 0 から離れたソース 2 0 0 よりも多くバスを占有することになる (図 3 (a) 参照) 。

【 0 0 1 8 】

このため、図 3 (b) に例示するように、ソース 2 0 0 ごとにバス使用率を平等として、全ソース 2 0 0 間での調停を公平 (平等) にする仕組みを設けることが好ましい。

【 0 0 1 9 】

なお、関連する技術として、複数の計算ノードが直列に接続された並列計算機システムにおいて、各計算ノードにそなえられたルータが、パケットに合流数を含めて転送する技術が知られている (例えば、特開 2 0 1 2 - 1 9 8 8 1 9 号公報等参照) 。

【 0 0 2 0 】

この並列計算機システムの技術では、ルータが、複数のパケットを受信した場合、各パケットに格納されている合流数を取得し、受信したパケットの数に応じて合流数を更新する。そして、ルータは、更新した合流数に基づいて、受信した複数のパケットから後段のルータへ送信するパケットを選択し、選択したパケットに更新した合流数を格納して送信する。これにより、並列計算機システムでは、パケットのソース間の帯域使用率を平等にすることができる。

【 0 0 2 1 】

しかし、この並列計算機システムの技術では、合流数の比較や合流数の更新値をパケットに書き換える処理が行なわれる。従って、この技術をプロセッサの内部（例えばルータ部 220）に適用した場合、小規模な論理回路で構成することや少ないゲート遅延で調停を行なうことが困難である。

【0022】

〔2〕一実施形態

〔2-1〕情報処理装置について

そこで、一実施形態に係る情報処理装置では、各演算処理装置は、直列に接続される複数の選択回路をそなえることができる。この複数の選択回路のうち一以上の選択回路では、以下の処理を行なうことにより、回路規模の増大を抑制しつつ、各ソースのバス（帯域）使用率を適切、例えば公平に調整することができる。例えば一以上の選択回路では、選択した第1の入力ポートが前段の選択回路に接続されている場合、前段の選択回路において第1のデータとの間で選択されなかった一以上の第2のデータを転送先に転送するまで、第1の入力ポートを選択することができる。なお、第1のデータとは、第1の入力ポートを選択したときに転送先に転送したデータである。以下、情報処理装置1について説明する。

10

【0023】

図4に例示するように、一実施形態に係る情報処理装置1は、複数のCPU2、コントローラ1a、メモリ1b、記憶部1c、インタフェース部1d、及び入出力部1eをそなえることができる。情報処理装置1としては、例えばサーバやPC（Personal Computer）等のコンピュータが挙げられる。好ましくは、情報処理装置1としては、演算処理装置が複数の入力元（例えば他の演算処理装置や他の装置）からデータを入力されるコンピュータ、例えば並列コンピュータ等が挙げられる。

20

【0024】

CPU2は、種々の制御や演算を行なうプロセッサ（演算処理装置）の一例である。CPU2は、他のCPU2及びコントローラ1aとそれぞれ接続され、メモリ1b、記憶部1c、又は図示しないROM（Read Only Memory）等に格納されたプログラムを実行することにより、種々の機能を実現することができる。例えば一実施形態に係るCPU2は、他のCPU2と協働して、並列コンピューティング（並列処理）を実行することができる。

30

【0025】

コントローラ1aは、CPU2間、CPU2-メモリ1b間、又はCPU2-他のブロック1c~1e間の少なくとも1つの制御（例えば通信制御）を行なうコントローラである。コントローラ1aとしては、例えばシステムコントローラ及びメモリコントローラの少なくとも一方が挙げられる。

【0026】

メモリ1bは、種々のデータやプログラムを格納する記憶装置である。各CPU2は、プログラムを実行する際に、メモリ1bにデータやプログラムを格納し展開する。なお、メモリ1bとしては、例えばRAM（Random Access Memory）等の揮発性メモリが挙げられる。図4では、メモリ1bが複数のCPU2で共用される例を示すが、これに限定されるものではなく、メモリ1bは少なくとも1つのCPU2ごとにそなえられてもよい。

40

【0027】

記憶部1cは、種々のデータやプログラム等を格納するハードウェアである。記憶部1cとしては、例えばHDD（Hard Disk Drive）等の磁気ディスク装置、SSD（Solid State Drive）等の半導体ドライブ装置、フラッシュメモリやROM等の不揮発性メモリ等の各種装置が挙げられる。

【0028】

インタフェース部1dは、有線又は無線による、ネットワークや他の情報処理装置等との間の接続及び通信の制御等を行なう通信インタフェースである。インタフェース部1dとしては、例えば、LAN（Local Area Network）、ファイバチャネル（Fibre Channel

50

; F C) , インフィニバンド (InfiniBand) 等に準拠したアダプタが挙げられる。

【 0 0 2 9 】

入出力部 1 e は、 C P U 2 と通信を行なう各種装置、入力装置、及び出力装置の少なくとも 1 つを含むことができる。入力装置としては、例えばマウス、キーボード、タッチパネル、及び音声操作のためのマイク等が挙げられる。また、出力装置としては、ディスプレイ、スピーカー、及びプリンタ等が挙げられる。

【 0 0 3 0 】

上述した各ブロック 2 及び 1 a ~ 1 e 間はそれぞれバスで相互に通信可能に接続される。なお、情報処理装置 1 の上述したハードウェア構成は例示であり、情報処理装置 1 内でのハードウェアの増減 (例えば任意のブロックの追加や省略) , 分割, 任意の組み合わせでの統合, バスの追加又は省略等は適宜行なわれてもよい。

10

【 0 0 3 1 】

次に、 C P U 2 について説明する。図 4 に例示するように、 C P U 2 は、物理層 2 1 , ルータ部 2 2 , キャッシュ部 2 3 , 及びコア部 2 4 をそなえることができる。物理層 2 1 は、他の C P U 2 又は図示しない他の装置から送信され C P U 2 に入力されるパケット (データ) を受信 (パケットの受信確認) するものであり、 C P U 2 のインタフェースの一例である。以下、 C P U 2 又は図示しない他の装置等のパケットの送信元をソース 2 又はソース A ~ D (図 5 参照) という場合がある。

【 0 0 3 2 】

ルータ部 2 2 は、物理層 2 1 で受信確認を行なったパケットを入力ポート (図示省略) で受け取り、調停 (選択) を行なって選択したパケットをキャッシュ部 2 3 に格納する。キャッシュ部 2 3 は、例えば C P U 2 とバス又はメモリ 1 b 等との間の遅延等を軽減するためにパケットを一時的に記憶する記憶装置である。キャッシュ部 2 3 としては、例えば S R A M (Static RAM) 等の高速メモリが挙げられる。

20

【 0 0 3 3 】

コア部 2 4 は、ルータ部 2 2 からキャッシュ部 2 3 を介して (又はルータ部 2 2 から直接) 入力されるパケットに対する種々の演算 (処理) を行なうとともに、演算結果等の種々のデータや要求や指示等の種々のコマンド等を発行することができる。図 4 では、コア部 2 4 は 1 つである例を示すが、コア部 2 4 は C P U 2 に複数そなえられてもよい。以下、パケットの送信先としてのコア部 2 4 (又はキャッシュ部 2 3) をターゲット 2 4 という場合がある。

30

【 0 0 3 4 】

図 5 に例示するように、 C P U 2 のルータ部 2 2 は、調停回路 2 2 0 B と同様、直列に接続 (結合) された直列多段調停方式の複数の調停回路 3 をそなえることができる。以下、調停回路 3 を調停回路 A ~ C という場合がある。ルータ部 2 2 では、 C P U 2 等の複数のソース 2 (例えばソース A ~ D) をいくつかのグループ (調停回路 A ~ C に対応) に分け、例えば調停回路 A のグループの勝者 (ソース A 又は B) を後段の調停回路 B のグループ (ソース C) での調停に参加させる。このようにして、調停回路 C での調停の勝者のパケットがターゲット 2 4 に送出される。

【 0 0 3 5 】

これにより、複数のソース 2 を各段で少しずつ調停することができ、ルータ部 2 2 の各調停回路 3 の負担が図 1 に示す調停回路 2 2 0 A よりも軽減されるため、調停回路 3 の設計が容易になり得る。また、調停に参加するバスを絞込みながらパケットを転送することができるため、回路規模も小さくできる。

40

【 0 0 3 6 】

以下、一実施形態に係る情報処理装置 1 の動作の一例を説明する。

【 0 0 3 7 】

はじめに、対比例として、図 2 に示す複数の調停回路 2 2 0 B を有する C P U 2 0 0 を複数そなえる情報処理装置 1 0 0 における、調停回路 2 2 0 B (調停回路 A 及び B) の動作例を説明する。

50

【 0 0 3 8 】

1 段目の調停回路 2 2 0 B である調停回路 A は、図 6 (a) に示すように、ソース A からのパケット A とソース B からのパケット B とを調停し、例えばパケット A , パケット B の順で調停回路 B へ送出する。

【 0 0 3 9 】

2 段目の調停回路 2 2 0 B である調停回路 B は、図 6 (b) に示すように、調停回路 A からのパケット A とソース C からのパケット C 0 とを調停し、例えばパケット A , パケット C 0 の順で調停回路 C へ送出する。次いで、調停回路 B は、調停回路 A からのパケット B とソース C からのパケット C 1 とを調停し、先行して送出したパケット C 0 に続けて、例えばパケット B , パケット C 1 の順で調停回路 C へ送出する。

10

【 0 0 4 0 】

上述したルータ部 2 2 0 (調停回路 2 2 0 B) による調停のタイミングチャートを図 8 (a) に例示する。なお、図 8 (a) において、横軸は時間を示す。横軸の 1 枠は 1 回の調停周期、例えば 1 クロックである。以下、ソース A ~ C からのパケット “ A 0 ” ~ “ C 4 ” 等を、単に “ A 0 ” ~ “ C 4 ” と表記する。

【 0 0 4 1 】

図 8 (a) に示すように、調停回路 B からの出力 (ターゲット (調停回路 C)) は、 “ A 0 ” , “ C 0 ” , “ B 0 ” , “ C 1 ” , . . . となるため、ソース A ~ C が選択される比率 (バスの使用率) は、 (A : B : C = 1 : 1 : 2) となる。図 8 (a) のソース A ~ C が各パケットを送出している期間を見ても明らかなように、ソース C は、調停回路 B において、ソース A 及び B の 2 倍の頻度で選択され、ソース間のバス使用率が不公平であるといえる。なお、LRU は、調停回路 2 2 0 B での調停方式の一例であり、“ 0 ” の場合は一方の入力ポートが、“ 1 ” の場合は他方の入力ポートが選択されることを示す。

20

【 0 0 4 2 】

一方、一実施形態に係る情報処理装置 1 では、図 5 に例示する調停回路 3 (調停回路 A 及び B) は以下のように動作することができる。ここで、一実施形態に係る情報処理装置 1 では、パケットにパケット連結フラグを付加することができる。

【 0 0 4 3 】

パケット連結フラグは、有効 (例えば “ 1 ”) を示す場合、合流 (調停回路 3 において異なるソース 2 が同時に調停に参加したこと) が発生して、当該パケットが調停に勝利した (選択された) ことを表す。パケット連結フラグは、例えば 1 ビットで表すことができる。すなわち、調停回路 3 に入力されたパケットに付加されたパケット連結フラグは、有効を示す場合、前段の選択回路 3 からの当該パケットに続けて他のパケットが入力されることを示す第 1 の情報であるといえる。

30

【 0 0 4 4 】

なお、パケット連結フラグは、パケットの先頭又は末尾等、パケットの任意の位置に付加されてもよく、パケットの内容を変化させない任意の態様でパケットに含められて (埋め込まれて) もよい。また、パケット連結フラグは、パケットとは異なるバスで送出されてもよい。以下、パケット連結フラグがパケットの末尾に付加されるものとして説明する。

40

【 0 0 4 5 】

CPU 2 (例えば物理層 2 1 或いはルータ部 2 2) は、受信したパケット又は送信するパケットに、無効 (例えば “ 0 ”) に設定したパケット連結フラグを付加することができる。なお、CPU 2 がパケットにパケット連結フラグを付加するタイミングとしては、1 段目の調停回路 3 が次段の調停回路 3 にパケットを送出するときであっててもよく、任意のタイミングとすることができる。

【 0 0 4 6 】

1 段目の調停回路 3 である調停回路 A は、図 7 (a) に示すように、ソース A からのパケット A とソース B からのパケット B とを調停し、例えばパケット A を選択する。このとき、調停回路 A は、パケット A 及びパケット B が合流しているため、調停に勝ったパケッ

50

ト A に付加されたパケット連結フラグを無効から有効に更新して、パケット A を調停回路 B へ送出する。また、調停回路 A は、次に選択したパケット B について、パケット B の他に合流するパケットが存在しないため、パケット連結フラグを無効のまま更新せず、パケット B をパケット A に続けて調停回路 B へ送出する。

【 0 0 4 7 】

2 段目の調停回路 3 である調停回路 B は、図 7 (b) に示すように、調停回路 A からのパケット A とソース C からのパケット C とを調停し、例えばパケット A を選択する。このとき、調停回路 B は、パケット A 及びパケット C が合流しているため、調停に勝ったパケット A に付加されたパケット連結フラグを有効にしようとする。ところが、パケット A には、既に調停回路 A によって、有効を示す (パケット A 及びパケット B が合流したことを示す) パケット連結フラグが付加されている (図 7 (a) 参照) 。従って、調停回路 B は、パケット A に付加されたパケット連結フラグをそのまま更新せずに (有効のまま) 、パケット A を調停回路 C へ送出する。

10

【 0 0 4 8 】

また、調停回路 B は、パケット A に付加されたパケット連結フラグが有効であったため、次の調停でもパケット A が入力された入力ポート (パケット B) を選択する。すなわち、調停回路 B は、選択した入力ポートについて、パケット連結フラグが付加されたパケット及びその後続のパケットを、連結された 1 つのパケットと見做すのである。このとき、調停回路 B は、パケット B 及びパケット C が合流しているため、調停に勝ったパケット B に付加されたパケット連結フラグを無効から有効に更新して、パケット B を調停回路 C へ送出する。

20

【 0 0 4 9 】

なお、調停回路 B は、パケット A の入力ポートを選択後に同じ入力ポートを選択するために、例えば L R U を更新しないことにより、パケット B の入力ポートの優先度をパケット C の入力ポートよりも高い状態に維持することができる。これにより、調停回路 B は、パケット B とパケット C との調停において、パケット C の入力ポートに優先権を渡さず、再度パケット B の入力ポートを選択することができる。

【 0 0 5 0 】

さらに、調停回路 B は、次に選択したパケット C について、パケット C の他に合流するパケットが存在しないため、パケット連結フラグを無効のまま更新せず、パケット C をパケット B に続けて調停回路 C へ送出する。

30

【 0 0 5 1 】

上述したルータ部 2 2 (調停回路 3) による調停のタイミングチャートを図 8 (b) に例示する。図 8 (b) に示すように、調停回路 B からの出力 (ターゲット (調停回路 C)) は、“ A 0 ”，“ B 0 ”，“ C 0 ”，“ A 1 ”，・・・となるため、ソース A ~ C が選択される比率 (バスの使用率) は、(A : B : C = 1 : 1 : 1) となり、平等である。なお、“ A 0 ”，“ A 1 ”，“ A 2 ”が選択された後に参照される L R U (図 8 (b) の例では “ A 0 ”，“ A 1 ”，“ A 2 ”と同じクロックの L R U) は、その直前のクロックから引き続いて “ 0 ” である。これにより、調停回路 B は、“ A 0 ”，“ A 1 ”，“ A 2 ”の調停後、同じ入力ポートを選択して “ B 0 ”，“ B 1 ”，“ B 2 ”を調停回路 C に送出することができる。

40

【 0 0 5 2 】

このように、一実施形態に係る情報処理装置 1 では、図 7 (a) ， (b) 及び図 8 (b) に示すように、調停回路 A で合流したパケット A 及びパケット B は次の調停回路 B で勝った場合、最後尾のパケット B が転送されるまで、パケット C に優先権を渡さない。これにより、3 つのソース A ~ C についてパケットによるバスの使用率を公平にすることが可能となる。なお、図 7 (b) の例で、パケット A が調停回路 B でのパケット C との調停で敗者になっても同様である。パケット C ，パケット A が順に次段に転送された後、パケット B の転送が完了するまで、ソース C は調停回路 B から次のパケットを送出するための優先権を渡されないためである。

50

【 0 0 5 3 】

また、情報処理装置 1 によれば、調停回路 2 2 0 B をそなえる CPU 2 0 0 に対して、ルータ部 2 2 にパケットへのパケット連結フラグの付加及び合流の判定を行なう機能（回路）等を設けることで上記の動作を実現できるため、回路規模の増大を抑制できる。

【 0 0 5 4 】

〔 2 - 2 〕ルータ部の構成例

次に、一実施形態に係るルータ部 2 2 の構成例を説明する。以下、図 9 に例示するように、ルータ部 2 2 が直列に接続された 3 段の調停回路（選択回路）3（調停回路 A ~ C）をそなえ、調停回路 C がターゲット 2 4 に接続されるものとする。また、調停回路 A にはソース A ~ C から、調停回路 B には調停回路 A，ソース D 及び E から、調停回路 C には調停回路 B，ソース F 及び G から、それぞれパケットが入力されるものとする。なお、調停回路 A ~ C からの出力パケットは、各調停回路 3 内のバッファに一時的に保持される。

10

【 0 0 5 5 】

各調停回路 3 は、図 1 0 に示すように、例示的に、資源管理部 3 1，データバッファ 3 2，複数（図 1 0 の例では 3 つ）の入力ポート 3 3，調停器 3 4，セレクトア 3 5，及び合流制御部 3 6 をそなえることができる。

【 0 0 5 6 】

資源管理部 3 1 は、データバッファ 3 2 の資源を監視し、パケットを格納するための記憶領域（空き）が確保できた場合、調停器 3 4 に空き通知信号を出力する。これにより、資源管理部 3 1 は、調停器 3 4 にデータ転送の可否（ON 又は OFF）を通知することができる。

20

【 0 0 5 7 】

データバッファ 3 2 は、セレクトア 3 5 で選択され転送された、パケット連結フラグを付加されたパケットを一時的に格納するバッファ 3 2 a をそなえることができる。データバッファ 3 2 は、バッファ 3 2 a にパケットが格納されると、転送先（次段の調停回路 3 又はターゲット 2 4）へ調停参加信号を通知する。そして、転送先から優先権獲得信号を受信すると、バッファ 3 2 a に格納するパケットを転送先へ送出する。バッファ 3 2 a としては、例えば F I F O（First In First Out）のレジスタ等が挙げられる。

【 0 0 5 8 】

入力ポート 3 3 は、物理層 2 1 又は前段の調停回路 3 に接続され、ソース 2 から送出されたパケット又は前段の調停回路 3 で調停されて送出されたパケット等の情報を入力される入力端である。図 1 0 の例では、“入力 A” ~ “入力 C” と接続された信号線（バス）が分岐する部位（入力部）を入力ポート 3 3 と表記する。

30

【 0 0 5 9 】

入力ポート 3 3 に入力される情報には、例えばパケット等のデータのほかに、調停参加信号が含まれる。入力ポート 3 3 に入力された情報は、調停器 3 4，セレクトア 3 5，及び合流制御部 3 6 に出力される。なお、図 1 0 の例では、便宜上、パケット連結フラグが付加されたパケット（データ）のバスとパケット連結フラグのバスとを分離して示すが、これらのバスは、データのバスに統一してもよいし、入力ポート 3 3 においてデータのバスからパケットとパケット連結フラグとを分離してもよい。

40

【 0 0 6 0 】

また、入力ポート 3 3 は、調停器 3 4 から出力される優先権獲得信号を、物理層 2 1 又は前段の調停回路 3，セレクトア 3 5，及び合流制御部 3 6 に出力することができる。

【 0 0 6 1 】

調停器 3 4 は、入力される複数のパケットを調停し、1 のパケット（入力ポート 3 3）を選択するものであり、例示的に、LRUレジスタ 3 4 a，選択部 3 4 b，及び制御部 3 4 c をそなえることができる。

【 0 0 6 2 】

LRUレジスタ 3 4 a は、選択部 3 4 b により参照及び更新される入力ポート 3 3 の優先度情報を格納するレジスタの一例である。LRUレジスタ 3 4 a は、優先度情報の一例

50

として、入力ポート 3 3 ごとに、最も過去に選択された、つまり最後に選択されてから最も時間が経っている入力ポート 3 3 ほど大きな（又は小さな）値が設定された L R U 情報を格納することができる。なお、L R U 情報の内容としては、入力ポート 3 3 ごとの最後に選択された時刻（タイムスタンプ）の情報や、各入力ポート 3 3 を示す値を最も過去に（又は最近）選択された順で並べた情報等、既知の種々の内容とすることができる。

【 0 0 6 3 】

選択部 3 4 b は、資源管理部 3 1 から空き通知信号を入力されると、複数の入力ポート 3 3 のうちのパケットが入力されている 1 以上の入力ポート 3 3 から、1 の入力ポート 3 3 を選択し、選択した入力ポート 3 3 に優先権を与える。

【 0 0 6 4 】

例えば、選択部 3 4 b は、調停参加信号を出力する入力ポート 3 3 を、パケットが入力されている入力ポート 3 3 と特定することができる。また、選択部 3 4 b は、複数の入力ポート 3 3 の各々に対して設定された優先度情報に基づいて 1 の入力ポート 3 3 の選択を行なうことができる。例えば、選択部 3 4 b は、L R U レジスタ 3 4 a に格納された L R U 情報を参照して、パケットが入力されている 1 以上の入力ポート 3 3 から、最も過去に選択された入力ポート 3 3 を選択することができる。さらに、選択部 3 4 b は、選択した入力ポート 3 3 を示す優先権獲得信号を出力することができる。

【 0 0 6 5 】

なお、選択部 3 4 b は、選択した入力ポート 3 3 について、選択した入力ポート 3 3 の優先度情報を、他の入力ポート 3 3 の優先度情報よりも低い（例えば最低の）優先度を表す値に更新することができる。例えば、選択部 3 4 b は、選択した入力ポート 3 3 の L R U 情報を、他の入力ポート 3 3 の L R U 情報よりも小さな（又は大きな）値に変更することができる。

【 0 0 6 6 】

制御部 3 4 c は、例えば以下の 2 つの条件を満たす場合、選択部 3 4 b が選択した第 1 の入力ポート 3 3 を、第 1 の入力ポート 3 3 から入力された第 1 のパケットが転送先に転送された後の調停（次の調停）において、引き続き選択部 3 4 b に選択させる。なお、この制御は、少なくとも 2 段目以降の調停回路 3 において実行されることが好ましい。つまり、この制御は、パケット連結フラグが付加されていないパケット、又は、無効を示すパケット連結フラグが全パケットに付加されたパケットを入力される、1 段目の調停回路 3

【 0 0 6 7 】

（ a ）選択部 3 4 b が選択した第 1 の入力ポート 3 3 が前段の選択回路 3 に接続されている場合。

（ b ）前段の選択回路 3 において、第 1 のパケットとの間で選択されなかった一以上の第 2 のパケットが、未だ自身の調停回路 3 から転送先（次段の調停回路 3 又はターゲット 2 4 ）に転送されていない場合。

【 0 0 6 8 】

例えば制御部 3 4 c は、第 1 の入力ポート 3 3 から入力される第 1 のパケットに付加される（調停参加信号とともに調停器 3 4 に入力された）パケット連結フラグが有効である場合に、上記（ a ）及び（ b ）の条件を満たすと判断することができる。上述のように、パケット連結フラグが有効（例えば “ 1 ” ）を示すのは、当該第 1 のパケットを入力された第 1 の入力ポート 3 3 が前段の調停回路 3 に接続されており、且つ前段の調停回路 3 で合流が発生している場合である。従って、制御部 3 4 c は、上記（ a ）及び（ b ）の条件を満たすか否かの判断を、パケット連結フラグの有効又は無効の検出により行なうことができ、制御部 3 4 c を簡素な回路で実現することができる。

【 0 0 6 9 】

制御部 3 4 c は、上記（ a ）及び（ b ）の条件を満たす場合、第 2 のパケットをセレクタ 3 5 が転送先に転送するまで、選択部 3 4 b に第 1 の入力ポート 3 3 を選択させることができる。なお、選択部 3 4 b に第 1 の入力ポート 3 3 を選択させる手法は、種々の手法

10

20

30

40

50

を用いてよい。例えば制御部 3 4 c は、選択部 3 4 b による第 1 の入力ポート 3 3 の L R U 情報（優先度情報）の更新を抑止させることができる。又は、制御部 3 4 c は、選択部 3 4 b に第 1 の入力ポート 3 3 の L R U 情報を他の入力ポート 3 3 の優先度情報よりも高い（例えば最高の）優先度を表す値に更新させてもよい。

【 0 0 7 0 】

このように、制御部 3 4 c は、選択部 3 4 b が入力ポート 3 3 の選択に用いる優先度情報の更新を上記のように制御することで、選択部 3 4 b に第 1 の入力ポート 3 3 を容易に選択させることができる。

【 0 0 7 1 】

なお、制御部 3 4 c は、選択部 3 4 b に選択させている第 1 の入力ポート 3 3 から、パケット連結フラグが無効（例えば“ 0 ”）のパケットが入力されると（調停に参加すると）、連結の切れ目であると判断する。この場合、制御部 3 4 c は、例えば、抑止させていた、選択部 3 4 b による第 1 の入力ポート 3 3 の L R U 情報の更新を再開させる等により、第 1 の入力ポート 3 3 の L R U 情報を他の入力ポート 3 3 の L R U 情報よりも低い優先度を表す値に更新させる。

【 0 0 7 2 】

ところで、上述のように、パケット連結フラグは、調停回路 3 で合流したパケットを次段の調停回路 3 で連続して送出させる（入力ポート 3 3 を選択させる）ためにパケットに付加される。そこで、制御部 3 4 c は、選択部 3 4 b が第 1 の入力ポート 3 3 を選択した際に選択しなかった 1 以上の第 2 の入力ポート 3 3 について、以下の制御を行なうことができる。

【 0 0 7 3 】

すなわち、制御部 3 4 c は、選択部 3 4 b が全ての第 2 の入力ポート 3 3 を選択するまで（つまり他に合流するパケットがある場合）、次段の選択回路 3 に転送するパケットに付加されるパケット連結フラグを有効を示すように更新する。また、制御部 3 4 c は、有効を示すパケット連結フラグが付加されたパケットについては、有効のままセクタ 3 5 に転送させる。例えば制御部 3 4 c は、パケット連結フラグの更新通知信号をセクタ 3 5 に送出することで、セクタ 3 5 に、パケットに付加されたパケット連結フラグを有効に更新させることができる。なお、この制御は、少なくとも 1 段目から最終段の 1 段前までの調停回路 3 において実行されることが好ましい。つまり、この制御は、ターゲット 2 4 の直前の調停回路 3 では省略することができる。

【 0 0 7 4 】

これにより、次段の調停回路 3 に、当該パケット連結フラグが付加されたパケットに続いて他のパケットが入力されることを通知することができ、ルータ部 2 2 が複数段の調停回路 3 をそなえる場合でも、各調停回路 3 で上述した制御を行なうことができる。

【 0 0 7 5 】

また、制御部 3 4 c は、後述する合流制御部 3 6 から入力された合流フラグに基づいて、パケットの結合を停止することができる。この場合、例えば制御部 3 4 c は、セクタ 3 5 に、パケットに付加されたパケット連結フラグを無効に維持（更新）させる。なお、パケット連結フラグは、初期値は無効を示し、無効から有効に更新された場合、再度無効に更新される可能性は低い。このため、制御部 3 4 c は、パケット連結フラグを無効に維持させる場合、セクタ 3 5 に更新通知信号を送出しなくてもよい。

【 0 0 7 6 】

セクタ 3 5 は、選択部 3 4 b が選択した第 1 の入力ポート 3 3 から入力される第 1 のパケット（データ）を転送先に転送する転送部 3 5 a をそなえることができる。例えば転送部 3 5 a は、選択部 3 4 b から出力される優先権獲得信号で指定された入力ポート 3 3 からのパケットを、データバッファ 3 2 に送出することができる。また、転送部 3 5 a は、制御部 3 4 c からの更新通知信号に応じて、パケットに付加されたパケット連結フラグを有効又は無効に更新することができる。

【 0 0 7 7 】

10

20

30

40

50

転送部 3 5 a では、以上のように、1 ビットの packets 連結フラグの更新によって、高速且つ容易に、合流の発生を示す情報を次段の調停回路 3 に通知することができる。また、packets 連結フラグが 1 ビットの情報であるため、packets に packets 連結フラグが付加されてバスに送出されても、ルータ部 2 2 内の帯域使用率の増加を無視できる程度に抑えることができる。

【 0 0 7 8 】

合流制御部 3 6 は、制御部 3 4 c に packets の合流を通知するものであり、例示的に、合流レジスタ 3 6 a 及び通知部 3 6 b をそなえることができる。

【 0 0 7 9 】

合流レジスタ 3 6 a は、調停に勝利した入力ポート 3 3 の情報を保持するレジスタである。例えば合流レジスタ 3 6 a は、入力ポート 3 3 ごとに 1 ビットの合流フラグを格納することができる。一例として、合流レジスタ 3 6 a は、入力ポート 3 3 が 3 つある場合、“ 1 0 0 ” のように各 1 ビットが個々の入力ポート 3 3 に対応した、3 ビットの情報を格納する。

10

【 0 0 8 0 】

ここで、各ソース 2 による packets のバス使用率を公平にするという観点から、調停回路 3 で合流する packets の一連の連結につき、各ソース 2 が選択される機会を一回とすることが好ましい。

【 0 0 8 1 】

そこで、合流制御部 3 6 は、例えば以下の (A) 及び (B) の条件を満たす場合、該当する入力ポート 3 3 の合流フラグを有効 (例えば “ 1 ”) に設定する。

20

【 0 0 8 2 】

(A) 選択部 3 4 b で選択された (優先権獲得通知で示される) 入力ポート 3 3 について、当該入力ポート 3 3 から入力される packets に付加された packets 連結フラグが無効を示す場合。

(B) “合流フラグが無効を示し、且つ、調停参加信号が有効を示す他の入力ポート 3 3 ” が存在する場合。

【 0 0 8 3 】

なお、上記 (A) について、packets 連結フラグが有効である場合には、当該入力ポート 3 3 からの packets が後続の packets と結合されているため、合流制御部 3 6 は、該当する入力ポート 3 3 の合流フラグを無効 (例えば “ 0 ”) のまま維持する。なお、結合されている最後尾の packets に付加される packets 連結フラグは無効を示すため、合流制御部 3 6 は、最後尾の packets が入力されたときに、上記 (A) の条件を満たすと判断するのである。これにより、当該入力ポート 3 3 は複数回選択されるが、当該入力ポート 3 3 から入力される複数の packets は、それぞれ異なるソース 2 からの packets となるため、一連の連結につき各ソース 2 が選択されるのを一回とすることができる。

30

【 0 0 8 4 】

また、合流制御部 3 6 は、以下の場合、合流レジスタ 3 6 a の全合流フラグを無効に更新 (リセット) する。全合流フラグを無効にする場合としては、例えば上記 (B) の条件を満たさない場合が挙げられる。一例として、1 つの入力ポート 3 3 から調停参加信号が入力され、当該入力ポート 3 3 からの packets が転送部 3 5 a から送出された場合、つまり合流が発生しない場合や、全ての入力ポート 3 3 についての合流フラグが有効になる場合等が挙げられる。

40

【 0 0 8 5 】

すなわち、合流制御部 3 6 が管理する合流フラグは、所定の期間に選択部 3 4 b が選択した入力ポート 3 3 を示す第 2 の情報の一例であるといえる。この所定の期間とは、packets の一連の結合が開始してから現在までの期間であり、例えば制御部 3 4 c が転送部 3 5 a に packets 連結フラグを有効に更新することを指示してから現在までの期間とすることができる。

【 0 0 8 6 】

50

通知部 3 6 b は、合流レジスタ 3 6 a の合流フラグの情報を制御部 3 4 c に通知することができる。

【 0 0 8 7 】

制御部 3 4 c は、通知部 3 6 b からの合流フラグの情報に基づいて、以下の (i) 及び (ii) に該当する場合、選択部 3 4 b が選択した入力ポート 3 3 からのパケットについて、転送部 3 5 a にパケット連結フラグを無効に維持 (更新) させる。

【 0 0 8 8 】

(i) 選択部 3 4 b で選択された (優先権獲得通知で示される) 入力ポート 3 3 について、当該入力ポート 3 3 から入力されるパケットに付加されたパケット連結フラグが無効を示す場合。

(ii) “ 合流フラグが無効を示し、且つ、調停参加信号が有効を示す他の入力ポート 3 3 ” が存在しない場合。

【 0 0 8 9 】

なお、(i) は合流制御部 3 6 が合流フラグを有効にする条件のうちの上記 (A) と同一の条件であり、(ii) は、上記 (B) の逆の条件、つまり合流制御部 3 6 が合流フラグを無効にする条件である。

【 0 0 9 0 】

上記 (i) を条件とする理由は、パケット連結フラグが無効を示す場合、当該パケットを出力する入力ポート 3 3 から連結されたパケットが出力されないからである。

【 0 0 9 1 】

なお、上記 (i) に該当する場合でも、合流フラグが無効を示す他の入力ポート 3 3 からパケットが合流する場合、つまり上記 (ii) に該当しない場合には、制御部 3 4 c は、上記 (i) に係るパケットに付加されるパケット連結フラグを有効に更新する。

【 0 0 9 2 】

一方、合流フラグが有効を示し且つ調停参加信号が有効を示す他の入力ポート 3 3 が存在する場合、現在送出している一連の連結パケットに、当該他の入力ポート 3 3 から過去に送出されたパケットが含まれている。この場合、制御部 3 4 c は、当該他の入力ポート 3 3 を合流相手とは見做さず、上記 (i) に係るパケットに付加されるパケット連結フラグを無効に維持する。また、調停参加信号が有効を示す他の入力ポート 3 3 が存在しない場合 (合流が発生しない場合) にも、制御部 3 4 c は、上記 (i) に係るパケットに付加されるパケット連結フラグを無効に維持する。

【 0 0 9 3 】

このように、制御部 3 4 c は、合流フラグに基づいて、選択部 3 4 b が、合流が発生した調停において選択しなかった入力ポート 3 3 のうちの最後の入力ポート 3 3 を選択したことを検出することができる。そして、制御部 3 4 c は、転送部 3 5 a に、次段の選択回路 3 に転送するパケットに付加されるパケット連結フラグを無効を示すように更新させることができる。

【 0 0 9 4 】

制御部 3 4 c による合流フラグの情報に基づく上記制御は、上述のように、一連の連結につき各ソース 2 が選択されるのを一回とするためである。これにより、合流フラグが有効を示す入力ポート 3 3 からのパケットは、パケットの連結に含まれないため、各ソース 2 によるパケットのバス使用率を、より正確に、公平にすることができる。

【 0 0 9 5 】

上述したルータ部 2 2 (調停回路 3) (図 9 参照) による調停のタイミングチャートを図 1 1 に例示する。図 1 1 に示すように、調停回路 A では、ソース A ~ C から入力されるパケットについて、単純な L R U による調停が行なわれ、調停回路 A からは “ A 0 ” , “ B 0 ” , “ C 0 ” , . . . の順で、各ソース 2 について平等にパケットが送出される。

【 0 0 9 6 】

調停回路 B では、1 クロック目でソース D とソース E との調停が行なわれ、勝者のソース D が優先権を獲得し、調停回路 B から “ D 0 ” が送出される。2 クロック目では、調停

10

20

30

40

50

回路 A の送出バスとソース E との調停が行なわれ、勝者の調停回路 A の送出バスが優先権を獲得し、調停回路 B から “ A 0 ” が送出される。このとき、“ A 0 ” のパケット連結フラグは有効であるため、3クロック目における調停回路 A の送出バスとソース E との調停でも、調停回路 A の送出バスが勝者となり優先権を獲得し、調停回路 B から “ B 0 ” が送出される。“ B 0 ” も同様にパケット連結フラグは有効であるため、4クロック目でも調停回路 A の送出バスが勝者となり優先権を獲得し、調停回路 B から “ C 0 ” が送出される。なお、“ C 0 ” のパケット連結フラグは無効である。5クロック目では、調停に参加するソース 2 がソース E のため、ソース E が優先権を獲得し、調停回路 B から “ E 0 ” が送出される。

【 0 0 9 7 】

10

このように、調停回路 A の送出バスから送出される連結パケットは “ A 0 ” , “ B 0 ” , “ C 0 ” となる。調停回路 A における合流レジスタ 3 6 a では、合流フラグ (A , B , C) に示すように、“ A 0 ” , “ B 0 ” , “ C 0 ” がそれぞれ送出されると、合流フラグが “ 1 0 0 ” , “ 1 1 0 ” , “ 0 0 0 (“ 1 1 1 ” になりリセット) ” と変化する。また、調停回路 A は、合流フラグが “ 0 0 0 ” に変化するときに送出するパケット (“ C 0 ”) に付加されるパケット連結フラグを “ 0 ” に維持 (更新) する。

【 0 0 9 8 】

調停回路 C では、1クロック目でソース F とソース G との調停が行なわれ、勝者のソース F が優先権を獲得し、調停回路 C から “ F 0 ” が送出される。2クロック目では、調停回路 B の送出バスとソース G との調停が行なわれ、勝者の調停回路 B の送出バスが優先権を獲得し、調停回路 C から “ D 0 ” が送出される。このとき、“ D 0 ” のパケット連結フラグは有効であるため、3クロック目における調停回路 B の送出バスとソース G との調停でも、調停回路 B の送出バスが勝者となり優先権を獲得する。従って、3クロック目 ~ 6クロック目までは、調停回路 C から、順に “ A 0 ” , “ B 0 ” , “ C 0 ” , “ E 0 ” が送出される。なお、“ C 0 ” のパケット連結フラグは、調停回路 B において無効から有効に更新される (図 1 1 中、網掛けの 2 箇所の領域参照) 。

20

【 0 0 9 9 】

このように、調停回路 B の送出バスから送出される連結パケットは “ D 0 ” , “ A 0 ” , “ B 0 ” , “ C 0 ” , “ E 0 ” となる。調停回路 B における合流レジスタ 3 6 a では、合流フラグ (調停回路 A , (ソース) D , (ソース) E) に示すように、“ 調停回路 A からの連結パケット ” , “ D 0 ” , “ E 0 ” がそれぞれ送出されると、合流フラグが “ 1 0 0 ” , “ 1 1 0 ” , “ 0 0 0 ” と変化する。また、調停回路 B は、合流フラグが “ 0 0 0 ” に変化するときに送出するパケット (“ E 0 ”) に付加されるパケット連結フラグを “ 0 ” に維持 (更新) する。

30

【 0 1 0 0 】

以上のような動作により、調停回路 C の出力 (調停回路 C の送出バス) から送出されるパケットは、順に、“ F 0 ” , “ D 0 ” , “ A 0 ” , “ B 0 ” , “ C 0 ” , “ E 0 ” , “ G 0 ” , . . . となる。

【 0 1 0 1 】

図 9 に示す各ソース 2 が最大限のパケットを調停回路 3 に供給した場合、ターゲット 2 4 へ転送される理想的なデータ量 (バス使用率) は、ソース数が 7 であるため平等に分割してソース単位で 1 / 7 となる。図 1 1 に示すタイミングチャートでは、“ F 0 ” , “ D 0 ” , “ A 0 ” , “ B 0 ” , “ C 0 ” , “ E 0 ” , “ G 0 ” の順でターゲット 2 4 にパケットが転送されており、理想的なバス使用率と等しく、ソース 2 ごとにバス使用率を公平とすることが可能となっている。

40

【 0 1 0 2 】

〔 2 - 3 〕動作例

次に、上述の如く構成された CPU 2 におけるルータ部 2 2 の動作例を、図 1 2 ~ 図 1 4 を参照して説明する。

【 0 1 0 3 】

50

はじめに、図 1 2 を参照して、ルータ部 2 2 におけるパケット転送処理の一例を説明する。図 1 2 に例示するように、ルータ部 2 2 の各調停回路 3 (選択部 3 4 b) は、入力ポート 3 3 から調停参加要求があり、且つ、データバッファ 3 2 に空きがあるか否かを判断する (ステップ S 1) 。例えば入力ポート 3 3 から調停参加信号の入力がない、又は、資源管理部 3 1 から空き通知信号の入力がない場合 (ステップ S 1 の N o ルート) 、選択部 3 4 b は、調停参加信号及び空き通知信号の入力を待ち受ける (処理がステップ S 1 に移行する) 。

【 0 1 0 4 】

一方、入力ポート 3 3 から調停参加信号が入力され、且つ、資源管理部 3 1 から空き通知信号が入力された場合 (ステップ S 1 の Y e s ルート) 、選択部 3 4 b は、L R U レジスタ 3 4 a を参照して L R U に基づき入力ポート 3 3 を選択する (ステップ S 2) 。例えば選択部 3 4 b は、選択した入力ポート 3 3 を示す優先権獲得信号を出力する。また、調停回路 3 は、後述する L R U 更新処理及びフラグ更新処理を行なう (ステップ S 3) 。

10

【 0 1 0 5 】

次いで、転送部 3 5 a は、優先権獲得信号が示す入力ポート 3 3 からのパケットをデータバッファ 3 2 のバッファ 3 2 a に格納する (ステップ S 4) 。データバッファ 3 2 は、パケットがバッファ 3 2 a に格納されると、バッファ 3 2 a からパケットを格納順に転送先 (次段の調停回路 3 又はターゲット 2 4) に送出し (ステップ S 5) 、処理がステップ S 1 に移行する。なお、ステップ S 1 ~ S 5 の処理は、調停回路 3 ごとに実行される。

【 0 1 0 6 】

20

次に、図 1 3 を参照して、ルータ部 2 2 における L R U 更新処理 (図 1 2 のステップ S 3) の一例を説明する。図 1 3 に例示するように、制御部 3 4 c は、選択部 3 4 b が選択した入力ポート 3 3 からのパケットに付加されたパケット連結フラグが O N (有効) であるか否かを判断する (ステップ S 1 1) 。

【 0 1 0 7 】

パケット連結フラグが O N ではない (O F F (無効) である) 場合 (ステップ S 1 1 の N o ルート) 、選択部 3 4 b は、選択部 3 4 b が選択した入力ポート 3 3 について L R U レジスタ 3 4 a の L R U 情報を更新し (ステップ S 1 3) 、L R U 更新処理が終了する。一方、パケット連結フラグが O N である場合 (ステップ S 1 1 の Y e s ルート) 、制御部 3 4 c は、選択部 3 4 b が選択した入力ポート 3 3 についての L R U 情報の更新を抑止させ (ステップ S 1 2) 、L R U 更新処理が終了する。

30

【 0 1 0 8 】

次に、図 1 4 を参照して、ルータ部 2 2 におけるフラグ更新処理 (図 1 2 のステップ S 3) の一例を説明する。図 1 4 に例示するように、制御部 3 4 c 及び合流制御部 3 6 は、選択部 3 4 b が選択した入力ポート 3 3 からのパケットに付加されたパケット連結フラグが O N つまり有効であるか否かを判断する (ステップ S 2 1) 。

【 0 1 0 9 】

パケット連結フラグが O N である場合 (ステップ S 2 1 の Y e s ルート) 、処理がステップ S 2 4 に移行する。

【 0 1 1 0 】

40

一方、パケット連結フラグが O N ではない (O F F (無効) である) 場合 (ステップ S 2 1 の N o ルート) 、合流制御部 3 6 は、“合流フラグが O F F 且つ調停参加信号が O N ” である他の入力ポート 3 3 が存在するか否かを判定する (ステップ S 2 2) 。上記条件を満たす他の入力ポート 3 3 が存在する場合 (ステップ S 2 2 の Y e s ルート) 、合流制御部 3 6 は、選択部 3 4 b が選択した入力ポート 3 3 に対応する合流レジスタ 3 6 a の合流フラグを O N (有効) に更新する (ステップ S 2 3) 。

【 0 1 1 1 】

また、制御部 3 4 c は、選択部 3 4 b が選択した入力ポート 3 3 からのパケットに付加されたパケット連結フラグを O N に更新し (ステップ S 2 4) 、フラグ更新処理が終了する。なお、ステップ S 2 4 では、制御部 3 4 c は、転送部 3 5 a に有効への更新を示す更

50

新通知信号を送出することで、転送部 3 5 a にパケット連結フラグを更新させる。

【 0 1 1 2 】

一方、ステップ S 2 2 において、上記条件を満たす他の入力ポート 3 3 が存在しない場合（ステップ S 2 2 の N o ルート）、合流制御部 3 6 は、合流レジスタ 3 6 a の全合流フラグを O F F（無効）に更新する（ステップ S 2 5）。

【 0 1 1 3 】

また、制御部 3 4 c は、選択部 3 4 b が選択した入力ポート 3 3 からのパケットに付加されたパケット連結フラグを O F F に維持（更新）し（ステップ S 2 6）、フラグ更新処理が終了する。なお、ステップ S 2 6 では、制御部 3 4 c は、転送部 3 5 a に無効への更新を示す更新通知信号を送出することで、転送部 3 5 a にパケット連結フラグを維持（更新）させることができる。或いは、制御部 3 4 c は、転送部 3 5 a に更新通知信号を送出しないことによりパケット連結フラグを無効に維持させてもよい。

10

【 0 1 1 4 】

以上のように、一実施形態に係る情報処理装置 1 では、C P U 2 において複数バスからのパケットを多段で調停する際に、1 ビットの情報をパケットに付加することで、少ない演算による制御で、ソースごとのバス使用率を公平にすることができる。

【 0 1 1 5 】

〔 3 〕その他

以上、本発明の好ましい実施形態について詳述したが、本発明は、かかる特定の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内において、種々の変形、変更して実施することができる。

20

【 0 1 1 6 】

例えば、ルータ部 2 2 は、図 5 及び図 9 の例では 3 つの調停回路 3 をそなえるものとしたが、これに限定されるものではなく、任意の数の調停回路 3 をそなえることができる。

【 0 1 1 7 】

また、C P U 2 は、図 4 の例では 1 つのコア部 2 4 をそなえるものとしたが、これに限定されるものではなく、複数のコア部 2 4 をそなえてもよい。この場合、複数のコア部 2 4 から他の C P U 2 又は図示しない他の装置へ送られるデータやコマンド等の情報（例えばパケット）は、複数のコア部 2 4 間で調停されてもよく、この調停には、上述したルータ部 2 2 の構成を適用することも可能である。

30

【 0 1 1 8 】

具体的には、C P U 2 は、直列多段調停方式の複数の調停回路を、各コア部 2 4 をソースとし、他の C P U 2 又は図示しない他の装置をターゲットとして、複数の調停回路 3 とは逆方向の通信にそなえることができる。なお、便宜上、複数の調停回路 3 とは逆方向の通信に適用する調停回路には符号を付していないが、当該調停回路の機能（構成）は、入力ポート 3 3 の数や調停回路の段数等が異なってよいものの、基本的に調停回路 3 と同様である。このように、一実施形態では、C P U 2 における受信用の複数の調停回路 3 について説明したが、ソースとターゲットとを入れ替えるだけで、C P U 2 からの送信用の複数の調停回路を実現することも可能である。

【 0 1 1 9 】

また、図 1 0 に示す調停回路 3 の各機能ブロックは、任意の組み合わせで併合してもよく、分割してもよい。

40

【 0 1 2 0 】

さらに、一実施形態に係る調停回路 3 は、例えば、L S I（Large Scale Integration）等の集積回路、A S I C（Application Specific Integrated Circuit）、F P G A（Field Programmable Gate Array）等の電子回路によって実現され得る。調停回路 3 又は複数の調停回路 3 をそなえるルータ部 2 2 は、コア部 2 4 等とともに集積されて C P U 2 を構成してもよいし、コア部 2 4 等とは別個に集積されて C P U 2 を構成してもよい。

【 0 1 2 1 】

〔 4 〕付記

50

以上の実施形態に関し、更に以下の付記を開示する。

【 0 1 2 2 】

(付記 1)

直列に接続される複数の選択回路を有し、
前記複数の選択回路のうちの少なくとも一つの選択回路は、
送信元又は前段の選択回路からデータを入力される複数の入力部と、
前記複数の入力部のうちのデータが入力されている一以上の入力部から、第 1 の入力部
を選択する選択部と、
前記選択部が選択した前記第 1 の入力部から入力される第 1 のデータを転送先に転送す
る転送部と、

10

前記選択部が選択した前記第 1 の入力部が前記前段の選択回路に接続されている場合、
前記前段の選択回路において前記第 1 のデータとの間で選択されなかった一以上の第 2 の
データを前記転送部が前記転送先に転送するまで、前記選択部に前記第 1 の入力部を選択
させる制御部と、を有することを特徴とする、演算処理装置。

【 0 1 2 3 】

(付記 2)

前記制御部は、前記第 1 の入力部から入力される前記第 1 のデータに付加される第 1 の
情報であって前記前段の選択回路から前記第 1 のデータに続けて前記第 2 のデータが入力
されることを表す前記第 1 の情報が有効である場合、前記第 2 のデータを前記転送部が前
記転送先に転送するまで、前記選択部に前記第 1 の入力部を選択させることを特徴とする
、付記 1 記載の演算処理装置。

20

【 0 1 2 4 】

(付記 3)

前記第 1 の情報は、1 ビットの情報であることを特徴とする、付記 2 記載の演算処理装
置。

【 0 1 2 5 】

(付記 4)

前記転送部は、前記第 1 のデータを次段の選択回路に転送し、
前記制御部は、前記選択部が選択しなかった一以上の第 2 の入力部について、前記選択
部が前記一以上の第 2 の入力部を選択するまで、前記転送部に、前記次段の選択回路に転
送するデータに付加される前記第 1 の情報を有効を示すように更新させることを特徴とす
る、付記 2 又は付記 3 記載の演算処理装置。

30

【 0 1 2 6 】

(付記 5)

前記少なくとも一つの選択回路は、
所定の期間に前記選択部が選択した入力部を示す第 2 の情報を、前記制御部に通知する
通知部をさらに有し、
前記制御部は、前記第 2 の情報に基づいて、前記選択部が前記一以上の第 2 の入力部の
うちの最後の入力部を選択したことを検出すると、前記転送部に、前記次段の選択回路に
転送するデータに付加される前記第 1 の情報を無効を示すように更新させることを特徴と
する、付記 4 記載の演算処理装置。

40

【 0 1 2 7 】

(付記 6)

前記選択部は、前記複数の入力部の各々に対して設定された優先度情報に基づいて前記
第 1 の入力部の選択を行ない、選択した前記第 1 の入力部の優先度情報を、前記複数の入
力部のうちの他の入力部の優先度情報よりも低い優先度を表す値に更新し、
前記制御部は、前記第 1 の入力部が前記前段の選択回路に接続されており、且つ、前記
第 1 のデータに付加される前記第 1 の情報が有効である場合、前記選択部による前記第 1
の入力部の優先度情報の更新を抑止させる、又は、前記選択部に前記第 1 の入力部の優先
度情報を前記他の入力部の優先度情報よりも高い優先度を表す値に更新させることを特徴
とする、演算処理装置。

50

とする、付記 2 ~ 5 のいずれか 1 項記載の演算処理装置。

【 0 1 2 8 】

(付記 7)

前記優先度情報は、L R U (Least Recently Used) に関する情報であることを特徴とする、付記 6 記載の演算処理装置。

【 0 1 2 9 】

(付記 8)

複数の演算処理装置を有し、

前記複数の演算処理装置のうちの少なくとも一つの演算処理装置は、直列に接続される複数の選択回路を有し、前記複数の選択回路を介して他の演算処理装置からデータを受信し、

前記複数の選択回路のうちの少なくとも一つは、

前記他の演算処理装置又は前段の選択回路からデータを入力される複数の入力部と、

前記複数の入力部のうちのデータが入力されている一以上の入力部から、第 1 の入力部を選択する選択部と、

前記選択部が選択した前記第 1 の入力部から入力される第 1 のデータを転送先に転送する転送部と、

前記選択部が選択した前記第 1 の入力部が前記前段の選択回路に接続されている場合、前記前段の選択回路において前記第 1 のデータとの間で選択されなかった一以上の第 2 のデータを前記転送部が前記転送先に転送するまで、前記選択部に前記第 1 の入力部を選択させる制御部と、を有することを特徴とする、情報処理装置。

【 0 1 3 0 】

(付記 9)

前記制御部は、前記第 1 の入力部から入力される前記第 1 のデータに付加される第 1 の情報であって前記前段の選択回路から前記第 1 のデータに続けて前記第 2 のデータが入力されることを表す前記第 1 の情報が有効である場合、前記第 2 のデータを前記転送部が前記転送先に転送するまで、前記選択部に前記第 1 の入力部を選択させることを特徴とする、付記 8 記載の情報処理装置。

【 0 1 3 1 】

(付記 1 0)

前記第 1 の情報は、1 ビットの情報であることを特徴とする、付記 9 記載の情報処理装置。

【 0 1 3 2 】

(付記 1 1)

前記転送部は、前記第 1 のデータを次段の選択回路に転送し、

前記制御部は、前記選択部が選択しなかった一以上の第 2 の入力部について、前記選択部が前記一以上の第 2 の入力部を選択するまで、前記転送部に、前記次段の選択回路に転送するデータに付加される前記第 1 の情報を有効を示すように更新させることを特徴とする、付記 9 又は付記 1 0 記載の情報処理装置。

【 0 1 3 3 】

(付記 1 2)

前記少なくとも一つの選択回路は、

所定の期間に前記選択部が選択した入力部を示す第 2 の情報を、前記制御部に通知する通知部をさらに有し、

前記制御部は、前記第 2 の情報に基づいて、前記選択部が前記一以上の第 2 の入力部のうちの最後の入力部を選択したことを検出すると、前記転送部に、前記次段の選択回路に転送するデータに付加される前記第 1 の情報を無効を示すように更新させることを特徴とする、付記 1 1 記載の情報処理装置。

【 0 1 3 4 】

(付記 1 3)

10

20

30

40

50

前記選択部は、前記複数の入力部の各々に対して設定された優先度情報に基づいて前記第 1 の入力部の選択を行ない、選択した前記第 1 の入力部の優先度情報を、前記複数の入力部のうちの他の入力部の優先度情報よりも低い優先度を表す値に更新し、

前記制御部は、前記第 1 の入力部が前記前段の選択回路に接続されており、且つ、前記第 1 のデータに付加される前記第 1 の情報が有効である場合、前記選択部による前記第 1 の入力部の優先度情報の更新を抑止させる、又は、前記選択部に前記第 1 の入力部の優先度情報を前記他の入力部の優先度情報よりも高い優先度を表す値に更新させることを特徴とする、付記 9 ~ 12 のいずれか 1 項記載の情報処理装置。

【 0 1 3 5 】

(付記 1 4)

前記優先度情報は、L R U (Least Recently Used) に関する情報であることを特徴とする、付記 13 記載の情報処理装置。

【 0 1 3 6 】

(付記 1 5)

複数の演算処理装置を有する情報処理装置の制御方法であって、
前記複数の演算処理装置のうち少なくとも一つの演算処理装置が、直列に接続される複数の選択回路を介して他の演算処理装置からデータを受信し、
前記複数の選択回路のうち少なくとも一つの選択回路において、
複数の入力部のうちの前記他の演算処理装置又は前段の選択回路からデータを入力されている一以上の入力部から、選択部が第 1 の入力部を選択し、

前記選択部により選択した前記第 1 の入力部から入力される第 1 のデータを転送部が転送先に転送し、

前記選択部が選択した前記第 1 の入力部が前記前段の選択回路に接続されている場合、前記前段の選択回路において前記第 1 のデータとの間で選択されなかった一以上の第 2 のデータを前記転送部が前記転送先に転送するまで、前記選択部に前記第 1 の入力部を選択させることを特徴とする、情報処理装置の制御方法。

【 0 1 3 7 】

(付記 1 6)

前記前段の選択回路において、
前記第 1 の入力部に転送する前記第 1 のデータに、前記前段の選択回路から前記第 1 のデータに続けて前記第 2 のデータを転送することを表す第 1 の情報を付加し、

前記少なくとも一つの選択回路において、
前記第 1 の入力部から入力される前記第 1 のデータに付加される前記第 1 の情報が有効である場合、前記第 2 のデータを前記転送部が前記転送先に転送するまで、前記選択部に前記第 1 の入力部を選択させることを特徴とする、付記 15 記載の情報処理装置の制御方法。

【 0 1 3 8 】

(付記 1 7)

前記少なくとも一つの選択回路において、
前記転送部が前記第 1 のデータを次段の選択回路に転送し、
前記選択部が選択しなかった一以上の第 2 の入力部について、前記選択部が前記一以上の第 2 の入力部を選択するまで、前記転送部に、前記次段の選択回路に転送するデータに付加される前記第 1 の情報を有効を示すように更新させることを特徴とする、付記 16 記載の情報処理装置の制御方法。

【 0 1 3 9 】

(付記 1 8)

前記少なくとも一つの選択回路において、
所定の期間に選択した入力部を示す第 2 の情報を管理し、
前記第 2 の情報に基づいて、前記選択部が前記一以上の第 2 の入力部のうちの最後の入力部を選択したことを検出すると、前記転送部に、前記次段の選択回路に転送するデータ

10

20

30

40

50

に付加される前記第 1 の情報を無効を示すように更新させることを特徴とする、付記 1 7 記載の情報処理装置の制御方法。

【 0 1 4 0 】

(付記 1 9)

前記少なくとも一つの選択回路において、

前記選択部が、前記複数の入力部の各々に対して設定された優先度情報に基づいて前記第 1 の入力部の選択を行ない、選択した前記第 1 の入力部の優先度情報を、前記複数の入力部のうちの他の入力部の優先度情報よりも低い優先度を表す値に更新し、

前記第 1 の入力部が前記前段の選択回路に接続されており、且つ、前記第 1 のデータに付加される前記第 1 の情報が有効である場合、前記選択部による前記第 1 の入力部の優先度情報の更新を抑止させる、又は、前記選択部に前記第 1 の入力部の優先度情報を前記他の入力部の優先度情報よりも高い優先度を表す値に更新させることを特徴とする、付記 1 6 ~ 1 8 のいずれか 1 項記載の情報処理装置の制御方法。

10

【 0 1 4 1 】

(付記 2 0)

前記優先度情報は、L R U (Least Recently Used) に関する情報であることを特徴とする、付記 1 9 記載の情報処理装置の制御方法。

【 符号の説明 】

【 0 1 4 2 】

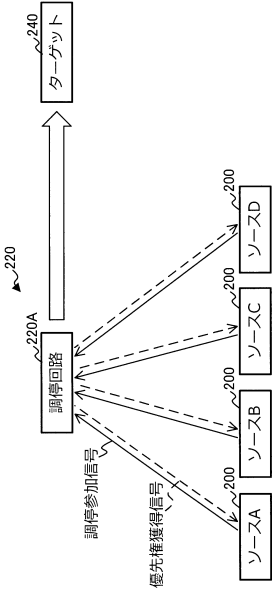
- 1 情報処理装置
- 1 a コントローラ
- 1 b メモリ
- 1 c 記憶部
- 1 d インタフェース部
- 1 e 入出力部
- 2 C P U (ソース , 演算処理装置)
- 2 1 物理層
- 2 2 ルータ部
- 2 3 キャッシュ部
- 2 4 コア部 (ターゲット)
- 3 調停回路 (選択回路)
- 3 1 資源管理部
- 3 2 データバッファ
- 3 2 a バッファ
- 3 3 入力ポート (入力部)
- 3 4 調停器
- 3 4 a L R U レジスタ
- 3 4 b 選択部
- 3 4 c 制御部
- 3 5 セレクタ
- 3 5 a 転送部
- 3 6 合流制御部
- 3 6 a 合流レジスタ
- 3 6 b 通知部

20

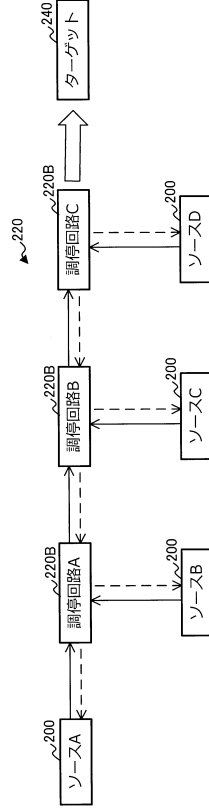
30

40

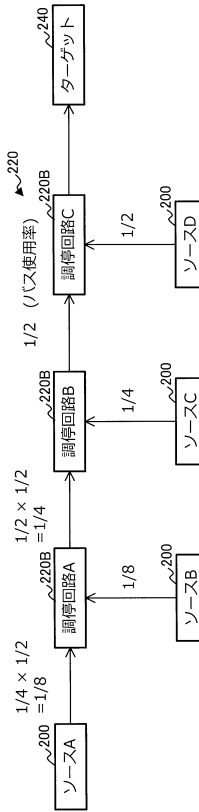
【 図 1 】



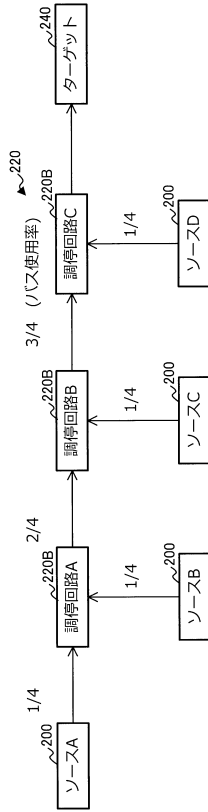
【 図 2 】



【 図 3 】

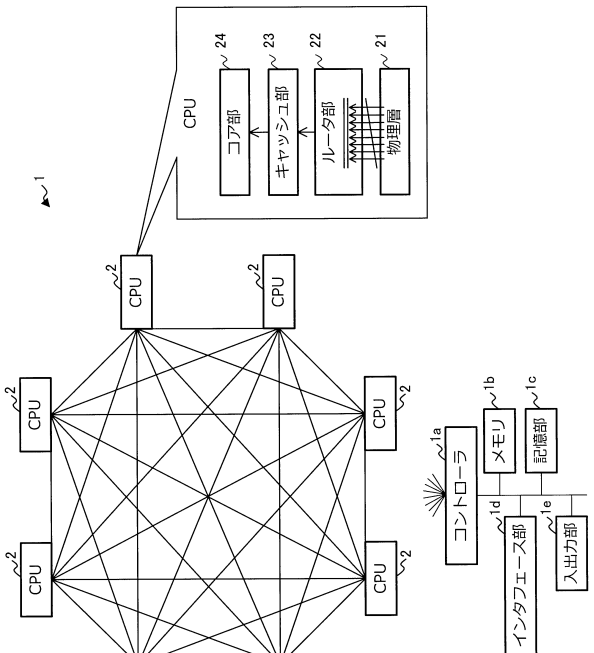


(a) 調停回路ごとにバス使用率が平等の場合

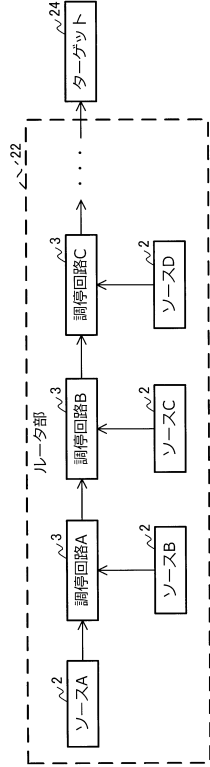


(b) ソースごとにバス使用率が平等の場合

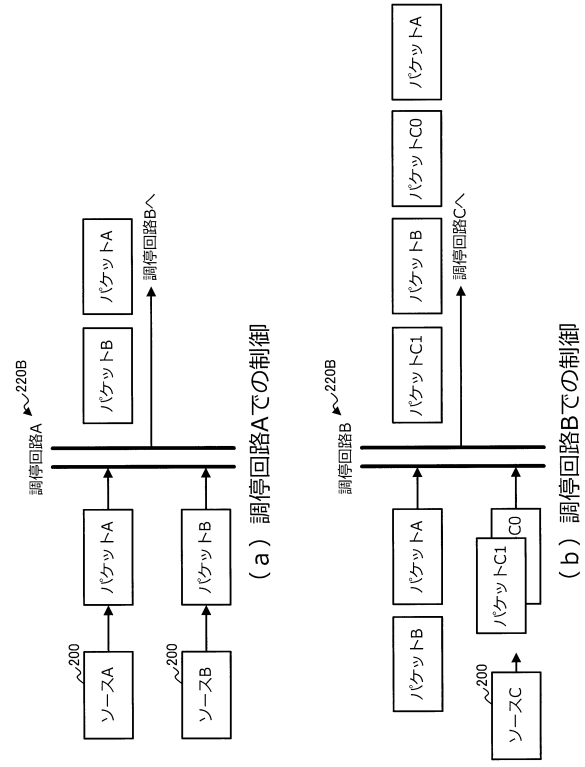
【 図 4 】



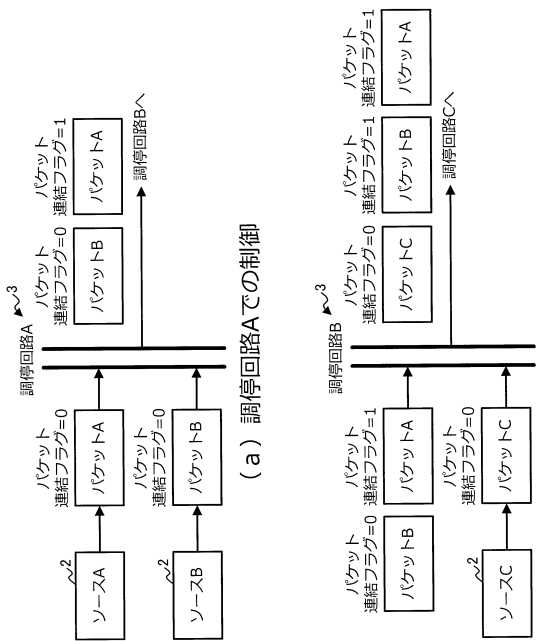
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

(a) 調停回路220Bの場合

ソースA	A0	A1	A2	A3	A4
ソースB	B0	B1	B2	B3	B4
上記の合流	A0	B0	A1	B1	A2
ソースC	C0	C1	C2	C3	C4
LRU	0	1	0	1	0
ターゲット(調停回路C)	A0	C0	B0	C1	A1

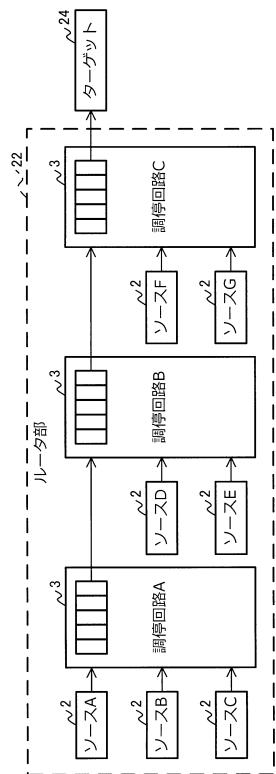
A:B:C = 1:1:2

(b) 調停回路3の場合

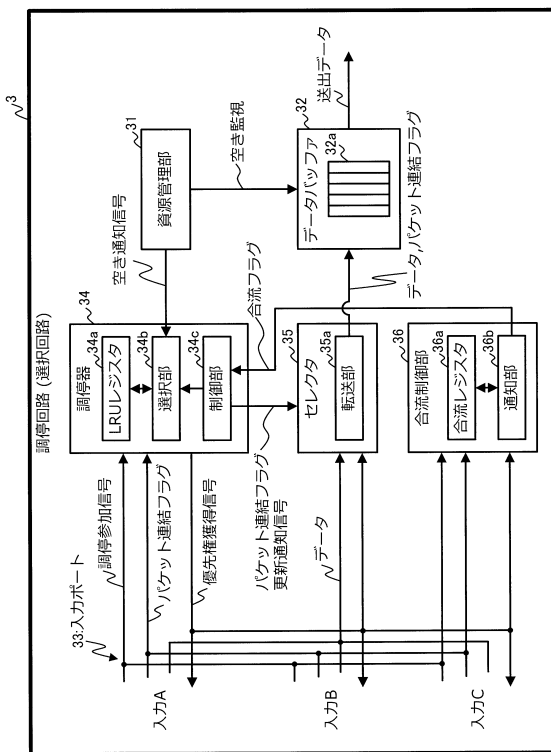
ソースA	A0	A1	A2	A3	A4
ソースB	B0	B1	B2	B3	B4
上記の合流	A0	B0	A1	B1	A2
パケット接続フラグ	1	0	1	0	1
ソースC	C0	C1	C2	C3	C4
LRU	0	1	0	1	0
ターゲット(調停回路C)	A0	B0	C0	A1	B1

A:B:C = 1:1:1

【図 9】



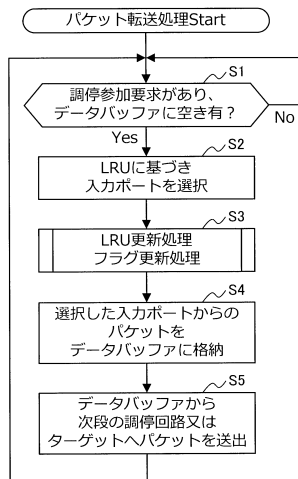
【図 10】



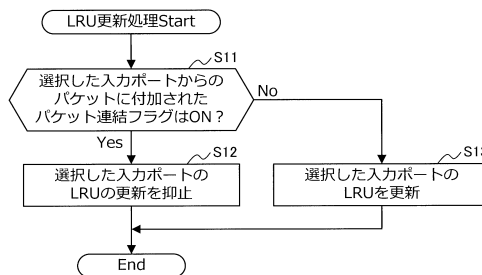
【図 11】

調停回路A		1		1		1		1
ソースA	調停参加							
	データ	A0	A1	A1	A1	A2	A2	A2
ソースB	調停参加	1	1		1	1		1
	データ	B0	B0	B1	B1	B1	B2	B2
ソースC	調停参加	1	1	1	1	1	1	1
	データ	C0	C0	C0	C1	C1	C1	C2
調停回路B			1	1	1		1	1
調停回路A 送出バス	調停参加	1	1	1	1	1	1	1
	データ	A0	B0	C0	A1	A1	A1	B1
	優先権獲得	1	1	1				1
	合流フラグ(A,B,C)	100	110	000	100	110	000	100
	バッファA					B1	B1	C1
ソースD	調停参加	1					1	
	データ	D0	D1	D1	D1	D1	D2	D2
ソースE	調停参加	1	1	1	1	1	1	1
	データ	E0	E0	E0	E0	E1	E1	E1
調停回路C			1	1	1	1		1
調停回路B 送出バス	調停参加	1	1	1	1	1	1	1
	データ	D0	A0	B0	C0	E0	D1	D1
	優先権獲得	1	1	1	1	1		1
	合流フラグ(調停回路A,D,E)	010	010	010	110	000	010	010
	バッファA							A1
ソースF	調停参加	1						1
	データ	F0	F1	F1	F1	F1	F1	F1
ソースG	調停参加	1	1	1	1	1	1	1
	データ	G0	G0	G0	G0	G0	G0	G1
調停回路C出力			F0	D0	A0	B0	C0	E0
調停回路C 送出バス	データ		010	010	010	010	010	110
	合流フラグ(調停回路B,F,G)							000

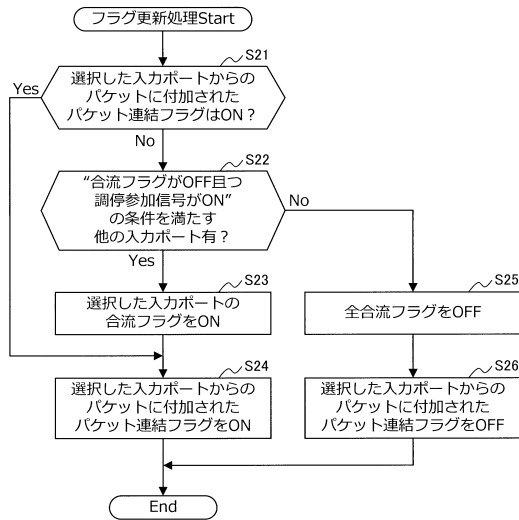
【図 12】



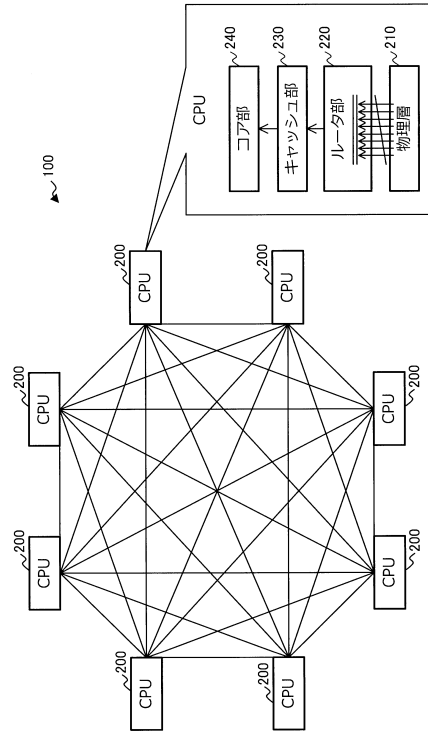
【図 13】



【図14】



【図15】



フロントページの続き

審査官 田上 隆一

- (56)参考文献 特開2012-198819(JP,A)
特表2008-541647(JP,A)
国際公開第2010/058693(WO,A1)
特開2012-043363(JP,A)
国際公開第2010/113262(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
G06F 13/362