

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5305630号
(P5305630)

(45) 発行日 平成25年10月2日(2013.10.2)

(24) 登録日 平成25年7月5日(2013.7.5)

(51) Int.Cl. F I
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 8 B
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 9 A

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2007-273863 (P2007-273863)	(73) 特許権者	000001007
(22) 出願日	平成19年10月22日(2007.10.22)		キヤノン株式会社
(65) 公開番号	特開2008-166716 (P2008-166716A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成20年7月17日(2008.7.17)	(74) 代理人	100094112
審査請求日	平成22年10月20日(2010.10.20)		弁理士 岡部 譲
(31) 優先権主張番号	特願2006-328308 (P2006-328308)	(74) 代理人	100096943
(32) 優先日	平成18年12月5日(2006.12.5)		弁理士 臼井 伸一
(33) 優先権主張国	日本国(JP)	(74) 代理人	100101498
前置審査			弁理士 越智 隆夫
		(74) 代理人	100107401
			弁理士 高橋 誠一郎
		(74) 代理人	100106183
			弁理士 吉澤 弘司
		(74) 代理人	100128668
			弁理士 齋藤 正巳

最終頁に続く

(54) 【発明の名称】 ボトムゲート型薄膜トランジスタの製造方法及び表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、ゲート電極と、ゲート絶縁膜としての第1の絶縁膜と、酸化物半導体層と、ソース電極と、ドレイン電極と、を有するボトムゲート型薄膜トランジスタの製造方法であって、

基板上に、ゲート電極を形成する工程と、

第1の絶縁膜を形成する工程と、

酸化物半導体層を形成する工程と、

前記酸化物半導体層をパターンニングする工程と、

酸化ケイ素である第2の絶縁膜を、濃度が制御された酸化性ガスが含まれる雰囲気中で形成する工程と、

前記酸化物半導体層のチャネル領域の少なくとも一部を覆うように、前記第2の絶縁膜をパターンニングする工程と、

ソース電極及びドレイン電極を形成する工程と、

前記ソース電極及び前記ドレイン電極をパターンニングする工程と、をこの順で含み、

前記薄膜トランジスタのオン・オフ比は 10^5 以上であることを特徴とする薄膜トランジスタの製造方法。

【請求項2】

前記第2の絶縁膜を形成する工程において、前記第2の絶縁膜はスパッタ法で形成され、スパッタ成膜ガスの酸素とアルゴンとの混合比は10vol%以上で50vol%以下

であることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 3】

電極を有する表示素子と、前記表示素子の前記電極にソース電極又はドレイン電極が接続されている薄膜トランジスタと、を有する表示装置の製造方法であって、

前記薄膜トランジスタは、請求項 1 または 2 に記載の薄膜トランジスタの製造方法で製造されることを特徴とする表示装置の製造方法。

【請求項 4】

前記表示素子はエレクトロルミネッセンス素子であることを特徴とする請求項 3 に記載の表示装置の製造方法。

【請求項 5】

前記表示素子は液晶セルであることを特徴とする請求項 3 に記載の表示装置の製造方法。

【請求項 6】

前記基板上に、前記表示素子及び前記薄膜トランジスタが二次元的に配されていることを特徴とする請求項 3 から 5 のいずれか 1 項に記載の表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ボトムゲート型薄膜トランジスタ、ボトムゲート型薄膜トランジスタの製造方法及び表示装置に関し、特に、エッチングストップとしての絶縁膜が設けられるボトムゲート型薄膜トランジスタ、ボトムゲート型薄膜トランジスタの製造方法及び表示装置に関する。

【背景技術】

【0002】

近年、ZnO を主成分として用いた透明伝導性酸化物多結晶薄膜をチャンネル層に用いた薄膜トランジスタ (TFET) の開発が活発に行われている (特許文献 1)。

【0003】

上記薄膜は、低温で成膜できかつ可視光に透明であるため、プラスチック板やフィルムなどの基板の上にフレキシブルな透明 TFET を形成することが可能であるとされている。

【0004】

さらには、ZnO などを用いた透明半導体を有する薄膜トランジスタにおいて、マトリクス表示装置を構成することが開示されている (特許文献 2)。

【0005】

ここでは、酸化物半導体上のソース電極及びドレイン電極がドライエッチングにより形成可能なことが開示されている。

【0006】

また、非特許文献 1 には、インジウム、ガリウム、亜鉛、酸素からなる透明アモルファス酸化物半導体膜 (a-IGZO) を TFET のチャンネル層に用いる技術が開示されている。

【0007】

さらに室温でポリエチレン・テレフタレート (PET) フィルムなどの基板の上に良好な電界効果移動度 $6 - 9 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を示すフレキシブルで透明な TFET を形成することが可能であると示されている。

【0008】

さらに、非特許文献 2 では、a-IGZO を TFET のチャンネル層に用いた薄膜トランジスタによりフレキシブル電子ペーパーとして動作を確認したとの記載がある。

【0009】

また、半導体層上のソース・ドレイン電極の形成法として、ボトムゲート型薄膜 TFET において半導体層上にエッチングストップ層を設け、ソース電極 - ドレイン電極間のリーク電流を低減する構成が開示されている (特許文献 3)。

10

20

30

40

50

【特許文献1】特開2002-76356号公報

【特許文献2】特開2003-86808号公報

【特許文献3】特許第3420301号公報

【非特許文献1】Nature, 488, 432, (2004)

【非特許文献2】日経マイクロデバイス2006年2月号第74頁の表2

【発明の開示】

【発明が解決しようとする課題】

【0010】

特許文献2では、ZnOを主成分とした透明酸化物半導体でボトムゲート型薄膜TFETについて、酸化物半導体上のソース電極及びドレイン電極がドライエッチングにより形成可能なことが開示されている。また、ボトムゲート型薄膜TFETにおいて実用上必須となる保護膜をプラズマCVD法(P-CVD法)によって窒化シリコン薄膜を形成することが示されている。

10

【0011】

特許文献2を除くいずれの先行技術においてもソース電極及びドレイン電極の形成はリフトオフ法を用いている。

【0012】

リフトオフ法によれば、リフトオフされた電極膜の小片が再付着することなどの問題が発生するため、TFETを大面積に歩留まり良く作製することが難しい。

【0013】

酸によるウェットエッチングでのソース電極及びドレイン電極の形成は、電極材料が金属又は透明酸化物半導体であってもZnOを主成分とした酸化物半導体が酸に弱くエッチングスピードが高いことから、TFETの設計上難しい。

20

【0014】

事実上、ソース電極及びドレイン電極の形成はドライエッチングプロセスに限定されることになる。

【0015】

しかし、ZnOを主成分とした酸化物半導体は、酸素欠陥が入りやすくキャリア電子が多数発生し易いため、ソース電極及びドレイン電極のエッチング工程において酸化物半導体層にダメージを与えてしまうことがある。

30

【0016】

また、このエッチングによる半導体層へのダメージを低減するために保護層を設けエッチングストップ層とすることが考えられるが、保護膜形成時においても酸化物半導体層にダメージを与えてしまいオフ電流が大きくなってしまう。

【0017】

このため、オン・オフ比の良好なTFET特性を安定して実現することが難しいという課題がある。

【0018】

そこで、本発明は、酸化物半導体を用いたボトムゲート型薄膜トランジスタにおいて、ソース電極及びドレイン電極をエッチング工程により形成可能とし量産性に優れたプロセスを可能にすることを目的とする。

40

【0019】

また、オフ電流を最小化した良好なトランジスタ特性を有する薄膜トランジスタを提供することも目的とする。

【課題を解決するための手段】

【0021】

本発明は、基板上に、ゲート電極と、ゲート絶縁膜としての第1の絶縁膜と、酸化物半導体層と、ソース電極と、ドレイン電極と、を有するボトムゲート型薄膜トランジスタの製造方法であって、基板上に、ゲート電極を形成する工程と、第1の絶縁膜を形成する工程と、酸化物半導体層を形成する工程と、前記酸化物半導体層をパターンニングする工程と

50

、酸化ケイ素である第2の絶縁膜を、濃度が制御された酸化性ガスが含まれる雰囲気中で形成する工程と、前記酸化物半導体層のチャンネル領域の少なくとも一部を覆うように、前記第2の絶縁膜をパターニングする工程と、ソース電極及びドレイン電極を形成する工程と、前記ソース電極及び前記ドレイン電極をパターニングする工程と、をこの順で含み、前記薄膜トランジスタのオン・オフ比は 10^5 以上であることを特徴とする。

【発明の効果】

【0022】

本発明によれば、ソース電極及びドレイン電極をエッチング工程により形成可能とし量産性に優れ、オフ電流を最小化したトランジスタ特性を有する薄膜トランジスタの提供が可能となる。

10

【発明を実施するための最良の形態】

【0023】

以下、添付図面を参照して本発明を実施するための最良の実施の形態を説明する。

【0024】

本実施形態の薄膜トランジスタ(TFT)においては、ゲート絶縁膜材料としてアモルファス SiO_x を用いる。また、スパッタ法によりアモルファス酸化物絶縁体の Al_2O_3 チャンネルや $a-SiO_xN_y$ を形成することも可能である。

【0025】

薄膜トランジスタのチャンネル層としては、 ZnO や In と、 Zn と、 O とを含む酸化物半導体を用いることが好ましい。

20

【0026】

そして、チャンネル層は、 In と、 Zn と、 O と、それ以外にさらに Ga 、 Al 、 Fe 、 Sn 、 Mg 、 Ca 、 Si 、 Ge のうち少なくとも1種とを含む。そして、その伝導率が $10^{-3} S/cm$ 以上 $10^{-7} S/cm$ 以下であるアモルファス酸化物を用いることが好ましい。

【0027】

図1は、薄膜トランジスタの一例として、保護膜がエッチングストップとして機能するボトムゲート構造の構成を示す断面図である。

【0028】

基板1上にゲート電極2を設け、さらに第1の絶縁膜3、そして、その上にチャンネル層としての酸化物半導体層4、第2の絶縁膜5、ソース電極6、ドレイン電極7を設けることにより構成される。

30

【0029】

酸化物半導体層4として In と、 Zn と、 O とを含むアモルファス酸化物を用いる場合、室温で作製することができるため、絶縁膜もスパッタ法を用いればすべての成膜工程を室温で形成できる。また、基板としてプラスチック基板やプラスチックフィルムなどを用いることもできる。

【0030】

酸化物半導体層4をパターニングし、チャンネル領域を形成した後、第2の絶縁膜5であるアモルファス酸化物絶縁層を酸化性ガスが含まれる雰囲気中で形成する。

40

【0031】

保護層である第2の絶縁膜5を酸化物半導体が低抵抗にならないように形成することにより、 ZnO を主成分とした酸化物半導体の酸素欠陥生成を抑制し、キャリア電子が多数発生しオフ電流が大きくなってしまふことを防げる。

【0032】

第2の絶縁膜5を CF_4 ガスによりドライエッチングを行いパターニングした後、ソース電極6及びドレイン電極7としてITO又はIZOなどの透明導電性酸化膜を形成する。

【0033】

エッチングストップ層として機能する第2の絶縁膜がチャンネル領域を保護しているため

50

、ソース電極及びドレイン電極をドライエッチングはもちろんウェットエッチングによるパターンングで形成することも可能となる。

【0034】

第2の絶縁膜は、理想的にはチャンネル領域の全体を覆うことが、上記ソース電極及びドレイン電極のエッチング時にチャンネル領域を保護する観点からは好ましい。

【0035】

しかし、エッチング条件やエッチング時間等によって、チャンネル層へのダメージが実質的に特性を大きく低下させない場合には、第2の絶縁膜を必ずしもチャンネル領域の全体を覆うように設けなくても良い。この場合には第2の絶縁膜をチャンネル領域の一部を覆うように設けても良い。

10

【0036】

また、ソース電極及びドレイン電極としてNi、Cr、Rh、Mo、Nd、Ti、W、Ta、Pb、Alなどの金属や、これらを含む合金又はシリサイドも用いることができる。

【0037】

図2に、低抵抗n型結晶シリコンをゲート電極兼基板1として、熱酸化シリコン絶縁膜2を用いたボトムゲート逆スタガー型TFETの構成を示す。

【0038】

第2の絶縁膜の形成条件が酸化物半導体を用いたTFET特性にどのような影響を与えるかを図2の構成を用いて検討した。

20

【0039】

酸化物半導体4としてアモルファスInGaZnOを形成し、ソース電極6及びドレイン電極7をTi/Au/Tiの積層構造で蒸着し、リフトオフにより形成した。

【0040】

第2の絶縁膜がない場合、ここでTFET:Aを完成した。

【0041】

その後、第2の絶縁膜となるアモルファスSiO_xをターゲットとしてSiO₂、スパッタガスとしてAr(アルゴン)100%ガスを用いスパッタ法により100nm形成した。

【0042】

ソース電極6及びドレイン電極7上にウェットエッチングによりコンタクトホールを形成することにより第2の絶縁膜を持つTFET:Bを完成した。

30

【0043】

図3は、上記方法で作製したTFET:AとTFET:Bの典型的な電流-電圧特性を示すグラフである。

【0044】

TFET:Aではオフ電流を最小化したオン・オフ比の良好なTFET特性を示す。しかし、通常の酸化膜絶縁層と考えられるアモルファスSiO_xを第2の絶縁膜として形成したTFET:Bではゲート電圧-20Vにおいてもオフ電流を示さない。

【0045】

この原因として、第2の絶縁膜形成時に酸化物半導体層が還元又は酸素欠陥生成することが考えられる。

40

【0046】

ZnOを主成分とした酸化物半導体は、酸素欠陥が入りやすく、キャリア電子が多数発生し易いためである。

【0047】

また、図3では第2の絶縁膜形成方法としてスパッタ法を用いた結果を示したが、P-CVD法によりアモルファスSiO_x又はアモルファスSiN_yを第2の絶縁膜形成方法として用いた場合は、さらにオン・オフ比が取れなくなる。

【0048】

50

その結果、事実上TFTとして動作しなくなった。

【0049】

これは酸化物半導体が、水素に対して非常に敏感であり、酸化物半導体の第2の絶縁膜に接する部分が非常に低抵抗化したものと考えられる。

【0050】

以下に本発明の主たる部分である酸化性ガスが含まれる雰囲気中で形成する第2の絶縁膜について詳細に説明する。

【0051】

(第2の絶縁膜について)

具体的には、スパッタ法を用い、ターゲットとしてSiO₂を用い、スパッタガスとしてのO₂ガスとArガスとの混合ガス(以下O₂/Ar混合ガスという)を用いアモルファス酸化物絶縁層を形成することで実現できる。

【0052】

O₂/Ar混合比は[O₂ガス流量(SCCM)]/[O₂ガス流量(SCCM)]+[Arガス流量(SCCM)]単位:vol%で示される。その効果は、O₂/Ar混合比10vol%以上で認められ、さらに好ましくは50vol%であった。

【0053】

O₂/Ar混合比は50vol%では第2の絶縁膜5を形成しない場合に良好なオフ電流特性の得られるほぼすべての酸化物半導体条件において良好なオフ電流特性が得られた。

【0054】

第2の絶縁膜であるアモルファスSiO_xの酸素含有量の測定法として、昇温脱離分析法(TDS)が挙げられる。

【0055】

試料にもよるが、基板表面に接触させた熱電対の温度で、数10 から400 程度にかけて、薄膜中に存在する酸素の脱離ピークが観測される。

【0056】

本発明において、昇温脱離分析により第2の絶縁膜であるアモルファスSiO_xから脱離する酸素(脱離ガス)は、ほぼ400 で脱離し終わっていた。

【0057】

定量に用いた測定温度範囲は、基板表面に接触させた熱電対の温度で50 から800 とした。

【0058】

脱離したガス種が酸素であることは、O₂⁺に相当する質量数(m/z)32のイオン強度から同定した。

【0059】

図4は、昇温脱離法により測定された酸素脱離スペクトルの一例を示すグラフである。

【0060】

こうして得られた第2の絶縁膜であるアモルファスSiO_xから脱離する酸素量は、形成雰囲気中の酸素濃度と比例関係にあった。

【0061】

図5は、昇温脱離法により測定されたアモルファスSiO_xからの酸素脱離量と形成雰囲気であるArに含まれるO₂ガス濃度の関係を示すグラフである。

【0062】

透明酸化物半導体を用いたTFTの第2の絶縁膜に関する研究開発を精力的に進めた結果、アモルファスSiO_xのスパッタガス(スパッタ成膜ガスともいう)としてO₂ガスとArガスとの混合ガス(以後O₂/Ar混合ガスという)を用いることを見出した。

【0063】

さらには、その混合比(混合ガス比ともいう)が10vol%以上において酸化物半導体の酸素欠陥生成を抑制し、キャリア電子が多数発生しオフ電流が大きくなってしま

10

20

30

40

50

とを防げることを見出した。

【0064】

この酸素欠陥生成の抑制効果をもつアモルファス SiO_x は、昇温脱離法により、 3.8×10^{19} 個/cm³以上の酸素を膜中に含有していることが分かった。

【0065】

また、よりプロセスマージンが広く安定した特性の得られる形成条件は、スパッタガス中のArガスとO₂ガスの合算に対するO₂ガスの体積比(O₂/Ar混合比)が50vol%のスパッタガスを用いた場合である。そして、例えばこの条件で酸化物半導体を形成すると、 1.2×10^{20} 個/cm³程度の酸素を膜中に含有していた。この酸素を膜中に含有するアモルファス SiO_x は、その成膜プロセスによる意図しない加熱又はその後のプロセスによる加熱により酸素を放出し、酸化物半導体の界面部分を酸化することにより低抵抗化を抑制すると考えられる。成膜プロセスによる意図しない加熱とは、具体的には、成膜時の投入電力による昇温などが考えられる。その結果、酸化物半導体の酸素欠陥生成を抑制され、キャリア電子が多数発生しオフ電流が増大することを防ぐことができると考えられる。

10

【0066】

本発明者らの知見によれば、この酸素欠陥生成の抑制効果をもつアモルファス SiO_x の形成条件におけるO₂/Ar混合比に上限は無く、O₂100vol%においても効果が得られる。しかし、O₂/Ar混合比を増加することにより成膜速度が減少するため、生産性及びコストの面からO₂/Ar混合比が約50vol%以下を用いることが好ましい。アモルファス SiO_x のO₂/Ar混合比と成膜速度の関係は、成膜ガス圧力や基板-ターゲット間距離などの成膜パラメーターにも依存するが、酸素分圧に対し非常に敏感である。そのため、通常は高酸素分圧の形成条件は使用されることが少ない。本形成条件においては、O₂/Ar混合比0vol%で成膜した場合の成膜速度を基準(100%)とすると、O₂/Ar混合比10vol%、50vol%はそれぞれ77%、39%の成膜速度であった。

20

【0067】

上記、アモルファス SiO_x を第2の絶縁膜として用い、図11の構成で酸化物半導体としてアモルファスInGaZnOを同一条件で形成したTFETを作製した。

【0068】

同時に同一プロセス条件で酸化物半導体伝導度測定用TEG素子を作製し、酸化物半導体層の伝導度を測定した。

30

【0069】

V_{on} はTFETの伝達特性において、ドレイン電流(I_d)が立ち上がる時のゲート印加電圧である。

【0070】

V_{on} と酸化物半導体の伝導度の関係を図9に示す。

【0071】

酸化物半導体の伝導率と V_{on} には強い関係が見られ、酸化物半導体の伝導率が大きくなるほど V_{on} は負にシフトし、さらに伝導率が大きくなると-40V以下でも V_{on} が見られなくなる。

40

【0072】

この結果から明らかのように、第2の絶縁膜形成時、酸化物半導体の伝導率が増大することによりオフ電流とオン電流の境界を示す V_{on} が負側にシフトし悪化する。その結果、オフ電流特性が悪化する。

【0073】

また、その酸化物半導体の伝導率の増大は第2の絶縁膜の形成条件により抑制される。

【0074】

その抑制効果は、O₂/Ar混合比は10vol%以上の場合に認められ、 3.8×10^{19} 個/cm³以上の酸素を膜中に含有していた。

50

【0075】

第2の絶縁膜としてスパッタガスとして O_2 / Ar 混合比50vol%のガスを用いて成膜し、 1.2×10^{20} 個/cm³の酸素を膜中に含有するアモルファス SiO_x を用い、図2の構成のTFETを9個作製し、TFET特性を測定した。

【0076】

図10は、その9個のTFETの伝達特性を示すグラフである。 V_{on} は、ほぼ0Vに制御され、良好なオン・オフ比を示すTFETが得られた。

【0077】

上記の説明では第2の絶縁膜をアモルファス SiO_x の場合で説明したが、第2の絶縁膜としてのアモルファス酸化物絶縁体は、アモルファスシリコンオキシナイトライドやアモルファスアルミニウムオキサイドを用いることができる。

【0078】

また、第2の絶縁膜を形成する際の酸化性ガスとして O_2 / Ar 混合ガスを用いた例で説明したが、酸化物半導体の伝導度が増大しないよう第2の絶縁膜を形成することが本質であり、酸化性ガスは酸素に限定されない。また、第2の絶縁膜としてのアモルファス酸化物絶縁体中の酸素含有量は成膜装置ごとに条件が異なる可能性が高いが、成膜パラメータを変化させて、傾向を調べることで、本発明の効果をもたらす酸素量に調整することができる。その成膜パラメータとして、成膜ガス圧力、成膜時の投入電力、成膜温度、基板・ターゲット間距離や基板又はカソードへのバイアス印加、などが挙げられる。

【0079】

例えば、薄膜トランジスタとして、インジウム、ガリウム、亜鉛の組成比が1:1:1のアモルファス酸化物半導体層(a-IGZO薄膜)を大面積成膜が可能なスパッタ法を用いて形成する。

【0080】

そして、このアモルファス酸化物半導体層を、薄膜トランジスタに適用し、図1の構成とする。

【0081】

こうすることにより、トランジスタのオン・オフ比を 10^5 以上にすることも可能となる。その際の電界効果移動度は $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以上を示す。

【0082】

これらの効果により、酸化物半導体を用いたボトムゲート型薄膜トランジスタにおいてソース電極及びドレイン電極を多様なエッチング工程により形成可能とし量産性に優れたものとなる。

【0083】

また、オフ電流を最小化した良好なトランジスタ特性を有する薄膜トランジスタを提供することができる。

【0084】

上記の説明では、半導体層(チャネル層)としてZnOを主成分として用いた透明伝導性酸化物半導体多結晶薄膜、又は微結晶を含むZnOを主成分とする透明伝導性酸化物半導体薄膜を用いた例を説明している。

【0085】

さらにはIn-Ga-Zn-Oを含み構成されるアモルファス酸化物を用いた例を説明しているが、酸化物半導体層はこれらに限定されるものではない。

【0086】

In-Ga-Zn-Oを含み構成されるアモルファス酸化物半導体層としては、Sn、In、Znの少なくとも1種類の元素を含み構成されるアモルファス酸化物を用いることが可能である。

【0087】

さらに、アモルファス酸化物の構成元素の少なくとも一部にSnを選択する場合、Snを、 $Sn_{1-x}M_4x$ ($0 < x < 1$ 、M4は、Snより原子番号の小さい4族元素のSi、

10

20

30

40

50

Ge又はZrから選ばれる。)に置換することもできる。

【0088】

また、アモルファス酸化物の構成元素の少なくとも一部にInを選択する場合、Inを $In_{1-y}M_3y$ ($0 < y < 1$ 、M3は、Lu又はInより原子番号の小さい3族元素のB、Al、Ga又はYから選ばれる。)に置換することもできる。

【0089】

また、アモルファス酸化物の構成元素の少なくとも一部にZnを選択する場合、Znを $Zn_{1-z}M_2z$ ($0 < z < 1$ 、M2は、Znより原子番号の小さい2族元素のMg又はCaから選ばれる。)に置換することもできる。

【0090】

利用可能なアモルファス材料は、Sn-In-Zn酸化物、In-Zn-Ga-Mg酸化物、In酸化物、In-Sn酸化物、In-Ga酸化物、In-Zn酸化物、Zn-Ga酸化物、Sn-In-Zn酸化物などである。

【0091】

もちろん、構成材料の組成比は必ずしも1:1である必要はない。なお、ZnやSnは、単独ではアモルファスを形成し難い場合があるが、Inを含ませることによりアモルファス相が形成され易くなる。

【0092】

例えば、In-Zn系の場合は、酸素を除く原子数割合が、Inが約20原子%以上含まれる組成にするのがよい。

【0093】

Sn-In系の場合は、酸素を除く原子数割合が、Inが約80原子%以上含まれる組成にするのがよい。Sn-In-Zn系の場合は、酸素を除く原子数割合が、Inが約15原子%以上含まれる組成にするのがよい。

【0094】

また、アモルファスは、測定対象薄膜に、入射角度0.5度程度の低入射角によるX線回折を行った場合に明瞭な回折ピークが検出されない(すなわちハローパターンが観測される)ことで確認できる。

【0095】

なお、本実施形態において、上記した材料を電界効果型トランジスタのチャンネル層に用いる場合に、当該チャンネル層が微結晶状態の構成材料を含むことを除外するものではない。

【0096】

次に上記薄膜トランジスタの出力端子であるドレインに、有機又は無機のエレクトロルミネッセンス(EL)素子、液晶素子等の表示素子の電極に接続することで表示装置を構成することができる。

【0097】

以下に表示装置の断面図を用いて具体的な表示装置の構成例を説明する。

【0098】

図6は、本発明の一実施形態としての表示装置の一例の断面図である。基体611上に、ゲート電極612と、ゲート絶縁膜613と、酸化物半導体膜614と、第2の絶縁膜615と、ソース(ドレイン)電極616と、ドレイン(ソース)電極617とから構成されるTFTを形成する。

【0099】

そして、ドレイン(ソース)電極617に、層間絶縁膜619を介して電極618が接続されており、電極618は発光層620と接し、さらに発光層620が電極621と接している。

【0100】

かかる構成により、発光層620に注入する電流を、ソース電極(ドレイン)616からドレイン(ソース)電極617に酸化物半導体膜614に形成されるチャンネルを介して

10

20

30

40

50

流れる電流値によって制御することが可能となる。

【0101】

したがって、これをTFTのゲート612の電圧によって制御することができる。ここで、電極618、発光層620、電極621は無機又は有機のエレクトロルミネッセンス素子を構成する。

【0102】

図7は、本発明の一実施形態としての表示装置の他の例の断面図である。ドレイン(ソース)電極717が延長されて電極718を兼ねており、これを高抵抗膜720、722に挟まれた液晶セルや電気泳動型粒子セル721へ電圧を印加する電極723とする構成を取ることができる。

10

【0103】

液晶セルや電気泳動型粒子セル721、高抵抗層720及び722、電極718、電極723は表示素子を構成する。

【0104】

これら表示素子に印加する電圧を、ソース電極716からドレイン電極717に酸化半導体膜714に形成されるチャネルを介して流れる電流値によって制御することが可能となる。

【0105】

したがって、これをTFTのゲート712の電圧によって制御することができる。ここで表示素子の表示媒体が流体と粒子を絶縁性皮膜中に封止したカプセルであるなら、高抵抗膜720、722は不要である。

20

【0106】

上記の2例においてTFTとしては、ボトムゲート逆スタガー型の構成で代表させたが、本発明は必ずしも本構成に限定されるものではない。

【0107】

例えば、TFTの出力端子であるドレイン電極と表示素子の接続が位相幾何的に同一であれば、コプレナー型等他の構成も可能である。

【0108】

また、上記の2例においては、表示素子を駆動する一対の電極が、基体と平行に設けられた例を図示したが、本実施形態は必ずしも本構成に限定されるものではない。

30

【0109】

例えば、TFTの出力端子であるドレイン電極と表示素子の接続が位相幾何的に同一であれば、いずれかの電極又は両電極が基体と垂直に設けられていてもよい。

【0110】

さらに、上記の2例においては、表示素子に接続されるTFTを一つだけ図示したが、本発明は必ずしも本構成に限定されるものではない。例えば、図中に示したTFTがさらに本発明による別のTFTに接続されていてもよく、図中のTFTはそれらTFTによる回路の最終段であればよい。

【0111】

ここで、表示素子を駆動する一対の電極が、基体と平行に設けられた場合、表示素子がEL素子又は反射型液晶素子等の反射型表示素子ならば、いずれかの電極が発光波長又は反射光の波長に対して透明である必要がある。

40

【0112】

又は、透過型液晶素子等の透過型表示素子ならば、両電極とも透過光に対して透明である必要がある。

【0113】

さらに本実施形態のTFTでは、すべての構成体を透明にすることも可能であり、これにより、透明な表示素子を形成することもできる。

【0114】

また、軽量可撓で透明な樹脂製プラスチック基板など低耐熱性基体の上にも、かかる表

50

示素子を設けることができる。

【0115】

次に、EL素子（ここでは有機EL素子）と薄膜トランジスタを含む画素を二次元的（二次元状ともいう）に配置した表示装置について図8を用いて説明する。

【0116】

図8において、81は有機EL層84を駆動するトランジスタであり、82は画素を選択するトランジスタである。

【0117】

また、コンデンサ83は選択された状態を保持するためのものであり、共通電極線87とトランジスタ2のソース部分との間に電荷を蓄え、トランジスタ1のゲートの信号を保持している。

10

【0118】

画素選択は走査電極線85と信号電極線86により決定される。

【0119】

より具体的に説明すると、画像信号がドライバ回路（不図示）から走査電極85を通してゲート電極へパルス信号で印加される。

【0120】

それと同時に、別のドライバ回路（不図示）から信号電極86を通してやはりパルス信号でトランジスタ82へと印加されて画素が選択される。

【0121】

20

そのとき、トランジスタ82がONとなり信号電極線86とトランジスタ82のソースの間にあるコンデンサ83に電荷が蓄積される。

【0122】

これにより、トランジスタ81のゲート電圧が所望の電圧に保持されトランジスタ81はONになる。この状態は次の信号を受け取るまで保持される。

【0123】

トランジスタ81がONである状態の間、有機EL層84には電圧、電流が供給され続け発光が維持されることになる。

【0124】

図8の例では1画素にトランジスタ2ヶでコンデンサ1ヶの構成であるが、性能を向上させるためにさらに多くのトランジスタ等を組み込んでも構わない。

30

【0125】

本質的なのはトランジスタ部分に、低温で形成でき透明のTFTであるIn-Ga-Zn-O系のTFTを用いることにより、有効なEL素子が得られる。

【0126】

次に本発明の実施例について図面を用いて説明する。

【0127】

[実施例1]

本実施例では、図11に示す逆スタガー（ボトムゲート）型MISFET素子を作製した。

40

【0128】

まずガラス基板にフォトリソグラフィ法とリフトオフ法を用いTi5nm/Au40nm/Ti5nmのゲート端子を形成した。

【0129】

さらにその上に、RFスパッタ法により $a\text{-SiO}_x$ による絶縁層を200nm形成した。その際、スパッタターゲットには SiO_2 ターゲットを用い、スパッタガスにArガスを用いた。また、RF高周波電力は400W、成膜圧力は0.1Pa、成膜速度は7.4nm/分であった。基板温度は室温であり意図的な加熱は行なわなかった。

【0130】

そして、その上に、室温においてRFスパッタ法で半導体層として用いるアモルファス

50

酸化物半導体膜を20nm形成した。

【0131】

チャネル領域の形成にはフォトリソグラフィ法と塩酸によるウェットエッチングを用いた。

【0132】

その後、Ti5nm/Au40nm/Ti5nmを電子ビーム蒸着法により成膜し、フォトリソグラフィ法とリフトオフ法によりソース、ドレイン端子を形成した。

【0133】

さらに第2の絶縁膜としてRFスパッタ法によりa-SiO_xによる絶縁層を100nm形成した。

10

【0134】

その際、ターゲットとしてSiO₂を用い、スパッタガスとしてO₂ガス5SCCM、Arガス5SCCMのO₂/Ar混合比50vol%の酸化性雰囲気を用いる。また、RF高周波電力は400W、成膜圧力は0.1Pa、成膜速度は2.9nm/分である。基板温度は室温であり意図的な加熱は行なわない。

【0135】

こうして、図11に示す逆スタガー（ボトムゲート）型MISFET素子9個を完成した。その際のアモルファス酸化物半導体膜の金属組成比はIn:Ga:Zn=1.00:0.94:0.65であった。

【0136】

このMISFET素子のI-V特性評価の結果、9個のTFETは平均電界効果移動度5.0cm²/Vs、平均オン・オフ比10⁶超であった。図12にその伝達特性を示す。

20

【0137】

本発明の第2の絶縁膜を用いれば酸化物半導体ボトムゲート型薄膜トランジスタはオフ電流を最小化し、良好なトランジスタ特性を有する薄膜トランジスタを安定して作製することができる。

【0138】

[比較例1]

本比較例では、第2の絶縁膜の形成条件以外は実施例1と同様にして図11に示す逆スタガー（ボトムゲート）型MISFET素子を作製した。

30

【0139】

第2の絶縁膜としてRFスパッタ法によりa-SiO_xによる絶縁層を100nm形成した。その際、ターゲットとしてSiO₂を用い、スパッタガスとしてO₂ガス1SCCM、Arガス9SCCMのO₂/Ar混合ガス比10vol%の酸化性雰囲気を用いる。また、RF高周波電力は400W、成膜圧力は0.1Pa、成膜速度は5.7nm/分である。基板温度は室温であり意図的な加熱は行なわない。こうして、図11に示す逆スタガー（ボトムゲート）型MISFET素子9個を完成した。

【0140】

同時に同一プロセス条件で酸化物半導体伝導度測定用TEG素子を作製し、酸化物半導体層の伝導度を測定した。

40

【0141】

V_{on}はTFETの伝達特性において、ドレイン電流(I_d)が立ち上がる時のゲート印加電圧である。

【0142】

V_{on}と酸化物半導体の伝導度の関係を図9に示す。

【0143】

また、スパッタガスとしてO₂/Ar混合比10vol%を用いたa-SiO_xによる第2の絶縁膜は、3.8×10¹⁹個/cm³の酸素を膜中に含有していた。

【0144】

この結果、O₂/Ar混合ガス比10vol%を用いたa-SiO_xによる第2の絶縁

50

膜は、酸化物半導体の酸素欠陥生成に対し抑止効果をもち、平均値として V_{th} : -40Vを示し、良好なオン・オフ比 10^6 超を示した。

【0145】

また、 O_2 / Ar 混合比1vol%、0vol%では特性のばらつきが増大し、ゲート電圧として-50Vを印加しても明確な V_{th} が見られない場合があり、酸化物半導体に対する酸素欠陥生成に対し明確な抑止効果が認められなかった。

【0146】

[実施例2]

本実施例では、図1に示す逆スタガー（ボトムゲート）型MISFET素子を作製する。

10

【0147】

まずガラス基板にスパッタ法を用い透明伝導膜IZOのゲート電極層150nmを形成する。

【0148】

フォトリソグラフィ法と塩酸を用いウェットエッチング法によりゲート電極を形成する。

【0149】

さらにその上に、RFスパッタ法により $a-SiO_x$ による絶縁層を200nm形成する。その際、スパッタターゲットには SiO_2 ターゲットを用い、スパッタガスにArガスを用いる。また、RF高周波電力は400W、成膜圧力は0.1Pa、成膜速度は7.4nm/分である。基板温度は室温であり意図的な加熱は行なわない。

20

【0150】

そして、その上に、室温においてRFスパッタ法で半導体層として用いるアモルファス酸化物半導体膜を20nm形成する。

【0151】

チャネル領域の形成にはフォトリソグラフィ法と塩酸によるウェットエッチングを用いる。その後、第2の絶縁膜としてスパッタ法により $a-SiO_x$ による絶縁層を100nm形成する。

【0152】

その際、ターゲットとして SiO_2 を用い、スパッタガスとして O_2 ガス5SCCM、Arガス5SCCMの O_2 / Ar 混合比50vol%の酸化性雰囲気を用いる。基板温度は室温であり意図的な加熱は行なわない。

30

【0153】

フォトリソグラフィ法と CF_4 ガスによるドライエッチングを用い、チャネル領域を保護し、かつエッチングストップ層として機能する第2の絶縁膜が完成する。

【0154】

その後、透明伝導膜ITOを150nmスパッタ法により成膜し、フォトリソグラフィ法とエッチング法によりソース、ドレイン端子を形成する。

【0155】

こうして、図1に示す逆スタガー（ボトムゲート）型透明MISFET素子を形成することができる。

40

【0156】

ソース電極及びドレイン電極としてIZOなどの透明導電性酸化膜はもちろん、Ni、Cr、Rh、Mo、Nd、Ti、W、Ta、Pb、Alなどの金属や、これらを含む合金又はシリサイドも用いることができる。また、ソース電極及びドレイン電極をそれぞれ別の材料で形成することも可能となる。

【0157】

この逆スタガー（ボトムゲート）型MISFET素子は、ソース電極及びドレイン電極をエッチング工程により形成可能となり、量産性に優れ、オフ電流を最小化したトランジスタ特性を有する薄膜トランジスタとなる。

50

【 0 1 5 8 】

[実施例 3]

本実施例では図 7 の T F T を用いた表示装置について説明する。

【 0 1 5 9 】

T F T の製造工程は実施例 3 と同様である。

【 0 1 6 0 】

上記 T F T において、ドレイン電極をなす I T O 膜の島の短辺を 1 0 0 μ m まで延長し、延長された 9 0 μ m の部分を残し、ソース電極及びゲート電極への配線を確認した上で、T F T を絶縁層で被覆する。

【 0 1 6 1 】

この上にポリイミド膜を塗布し、ラビング工程を施す。

【 0 1 6 2 】

一方で、同じくプラスチック基板上に I T O 膜とポリイミド膜を形成し、ラビング工程を施したものを用意し、上記 T F T を形成した基板と 5 μ m の空隙を空けて対向させ、ここにネマチック液晶を注入する。

【 0 1 6 3 】

さらにこの構造体の両側に一对の偏光板を設ける。

【 0 1 6 4 】

ここで、T F T のソース電極に電圧を印加し、ゲート電極の印加電圧を変化させると、ドレイン電極から延長された I T O 膜の島の一部である 3 0 μ m \times 9 0 μ m の領域のみ、光透過率が変化する。

【 0 1 6 5 】

またその透過率は、T F T がオン状態となるゲート電圧の下ではソース - ドレイン間電圧によっても連続的に変化させることができる。このようにして、図 7 に対応した、液晶セルを表示素子とする表示装置を作成する。

【 0 1 6 6 】

本実施例において、T F T を形成する基板として白色のプラスチック基板を用い、T F T の各電極を金に置き換え、ポリイミド膜と偏光板を廃する構成とする。

【 0 1 6 7 】

そして、白色と透明のプラスチック基板の空隙に粒子と流体を絶縁性皮膜にて被覆したカプセルを充填させる構成とする。

【 0 1 6 8 】

この構成の表示装置の場合、本 T F T によって延長されたドレイン電極と上部の I T O 膜間の電圧が制御され、よってカプセル内の粒子が上下に移動する。

【 0 1 6 9 】

それによって、透明基板側から見た延長されたドレイン電極領域の反射率を制御することで表示を行うことができる。

【 0 1 7 0 】

また、本実施例において、T F T を複数隣接して形成して、たとえば、通常の 4 トランジスタ 1 キャパシタ構成の電流制御回路を構成し、その最終段トランジスタの一つを図 6 の T F T として、E L 素子を駆動することもできる。

【 0 1 7 1 】

たとえば、上記の I T O 膜をドレイン電極とする T F T を用いる。

【 0 1 7 2 】

そして、ドレイン電極から延長された I T O 膜の島の一部である 3 0 μ m \times 9 0 μ m の領域に電荷注入層と発光層からなる有機エレクトロルミネッセンス素子を形成する。

【 0 1 7 3 】

こうして、E L 素子を用いる表示装置を形成することができる。

【 0 1 7 4 】

[実施例 4]

10

20

30

40

50

実施例 4 の表示素子と T F T とを二次元的に配列させる。

【 0 1 7 5 】

たとえば、実施例 3 の液晶セルや E L 素子等の表示素子と、T F T とを含めて約 $30 \mu\text{m} \times 115 \mu\text{m}$ の面積を占める画素を、短辺方向に $40 \mu\text{m}$ ピッチ、長辺方向に $120 \mu\text{m}$ ピッチでそれぞれ 7425×1790 個方形配列する。

【 0 1 7 6 】

そして、長辺方向に 7425 個の T F T のゲート電極を貫くゲート配線を 1790 本、 1790 個の T F T のソース電極が非晶質酸化半導体膜の島から $5 \mu\text{m}$ はみ出した部分を短辺方向に貫く信号配線を 7425 本設ける。

【 0 1 7 7 】

そして、それぞれをゲートドライバ回路、ソースドライバ回路に接続する。

【 0 1 7 8 】

さらに液晶表示素子の場合、液晶表示素子と同サイズで位置を合わせ R G B が長辺方向に反復するカラーフィルタを表面に設ければ、約 211ppi で A 4 サイズのアクティブマトリクス型カラー画像表示装置を構成できる。

【 0 1 7 9 】

また、E L 素子においても、一つの E L 素子に含まれる 2 T F T のうち第一 T F T のゲート電極をゲート線に配線し、第二 T F T のソース電極を信号線に配線し、さらに、E L 素子の発光波長を長辺方向に R G B で反復させる。

【 0 1 8 0 】

こうすることで、同じ解像度の発光型カラー画像表示装置を構成することができる。

【 0 1 8 1 】

ここで、アクティブマトリクスを駆動するドライバ回路は、画素の T F T と同じ本発明の T F T を用いて構成しても良いし、既存の I C チップを用いても良い。

【産業上の利用可能性】

【 0 1 8 2 】

本発明は、L C D や有機 E L ディスプレイのスイッチング素子として応用することができる。

【 0 1 8 3 】

また、プラスチックフィルムをはじめとするフレキシブル素材に低温で T F T のすべてのプロセスを形成することが可能であり、フレキシブル・ディスプレイをはじめ、I C カードや I D タグなどに幅広く応用できる。

【図面の簡単な説明】

【 0 1 8 4 】

【図 1】エッチングストッパとして機能する第 2 の絶縁膜を有する逆スタガー型 T F T の構造図である。

【図 2】低抵抗 n 型シリコン基板上的熱酸化膜シリコンゲート絶縁膜を用いた逆スタガー型 T F T の構造図である。

【図 3】図 2 の逆スタガー型 T F T を作製した際の典型的な電流 - 電圧特性を示すグラフである。

【図 4】昇温脱離法により測定された第 2 の絶縁膜の酸素脱離スペクトルの一例を示すグラフである。

【図 5】昇温脱離法により測定されたアモルファス SiO_x からの酸素脱離量と形成雰囲気である Ar に含まれる O_2 ガス濃度の関係を示す図である。

【図 6】本発明の一実施形態としての表示装置の一例の断面図である。

【図 7】本発明の一実施形態としての表示装置の他の例の断面図である。

【図 8】有機 E L 素子と薄膜トランジスタを含む画素を二次元状に配置した表示装置の構成を示す図である。

【図 9】逆スタガー（ボトムゲート）型 M I S F E T 素子における V_{on} と酸化半導体の伝導度の関係を示す図である。

10

20

30

40

50

【図10】図2の構成のTFTを9個作製し、TFT特性を測定した際のその9個のTFTの伝達特性を示すグラフである。

【図11】保護膜を有する逆スタガー型TFTの構造図である。

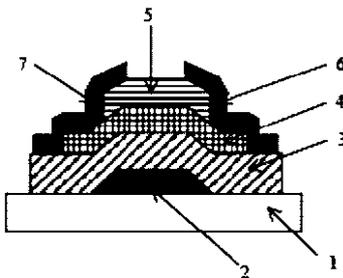
【図12】図11の構成のTFTを9個作製し、TFT特性を測定した際のその9個のTFTの伝達特性を示すグラフである。

【符号の説明】

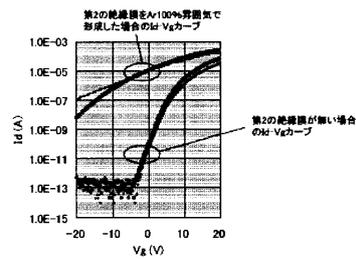
【0185】

- 1 基板
- 2 ゲート電極
- 3 第1の絶縁膜
- 4 酸化物半導体層
- 5 第2の絶縁膜
- 6 ソース電極（ソース端子）
- 7 ドレイン電極（ドレイン端子）

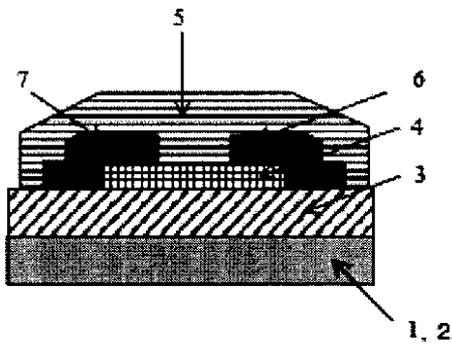
【図1】



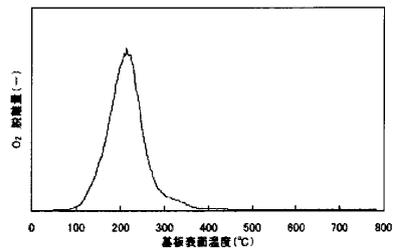
【図3】



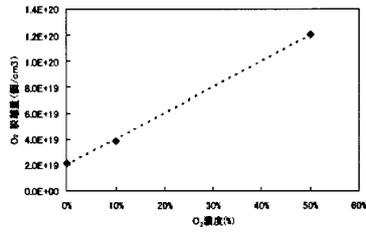
【図2】



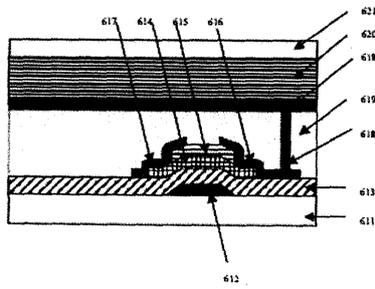
【図4】



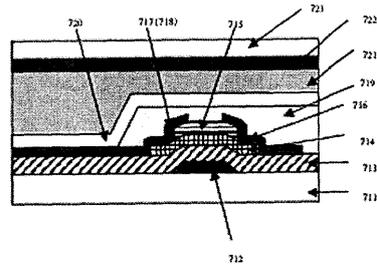
【図5】



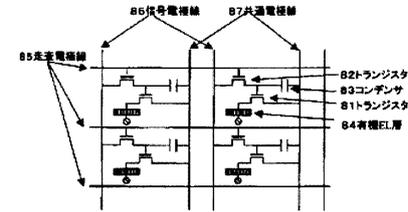
【図6】



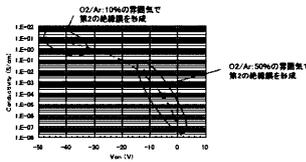
【図7】



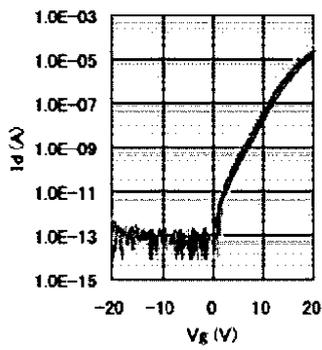
【図8】



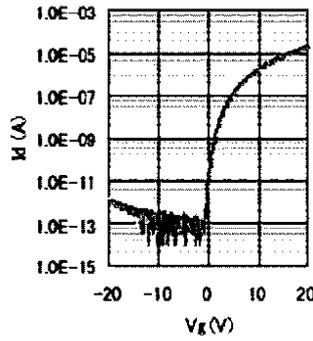
【図9】



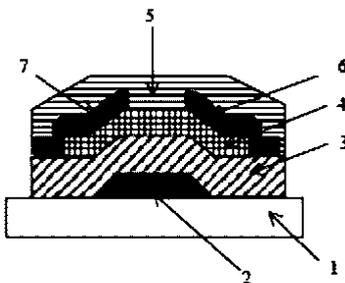
【図10】



【図12】



【図11】



フロントページの続き

- (74)代理人 100134393
弁理士 木村 克彦
- (74)代理人 100160967
弁理士 濱 口 岳久
- (74)代理人 100174230
弁理士 田中 尚文
- (72)発明者 林 享
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 加地 信幸
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 藪田 久人
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 大橋 達也

- (56)参考文献 特開2005-033172(JP,A)
特開平06-151850(JP,A)
特開2004-022625(JP,A)
特開2006-100810(JP,A)
特開2005-191077(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 29/786 |
| H01L | 21/336 |