



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년07월08일

(11) 등록번호 10-1535224

(24) 등록일자 2015년07월02일

(51) 국제특허분류(Int. Cl.)
G11C 7/22 (2015.01) **G11C 5/14** (2006.01)
 (21) 출원번호 10-2008-0092944
 (22) 출원일자 2008년09월22일
 심사청구일자 2013년08월06일
 (65) 공개번호 10-2010-0033876
 (43) 공개일자 2010년03월31일
 (56) 선행기술조사문헌
 US20080052440 A1

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
채관엽
 서울특별시 관악구 남부순환로272길 24-5, 2층 (남현동)
김수호
 경기도 용인시 수지구 풍덕천로 33, 상록아파트 611동 501호 (풍덕천동)
 (뒷면에 계속)
 (74) 대리인
리앤목특허법인

전체 청구항 수 : 총 10 항

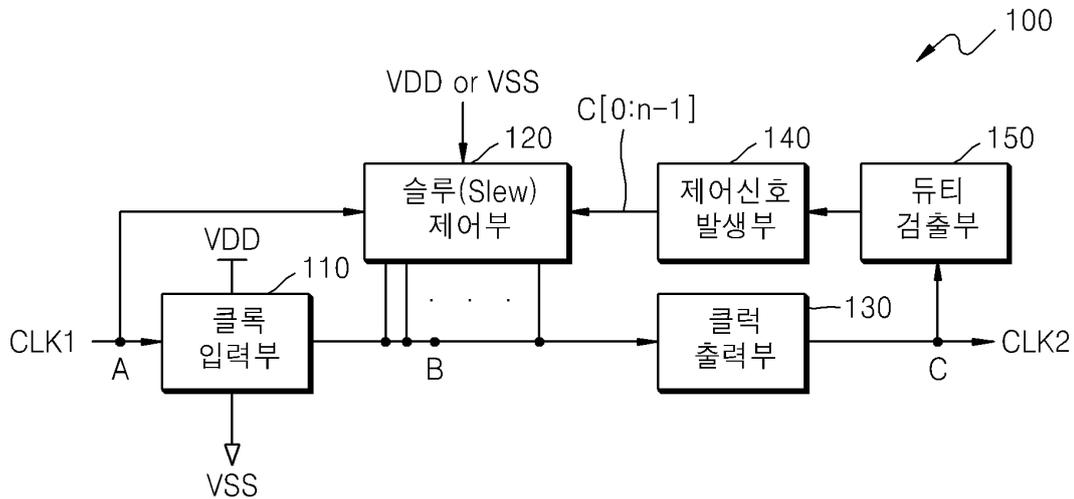
심사관 : 손윤식

(54) 발명의 명칭 **듀티 제어회로 및 이를 구비하는 반도체 장치**

(57) 요약

프로그래머블(programmable)한 듀티 제어특성을 갖는 듀티 제어회로 및 이를 구비하는 반도체 장치가 개시된다. 본 발명의 일예에 따른 상기 듀티 제어회로는, 제1 노드를 통해 제공되는 입력 클럭신호를 수신하고, 상기 입력 클럭신호에 응답하여 제2 노드의 전압을 제1 레벨 또는 제2 레벨로 변동시키는 클럭 입력부 및 상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압에 각각 연결되는 복수의 스위치들을 포함하고, 상기 복수의 스위치들 각각으로 제공되는 제어신호에 응답하여 상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압을 상기 제2 노드로 전달하는 슬루(slew) 제어부를 구비하는 것을 특징으로 한다.

대표도 - 도1



(72) 발명자

이원

경기도 군포시 변영로550번길 6, 화성 125-901 (금정동, 무궁화아파트)

주상훈

경기도 용인시 기흥구 공세로 226, 청구 아파트 102동 601호 (공세동)

판넛 다르멘드라

경기도 용인시 기흥구 삼성2로 95, 남자기숙사 상록수동 (농서동, 삼성전자)

최종륜

경기도 화성시 병점중앙로170번길 12-5, 시온아트빌 204호 (진안동)

명세서

청구범위

청구항 1

제1 노드를 통해 제공되는 입력 클록신호를 수신하고, 상기 입력 클록신호에 응답하여 제2 노드의 전압을 제1 레벨 또는 제2 레벨로 변동시키는 클록 입력부; 및

상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압에 각각 연결되는 복수의 스위치들을 포함하고, 상기 복수의 스위치들 각각으로 제공되는 제어신호에 응답하여 상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압을 상기 제2 노드로 전달하는 슬루(slew) 제어부를 구비하고,

상기 복수의 스위치들은, 서로 다른 사이즈(size)를 갖는 n 개의 트랜지스터를 구비하며(단, n은 정수), 상기 제어신호에 응답하여 선택적으로 턴온됨에 따라 상기 제2 노드의 전압의 슬루 레이트(slew rate)를 조절하는 것을 특징으로 하는 듀티 제어회로.

청구항 2

제1항에 있어서,

상기 클록 입력부는 상기 입력 클록신호를 인버팅하여 출력하는 인버터인 것을 특징으로 하는 듀티 제어회로.

청구항 3

제2항에 있어서,

상기 제1 레벨의 전압은 전원전압이며, 상기 제2 레벨의 전압은 접지전압인 것을 특징으로 하는 듀티 제어회로.

청구항 4

제3항에 있어서, 상기 복수의 스위치들은,

상기 제1 레벨의 전압과 상기 제2 노드 사이에 병렬하게 연결되며, 상기 입력 클록신호가 로직 로우로 천이하는 경우 상기 제어신호에 응답하여 선택적으로 턴온됨으로써 상기 제1 레벨의 전압을 상기 제2 노드로 제공하는 것을 특징으로 하는 듀티 제어회로.

청구항 5

제4항에 있어서,

상기 n 개의 트랜지스터 각각은 PMOS 트랜지스터이며, 상기 n 개의 PMOS 트랜지스터는 상기 제2 노드의 전압의 라이징 슬루 레이트(rising slew rate)를 조절하는 것을 특징으로 하는 듀티 제어회로.

청구항 6

제3항에 있어서, 상기 복수의 스위치들은,

상기 제2 레벨의 전압과 상기 제2 노드 사이에 병렬하게 연결되며, 상기 입력 클록신호가 로직 하이로 천이하는 경우 상기 제어신호에 응답하여 선택적으로 턴온됨으로써 상기 제2 레벨의 전압을 상기 제2 노드로 제공하는 것을 특징으로 하는 듀티 제어회로.

청구항 7

제6항에 있어서,

상기 n 개의 트랜지스터 각각은 NMOS 트랜지스터이며, 상기 n 개의 NMOS 트랜지스터는 상기 제2 노드의 전압의 폴링 슬루 레이트(falling slew rate)를 조절하는 것을 특징으로 하는 듀티 제어회로.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제1항에 있어서,

상기 제2 노드의 전압을 입력받아, 상기 제2 노드의 전압을 버퍼링하거나 인버팅하여 듀티 조절된 출력 클록신호를 발생하는 클록 출력부; 및

상기 제2 노드의 전압의 슬루 레이트(slew rate)를 조절하기 위한 상기 제어신호를 발생하여 상기 슬루 제어부로 제공하는 제어신호 발생부를 더 구비하는 것을 특징으로 하는 듀티 제어회로.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

입력 클록신호의 듀티를 조절하여 출력 클록신호를 발생하는 듀티 제어회로를 포함하는 반도체 장치에 있어서, 상기 듀티 제어회로는,

제1 노드를 통해 제공되는 입력 클록신호를 수신하고, 상기 입력 클록신호에 응답하여 제2 노드의 전압을 제1

레벨 또는 제2 레벨로 변동시키는 클록 입력부; 및

상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압에 각각 연결되는 복수의 스위치들을 포함하고, 상기 복수의 스위치들 각각으로 제공되는 제어신호에 응답하여 상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압을 상기 제2 노드로 전달하는 슬루(slew) 제어부를 구비하고,

상기 복수의 스위치들은, 서로 다른 사이즈(size)를 갖는 n 개의 트랜지스터를 구비하며(단, n은 정수), 상기 제어신호에 응답하여 선택적으로 턴온됨에 따라 상기 제2 노드의 전압의 슬루 레이트(slew rate)를 조절하는 것을 특징으로 하는 반도체 장치.

청구항 23

제22항에 있어서,

상기 제1 레벨의 전압은 전원전압이며, 상기 제2 레벨의 전압은 접지전압인 것을 특징으로 하는 반도체 장치.

청구항 24

삭제

청구항 25

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 듀티 제어회로 및 이를 구비하는 반도체 장치에 관한 것으로서, 자세하게는 프로그래머블(programmable)한 듀티 제어특성을 갖는 듀티 제어회로 및 이를 구비하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 듀티 제어회로는 입력되는 클록신호의 듀티를 조절하여 출력 클록신호가 원하는 듀티를 갖도록 제어하기 위한 회로로서 반도체 장치에 일반적으로 구비된다. 반도체 장치가 고속화됨에 따라 클록신호의 듀티를 정밀하게 조절하는 것이 중요하며, 또한 클록신호의 듀티를 프로그래머블하게 조절하는 것이 중요하다. 일례로서, 반도체 장치가 DDR(Double Data Rate) SDRAM인 경우 클록 신호의 상승 에지(rising edge) 및 하강 에지(falling edge)를 모두 이용하여 동작하므로, 듀티 제어회로의 출력 클록신호에 듀티 왜곡이 발생하게 되면 반도체 장치의 오동작을 유발할 수 있다.

[0003] 일반적으로, 클록 신호의 듀티를 제어하기 위한 회로로서, 버퍼의 딜레이를 이용하여 듀티를 조절하는 방식이 사용되고 있다. 즉, 입력 클록신호와 상기 입력 클록신호를 지연한 신호에 대해 논리 연산을 수행함으로써 출력 클록신호의 듀티를 조절한다. 그러나, 이와 같은 종래의 방식에서는 버퍼의 딜레이 양에 의해 듀티가 제어되므로, 버퍼의 딜레이 양이 커지게 되면 듀티를 정밀하게 조절하기 어렵다. 또한 듀티의 조절이 프로그래머블하게 하기 위해서는 멀티플렉서 등의 별도의 회로가 필요하나, 상기와 같은 멀티플렉서에 의한 방식은 듀티의 조절을 다양하게 프로그램할 수 없는 단점이 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 듀티 제어의 정밀성 및 프로그래머블 특성을 개선한 듀티 제어회로 및 이를 구비하는 반도체 장치를 제공하는 것을 목적으로 한다.

과제 해결수단

[0005] 상기와 같은 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 듀티 제어회로는, 제1 노드를 통해 제공되는 입력 클록신호를 수신하고, 상기 입력 클록신호에 응답하여 제2 노드의 전압을 제1 레벨 또는 제2 레벨로 변동

시키는 클록 입력부 및 상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압에 각각 연결되는 복수의 스위치들을 포함하고, 상기 복수의 스위치들 각각으로 제공되는 제어신호에 응답하여 상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압을 상기 제2 노드로 전달하는 슬루(slew) 제어부를 구비하는 것을 특징으로 한다.

- [0006] 바람직하게는, 상기 클록 입력부는 상기 입력 클록신호를 인버팅하여 출력하는 인버터인 것을 특징으로 한다.
- [0007] 또한 바람직하게는, 상기 제1 레벨의 전압은 전원전압이며, 상기 제2 레벨의 전압은 접지전압인 것을 특징으로 한다.
- [0008] 한편, 상기 복수의 스위치들은, 상기 제1 레벨의 전압과 상기 제2 노드 사이에 병렬하게 연결되며, 상기 입력 클록신호가 로직 로우로 천이하는 경우 상기 제어신호에 응답하여 선택적으로 턴온됨으로써 상기 제1 레벨의 전압을 상기 제2 노드로 제공하는 것을 특징으로 한다.
- [0009] 바람직하게는, 상기 복수의 스위치들은, 서로 다른 사이즈(size)를 갖는 n 개의 PMOS 트랜지스터를 구비하며(단, n은 정수), 상기 제어신호에 응답하여 선택적으로 턴온됨에 따라 상기 제2 노드의 전압의 라이징 슬루 레이트(rising slew rate)를 조절하는 것을 특징으로 한다.
- [0010] 한편, 상기 복수의 스위치들은, 상기 제2 레벨의 전압과 상기 제2 노드 사이에 병렬하게 연결되며, 상기 입력 클록신호가 로직 하이로 천이하는 경우 상기 제어신호에 응답하여 선택적으로 턴온됨으로써 상기 제2 레벨의 전압을 상기 제2 노드로 제공하는 것을 특징으로 한다.
- [0011] 바람직하게는, 상기 복수의 스위치들은, 서로 다른 사이즈(size)를 갖는 n 개의 NMOS 트랜지스터를 구비하며(단, n은 정수), 상기 제어신호에 응답하여 선택적으로 턴온됨에 따라 상기 제2 노드의 전압의 폴링 슬루 레이트(falling slew rate)를 조절하는 것을 특징으로 한다.
- [0012] 한편, 상기 슬루(slew) 제어부는, 제1 전극이 상기 제1 레벨의 전압에 연결되고, 상기 입력 클록신호에 응답하여 스위칭되는 n 개의 제1 스위치들(단, n은 정수) 및 상기 n 개의 제1 스위치들의 제2 전극과 상기 제2 노드 사이에 각각 연결되며, 대응하는 제어신호에 응답하여 스위칭됨으로써 상기 n 개의 제1 스위치들의 제2 전극을 상기 제2 노드와 선택적으로 연결시키는 n 개의 제2 스위치들을 구비할 수 있다.
- [0013] 바람직하게는, 상기 n 개의 제1 스위치들은, 병렬하게 배치되며 상기 입력 클록신호에 응답하여 스위칭되는 제1 내지 제n PMOS 트랜지스터들을 구비하며, 상기 n 개의 제2 스위치들은, 상기 제1 내지 제n PMOS 트랜지스터들 각각에 연결되며 제1 내지 제n 제어신호 각각에 응답하여 스위칭이 제어되는 제(n+1) 내지 제2n PMOS 트랜지스터들을 구비하는 것을 특징으로 한다.
- [0014] 또한 바람직하게는, 상기 제1 내지 제n PMOS 트랜지스터들은 서로 다른 사이즈(size)를 가지고, 상기 제(n+1) 내지 제2n PMOS 트랜지스터들은 각각 상기 제1 내지 제n PMOS 트랜지스터들에 해당하는 사이즈를 가지며, 상기 슬루(slew) 제어부는, 제1 내지 제n 제어신호의 상태에 대응하여 상기 제2 노드의 전압의 라이징 슬루 레이트(rising slew rate)를 2^m 단계로 조절하는 것을 특징으로 한다.
- [0015] 한편, 상기 슬루(slew) 제어부는, 제1 전극이 상기 제2 레벨의 전압에 연결되고, 상기 입력 클록신호에 응답하여 스위칭되는 n 개의 제1 스위치들(단, n은 정수) 및 상기 n 개의 제1 스위치들의 제2 전극과 상기 제2 노드 사이에 각각 연결되며, 대응하는 제어신호에 응답하여 스위칭됨으로써 상기 n 개의 제1 스위치들의 제2 전극을 상기 제2 노드와 선택적으로 연결시키는 n 개의 제2 스위치들을 구비하는 것을 특징으로 한다.
- [0016] 바람직하게는, 상기 n 개의 제1 스위치들은, 병렬하게 배치되며 상기 입력 클록신호에 응답하여 스위칭되는 제1 내지 제n NMOS 트랜지스터들을 구비하며, 상기 n 개의 제2 스위치들은, 상기 제1 내지 제n NMOS 트랜지스터들 각각에 연결되며 제1 내지 제n 제어신호 각각에 응답하여 스위칭이 제어되는 제(n+1) 내지 제2n NMOS 트랜지스터들을 구비하는 것을 특징으로 한다.
- [0017] 또한 바람직하게는, 상기 슬루(slew) 제어부는, 상기 제1 내지 제n NMOS 트랜지스터들은 서로 다른 사이즈(size)를 가지고, 상기 제(n+1) 내지 제2n NMOS 트랜지스터들은 각각 상기 제1 내지 제n NMOS 트랜지스터들에 해당하는 사이즈를 가지며, 상기 슬루(slew) 제어부는, 상기 제1 내지 제n 제어신호의 상태에 대응하여 상기 제2 노드의 전압의 폴링 슬루 레이트(falling slew rate)를 2^m 단계로 조절하는 것을 특징으로 한다.
- [0018] 한편, 상기 듀티 제어회로는, 상기 제2 노드의 전압을 입력받아, 상기 제2 노드의 전압을 버퍼링하거나 인버팅하여 듀티 조절된 출력 클록신호를 발생하는 클록 출력부 및 상기 제2 노드의 전압의 슬루 레이트(slew rate)를

조절하기 위한 상기 제어신호를 발생하여 상기 슬루 제어부로 제공하는 제어신호 발생부를 더 구비할 수 있다.

[0019] 바람직하게는, 상기 듀티 제어회로는, 상기 출력 클록신호의 듀티에 응답하여 상기 제2 노드의 전압의 슬루 레이트(slew rate)가 조절되도록, 상기 출력 클록신호를 피드백받아 상기 출력 클록신호의 듀티를 검출하고 그 검출결과를 상기 제어신호 발생부로 제공하는 듀티 검출부를 더 구비할 수 있다.

[0020] 한편, 본 발명의 다른 실시예에 따른 듀티 제어회로는, 제1 노드를 통해 제공되는 입력 클록신호를 수신하고, 상기 제1 노드의 신호에 응답하여 제2 노드로 신호를 전달하는 제1 클록 입력부와, 제1 레벨의 전압에 각각 연결되는 복수의 제1 스위치들을 포함하고, 복수의 제1 제어신호들에 응답하여 상기 제1 스위치들을 선택적으로 스위칭하여, 선택된 스위치를 통해 상기 제1 레벨의 전압을 상기 제2 노드로 전달하는 제1 슬루(slew) 제어부와, 상기 제2 노드에 연결되며, 상기 제2 노드의 신호에 응답하여 제3 노드로 신호를 전달하는 제2 클록 입력부 및 제2 레벨의 전압에 각각 연결되는 복수의 제2 스위치들을 포함하고, 복수의 제2 제어신호들에 응답하여 상기 제2 스위치들을 선택적으로 스위칭하여, 선택된 스위치를 통해 상기 제2 레벨의 전압을 상기 제3 노드로 전달하는 제2 슬루(slew) 제어부를 구비하는 것을 특징으로 한다.

[0021] 한편, 본 발명의 일 실시예에 따른 반도체 장치는, 입력 클록신호의 듀티를 조절하여 출력 클록신호를 발생하는 듀티 제어회로를 포함하며, 상기 듀티 제어회로는 제1 노드를 통해 제공되는 입력 클록신호를 수신하고, 상기 입력 클록신호에 응답하여 제2 노드의 전압을 제1 레벨 또는 제2 레벨로 변동시키는 클록 입력부 및 상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압에 각각 연결되는 복수의 스위치들을 포함하고, 상기 복수의 스위치들 각각으로 제공되는 제어신호에 응답하여 상기 제1 레벨의 전압 또는 상기 제2 레벨의 전압을 상기 제2 노드로 전달하는 슬루(slew) 제어부를 구비하는 것을 특징으로 한다.

효과

[0022] 상기한 바와 같은 본 발명의 듀티 제어회로 및 반도체 장치에 따르면, 클록 신호의 듀티를 정밀하게 제어하고 듀티를 다양한 단계로 증가 또는 감소시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0023] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

[0024] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0025] 도 1은 본 발명의 일 실시예에 따른 듀티 제어회로를 나타내는 블록도이다. 상기 듀티 제어회로는 바람직하게는 반도체 장치에 구비되어 클록 신호의 듀티를 조절한다.

[0026] 도 1에 도시된 바와 같이 상기 듀티 제어회로(100)는 클록 입력부(110)와 슬루 제어부(120)를 구비한다. 클록 입력부(110)는 제1 노드(A)를 통해 제공되는 입력 클록신호(CLK1)를 수신하고, 상기 입력 클록신호(CLK1)에 응답하여 제2 노드(B)로 제1 레벨의 전압 또는 제2 레벨의 전압을 제공한다. 바람직하게는, 상기 제1 레벨의 전압은 전원전압(VDD)이고, 제2 레벨의 전압은 접지전압(VSS)일 수 있다. 일례로서, 클록 입력부(110)는 입력 클록신호(CLK1)를 수신하고 이를 인버팅하여 출력하는 인버터를 구비할 수 있다.

[0027] 슬루 제어부(120)는 상기 제1 레벨의 전압(일례로서, 전원전압(VDD))에 각각 연결되는 복수의 스위치들을 구비할 수 있다. 또는 상기 슬루 제어부(120)는 상기 제2 레벨의 전압(일례로서, 접지전압(VSS))에 각각 연결되는 복수의 스위치들(미도시)을 구비할 수 있다. 슬루 제어부(120)에 구비되는 상기 복수의 스위치들은 스위치들 각각으로 제공되는 제어신호(C[0:n-1])에 의해 스위칭이 제어된다. 상기 제어신호(C[0:n-1])의 상태에 따라 복수의 스위치들 중 일부의 스위치들이 턴온될 수 있으며, 턴온된 스위치들을 통하여 제1 레벨의 전압 또는 제2 레벨의 전압이 제2 노드(B)로 전달된다.

[0028] 입력 클록신호(CLK1)가 로직 하이에서 로직 로우로 천이함에 따라, 상기 입력 클록신호(CLK1)에 응답하여 제2 노드(B)의 전압은 접지전압(VSS)에서 전원전압(VDD)으로 상승한다. 이 경우, 슬루 제어부(120) 내에 구비되는 복수의 스위치들의 선택적인 스위칭 동작에 의하여, 적어도 하나의 전압 경로를 통하여 상기 제2 노드(B)로 전원전압(VDD)을 제공할 수 있다. 많은 수의 전압 경로를 통하여 제2 노드(B)로 전원전압(VDD)을 제공하면 제2 노드(B)의 전압의 라이징 슬루 레이트(rising slew rate)를 증가시킬 수 있다. 이에 따라 슬루 제어부(120) 내에 구비되는 복수의 스위치들의 스위칭 동작에 의하여 제2 노드(B)의 전압의 라이징 슬루 레이트의 조절이 가능하

다.

- [0029] 이와 유사하게, 입력 클럭신호(CLK1)가 로직 로우에서 로직 하이로 천이함에 따라, 상기 입력 클럭신호(CLK1)에 응답하여 제2 노드(B)의 전압은 전원전압(VDD)에서 접지전압(VSS)으로 하강한다. 슬루 제어부(120)는 접지전압(VSS)에 연결될 수 있으며, 상기와 같은 경우 슬루 제어부(120)내에 구비되는 복수의 스위치들의 선택적인 스위칭 동작에 의하여, 적어도 하나의 전압 경로를 통하여 상기 제2 노드(B)로 접지전압(VSS)을 제공할 수 있다. 많은 수의 전압 경로를 통하여 제2 노드(B)로 접지전압(VSS)을 제공하면 제2 노드(B)의 전압의 폴링 슬루 레이트(falling slew rate)를 증가시킬 수 있다. 이에 따라 슬루 제어부(120) 내에 구비되는 복수의 스위치들의 스위칭 동작에 의하여 제2 노드(B)의 전압의 폴링 슬루 레이트의 조절이 가능하다.
- [0030] 상기와 같은 라이징 슬루 레이트 또는 폴링 슬루 레이트의 조절을 위하여, 슬루 제어부(120)에 구비되는 복수의 스위치들은 서로 병렬하게 배치된다. 일례로서, 상기 슬루 제어부(120)가 제2 노드(B)의 전압의 라이징 슬루 레이트를 조절하는 경우, 상기 복수의 스위치들은 전원전압(VDD)과 제2 노드(B) 사이에 병렬하게 배치된다. 입력 클럭신호(CLK1)가 로직 하이에서 로직 로우로 천이하는 경우, 상기 복수의 스위치들 각각으로 제공되는 제어신호의 상태에 따라 스위치들 각각이 선택적으로 턴온된다. 선택된 스위치들을 통하여 전원전압(VDD)을 제2 노드(B)에 연결함으로써, 제2 노드(B)의 전압의 라이징 슬루 레이트를 조절한다.
- [0031] 이와 유사하게, 상기 슬루 제어부(120)가 제2 노드(B)의 전압의 폴링 슬루 레이트를 조절하는 경우, 상기 복수의 스위치들은 접지전압(VSS)과 제2 노드(B) 사이에 병렬하게 배치된다. 입력 클럭신호(CLK1)가 로직 로우에서 로직 하이로 천이하는 경우, 상기 복수의 스위치들 각각으로 제공되는 제어신호의 상태에 따라 스위치들 각각이 선택적으로 턴온된다. 선택된 스위치들을 통하여 접지전압(VSS)을 제2 노드(B)에 연결함으로써, 제2 노드(B)의 전압의 폴링 슬루 레이트를 조절한다.
- [0032] 한편, 상기 본 발명의 일실시예에 따른 듀티 제어회로(100)는 클럭 출력부(130)와 제어신호 발생부(140)를 더 구비할 수 있으며, 또한 듀티 검출부(150)를 더 구비할 수 있다. 클럭 출력부(130)는 인버터 또는 버퍼를 구비할 수 있으며, 제2 노드(B)의 전압을 입력받아 이를 인버팅하거나 버퍼링하고, 인버팅된 신호 또는 버퍼링된 신호를 듀티 조절된 출력 클럭신호(CLK2)로서 발생한다. 제어신호 발생부(140)는 슬루 제어부(120) 내에 구비되는 복수의 스위치들의 동작을 제어하기 위한 제어신호(C[0:n-1])를 발생하여 슬루 제어부(120)로 제공한다.
- [0033] 한편, 바람직하게는, 클럭 출력부(130)에서 발생하는 출력 클럭신호(CLK2)의 듀티를 검출하고, 상기 듀티를 검출한 결과에 따라 제2 노드(B)의 전압의 라이징 슬루 레이트 또는 폴링 슬루 레이트를 조절하여 듀티를 재조절할 수 있다. 이를 위하여 듀티 검출부(150)는 클럭 출력부(130)의 출력단과 연결되는 제3 노드(C)로부터 출력 클럭신호(CLK2)를 피드백받으며, 상기 출력 클럭신호(CLK2)의 듀티를 검출하여 그 검출결과를 제어신호 발생부(140)로 제공한다. 제어신호 발생부(140)는 듀티 검출결과에 기반하여 상기 제어신호(C[0:n-1])의 값을 변동한다.
- [0034] 상기와 같이 구성될 수 있는 듀티 제어회로(100)의 자세한 동작의 일례를 도 2 내지 도 5를 참조하여 설명하면 다음과 같다.
- [0035] 도 2는 도 1의 듀티 제어회로의 일 구현예를 나타내는 회로도이다. 특히 도 2의 듀티 제어회로는, 제2 노드(B)의 전압의 라이징 슬루 레이트를 증가시킴으로써 듀티를 조절하는 일례를 나타낸다.
- [0036] 도 2에 도시된 바와 같이, 상기 듀티 제어회로(100)는 클럭 입력부(110), 슬루 제어부(120) 및 클럭 출력부(130)를 구비할 수 있다. 상기 듀티 제어회로(100)는 도 1에서와 같이 제어신호 발생부 및 듀티 검출부를 더 구비할 수 있으나, 설명의 편의상 상기 구성의 도시는 생략하였다.
- [0037] 클럭 입력부(110)는 인버터를 구비하며, 상기 인버터는 전원전압(VDD)에 연결되는 PMOS 트랜지스터(MP0)와 접지전압(VSS)에 연결되는 NMOS 트랜지스터(MN0)를 구비한다. 클럭 입력부(110)는 입력 클럭신호(CLK1)를 인버팅하여 출력하며, 일례로서 입력 클럭신호(CLK1)가 로직 하이에서 로직 로우로 천이하는 경우 제2 노드(B)로 전원전압(VDD)을 제공하며, 입력 클럭신호(CLK1)가 로직 로우에서 로직 하이로 천이하는 경우 제2 노드(B)로 접지전압(VSS)을 제공한다.
- [0038] 한편 슬루 제어부(120)는 복수의 스위치들을 구비하며, 일례로서 슬루 제어부(120)는 n 개의 제1 스위치들(121)과 n 개의 제2 스위치들(122)을 구비한다. n 개의 제1 스위치들(121)은 제1 PMOS 트랜지스터(MP1_0) 내지 제n PMOS 트랜지스터(MP1_(n-1))을 구비할 수 있다. 상기 n 개의 제1 스위치들(121) 각각의 제1 전극은 전원전압(VDD)에 연결되며, 상기 n 개의 제1 스위치들(121)은 입력 클럭신호(CLK1)에 의해 공통적으로 제어된다.

- [0039] 한편 n 개의 제2 스위치들(122)은 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1))를 구비할 수 있으며, 도시된 바와 같이 상기 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1))는 상기 n 개의 제1 스위치들(121) 각각의 제2 전극과 제2 노드(B) 사이에 연결된다. n 개의 제2 스위치들(122)로는 각각 별도로 조절되는 n 개의 제어신호들(CH[0] 내지 CH[n-1])이 제공되며, n 개의 제2 스위치들(122)에 구비되는 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1)) 각각은 대응되는 제어신호에 응답하여 스위칭이 제어된다. 일례로서, 제(n+1) PMOS 트랜지스터(MP2_0)는 제어신호 CH[0]에 의해 스위칭이 제어되며, 제(n+2) PMOS 트랜지스터(MP2_1)는 제어신호 CH[1]에 의해 스위칭이 제어된다.
- [0040] 도 3은 도 2의 듀티 제어회로의 동작을 나타내는 파형도이다. 상기 도 2에 도시된 듀티 제어회로(100)의 동작을 도 3을 참조하여 설명하면 다음과 같다.
- [0041] 입력 클록신호(CLK1)가 로직 로우에서 로직 하이로 천이하여 제1 노드(A)의 전압 레벨이 상승하는 경우, 상기 입력 클록신호(CLK1)에 응답하여 n 개의 제1 스위치들(121)이 턴 오프된다. 이에 따라 제어신호들(CH[0] 내지 CH[n-1])의 상태와 무관하게 슬루 제어부(120)를 통하여 전원전압(VDD)이 제2 노드(B)로 제공되는 것이 차단된다.
- [0042] 한편, 입력 클록신호(CLK1)가 로직 하이에서 로직 로우로 천이하여 제1 노드(A)의 전압 레벨이 하강하는 경우, 상기 입력 클록신호(CLK1)에 응답하여 n 개의 제1 스위치들(121)이 턴 온된다. 또한 제어신호들(CH[0] 내지 CH[n-1])의 상태에 대응하여 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1)) 각각의 스위칭이 제어된다. 이에 따라, 상기 n 개의 제2 스위치들(122) 중 턴 온된 스위치들을 통하여 전원전압(VDD)이 제2 노드(B)로 제공된다.
- [0043] 바람직하게는, n 개의 제1 스위치들(121)에 구비되는 PMOS 트랜지스터들의 사이즈(size)를 각각 다르게 구현하고, 또한 n 개의 제2 스위치들(122)에 구비되는 PMOS 트랜지스터들의 사이즈를 각각 다르게 구현한다. 일례로서, 도 2에 도시된 바와 같이, n 개의 제1 스위치들(121)에 구비되는 제1 PMOS 트랜지스터(MP1_0) 내지 제n PMOS 트랜지스터(MP1_(n-1))의 면적이 각각 W, 2W, 4W, ..., $2^{n-1}W$ 값을 갖도록 한다. 또한 n 개의 제2 스위치들(122)에 구비되는 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1))의 면적이 각각 W, 2W, 4W, ..., $2^{n-1}W$ 값을 갖도록 한다. n 개의 제1 스위치들(121) 및 n 개의 제2 스위치들(122)의 사이즈를 상기와 같이 구현함으로써 상기 스위치들에 의한 턴 온 저항값을 2^n 단계로 조절할 수 있으며, 이에 따라 제2 노드(B)의 전압의 라이징 슬루 레이트를 2^n 단계로 조절할 수 있다.
- [0044] 일례로서, n 개의 제어신호들(CH[0] 내지 CH[n-1])의 값이 "000...00" 인 경우, 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1))는 모두 턴 온된다. 이에 따라 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1))에 대응하는 경로 모두를 통하여 제2 노드(B)로 전원전압(VDD)이 제공되므로, 제2 노드(B)의 라이징 슬루 레이트가 증가한다. 클록 출력부(130)는 상기 제2 노드(B)의 전압을 반전시켜 출력 클록신호(CLK2)를 발생한다. 도 3에 도시된 제3 노드(C)의 파형과 같이, 제2 노드(B)의 라이징 슬루 레이트가 증가함에 따라 출력 클록신호(CLK2)의 듀티는 감소한다.
- [0045] 반면에, n 개의 제어신호들(CH[0] 내지 CH[n-1])의 값이 "111...11" 인 경우, 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1))는 모두 턴 오프된다. 이에 따라 제(n+1) PMOS 트랜지스터(MP2_0) 내지 제2n PMOS 트랜지스터(MP2_(n-1))를 통하여 제2 노드(B)로 전원전압(VDD)이 제공되는 것이 차단되고, 제2 노드(B)의 라이징 슬루 레이트는 감소한다. 도 3에 도시된 제3 노드(C)의 파형과 같이, 제2 노드(B)의 라이징 슬루 레이트가 감소함에 따라 출력 클록신호(CLK2)의 듀티는 증가한다.
- [0046] n 개의 제어신호들(CH[0] 내지 CH[n-1])은 2^n 가지로 변화가 가능하며, 이에 따라 제2 노드(B)의 라이징 슬루 레이트 또한 2^n 가지로 변화가 가능하다. n 개의 제어신호들(CH[0] 내지 CH[n-1])의 값을 "000...00"에서 "111...11"으로 증가시킬수록 제2 노드(B)의 라이징 슬루 레이트가 점차 감소되며, 또한 출력 클록신호(CLK2)의 듀티를 2^n 단계로 증가시킬 수 있다.
- [0047] 상기한 바와 같이 본 발명의 일실시예에 따른 듀티 제어회로(100)는, 클록신호의 듀티를 프로그래머블하게 단계적으로 조절할 수 있으며 또한 듀티를 정밀하게 조절할 수 있다. 특히 출력 클록신호(CLK2)의 폴링 에지

(falling edge)의 슬루를 조절하여 듀티를 조절한다. 이에 따라 클록의 라이징 에지(rising edge)의 변동에 의하여 반도체 시스템 내에서 클록 레이턴시(clock latency)가 변하는 등의 문제를 방지할 수 있다.

[0048] 한편, 도 4는 도 1의 듀티 제어회로의 다른 구현예를 나타내는 회로도이다. 도 4의 듀티 제어회로는, 제2 노드(B)의 전압의 폴링 슬루 레이트를 증가시킴으로써 듀티를 조절하는 일례를 나타낸다.

[0049] 도 4에 도시된 바와 같이, 상기 듀티 제어회로(100)는 클록 입력부(110), 슬루 제어부(120) 및 클록 출력부(130)를 구비할 수 있다. 클록 입력부(110)는 제1 노드(A)를 통해 제공되는 입력 클록신호(CLK1)를 인버팅하여 출력하는 인버터를 구비할 수 있으며, 또한 클록 출력부(130)는 제2 노드(B)의 전압을 버퍼링하고 이를 출력 클록신호(CLK2)로서 제공하는 버퍼를 구비할 수 있다.

[0050] 한편 슬루 제어부(120)는 n 개의 제1 스위치들(121)과 n 개의 제2 스위치들(122)을 구비한다. n 개의 제1 스위치들(121)은 제1 NMOS 트랜지스터(MN1_0) 내지 제n NMOS 트랜지스터(MN1_(n-1))를 구비할 수 있다. 상기 n 개의 제1 스위치들(121) 각각의 제1 전극은 접지전압(VSS)에 연결되며, 상기 n 개의 제1 스위치들(121)은 입력 클록신호(CLK1)에 의해 공통적으로 제어된다.

[0051] 한편 n 개의 제2 스위치들(122)은 제(n+1) NMOS 트랜지스터(MN2_0) 내지 제2n NMOS 트랜지스터(MN2_(n-1))를 구비할 수 있으며, 도시된 바와 같이 상기 제(n+1) NMOS 트랜지스터(MN2_0) 내지 제2n NMOS 트랜지스터(MN2_(n-1))는 상기 n 개의 제1 스위치들(121) 각각의 제2 전극과 제2 노드(B) 사이에 연결된다. n 개의 제2 스위치들(122)로는 각각 별도로 조절되는 n 개의 제어신호들(CL[0] 내지 CL[n-1])이 제공되며, n 개의 제2 스위치들(122)에 구비되는 제(n+1) NMOS 트랜지스터(MN2_0) 내지 제2n NMOS 트랜지스터(MN2_(n-1)) 각각은 대응되는 제어신호에 응답하여 스위칭이 제어된다.

[0052] 도 5은 도 4의 듀티 제어회로의 동작을 나타내는 파형도이다. 상기 도 4에 도시된 듀티 제어회로(100)의 동작을 도 5를 참조하여 설명하면 다음과 같다.

[0053] 입력 클록신호(CLK1)가 로직 하이에서 로직 로우로 천이하여 제1 노드(A)의 전압 레벨이 하강하는 경우, 상기 입력 클록신호(CLK1)에 응답하여 n 개의 제1 스위치들(121)이 턴 오프된다. 이에 따라 제어신호들(CL[0] 내지 CL[n-1])의 상태와 무관하게 슬루 제어부(120)를 통하여 접지전압(VSS)이 제2 노드(B)로 제공되는 것이 차단된다.

[0054] 한편, 입력 클록신호(CLK1)가 로직 로우에서 로직 하이로 천이하여 제1 노드(A)의 전압 레벨이 상승하는 경우, 상기 입력 클록신호(CLK1)에 응답하여 n 개의 제1 스위치들(121)이 턴 온된다. 또한 n 개의 제2 스위치들(122)에 구비되는 제(n+1) NMOS 트랜지스터(MN2_0) 내지 제2n NMOS 트랜지스터(MN2_(n-1))는, 상기 제어신호들(CL[0] 내지 CL[n-1])의 상태에 따라 선택적으로 턴 온된다. 이에 따라 상기 n 개의 제2 스위치들(122) 중 턴 온된 스위치들을 통하여 접지전압(VSS)이 제2 노드(B)로 제공된다. 앞서 설명한 바와 같이 n 개의 제1 스위치들(121)은 서로 사이즈를 달리 구현하는 것이 바람직하며, 또한 n 개의 제2 스위치들(122)은 서로 그 사이를 달리 구현하는 것이 바람직하다.

[0055] 입력 클록신호(CLK1)가 로직 로우에서 로직 하이로 천이하고 n 개의 제1 스위치들(121)이 턴 온되는 경우, n 개의 제어신호들(CL[0] 내지 CL[n-1])의 상태에 대응하여 제2 노드(B)의 폴링 슬루 레이트가 조절된다. 일례로서, n 개의 제어신호들(CL[0] 내지 CL[n-1])의 값이 "000...00" 인 경우, 제(n+1) NMOS 트랜지스터(MN2_0) 내지 제2n NMOS 트랜지스터(MN2_(n-1)) 모두가 턴 오프된다. 이에 따라 제2 노드(B)의 폴링 슬루 레이트가 감소한다. 클록 출력부(130)는 상기 제2 노드(B)의 전압을 버퍼링하여 출력 클록신호(CLK2)를 발생한다. 도 5에 도시된 제3 노드(C)의 파형과 같이, 제2 노드(B)의 폴링 슬루 레이트가 감소함에 따라 출력 클록신호(CLK2)의 듀티는 증가한다.

[0056] 반면에, n 개의 제어신호들(CL[0] 내지 CL[n-1])의 값이 "111...11" 인 경우, 제(n+1) NMOS 트랜지스터(MN2_0) 내지 제2n NMOS 트랜지스터(MN2_(n-1))는 모두 턴 온된다. 이에 따라 제2 노드(B)의 폴링 슬루 레이트가 증가하고 출력 클록신호(CLK2)의 듀티는 감소하게 된다.

[0057] 도 4 및 도 5에 도시된 듀티 제어회로(100)의 특징에 따르면, 제2 노드(B)의 폴링 슬루 레이트 또한 2^n 가지로 변화가 가능하다. 따라서, n 개의 제어신호들(CL[0] 내지 CL[n-1])의 값을 "000...00"에서 "111...11"으로 증가시킬수록 제2 노드(B)의 폴링 슬루 레이트가 점차 증가하며, 또한 출력 클록신호(CLK2)의 듀티를 2^n 단계로 감소시킬 수 있다.

- [0058] 도 6은 본 발명의 다른 실시예에 따른 듀티 제어회로를 나타내는 블록도이다. 도 6에 도시된 본 발명의 일 실시예에 따른 듀티 제어회로(200)는, 제1 클록 입력부(210), 제1 슬루 제어부(220), 제2 클록 입력부(230), 제2 슬루 제어부(240) 및 클록 출력부(250)를 구비할 수 있다. 또한 상기 듀티 제어회로(200)는 제어신호 발생부(260) 및 듀티 검출부(270)를 더 구비할 수 있다. 상기 듀티 제어회로(200)에 구비되는 구성 요소들의 동작중 앞서 도 1에 도시된 구성과 동일한 것에 대해서는 그 동작 또한 유사하므로 이에 대한 자세한 설명은 생략한다.
- [0059] 제1 클록 입력부(210)는 제1 노드(A)를 통해 제공되는 입력 클록신호(CLK1)를 수신하고 이를 버퍼링하거나 인버팅하여 제2 노드(B1)로 제공한다. 바람직하게는 제1 클록 입력부(210)는 인버터를 구비하며, 입력 클록신호(CLK1)의 하강 천이에 응답하여 제2 노드(B1)로 전원전압(VDD)를 제공하며, 입력 클록신호(CLK1)의 상승 천이에 응답하여 제2 노드(B1)로 접지전압(VSS)를 제공한다.
- [0060] 제1 슬루 제어부(220)는 전원전압(VDD) 또는 접지전압(VSS)과 전기적으로 연결되어, 소정의 제1 제어신호(CH[0:n-1])에 응답하여 상기 전원전압(VDD) 또는 접지전압(VSS)을 제2 노드(B1)로 제공한다. 일례로서 제1 슬루 제어부(220)가 전원전압(VDD)에 전기적으로 연결되는 경우, 제1 슬루 제어부(220)는 상기 전원전압(VDD)과 제2 노드(B1) 사이에 병렬하게 배치되는 복수의 제1 스위치들을 구비한다. 상기 복수의 제1 스위치들은 제1 제어신호(CH[0:n-1])에 응답하여 선택적으로 스위칭되며, 선택된 스위치들을 통하여 상기 전원전압(VDD)이 제2 노드(B1)로 제공된다.
- [0061] 제2 클록 입력부(230)는 제2 노드(B1)의 신호를 입력받으며, 제2 노드(B1)의 신호에 응답하여 제3 노드(B2)로 신호를 전달한다. 일례로서, 제2 클록 입력부(230)는 제2 노드(B1)의 신호를 입력받아 이를 인버팅하거나 버퍼링하여 제3 노드(B2)로 출력한다. 바람직하게는, 제2 클록 입력부(230)는 제2 노드(B1)의 신호를 입력받아 이를 인버팅하여 출력하는 인버터를 구비할 수 있다.
- [0062] 제2 슬루 제어부(240)는 전원전압(VDD) 또는 접지전압(VSS)과 전기적으로 연결되며, 소정의 제2 제어신호(CL[0:n-1])에 응답하여 상기 전원전압(VDD) 또는 접지전압(VSS)을 제3 노드(B2)로 제공한다. 바람직하게는, 제1 슬루 제어부(220)가 전원전압(VDD)에 전기적으로 연결되는 경우, 제2 슬루 제어부(240)는 접지전압(VSS)에 전기적으로 연결된다. 제2 슬루 제어부(240)는 상기 접지전압(VSS)과 제3 노드(B2) 사이에 병렬하게 배치되는 복수의 제2 스위치들을 구비한다. 상기 복수의 제2 스위치들은 제2 제어신호(CL[0:n-1])에 응답하여 선택적으로 스위칭되며, 선택된 스위치들을 통하여 상기 접지전압(VSS)이 제3 노드(B2)로 제공된다.
- [0063] 클록 출력부(250)는 제3 노드(B2)의 신호를 입력받아 이를 버퍼링하거나 인버팅하여 출력한다. 상기 버퍼링 또는 인버팅된 신호를 듀티 조절된 출력 클록신호(CLK2)로서 발생한다. 또한 제어신호 발생부(260)는 제1 슬루 제어부(220) 내에 구비되는 복수의 제1 스위치들의 동작을 제어하기 위한 제1 제어신호(CH[0:n-1])를 발생하며, 제2 슬루 제어부(240) 내에 구비되는 복수의 제2 스위치들의 동작을 제어하기 위한 제2 제어신호(CL[0:n-1])를 발생한다.
- [0064] 한편, 상기 클록 출력부(250)에서 발생된 출력 클록신호(CLK2)의 듀티를 검출하여, 상기 검출 결과에 따라 제1 제어신호(CH[0:n-1]) 및 제2 제어신호(CL[0:n-1])를 적절히 조절할 필요가 있다. 이에 따라 듀티 검출부(270)는 클록 출력부(250)의 출력단에 연결되는 제4 노드(C)로부터 출력 클록신호(CLK2)를 피드백받으며, 상기 출력 클록신호(CLK2)의 듀티를 검출하여 그 검출결과를 제어신호 발생부(260)로 제공한다. 제어신호 발생부(260)는 듀티 검출결과에 기반하여 상기 제1 제어신호(CH[0:n-1]) 및 제2 제어신호(CL[0:n-1])의 값을 변동한다.
- [0065] 상기과 같이 구성될 수 있는 듀티 제어회로(200)의 자세한 동작을 도 7 및 도 8을 참조하여 설명한다. 도 7 및 도 8은 도 6의 듀티 제어회로(200)의 일 실시예를 나타내는 것으로서, 특히 제1 슬루 제어부(220)가 제2 노드(B3)의 전압의 라이징 슬루 레이트를 조절하고, 제2 슬루 제어부(240)가 제3 노드(B2)의 전압의 폴링 슬루 레이트를 조절하는 경우를 나타낸다. 그러나 본 발명의 실시예는 이에 한정되는 것이 아니다. 다른 동작의 일례로서, 제1 슬루 제어부(220)가 제2 노드(B3)의 전압의 폴링 슬루 레이트를 조절하고, 제2 슬루 제어부(240)가 제3 노드(B2)의 전압의 라이징 슬루 레이트를 조절하도록 구성하여도 무방하다.
- [0066] 도 7은 도 6의 듀티 제어회로의 일 구현예를 나타내는 회로도이다. 도 7에 도시된 바와 같이 제1 슬루 제어부(220)는, 제1 내지 제n PMOS 트랜지스터들(MP1_0 내지 MP1_(n-1))과, 제(n+1) 내지 제2n PMOS 트랜지스터들(MP2_0 내지 MP2_(n-1))을 구비한다. 또한 바람직하게는, 제1 내지 제n PMOS 트랜지스터들(MP1_0 내지 MP1_(n-1)) 각각의 사이즈를 다르게 구현하며, 또한 제(n+1) 내지 제2n PMOS 트랜지스터들(MP2_0 내지 MP2_(n-1)) 각각의 사이즈를 다르게 구현한다. 일례로서, 제1 내지 제n PMOS 트랜지스터들(MP1_0 내지 MP1_(n-1))의 면적이 각각 W, 2W, 4W, ..., 2^{n-1} W 값을 가지며, 또한 제(n+1) 내지 제2n PMOS 트랜지스터들(MP2_0 내지 MP2_(n-1))의

면적이 각각 $W, 2W, 4W, \dots, 2^{m-1}W$ 값을 갖는 경우를 나타낸다.

- [0067] 입력 클럭신호(CLK1)가 로직 하이에서 로직 로우로 천이하는 경우, 상기 입력 클럭신호(CLK1)에 응답하여 동작하는 제1 내지 제n PMOS 트랜지스터들(MP1_0 내지 MP1_(n-1))은 모두 턴 온된다. 한편, n 개의 제1 제어신호(CH[0:n-1]) 각각에 의하여 동작하는 제(n+1) 내지 제2n PMOS 트랜지스터들(MP2_0 내지 MP2_(n-1))은, 상기 제1 제어신호(CH[0:n-1])의 상태에 대응하여 선택적으로 턴 온된다. 일례로서 상기 제1 제어신호(CH[0:n-1])가 "000...00" 값을 갖는 경우 상기 제(n+1) 내지 제2n PMOS 트랜지스터들(MP2_0 내지 MP2_(n-1))은 모두 턴 온되며, 상기 제1 제어신호(CH[0:n-1])가 "111...11" 값을 갖는 경우 상기 제(n+1) 내지 제2n PMOS 트랜지스터들(MP2_0 내지 MP2_(n-1))은 모두 턴 오프된다.
- [0068] 상기 제1 제어신호(CH[0:n-1])의 값을 조절함으로써, 제2 노드(B1)의 전압의 라이징 슬루 레이트를 조절할 수 있다. 일례로서, 제1 제어신호(CH[0:n-1])의 값을 "000...00"으로부터 "111...11" 까지 조절함으로써, 상기 제2 노드(B1)의 전압의 라이징 슬루 레이트를 2^m 단계로 조절할 수 있다. 상기 제2 노드(B1)의 전압이 인버터로 구성되는 제2 클럭 입력부(230) 및 버퍼로 구성되는 클럭 출력부(250)를 거쳐 출력 클럭신호(CLK2)로서 제공되는 경우, 제1 제어신호(CH[0:n-1])의 값이 "000...00"으로부터 "111...11"로 증가함에 따라 출력 클럭신호(CLK2)의 듀티는 점차 증가한다. 즉, 듀티 제어회로(200)가 구비되는 반도체 장치의 초기 동작시 "000...00"에 해당하는 제1 제어신호(CH[0:n-1])가 발생되도록 하고, 상기 제1 제어신호(CH[0:n-1])의 값을 점차 증가시킴으로써 상기 출력 클럭신호(CLK2)의 듀티를 점차 증가시킬 수 있다.
- [0069] 한편, 상기 제2 노드(B1)의 전압은 제2 클럭 입력부(230)의 입력 신호로서 제공되며, 제2 클럭 입력부(230)는 제2 노드(B1)의 전압을 인버팅하여 제3 노드(B2)로 출력한다. 상기 제2 슬루 제어부(240)는 제1 내지 제n NMOS 트랜지스터들(MN1_0 내지 MN1_(n-1))과, 제(n+1) 내지 제2n NMOS 트랜지스터들(MN2_0 내지 MN2_(n-1))을 구비한다.
- [0070] 상기 제2 노드(B1)의 전압이 로직 로우에서 로직 하이로 천이하는 경우, 상기 제2 노드(B1)의 전압에 응답하여 동작하는 제1 내지 제n NMOS 트랜지스터들(MN1_0 내지 MN1_(n-1))은 모두 턴 온된다. 한편, n 개의 제2 제어신호(CL[0:n-1]) 각각에 의하여 동작하는 제(n+1) 내지 제2n NMOS 트랜지스터들(MN2_0 내지 MN2_(n-1))은, 상기 제2 제어신호(CL[0:n-1])의 상태에 대응하여 선택적으로 턴 온된다.
- [0071] 상기 제2 제어신호(CL[0:n-1])의 값을 조절함으로써, 제3 노드(B2)의 전압의 폴링 슬루 레이트를 조절할 수 있다. 일례로서, 제2 제어신호(CL[0:n-1])의 값을 "000...00"으로부터 "111...11" 까지 조절함으로써, 상기 제3 노드(B2)의 전압의 폴링 슬루 레이트를 2^m 단계로 조절할 수 있다. 제2 제어신호(CL[0:n-1])의 값이 "000...00"을 갖는 경우, 제(n+1) 내지 제2n NMOS 트랜지스터들(MN2_0 내지 MN2_(n-1))이 모두 턴 오프되므로, 상기 제3 노드(B2)의 전압의 폴링 슬루 레이트는 감소하며, 또한 출력 클럭신호(CLK2)의 듀티는 증가한다. 반면에, 제2 제어신호(CL[0:n-1])의 값이 "111...11"을 갖는 경우, 제(n+1) 내지 제2n NMOS 트랜지스터들(MN2_0 내지 MN2_(n-1))이 모두 턴 온되므로, 상기 제3 노드(B2)의 전압의 폴링 슬루 레이트는 증가하며, 또한 출력 클럭신호(CLK2)의 듀티는 감소한다.
- [0072] 즉, 듀티 제어회로(200)가 구비되는 반도체 장치의 초기 동작시 "000...00"에 해당하는 제2 제어신호(CL[0:n-1])가 발생되도록 하고, 상기 제2 제어신호(CL[0:n-1])의 값을 점차 증가시킴으로써 상기 출력 클럭신호(CLK2)의 듀티를 점차 감소시킬 수 있다.
- [0073] 도 8a,b는 도 6의 듀티 제어회로의 동작을 나타내는 파형도이다. 도 8a는 제1 슬루 제어부(220)에 의한 동작을 나타내며, 도 8b는 제2 슬루 제어부(240)에 의한 동작을 나타낸다. 도 8a에 도시된 바와 같이, 제1 제어신호(CH[0:n-1])가 "000...00"에서 "111...11"로 증가함에 따라, 제2 노드(B1)의 전압의 라이징 슬루 레이트는 점차 감소한다. 또한 제2 노드(B1)의 전압의 라이징 슬루 레이트가 감소함에 따라, 상기 제2 노드(B1)의 전압의 인버팅된 값에 대응하는 출력 클럭신호(CLK2)의 듀티는 점차 증가한다.
- [0074] 또한 도 8b에 도시된 바와 같이, 제2 제어신호(CL[0:n-1])가 "000...00"에서 "111...11"로 증가함에 따라, 제3 노드(B2)의 전압의 폴링 슬루 레이트는 점차 증가한다. 또한 제3 노드(B2)의 전압의 폴링 슬루 레이트가 증가함에 따라, 상기 제3 노드(B2)의 전압의 버퍼링된 값에 대응하는 출력 클럭신호(CLK2)의 듀티는 점차 감소한다.
- [0075] 상술한 바와 같은 도 6의 듀티 제어회로(200)에 따르면, 도 2에 도시된 듀티 제어회로에 대응하는 제1 듀티 제어회로와, 도 4에 도시된 듀티 제어회로에 대응하는 제2 듀티 제어회로가 서로 결합된 구조를 갖는다. 제1 듀티

제어회로의 클록 출력부와 제2 듀티 제어회로의 클록 입력부는 모두 인버터로 구현될 수 있으므로, 상기 도 6의 제2 클록 입력부(230)는 제1 듀티 제어회로 및 제2 듀티 제어회로에 의해 공유되도록 구성될 수 있다.

[0076] 상기 도 6의 듀티 제어회로(200)는 클록 신호의 듀티를 프로그래머블하게 증가시킬 수 있으며, 또한 프로그래머블하게 감소시킬 수 있다. 즉, 듀티 제어회로(200)가 포함되는 반도체 장치의 초기 동작시 제1 제어신호(CH[0:n-1]) 및 제2 제어신호(CL[0:n-1])가 각각 "000..00" 값을 갖도록 한다. 이후, 클록 신호의 듀티를 증가시키기 위해서는 제1 제어신호(CH[0:n-1])의 값을 점차 증가시킨다. 또한 클록 신호의 듀티를 감소시키기 위해서는 제2 제어신호(CL[0:n-1])의 값을 점차 증가시킨다.

[0077] 상기와 같이 구성되는 경우, 제1 제어신호(CH[0:n-1]) 및 제2 제어신호(CL[0:n-1])를 조절하는 것에 의하여, 클록 신호의 듀티를 정밀하게 조절할 수 있으며 또한 상기 듀티를 많은 수의 단계로 프로그래머블하게 조절할 수 있다. 또한 도 8a,b에 도시된 바와 같이, 듀티를 증가시키거나 감소시키는 어떠한 경우에도 출력 클록 신호의 라이징 에지(rising edge)의 기준은 변하지 않는다. 이에 따라 상기 듀티 제어회로가 구비되는 반도체 장치에서 듀티 조절로 인한 클록 레이턴시(clock latency) 변화 등의 문제가 발생하지 않게 된다.

[0078] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

[0079] 도 1은 본 발명의 일 실시예에 따른 듀티 제어회로를 나타내는 블록도이다.

[0080] 도 2는 도 1의 듀티 제어회로의 일 구현예를 나타내는 회로도이다.

[0081] 도 3은 도 2의 듀티 제어회로의 동작을 나타내는 파형도이다.

[0082] 도 4는 도 1의 듀티 제어회로의 다른 구현예를 나타내는 회로도이다.

[0083] 도 5는 도 4의 듀티 제어회로의 동작을 나타내는 파형도이다.

[0084] 도 6은 본 발명의 다른 실시예에 따른 듀티 제어회로를 나타내는 블록도이다.

[0085] 도 7은 도 6의 듀티 제어회로의 일 구현예를 나타내는 회로도이다.

[0086] 도 8a,b는 도 6의 듀티 제어회로의 동작을 나타내는 파형도이다.

[0087] * 도면의 주요부분에 대한 부호의 설명 *

[0088] 100: 듀티 제어회로

[0089] 110: 클록 입력부

[0090] 120: 슬루 제어부

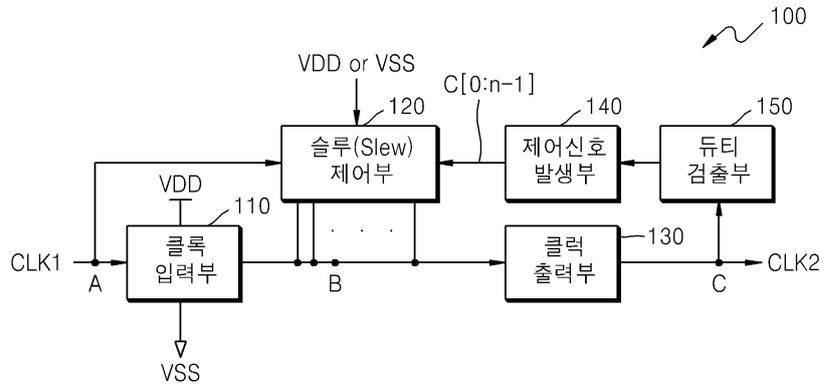
[0091] 130: 클록 출력부

[0092] 140: 제어신호 발생부

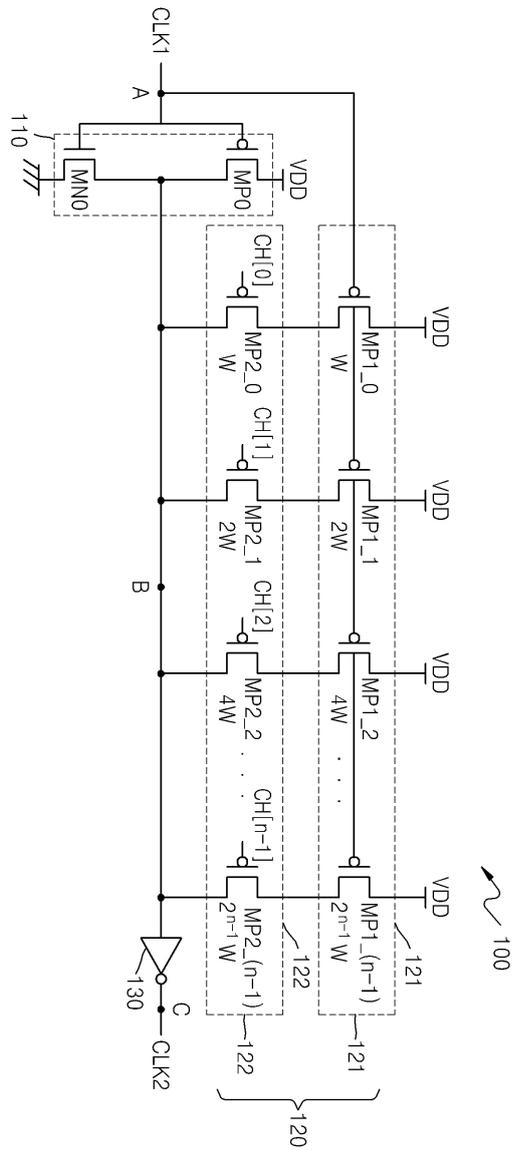
[0093] 150: 듀티 검출부

도면

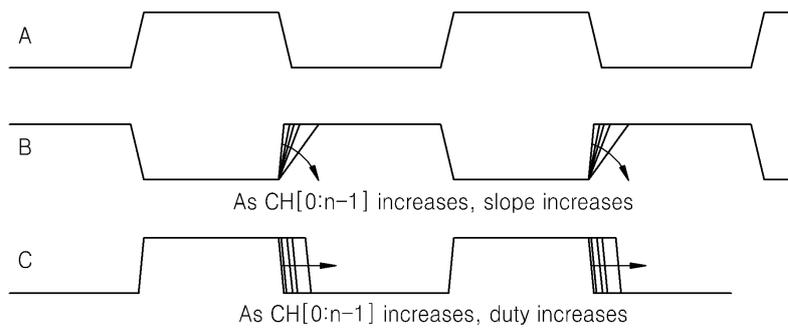
도면1



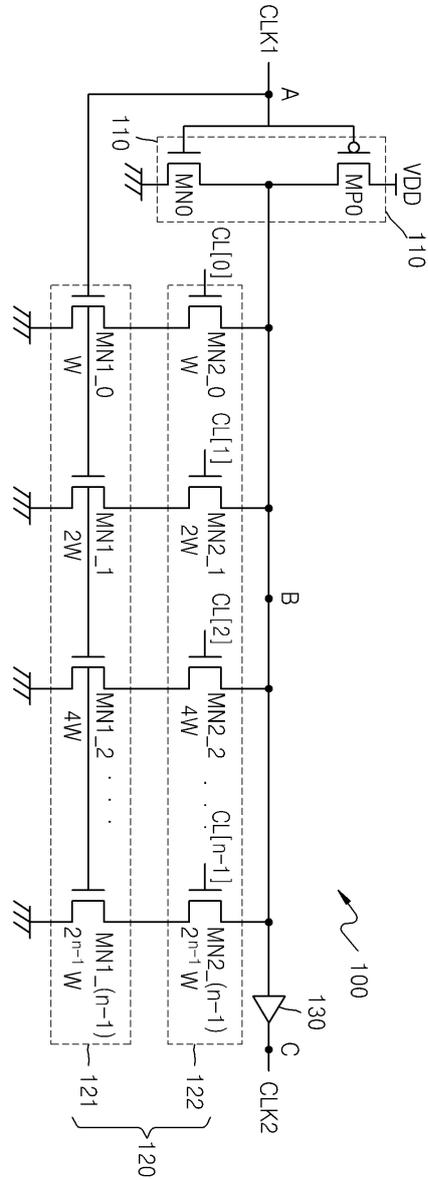
도면2



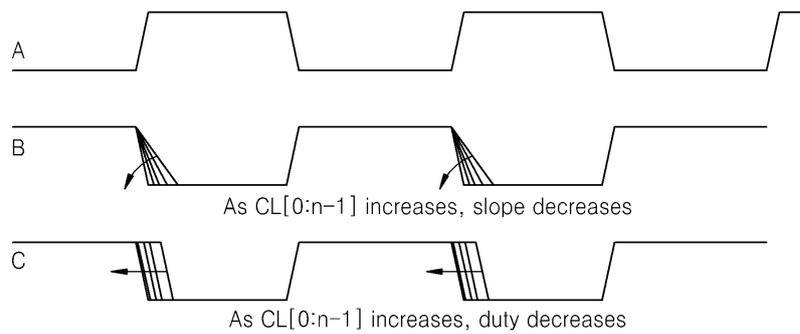
도면3



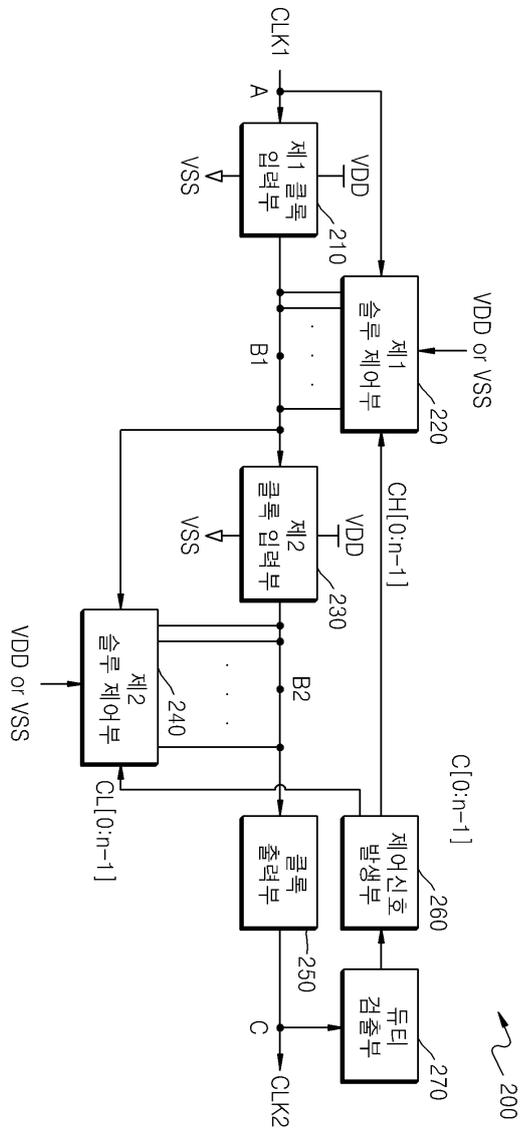
도면4



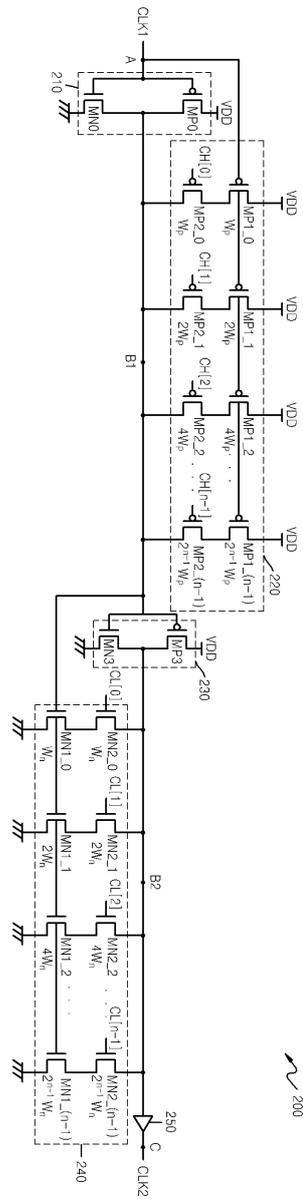
도면5



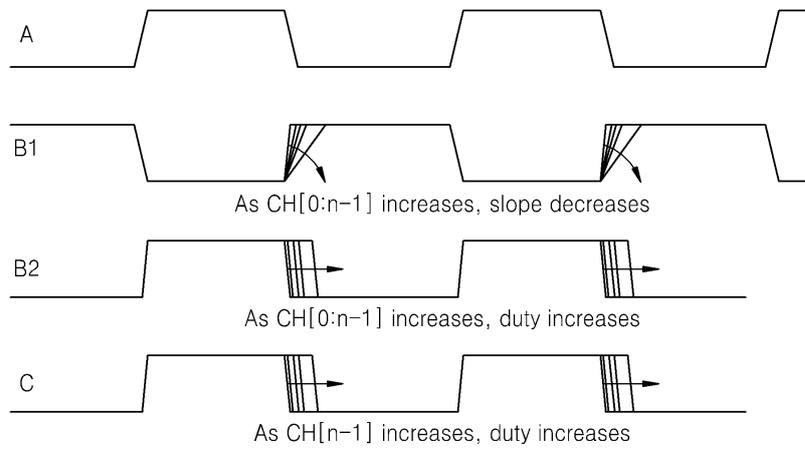
도면6



도면7



도면8a



도면8b

