



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I494931 B

(45) 公告日：中華民國 104 (2015) 年 08 月 01 日

(21) 申請案號：098141958 (22) 申請日：中華民國 98 (2009) 年 12 月 08 日  
 (51) Int. Cl. : G11C16/14 (2006.01) G11C16/06 (2006.01)  
 (30) 優先權：2008/12/11 美國 12/332,646  
 (71) 申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)  
 美國  
 (72) 發明人：李希強 LEE, SHIH-CHUNG (JP)；漢明克 葛瑞特 詹 HEMINK, GERRIT JAN  
 (NL)  
 (74) 代理人：黃章典  
 (56) 參考文獻：  
 TW I256644 US 7339834B2  
 US 7414891B2 US 2006/0044919A1  
 US 2006/0077714A1 US 2006/0250851A1  
 US 2008/0198662A1  
 審查人員：謝志偉  
 申請專利範圍項數：31 項 圖式數：16 共 68 頁

## (54) 名稱

記憶體之可適性抹除及軟性程式化

ADAPTIVE ERASE AND SOFT PROGRAMMING FOR MEMORY

## (57) 摘要

本發明揭示一種一非揮發性儲存裝置之抹除序列，其包含一抹除作業後跟一軟性程式化作業。該抹除作業(例如)經由一基板將一個或多個抹除脈衝施加至儲存元件直至滿足一抹除驗證位準。跟蹤抹除脈衝之數目且將其記錄為該儲存裝置已經歷之程式化-抹除循環之數目之一標記。該軟性程式化作業將軟性程式化脈衝施加至該等儲存元件直至滿足一軟性程式化驗證位準。基於抹除脈衝之該數目，藉由使驗證作業跳過特定數目個初始軟性程式化脈衝來縮短軟性程式化作業時間，該特定數目係抹除脈衝之該數目之一函數。同樣，可最佳化該軟性程式化作業之一特性，例如開始振幅、步長或脈衝持續時間。

An erase sequence of a non-volatile storage device includes an erase operation followed by a soft programming operation. The erase operation applies one or more erase pulses to the storage elements, e.g., via a substrate, until an erase verify level is satisfied. The number of erase pulses is tracked and recorded as an indicia of the number of programming-erase cycles which the storage device has experienced. The soft programming operation applies soft programming pulses to the storage elements until a soft programming verify level is satisfied. Based on the number of erase pulses, the soft programming operation time is shortened by skipping verify operations for a specific number of initial soft programming pulses which is a function of the number of erase pulses. Also, a characteristic of the soft programming operation can be optimized, such as starting amplitude, step size or pulse duration.

500 . . . 曲線

510 . . . 階梯

G1, G2, G3 . . .

群組

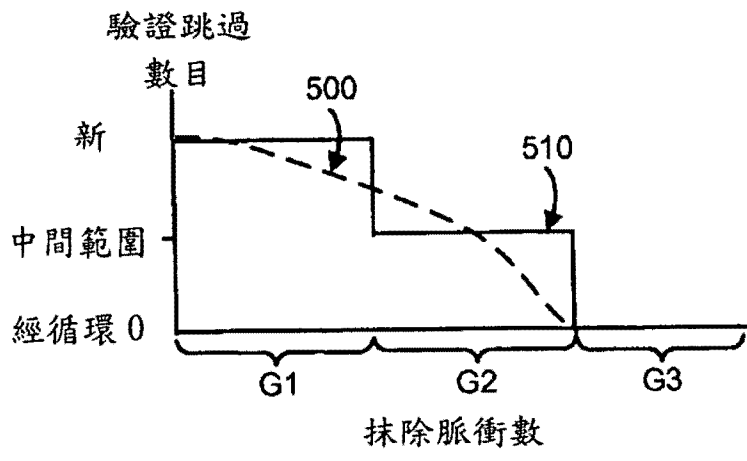
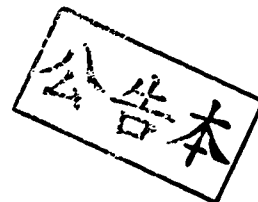


圖 5

# 發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98.4.19.8

※申請日： 98.12.8

※IPC分類：G11C 16/14 (2006.01)

G11C 16/06 (2006.01)

一、發明名稱：(中文/英文)

記憶體之可適性抹除及軟性程式化

ADAPTIVE ERASE AND SOFT PROGRAMMING FOR MEMORY

二、中文發明摘要：

本發明揭示一種一非揮發性儲存裝置之抹除序列，其包含一抹除作業後跟一軟性程式化作業。該抹除作業(例如)經由一基板將一個或多個抹除脈衝施加至儲存元件直至滿足一抹除驗證位準。跟蹤抹除脈衝之數目且將其記錄為該儲存裝置已經歷之程式化-抹除循環之數目之一標記。該軟性程式化作業將軟性程式化脈衝施加至該等儲存元件直至滿足一軟性程式化驗證位準。基於抹除脈衝之該數目，藉由使驗證作業跳過特定數目個初始軟性程式化脈衝來縮短軟性程式化作業時間，該特定數目係抹除脈衝之該數目之一函數。同樣，可最佳化該軟性程式化作業之一特性，例如開始振幅、步長或脈衝持續時間。

### 三、英文發明摘要：

An erase sequence of a non-volatile storage device includes an erase operation followed by a soft programming operation. The erase operation applies one or more erase pulses to the storage elements, e.g., via a substrate, until an erase verify level is satisfied. The number of erase pulses is tracked and recorded as an indicia of the number of programming-erase cycles which the storage device has experienced. The soft programming operation applies soft programming pulses to the storage elements until a soft programming verify level is satisfied. Based on the number of erase pulses, the soft programming operation time is shortened by skipping verify operations for a specific number of initial soft programming pulses which is a function of the number of erase pulses. Also, a characteristic of the soft programming operation can be optimized, such as starting amplitude, step size or pulse duration.

**四、指定代表圖：**

(一)本案指定代表圖為：第 ( 5 ) 圖。

(二)本代表圖之元件符號簡單說明：

500 曲線

510 階梯

G1, G2, G3 群組

**五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於非揮發性記憶體。

### 【先前技術】

半導體記憶體已變得越來越普遍地用於各種電子裝置中。舉例而言，非揮發性半導體記憶體用於蜂巢式電話、數位相機、個人數位助理、行動計算裝置、非行動計算裝置及其他裝置中。電可抹除可程式化唯讀記憶體 (EEPROM) 及快閃記憶體在最受歡迎之非揮發性半導體記憶體中。與傳統全功能型 EEPROM 相比，關於快閃記憶體 (其亦係一類 EEPROM)，可在一個步驟中抹除整個記憶體陣列或記憶體之一部分之內容。

傳統 EEPROM 與快閃記憶體兩者皆利用一浮動閘極，該浮動閘極係定位於一半導體基板中之一通道區域上方並與該通道區域絕緣。該浮動閘極係定位於源極與汲極區域之間。一控制閘極提供於該浮動閘極上方並與該浮動閘極絕緣。因此形成之電晶體之臨限電壓 ( $V_{TH}$ ) 係由該浮動閘極上所保持之電荷量控制。亦即，在接通電晶體以准許其源極與汲極之間的傳導之前所必須施加至控制閘極之最小電壓量係由浮動閘極上之電荷位準控制。

某些 EEPROM 及快閃記憶體裝置具有用於儲存兩個電荷範圍之一浮動閘極，且因此可在兩個狀態 (例如一經抹除狀態及一經程式化狀態) 之間程式化/抹除記憶體元件。有時將此一快閃記憶體裝置稱為一二進制快閃記憶體裝置，

此乃因每一記憶體元件可儲存一個資料位元。

藉由識別多個不同的所允許/有效之經程式化臨限電壓範圍來實施一多狀態(亦稱為多位階)快閃記憶體裝置。每一不同的臨限值電壓範圍對應於在記憶體裝置中編碼之資料位元集之一預定值。舉例而言，當每一記憶體元件可放置於對應於四個不同的臨限電壓範圍之四個離散電荷帶中之一者中時，該元件可儲存兩個資料位元。

通常，在一程式化作業期間施加至該控制閘極之一程式化電壓  $V_{PGM}$  係施加為量值隨時間增加之一系列脈衝。在一個可能方法中，該等脈衝之量值隨每一連續脈衝增加一預定步長(例如，0.2至0.4 V)。可將  $V_{PGM}$  施加至快閃記憶體元件之控制閘極。在程式化脈衝之間的週期中，實施驗證作業。亦即，在連續程式化脈衝之間讀取正並行程式化之一元件群組中之每一元件之程式化位準以確定其是等於還是大於該元件正被程式化至之一驗證位準。對於多狀態快閃記憶體元件陣列，可針對一元件之每一狀態執行一驗證步驟以確定該元件是否已達到其資料相關聯驗證位準。舉例而言，能夠將資料儲存於四個狀態中之一多狀態記憶體元件可需要針對三個比較點執行驗證作業。

此外，當程式化一EEPROM或快閃記憶體裝置(諸如一NAND串中之一NAND快閃記憶體裝置)時，通常將  $V_{PGM}$  施加至控制閘極並將位元線接地，從而致使來自一單元或記憶體元件(例如，儲存元件)之通道之電子注入至浮動閘極中。當電子在該浮動閘極中累積時，該浮動閘極變為帶負

電荷且該記憶體元件之臨限電壓升高以使得該記憶體元件被視為處於一經程式化狀態中。

在一儲存元件組可被程式化之前，在一抹除序列中抹除該儲存元件組，該抹除序列包含一抹除作業及一軟性程式化作業。該抹除作業包含施加一高基板電壓，其將電荷抽離經程式化儲存元件之浮動閘極。隨後，在軟性程式化中，該等儲存元件之臨限電壓變窄且升高至與一經抹除狀態相關聯之一位準。然而，該抹除序列可頗耗時。

### 【發明內容】

本發明藉由提供用於在一抹除序列期間改良一記憶體裝置之效能之技術來解決上述及其他問題。

在一個實施例中，一種用於運作非揮發性儲存器之方法包含：將一個或多個抹除脈衝施加至一非揮發性儲存元件組直至滿足一第一驗證條件；及確定所施加之該等抹除脈衝之一計數。該方法進一步包含將一定數目  $N_{\text{SPGM-SKIP}}$  個不執行驗證作業之一個或多個軟性程式化脈衝施加至該非揮發性儲存元件組，其中該數目  $N_{\text{SPGM-SKIP}}$  係基於該計數。該方法進一步包含隨後將一個或多個額外軟性程式化脈衝施加至該非揮發性儲存元件組直至滿足一第二驗證條件，該一個或多個額外軟性程式化脈衝中之每一軟性程式化脈衝後跟一驗證作業。

在另一實施例中，一種用於運作非揮發性儲存器之方法包含：執行一抹除序列之一抹除作業，包含將一個或多個抹除脈衝施加至一非揮發性儲存元件組直至滿足一抹除驗



證條件；確定所施加之該等抹除脈衝之一計數；及執行該抹除序列之一軟性程式化作業，包含將一個或多個軟性程式化脈衝施加至該非揮發性儲存元件組直至滿足一軟性程式化驗證條件。基於該計數設定該一個或多個軟性程式化脈衝之一特性。

在另一實施例中，一種用於運作非揮發性儲存器之方法包含：在一第一抹除作業中，將一個或多個抹除脈衝施加至一非揮發性儲存元件組直至滿足一第一驗證條件。該方法進一步包含：確定該第一抹除作業中所施加之該等抹除脈衝之一計數；及在該第一抹除作業之後，執行一第二抹除作業，其包含施加一定數目  $N_{\text{ERASE-SKIP}}$  個不執行一驗證作業之一個或多個抹除脈衝，其中  $N_{\text{ERASE-SKIP}}$  係基於該計數，且隨後施加一個或多個額外抹除脈衝。該一個或多個額外抹除脈衝中之每一抹除脈衝後跟一驗證作業。

在另一實施例中，一種非揮發性儲存器包含一非揮發性儲存元件組及一個或多個控制電路。該一個或多個控制電路將一個或多個抹除脈衝施加至一非揮發性儲存元件組直至滿足一第一驗證條件，且確定所施加之該等抹除脈衝之一計數。該一個或多個控制電路進一步將一定數目  $N_{\text{SPGM-SKIP}}$  個不執行驗證作業之一個或多個軟性程式化脈衝施加至該非揮發性儲存元件組，其中該數目  $N_{\text{SPGM-SKIP}}$  係基於該計數。該一個或多個控制電路隨後將一個或多個額外軟性程式化脈衝施加至該非揮發性儲存元件組直至滿足一第二驗證條件。該一個或多個額外軟性程式化脈衝中之每一軟性

程式化脈衝後跟一驗證作業。

亦可提供具有用於執行本文中所提供之方法之可執行程式碼之對應方法、系統及電腦可讀或處理器可讀儲存裝置。

### 【實施方式】

本發明提供用於在一抹除序列期間改良一記憶體裝置之效能之技術。

適於實施本發明之一記憶體系統之一個實例使用 NAND 快閃記憶體結構，該 NAND 快閃記憶體結構包含在兩個選擇閘極之間串聯配置多個電晶體。該等串聯電晶體及該等選擇閘極稱為一 NAND 串。圖 1a 係顯示一個 NAND 串之一俯視圖。圖 1b 係其一等效電路圖。圖 1a 及 1b 中所繪示之 NAND 串包含串聯且夾在一第一選擇閘極 120 與一第二選擇閘極 122 之間的四個電晶體 100、102、104 及 106。選擇閘極 120 閘控至位元線 126 之 NAND 串連接。選擇閘極 122 閘控至源極線 128 之 NAND 串連接。藉由向控制閘極 120CG 施加恰當之電壓來控制選擇閘極 120。藉由向控制閘極 122CG 施加恰當之電壓來控制選擇閘極 122。電晶體 100、102、104 及 106 中之每一者皆具有一控制閘極及一浮動閘極。電晶體 100 具有控制閘極 100CG 及浮動閘極 100FG。電晶體 102 包含控制閘極 102CG 及浮動閘極 102FG。電晶體 104 包含控制閘極 104CG 及浮動閘極 104FG。電晶體 106 包含一控制閘極 106CG 及浮動閘極 106FG。控制閘極 100CG 連接至 (或係) 字線 WL3，控制閘極 102CG 連接至字線 WL2，控制

閘極 104CG 連接至字線 WL1，且控制閘極 106CG 連接至字線 WL0。在一個實施例中，電晶體 100、102、104 及 106 每一者為儲存元件(亦稱為記憶體單元)。在其他實施例中，該等儲存元件可包含多個電晶體或可與圖 1a 及 1b 中所繪示之儲存元件不同。選擇閘極 120 連接至選擇線 SGD。選擇閘極 122 連接至選擇線 SGS。

圖 1c 係繪示三個 NAND 串之一電路圖。使用一 NAND 結構之一快閃記憶體系統之一典型架構將包含數個 NAND 串。舉例而言，在具有更多 NAND 串之一記憶體陣列中顯示三個 NAND 串 320、340 及 360。該等 NAND 串中之每一者包含兩個選擇閘極及四個儲存元件。雖然為簡明起見而圖解說明四個儲存元件，但現代 NAND 串可具有多達(例如)三十二個或六十四個儲存元件。

舉例而言，NAND 串 320 包含選擇閘極 322 及 327 以及儲存元件 323 至 326，NAND 串 340 包含選擇閘極 342 及 347 以及儲存元件 343 至 346，NAND 串 360 包含選擇閘極 362 及 367 以及儲存元件 363 至 366。每一 NAND 串藉由其選擇閘極(例如，選擇閘極 327、347 或 367)連接至源極線。一選擇線 SGS 用於控制源極側選擇閘極。各種 NAND 串 320、340 及 360 藉由選擇閘極 322、342、362 等中之選擇電晶體而連接至各別位元線 321、341 及 361。此等選擇電晶體由一汲極選擇線 SGD 控制。在其他實施例中，該等選擇線未必需要在該等 NAND 串中共用；亦即，可為不同 NAND 串提供不同選擇線。字線 WL3 連接至儲存元件 323、343 及 363 之控制閘

極。字線 WL2 連接至儲存元件 324、344 及 364 之控制閘極。  
極。字線 WL1 連接至儲存元件 325、345 及 365 之控制閘極。  
極。字線 WL0 連接至儲存元件 326、346 及 366 之控制閘極。  
極。如圖可見，每一位元線及各別 NAND 串包括儲存元件陣列或組之行。該等字線 (WL3、WL2、WL1 及 WL0) 包括該陣列或組之列。每一字線連接該列中每一儲存元件之控制閘極。或者，該等控制閘極可由該等字線自身提供。舉例而言，字線 WL2 提供儲存元件 324、344、364 之控制閘極。實際上，在一字線上可存在數千個儲存元件。

每一儲存元件皆可儲存資料。舉例而言，當儲存一個數位資料位元時，儲存元件之可能臨限電壓 ( $V_{TH}$ ) 之範圍被劃分為指派邏輯資料「1」及「0」之兩個範圍。在一 NAND 類型快閃記憶體之一個實例中，在抹除該儲存元件之後， $V_{TH}$  為負且被界定為邏輯「1」。在一程式化作業之後， $V_{TH}$  為正且被界定為邏輯「0」。當  $V_{TH}$  為負且嘗試一讀取時，該儲存元件將接通以指示正儲存邏輯「1」。當  $V_{TH}$  為正且嘗試一讀取作業時，該儲存元件將不接通，此指示已儲存邏輯「0」。一儲存元件亦可儲存多個資訊位準，例如，多個數位資料位元。在此情形中，將  $V_{TH}$  值之範圍劃分為資料位準之數目。舉例而言，若儲存四個資訊位準，則將存在指派給資料值「11」、「10」、「01」及「00」之四個  $V_{TH}$  範圍。在一 NAND 類型記憶體之一個實例中，在一抹除作業之後， $V_{TH}$  為負且被界定為「11」。正  $V_{TH}$  值用於狀態「10」、「01」及「00」。程式化至儲

存元件中之資料與該元件之臨限電壓範圍之間的具體關係相依於針對該等儲存元件所採納之資料編碼方案。

當程式化一快閃儲存元件時，將一程式化電壓施加至該儲存元件之控制閘極，且將與該儲存元件相關聯之位元線接地。將來自通道之電子注入至該浮動閘極中。當電子在該浮動閘極中累積時，該浮動閘極會變得帶負電荷且該儲存元件之 $V_{TH}$ 升高。為將該程式化電壓施加至正被程式化之儲存元件之控制閘極，將彼程式化電壓施加於恰當之字線上。如上文所論述，NAND串中之每一者中之一個儲存元件共享同一字線。舉例而言，當程式化圖1c之儲存元件324時，亦將該程式化電壓施加至儲存元件344及364之控制閘極。

圖2繪示形成於一基板上之一NAND串之一橫截面圖。該視圖被簡化且未按比例繪製。NAND串400包含形成於一基板438上之一源極側選擇閘極406、一汲極側選擇閘極424及八個儲存元件408、410、412、414、416、418、420及422。若干源極/汲極區域(其一個實例係源極/汲極區域430)係提供於每一儲存元件之任一側與選擇閘極406及424上。在一個方法中，基板438採用一三重井技術，其包含位於n-井區域434內之一p-井區域432，該n-井區域又位於一p型基板區域436內。NAND串及其非揮發性儲存元件可至少部分地形成於該p-井區域上。除具有一電位 $V_{BL}$ 之一位元線426之外，亦提供具有一電位 $V_{SOURCE}$ 之一源極供應線404。電壓(例如體偏壓電壓)亦可經由一端子402施加至

p-井區域432及/或經由一端子403施加至n-井區域434。

在一程式化作業期間，將一控制閘極電壓 $V_{PGM}$ 提供於一選定字線上，在此實例中與儲存元件414相關聯之WL3。此外，想起一儲存元件之控制閘極可提供為該字線之一部分。舉例而言，WL0、WL1、WL2、WL3、WL4、WL5、WL6及WL7可分別經由儲存元件408、410、412、414、416、418、420及422之控制閘極延伸。在一個可能升壓方案中，將一通過電壓 $V_{PASS}$ 施加至與NAND串400相關聯之剩餘字線。將 $V_{SGS}$ 及 $V_{SGD}$ 分別係施加至選擇閘極406及424。在一抹除作業期間，將高的正電壓脈衝施加至基板436以將電荷抽離該等儲存元件之浮動閘極。

圖3繪示一經抹除狀態及較高資料狀態之臨限電壓分佈。x軸指示一臨限電壓且y軸指示儲存元件之一數目。在此實例中，存在四個資料狀態：一經抹除(E)狀態442、一A狀態444、一B狀態446及一C狀態448。亦期盼具有額外資料狀態(例如，八個或十六個資料狀態)之記憶體裝置變得更為普遍。一抹除序列包含一抹除作業及一軟性程式化作業。通常，當儲存元件被過度抹除而超過抹除狀態442時，在該抹除作業之後實現分佈440。在該抹除作業中，將一個或多個抹除脈衝施加至該基板直至正被抹除之儲存元件之臨限電壓轉變為低於一抹除驗證位準 $V_{ERASE-VERIFY}$ 。此轉變係由指向左之箭頭表示。一旦完成了該抹除作業，即執行軟性程式化作業，其中將若干正電壓脈衝(例如經由一字線)施加至該等儲存元件之控制閘極以將分佈440中

接近於且低於一軟性程式化 (SPGM) 驗證位準  $V_{\text{SPGM-VERIFY}}$  之某些或所有儲存元件之臨限電壓增加至經抹除狀態 442。舉例而言，某一分數之儲存元件可經軟性程式化以具有高於  $V_{\text{SPGM-VERIFY}}$  之一  $V_{\text{TH}}$ ，從而使其他儲存元件具有接近於  $V_{\text{SPGM-VERIFY}}$  但低於  $V_{\text{SPGM-VERIFY}}$  之一  $V_{\text{TH}}$ 。此轉變由指向右之箭頭表示。 $V_{\text{SPGM-VERIFY}}$  通常高於或等於  $V_{\text{ERASE-VERIFY}}$ 。軟性程式化作業有利地導致一窄的抹除狀態分佈 442。一旦完成了該軟性程式化作業，即可發生至較高資料狀態之程式化，例如使用驗證位準  $V_{\text{VERIFY-A}}$ 、 $V_{\text{VERIFY-B}}$  及  $V_{\text{VERIFY-C}}$  分別程式化至狀態 A、B 及 C。一後續讀取作業可使用位準  $V_{\text{READ-A}}$ 、 $V_{\text{READ-B}}$  及  $V_{\text{READ-C}}$ 。

應注意， $V_{\text{ERASE-VERIFY}}$  與  $V_{\text{SPGM-VERIFY}}$  可相同或不同。同樣，該非揮發性儲存元件組在滿足第一驗證條件  $V_{\text{ERASE-VERIFY}}$  時具有至少部分地低於經抹除狀態 442 之第一臨限電壓分佈 440，且在滿足第二驗證條件  $V_{\text{SPGM-VERIFY}}$  時具有處於經抹除狀態之一第二較緊密臨限電壓分佈 442。

圖 4 繪示一非揮發性儲存元件組隨程式化-抹除循環之一數目變化之一行為。當一記憶體裝置隨時間經歷程式化及抹除循環時，其效能改變。舉例而言，可期盼一記憶體裝置生存 10,000 個或更多個循環。通常，完成抹除作業所需要之抹除脈衝或循環之數目增加 (曲線 452)，而完成軟性程式化作業所需要之軟性程式化脈衝或循環之數目減少 (曲線 450)。 $V_{\text{ERASE}}$  (例如，見圖 7a 及 7b) 及  $V_{\text{SPGM}}$  (例如，見圖 8a 至 8f) 之值通常在晶粒分類期間修整為對每一裝置皆為最佳

之預定值。通常， $V_{ERASE}$ 修整得足夠高以使得可在裝置為新裝置時僅以一個抹除脈衝抹除該等儲存元件。 $V_{SPGM}$ 修整得足夠低以使得軟性程式化需要一定數目個脈衝。 $V_{ERASE-VERIFY}$ 及 $V_{SPGM-VERIFY}$ 通常係設定為預定值。當在每一軟性程式化脈衝之後執行一驗證作業時，該軟性程式化消耗一顯著量的時間。此外，該驗證作業可涉及奇數及偶數編號之位元線之儲存元件之單獨驗證，從而進一步增加驗證時間。因此，未最佳化抹除序列之效能，尤其對於其中施加相對高數目個軟性程式化脈衝及相關聯驗證脈衝之低及中間範圍的數目個循環而言。

圖 5 繪示軟性程式化驗證跳過與抹除脈衝之數目之一關係。x 軸指示抹除脈衝之一數目且 y 軸指示驗證跳過之一數目。為減少由抹除序列(且特定而言由軟性程式化作業)所消耗之時間，可基於在抹除作業期間所使用之抹除脈衝之數目跳過若干初始驗證作業。抹除脈衝之該數目充當該記憶體裝置之循環數目之一指示符。然而，與循環數目相比，抹除脈衝之數目係裝置條件之一更準確指示符，此乃因其反映記憶體裝置之實際當前行為，此可不與基於一循環計數之一所期盼行為相關，乃因具有相同或類似循環計數之不同裝置可具有不同效能。然而，亦可使用一循環計數。

特定而言，曲線 500 指示可依據所量測之經抹除脈衝之數目設定之驗證跳過之一數目之一關係。階梯 510 允許抹除脈衝之數目轉化為(例如)三個群組 G1、G2 及 G3 中驗證



跳過之離散位準之一數目。作為一實例，G1可表示與第一數目個驗證跳過(例如，十個跳過)相關聯之一個抹除脈衝，G2可表示與第二數目個驗證跳過(例如，五個跳過)相關聯之二至四個抹除脈衝，且G3可表示與第三數目個驗證跳過(例如，零個跳過)相關聯之五或六個抹除脈衝。群組G1對應於(例如)具有0至c1個循環之一範圍之一新裝置或早期使用壽命裝置，對於該新裝置或早期使用壽命裝置而言大量驗證跳過為恰當的。群組G2對應於(例如)具有c1至c2個循環之一範圍之一中間範圍或中期使用壽命裝置，對於該中間範圍或中期使用壽命裝置而言中間範圍數目個驗證跳過為恰當。群組G3對應於(例如)具有c2至c3個循環或多於c2個循環之一範圍之一經循環或晚期使用壽命裝置，對於該經循環或晚期使用壽命裝置而言零或小數目個驗證跳過為恰當的。變數c1、c2及c3表示一裝置所特有之數目。

亦可使驗證跳過之一數目與抹除脈衝之每一不同數目相關聯。記憶體裝置可經修正以包含跟蹤抹除脈衝之數目且維持用於使驗證跳過之一數目與抹除脈衝之一數目相關聯之一表或公式之能力。一查找功能可用於查找對應於抹除脈衝之一數目之驗證跳過之一數目。此外，可針對一記憶體裝置中(例如，包含多個儲存元件層級之裝置中)之不同非揮發性儲存元件(例如，不同字線、區塊、陣列及平面)組建立(a)驗證跳過之數目與(b)抹除脈衝之數目之一不同關係。此為恰當的，此乃因不同組可經歷不同數目個循環

及/或甚至在經歷共同數目個循環時具有不同行為。或者，可針對整個記憶體裝置建立一共同驗證跳過與抹除脈衝關係。舉例而言，可在位於記憶體晶片外部或該晶片上之一控制器記憶體中實施恰當之資料結構及控制邏輯。

應將驗證跳過之數目設定為使得其盡可能地高以導致最大之時間節省，同時足夠低以使得該記憶體裝置在被施以驗證跳過時不達到驗證位準。可根據實驗確定驗證跳過之最佳數目，例如藉由使抹除脈衝之數目與致使儲存元件轉變為超過軟性程式化驗證位準之第一軟性程式化脈衝之識別相關，且提供低於彼經識別脈衝之脈衝之一裕量。舉例而言，對於新裝置，若平均十二個軟性程式化脈衝致使儲存元件轉變為超過該軟性程式化驗證位準，則驗證跳過之數目可設定為十，例如，十二減去裕量二。可測試記憶體裝置之一數目以獲得統計度量(例如致使儲存元件轉變為超過該軟性程式化驗證位準之軟性程式化脈衝之數目之標準差)以便以一所期望信心程度設定驗證跳過之一數目。可針對不同數目個抹除脈衝及循環重複此程序以相應地設定驗證跳過之一最佳數目。

圖6繪示可基於抹除脈衝之一數目設定之不同軟性程式化特性。除基於抹除脈衝之該數目設定驗證跳過之一數目之外，或作為一替代，可基於抹除脈衝之該數目設定軟性程式化作業之一個或多個特性。此等特性包含一開始振幅(例如一電壓  $V_{SPGM}$ )、一步長、一脈衝持續時間、脈衝之一最大所允許數目及一最大脈衝振幅。關於該開始振幅，見

圖 8d。關於該步長，見圖 8e。關於該脈衝持續時間，見圖 8f。關於脈衝之該最大所允許數目，在一個可能實施方案中，相對一新裝置一經循環裝置之最大值較低，此乃因該經循環裝置應能夠以較少軟性程式化脈衝完成該軟性程式化。關於該最大脈衝振幅，在一個可能實施方案中，相對一新裝置一經循環裝置之最大值較低，此乃因該經循環裝置應能夠以一較低最大振幅程式化脈衝完成該軟性程式化。該脈衝振幅表示一程式化脈衝之一電信號。應注意，程式化通常涉及將信號(例如一電壓或電流)施加至一儲存元件以改變該儲存元件之一狀態。

圖 7a 繪示在毗鄰抹除脈衝之間具有奇數及偶數驗證脈衝之一系列 700 抹除脈衝。在一個實例性實施方案中， $V_{ERASE1}$  至  $V_{ERASE8}$  表示在一抹除作業期間施加至記憶體裝置之基板之抹除脈衝。舉例而言，該等抹除脈衝可根據一固定或變化步長在振幅上增加，或其可具有一固定振幅。在毗鄰抹除脈衝之間，將用於奇數及偶數編號之位元線之儲存元件之單獨抹除驗證脈衝施加至該等儲存元件之控制閘極。該等抹除驗證脈衝具有一振幅  $V_{ERASE-VERIFY}$ 。脈衝 710 係用於奇數編號之位元線之儲存元件之一實例性抹除驗證脈衝，且脈衝 712 係用於偶數編號之位元線之儲存元件之一實例性抹除驗證脈衝。

無論係在一抹除作業、軟性程式化作業抑或規則程式化作業中，一驗證作業可涉及確定當一電壓或電流施加至一儲存元件時該儲存元件是否處於一傳導狀態中。端視該確

定之一結果，施加一個或多個額外脈衝。舉例而言，當施加抹除驗證脈衝710時，做出關於奇數編號之位元線之儲存元件是否傳導之一確定。若其傳導，則此意味著其臨限電壓足夠低以使得該抹除作業已完成。類似地，當施加抹除驗證脈衝712時，做出關於偶數編號之位元線之儲存元件是否傳導之一確定。施加一抹除脈衝及相關聯之驗證作業被視為一抹除循環。

圖7b繪示在毗鄰抹除脈衝之間具有一單個驗證脈衝之一系列713抹除脈衝。在此情形中，在全位元線抹除驗證作業中同時驗證奇數及偶數編號之位元線之儲存元件。當施加實例性抹除驗證脈衝714時，做出關於奇數及偶數編號之位元線之儲存元件是否傳導之一確定。

圖8a繪示在毗鄰軟性程式化脈衝之間具有奇數及偶數驗證脈衝之一系列軟性程式化脈衝，其中無驗證作業被跳過，如適用於一經循環裝置。使用十五個軟性程式化脈衝作為一實例。術語「軟性」程式化指示該程式化不改變儲存元件之資料狀態，此與改變資料狀態之「規則」或「硬性」程式化相反。在一個實例性實施方案中， $V_{SPGM1}$ 至 $V_{SPGM15}$ 表示在一驗證作業期間施加至該等儲存元件之控制閘極之軟性程式化脈衝。在其他情形中，可施加一電流。舉例而言，軟性程式化脈衝可根據一步長在振幅上增加，或其可具有一固定振幅。在毗鄰軟性程式化脈衝之間，將用於奇數及偶數編號之位元線之儲存元件之單獨之驗證脈衝施加至該等儲存元件。該等抹除驗證脈衝具有一振幅

$V_{SPGM\ VERIFY}$ 。脈衝810係用於奇數編號之位元線之儲存元件之一實例性軟性程式化驗證脈衝，且脈衝812係用於偶數編號之位元線之儲存元件之一實例性軟性程式化驗證脈衝。另一選擇為在毗鄰軟性程式化脈衝之間僅具有一個驗證脈衝以使得同時驗證偶數及奇數編號之位元線之儲存元件。

在圖8a中，不存在驗證跳過。亦即，在第一軟性程式化脈衝之後且在每一後續軟性程式化脈衝之後執行驗證作業。此情形可適用於已經歷相對高數目個程式化-抹除循環之一經循環裝置。想起圖5，其指示零個驗證跳過適用於具有高數目個循環之一記憶體裝置。

圖8b繪示一系列軟性程式化脈衝，其中前十個脈衝不後跟一驗證脈衝，如適用於一新裝置。此處，存在十個驗證脈衝。第十一個軟性程式化脈衝( $V_{SPGM11}$ )及每一後續程式化脈衝後跟一驗證作業。想起圖5，其指示最大數目個驗證跳過適用於一新記憶體裝置。除了減少功率消耗之外，跳過顯著數目個驗證作業亦顯著減少軟性程式化時間，從而導致更好的效能。

圖8c繪示一系列軟性程式化脈衝，其中前五個脈衝不後跟一驗證脈衝，如適用於一中期使用壽命裝置。此處，前五個軟性程式化脈衝不後跟一驗證作業，因此存在五個驗證跳過。第六個軟性程式化脈衝( $V_{SPGM6}$ )及每一後續程式化脈衝後跟一驗證作業。想起圖5，其指示中間範圍數目個驗證跳過適用於具有中間範圍數目個循環之一記憶體裝

置。

圖 8d 繪示具有一高、中或低振幅之一系列 860 軟性程式化脈衝，其中前五個脈衝不後跟一驗證脈衝。如結合圖 6 所提及，可基於完成一抹除作業所需之抹除脈衝之數目設定一軟性程式化作業之至少一個特性。在此實例中，該特性係該等軟性程式化脈衝之振幅。可連同一步長規定一第一軟性程式化脈衝之振幅，可根據該步長確定剩餘脈衝之振幅。隨著循環之數目的增加，一記憶體裝置變得較易於程式化，以使得與一新裝置相比較，可使用較低振幅脈衝來完成軟性程式化。同樣，藉由使用較低振幅脈衝可避免或減少過度程式化。舉例而言，高、中及低振幅可分別用於一新裝置、中年裝置及經循環裝置。減少軟性程式化脈衝振幅可導致減少之功率消耗，而增加該軟性程式化脈衝振幅可導致較快之軟性程式化。此外，作為一實例，亦實施若干驗證跳過。作為一實例，高、中及低振幅可分別係 10 V、7.5 V 及 5 V。

圖 8e 繪示具有三個可能步長之一系列 880 軟性程式化脈衝，其中前五個脈衝不後跟一驗證脈衝。 $\Delta V1$ 、 $\Delta V2$  及  $\Delta V3$  分別表示第一、第二及第三步長。對於抹除作業，用於軟性程式化之一典型步長係約 0.2 V 或 0.5 V。在此實例中，基於抹除脈衝之數目設定之軟性程式化特性係軟性程式化脈衝之步長。隨著循環之數目的增加，一記憶體裝置變得較易於程式化，以使得與一新裝置相比可較使用一較小步長來完成該軟性程式化。舉例而言，高、中及低步長

可分別用於一新裝置、中間範圍裝置及經循環裝置。減少步長可導致一更好的程式化精確度及減少之功率消耗，而增加該步長可導致較快之軟性程式化。此外，作為一實例，亦實施若干驗證跳過。

圖 8f 繪示具有三個可能脈衝寬度之一系列 890 軟性程式化脈衝。為顯示細節，僅繪示三個脈衝。時間週期  $t_1$ 、 $t_2$  及  $t_3$  分別表示第一、第二及第三軟性程式化脈衝寬度或持續時間。在此實例中，基於抹除脈衝之數目設定之軟性程式化特性係軟性程式化脈衝之寬度。隨著循環之數目的增加，一記憶體裝置變得較易於程式化，以使得與一新裝置相比較可使用一較小脈衝寬度來完成該軟性程式化。舉例而言，長、中及短脈衝可分別用於一新裝置、中間範圍裝置及經循環裝置。減少脈衝寬度可導致減少之功率消耗，而增加該脈衝寬度可導致較快之軟性程式化。

圖 9a 繪示用於抹除且程式化儲存元件之一方法，包含基於一抹除作業中所使用之抹除脈衝之一數目調整一軟性程式化作業。步驟 900 包含開始執行一抹除作業。步驟 901 包含識別一抹除作業中所使用之抹除脈衝之一數目  $N_{ERASE}$ 。此係基於抹除脈衝之一計數之一度量之一實例。應注意，可針對每一抹除序列單獨執行此步驟或可使用一個或多個先前抹除序列之歷史資料，以在最後幾個抹除序列中獲得抹除脈衝之該數目之一滾動平均值。步驟 901 包含視情況(例如)基於  $N_{ERASE}$  將該記憶體裝置或該記憶體裝置之一儲存元件組歸類至多個群組 G1、G2 及 G3 中之一者中。舉例

而言，參照圖5，小數目個抹除脈衝可與一新裝置相關(群組G1)、中間範圍數目個抹除脈衝可與一中間範圍裝置相關(群組G2)，且高數目個抹除脈衝可與一經循環裝置相關(群組G3)。步驟903包含基於該群組(或直接基於 $N_{ERASE}$ )設定欲施加之不執行一驗證作業之軟性程式化脈衝之一數目 $N_{SPGM-SKIP}$ 。步驟904包含基於該群組(或直接基於 $N_{ERASE}$ )設定一軟性程式化特性。可執行步驟903及904中之一者或兩者。分別結合圖9b、圖9c及圖15解釋步驟900、905及906之進一步之細節。

圖9b繪示用於執行一抹除作業之一方法，包含計數一抹除作業中所使用之抹除脈衝之一數目及設定在一後續軟性程式化作業中欲跳過之軟性程式化驗證作業之一數目。在步驟910處開始一抹除作業。在步驟912處，將抹除脈衝之該數目之一計數器( $N_{ERASE}$ )設定為1。在決策步驟916處，若 $N_{ERASE}$ 大於抹除脈衝之一最大所允許數目，則在步驟918處宣告一失敗。若決策步驟916錯誤，則在步驟920處施加一抹除脈衝，且在步驟922處執行一驗證作業。想起在一個可能實施方案中，該抹除驗證作業使用來自圖3之 $V_{VERIFY-ERASE}$ 。在決策步驟924處，若該驗證成功(例如，所有或幾乎所有儲存元件皆已通過驗證位準 $V_{ERASE-VERIFY}$ )，則在步驟926處儲存 $N_{ERASE}$ 之當前值且在步驟928處結束該抹除作業。決策步驟924為正確表示滿足一第一驗證條件。在決策步驟924處，若該驗證不成功，則在步驟914處遞增 $N_{ERASE}$ ，且在步驟920處施加另一抹除脈衝，只要在



決策步驟916處尚未超過抹除脈衝之最大所允許數目。

圖9c繪示用於藉由跳過若干驗證作業來執行一軟性程式化作業之一方法。回應於抹除作業之完成，在步驟930處開始之該軟性程式化作業可直接跟隨圖9b之該抹除作業。步驟932包含基於 $N_{ERASE}$ 確定欲跳過之軟性程式化脈衝之數目( $N_{SPGM-SKIP}$ )。應注意，另一選擇為，可結合抹除作業執行此步驟，以使得 $N_{SPGM-SKIP}$ 儲存於記憶體中且經檢索以供在該軟性程式化作業中使用。實際上，將該抹除作業及隨後之軟性程式化作業執行為一抹除序列之一部分且因此一共同程序之一部分。可選步驟934包含基於 $N_{ERASE}$ 設定軟性程式化之一個或多個特性。此外，另一選擇為，可結合抹除作業執行此步驟，以使得該一個或多個特性儲存於記憶體中且經檢索以供在該軟性程式化作業中使用。

在步驟936處，將軟性程式化脈衝之數目之一計數器 $N_{SPGM}$ 設定為1。在決策步驟940處，若 $N_{SPGM}$ 大於軟性程式化脈衝之一最大所允許數目，則在步驟942處宣告一失敗。若決策步驟940錯誤，則在步驟944處施加一軟性程式化脈衝。在決策步驟946處，若 $N_{SPGM}$ 大於驗證跳過之數目 $N_{SPGM-SKIP}$ ，則在步驟948處執行一驗證作業。此時，先前已施加 $N_{SPGM}$ 個軟性程式化脈衝而未執行驗證作業。想起該軟性程式化驗證作業使用來自圖3之 $V_{VERIFY-SPGM}$ 。在決策步驟946處，若 $N_{SPGM}$ 不大於驗證跳過之數目 $N_{SPGM-SKIP}$ ，則不執行一驗證作業。此意味著該程序仍然處於一驗證跳過階段中。藉由不執行驗證作業，可較快地執行該軟性程式化

作業。在決策步驟946錯誤之情形下，在步驟938處遞增  $N_{SPGM}$ ，且在步驟944處施加另一軟性程式化脈衝，只要在決策步驟940處尚未超過軟性程式化脈衝之最大所允許數目。

在決策步驟950處，若該驗證成功(例如，所有或幾乎所有儲存元件已通過驗證位準  $V_{SPGM-VERIFY}$ )，則在步驟952處結束該軟性程式化作業。隨後，在一規則或硬性程式化作業中，可將該等儲存元件程式化至較高資料狀態(例如，A、B或C)。決策步驟950為正確表示滿足一第二驗證條件。在決策步驟950處，若該驗證不成功，則在步驟938處遞增  $N_{SPGM}$ ，且在步驟944處施加另一軟性程式化脈衝，只要在決策步驟940處尚未超過軟性程式化脈衝之最大所允許數目。

圖10a繪示用於確定在一抹除作業中欲跳過之驗證作業之一數目之一方法。上文論述，依據可由完成一先前抹除作業所需之抹除脈衝之數目確定之記憶體裝置之所偵測行為，可藉由在軟性程式化驗證作業為不必需時跳過該等軟性程式化驗證作業來減少軟性程式化時間。類似地，可藉由在抹除驗證作業為不必需時不執行該等抹除驗證作業來減少抹除作業時間。可基於一裝置之當前行為單獨或與用於減少軟性程式化時間及/或調整該軟性程式化之特性之上述技術一起實施此。在一實例性程序中，步驟1000包含識別多個抹除作業中所使用之脈衝之一數目。步驟1002包含計算每一作業中所使用之抹除脈衝之平均數目  $N_{ERASE-AVG}$ 。

步驟1004包含將欲在下一抹除作業中施加之不執行一驗證作業之抹除脈衝之一數目設定為  $N_{ERASE-SKIP} = N_{ERASE-AVG} - N_{MARGIN}$ 。舉例而言， $N_{MARGIN}$ 可係一或兩個脈衝。作為一實例，一經循環裝置可需要四個抹除脈衝之一平均值，且  $N_{MARGIN}$ 可設定為一個脈衝，在此情形中， $N_{ERASE-SKIP} = 4 - 1 = 3$ 。應注意，亦可基於一個先前抹除作業而非來自多個先前抹除作業之一平均值、平均數或其他度量設定  $N_{ERASE-SKIP}$ 。

由於期盼未來裝置使用較大數目個抹除脈衝(例如，多達八至十五個抹除脈衝)，因此來自跳過抹除驗證作業之時間節省可係顯著。功率消耗亦減少。

圖10b繪示用於藉由跳過若干驗證作業來執行一抹除作業之一方法。可結合圖10a之程序來執行該程序。在步驟1010處開始該抹除作業。在步驟1012處將抹除脈衝之數目之一計數器( $N_{ERASE}$ )設定為1。在決策步驟1016處，若  $N_{ERASE}$ 大於抹除脈衝之最大所允許數目，則在步驟1018處宣告一失敗。若決策步驟1016錯誤，則在步驟1020處施加一抹除脈衝。在決策步驟1022處，若  $N_{ERASE}$ 大於抹除驗證跳過之數目  $N_{ERASE-SKIP}$ ，則在步驟1024處執行一驗證作業。此時，先前已施加  $N_{ERASE}$ 個抹除脈衝而未執行驗證作業。想起該抹除驗證作業使用來自圖3之  $V_{VERIFY-ERASE}$ 。在決策步驟1022處，若  $N_{ERASE}$ 不大於  $N_{ERASE-SKIP}$ ，則不執行一驗證作業。此意味著該程序仍然處於一驗證跳過階段中。藉由不執行驗證作業，可較快地執行該抹除作業。

在決策步驟1022錯誤之情形下，在步驟1014處遞增

$N_{ERASE}$ 且在步驟1020處施加另一抹除脈衝，只要在決策步驟1016處尚未超過抹除脈衝之最大所允許數目。在決策步驟1026處，若該驗證成功，則在步驟1028處結束該抹除作業。在決策步驟1026處，若該驗證不成功，則在步驟1014處遞增 $N_{ERASE}$ 且在步驟1020處施加另一抹除脈衝，只要在決策步驟1016處尚未超過抹除脈衝之最大所允許數目。

應注意，可組合圖9b及10b之程序以減少抹除作業時間且確定所使用之抹除脈衝之數目及軟性程式化驗證跳過之恰當數目。

在一個可能實施方案中，可結合一NAND記憶體裝置使用上文所闡述之技術，如下文進一步詳細論述。

圖10c繪示一系列抹除脈衝1030，其中前三個脈衝不後跟一驗證脈衝。作為一實例，一第一抹除驗證脈衝1032在第四抹除脈衝 $V_{ERASE4}$ 之後且在系列1030中之每一連續抹除脈衝之後出現。

圖11圖解說明一NAND儲存元件陣列1100之一實例，例如圖1a及1b中所示之彼等儲存元件。沿每一行，一位元線1106耦合至NAND串1150之汲極選擇閘極之汲極端子1126。沿NAND串之每一列，一源極線1104可連接該等NAND串之源極選擇閘極之所有源極端子1128。

該儲存元件陣列被劃分為大量儲存元件區塊。通常對於快閃EEPROM系統而言，該區塊係抹除單位。亦即，每一區塊含有最小數目個共同抹除之儲存元件。每一區塊通常被劃分為若干頁。一頁係最小程式化單位。通常將一個或

多個資料頁儲存於一個儲存元件列中。舉例而言，一列通常含有數個交錯頁或其可構成一個頁。一頁中之所有儲存元件將被共同讀取或程式化。此外，一頁可儲存來自一個或多個扇區之使用者資料。一扇區係由主機用作一便利使用者資料單位之一邏輯概念；其通常不含有限制於控制器之附加項資料。附加項資料可包含已根據該扇區之使用者資料計算出之一錯誤校正碼(ECC)。該控制器之一部分(下文所闡述)在資料正被程式化至該陣列中時計算ECC，且亦在正自該陣列讀取資料時檢查該ECC。另一選擇為，將ECC及/或其他附加項資料儲存於與其從屬之使用者資料不同的頁甚或不同的區塊中。

使用者資料之一扇區通常為512個位元組，其對應於磁碟驅動器中之一扇區之大小。附加項資料通常為一額外之16至20個位元組。大量頁形成一區塊，自8個頁，例如最多至32個、64個、128個或更多個頁不等。在某些實施例中，NAND串之一列包括一區塊。

在一個實施例中，藉由在源極線及位元線正浮動時將p-井升高至一抹除電壓(例如，14至22 V)達一足夠時間週期且將一選定區塊之字線接地來抹除記憶體儲存元件。因電容性耦合，未選之字線、位元線、選擇線及c-源極亦升高至抹除電壓之一顯著分數。一強電場因此施加至選定儲存元件之隧道氧化物層，且當浮動閘極之電子通常藉由Fowler-Nordheim隧穿機制發射至基板側時，該選定儲存元件之資料被抹除。當電子自浮動閘極傳送至p-井區域

時，一選定儲存元件之臨限電壓降低。可對整個記憶體陣列、單獨區塊、或另一儲存元件單位執行抹除。

圖12係使用單列/行解碼器及讀取/寫入電路之一非揮發性記憶體系統之一方塊圖。該圖示圖解說明根據本發明之一個實施例之具有用於並行讀取及程式化一儲存元件頁之讀取/寫入電路之一記憶體裝置1296。記憶體裝置1296可包含一個或多個記憶體晶粒1298。記憶體晶粒1298包含一兩維儲存元件陣列1100、控制電路1210及讀取/寫入電路1265。在某些實施例中，該儲存元件陣列可係三維。記憶體陣列1100可經由一列解碼器1230由字線定址或經由一行解碼器1260由位元線定址。讀取/寫入電路1265包含多個感測區塊1200且允許並行讀取或程式化一儲存元件頁。通常，一控制器1250與一個或多個記憶體晶粒1298包含於相同之記憶體裝置1296(例如，一可移除儲存卡)中。命令及資料經由線1220在主機與控制器1250之間傳送且經由線1218在控制器與一個或多個記憶體晶粒1298之間傳送。

控制電路1210與讀取/寫入電路1265協作以對記憶體陣列1100執行記憶體作業。控制電路1210包含一狀態機1212、一晶片上位址解碼器1214及一功率控制模組1216。狀態機1212提供對記憶體作業之晶片級控制，包含控制預充電。晶片上位址解碼器1214在由主機或一記憶體控制器所使用之位址與由解碼器1230及1260所使用之硬體位址之間提供一位址介面。功率控制模組1216控制在記憶體作業期間供應至字線及位元線之功率及電壓。

104  
年6月3日修正替換頁第 098141958 號專利申請案  
中文說明書替換頁(104年6月)

在某些實施方案中，可組合圖 12 之組件中之某些組件。在各種設計中，可將除儲存元件陣列 1100 外之該等組件中之二者或多者(單獨或以組合方式)視為一管理電路。舉例而言，一個或多個管理電路可包含以下器件中之任一者或其一組合：控制電路 1210、狀態機 1212、解碼器 1214/1260、功率控制模組 1216、感測區塊 1200、讀取/寫入電路 1265、控制器 1250 等等。

如所提及，可在(例如)位於記憶體晶片外部或該晶片上之一控制器記憶體中實施恰當之資料結構及控制邏輯。

在另一方法中，使用雙列/行解碼器及讀取/寫入電路。各種週邊電路對記憶體陣列 1100 之存取係以一對稱方式在該陣列之相對側上實施，以使得每一側上之存取線及電路之密度減半。因此，該列解碼器分裂為兩個列解碼器且該行解碼器分裂為兩個行解碼器。類似地，讀取/寫入電路分裂為自底部連接至位元線之讀取/寫入電路及自陣列 1100 之頂部連接至位元線之讀取/寫入電路。以此方式，使讀取/寫入模組之密度實質上減半。

圖 13 係繪示一感測區塊之一個實施例之一方塊圖。一個別感測區塊 1200 被分割為一核心部分(稱為一感測模組 1280)及一共同部分 1290。在一個實施例中，將存在用於每一位元線之一單獨感測模組 1280 及用於一多個感測模組 1280 組之一個共同部分 1290。在一個實例中，一感測區塊將包含一個共同部分 1290 及八個感測模組 1280。一群組中之該等感測模組中之每一者將經由一資料匯流排 1272 與相

關聯之共同部分通信。

感測模組 1280 包括感測電路 1270，該感測電路確定一所連接之位元線中之傳導電流係高於還是低於一預定臨限值準。感測模組 1280 亦包含一位元線鎖存器 1282，該位元線鎖存器用於設定所連接之位元線上之一電壓條件。舉例而言，鎖存於位元線鎖存器 1282 中之一預定狀態將導致該所連接之位元線被拉至指定程式抑制之一狀態(例如，1.5 至 3 V)。

共同部分 1290 包括一處理器 1292、一資料鎖存器組 1294 及耦合於資料鎖存器組 1294 與資料匯流排 1220 之間的一 I/O 介面 1296。處理器 1292 執行計算。舉例而言，其一個功能係確定儲存於經感測儲存元件中之資料並將所確定之資料儲存於該資料鎖存器組中。資料鎖存器組 1294 用於儲存由處理器 1292 在一讀取作業期間所確定之資料位元。其亦用於儲存在一程式化作業期間自資料匯流排 1220 引入之資料位元。所引入之資料位元表示意欲程式化至記憶體中之寫入資料。I/O 介面 1296 在資料鎖存器 1294 與資料匯流排 1220 之間提供一介面。

在讀取或感測期間，該系統之作業處於狀態機 1212 之控制下，該狀態機控制不同控制閘極電壓至所定址儲存元件之供應。當其步進穿過對應於該記憶體所支援之各種記憶體狀態之各種預界定控制閘極電壓時，感測模組 1280 可在此等電壓中之一者處跳脫且一輸出將自感測模組 1280 經由匯流排 1272 提供至處理器 1292。彼時，處理器 1292 藉由考



量該感測模組之跳脫事件及關於自狀態機經由輸入線1293所施加之控制閘極電壓之資訊來確定所得記憶體狀態。然後，其計算該記憶體狀態之一二進制編碼且將所得資料位元儲存於資料鎖存器1294中。在該核心部分之另一實施例中，位元線鎖存器1282身兼兩職：既作為用於鎖存感測模組1280之輸出之一鎖存器且亦作為如上文所闡述之一位元線鎖存器。

預期某些實施方案將包含多個處理器1292。在一個實施例中，每一處理器1292將包含一輸出線(未繪示)以使得該等輸出線中之每一者線-或連接在一起。在某些實施例中，該等輸出線在連接至線-或連接之線之前被反轉。此組態實現在程式化驗證程序期間對該程式化程序何時完成之一快速確定，此乃因接收線-或之狀態機可確定正被程式化之所有位元何時已達到所期望位準。舉例而言，當每一位元已達到其所期望位準時，將向該線-或連接之線發送彼位元之一邏輯0(或一資料1經反轉)。當所有位元輸出一資料0(或一資料1經反轉)時，則狀態機知曉終止該程式化程序。由於每一處理器與八個感測模組通信，因此該狀態機需要讀取線-或連接之線八次，或者將邏輯添加至處理器1292以累積相關聯位元線之結果以使得該狀態機僅需讀取該線或連接之線一次。類似地，藉由正確地選擇邏輯位準，整個狀態機可偵測第一位元何時改變其狀態且相應地改變演算法。

在程式化或驗證期間，將來自資料匯流排1220之欲程式

化之資料儲存於資料鎖存器組1294中。處於該狀態機控制下之程式化作業包括施加至所定址之儲存元件之控制閘極之一系列程式化電壓脈衝。每一程式化脈衝後跟一回讀(驗證)以確定是否已將該儲存元件程式化至所期望之記憶體狀態。處理器1292相對於所期望之記憶體狀態來監視所回讀之記憶體狀態。當兩者一致時，處理器1292設定位元線鎖存器1282，以致使該位元線被拉至指定程式抑制之一狀態。此抑制耦合至該位元線之儲存元件免遭進一步程式化，即使在程式化脈衝出現於其控制閘極上時。在其他實施例中，在驗證程序期間，處理器初始加載位元線鎖存器1282且感測電路將其設定至一抑制值。

資料鎖存器堆疊1294含有對應於感測模組之一資料鎖存器堆疊。在一個實施例中，每一感測模組1280存在三個資料鎖存器。在某些實施方案(但不必需)中，將該等資料鎖存器實施為一移位暫存器以使得儲存於其中之並行資料轉換為用於資料匯流排1220之串列資料，且反之亦然。在較佳實施例中，可將對應於 $m$ 個儲存元件之讀取/寫入區塊之所有資料鎖存器鏈接在一起以形成一區塊移位暫存器，以使得一資料區塊可藉由串列傳送來輸入或輸出。特定而言，對讀取/寫入模組庫進行調適，以使得其資料鎖存器組中之每一者將依序將資料移入或移出資料匯流排，仿佛其係用於整個讀取/寫入區塊之一移位暫存器之一部分。

圖14圖解說明針對一全位元線記憶體架構且針對一奇數-偶數記憶體架構將一記憶體陣列組織成區塊之一實

例。對記憶體陣列1100之例示性結構加以闡述。作為一個實例，闡述分割為1,024個區塊之一NAND快閃EEPROM。可同時抹除儲存於每一區塊中之資料。在一個實施例中，區塊係同時抹除之最小儲存元件單位。在此實例中，每一區塊中存在對應於位元線BL0、BL1、...BL8511之8,512個行。在稱為一全位元線(ABL)架構(架構1410)之一個實施例中，在讀取及程式化作業期間可同時選擇一區塊之所有位元線。可同時程式化沿一共同字線且連接至任一位元線之儲存元件。

在所提供之實例中，串聯連接四個儲存元件以形成一NAND串。雖然顯示每一NAND串中包含四個儲存元件，但可使用多於或少於四個儲存元件(例如，16個、32個、64個或另一數目)。該NAND串之一個端子經由一汲極選擇閘極(連接至選擇閘極汲極線SGD)連接至一對應位元線，且另一端子經由一源極選擇閘極(連接至選擇閘極源極線SGS)連接至c-源極。

在稱為一奇數-偶數架構(架構1400)之另一實施例中，將位元線劃分為偶數位元線(BLe)及奇數位元線(BLo)。在該奇數/偶數位元線架構中，在一個時間程式化沿一共同字線且連接至奇數位元線之儲存元件，而在另一時間程式化沿一共同字線且連接至偶數位元線之儲存元件。在此實例中，每一區塊中存在被劃分為偶數行及奇數行之8,512個行。在此實例中，顯示四個儲存元件串聯連接以形成一NAND串。

在讀取及程式化作業之一個組態期間，同時選擇4,256個儲存元件。選定之儲存元件具有相同字線及相同種類之位元線(例如，偶數或奇數)。因此，可同時讀取或程式化532個資料位元組(其形成一邏輯頁)，且一個記憶體區塊可儲存至少八個邏輯頁(四個字線，每一者皆具有奇數及偶數頁)。對於多狀態儲存元件，當每一儲存元件儲存兩個資料位元時，其中將此兩個位元中之每一者儲存於一不同頁中，一個區塊儲存十六個邏輯頁。亦可使用其他大小之區塊及頁。

對於ABL或奇數-偶數架構，可藉由將p-井升高至一抹除電壓(例如，20 V)並將一選定區塊之字線接地來抹除儲存元件。源極及位元線正在浮動。可對整個記憶體陣列、單獨區塊或另一儲存元件單位(其係記憶體裝置之一部分)執行抹除。電子自儲存元件之浮動閘極傳送至p-井區域以使得儲存元件之 $V_{TH}$ 變為負。

在讀取及驗證作業中，選擇閘極(SGD及SGS)連接至2.5至4.5 V之一範圍中之一電壓且未選字線(例如，當WL2係選定字線時，WL0、WL1及WL3)升高至一讀取通過電壓 $V_{READ}$ (通常為4.5至6 V之範圍中之一電壓)以使電晶體運作為通過閘極。選定字線WL2連接至一電壓，針對每一讀取及驗證作業規定該電壓之一位準，以便確定有關儲存元件之一 $V_{TH}$ 是高於還是低於此位準。舉例而言，在針對一兩位準儲存元件之一讀取作業中，可將選定字線WL2接地，以偵測 $V_{TH}$ 是否高於0 V。在針對一兩位準儲存元件之一驗

證作業中，將選定字線WL2連接至(例如)0.8 V，以驗證 $V_{TH}$ 是否已達到至少0.8 V。源極及p-井處於0 V。將選定位元線(假設為偶數位元線(BLe))預充電至例如0.7 V之一位準。若 $V_{TH}$ 高於該字線上之讀取或驗證位準，則與所關注之儲存元件相關聯之位元線(BLe)之電位位準由於非傳導儲存元件而維持高位準。另一方面，若 $V_{TH}$ 低於該讀取或驗證位準，則有關位元線(BLe)之電位位準由於傳導儲存元件將該位元線放電而降低至(例如)少於0.5 V之一低位準。儲存元件之狀態可藉此由連接至該位元線之一電壓比較器感測放大器來偵測。

圖15係闡述用於程式化非揮發性記憶體之一方法之一個實施例之一流程圖。如所提及，在一抹除序列已完成之後，可發生至高於該經抹除狀態之較高資料狀態之程式化。在一個實施方案中，儲存元件係在程式化之前被抹除(按區塊或以其他單位)。在步驟1500中，由控制器發出一「資料加載」命令，並輸入由控制電路1210(見圖12)所接收之「資料加載」命令。在步驟1505中，將指定頁位址之位址資料自控制器或主機輸入至解碼器1214中。在步驟1510中，將用於所定址頁之一程式資料頁輸入至一資料緩衝器以供程式化。將彼資料鎖存於恰當之鎖存器組中。在步驟1515中，由該控制器向狀態機1212發出一「程式化」命令。

藉由「程式化」命令觸發，將把步驟1510中所鎖存之資料程式化至由狀態機1212使用施加至恰當選定字線之階梯

式程式化脈衝所控制之選定儲存元件中。在步驟1520中，將程式化電壓 $V_{PGM}$ 初始化至起始脈衝(例如，12 V或其他值)且將由狀態機1212維持之一程式化計數器(PC)初始化為0。在步驟1530處，將第一 $V_{PGM}$ 脈衝施加至選定字線以開始程式化與該選定字線相關聯之儲存元件。若將指示應程式化對應儲存元件之邏輯「0」儲存於一特定資料鎖存器中，則將對應位元線接地。另一方面，若將指示對應儲存元件應保持在其當前資料狀態中之邏輯「1」儲存於該特定鎖存器中，則將對應位元線連接至1.5至3 V以抑制程式化。

在步驟1535中，驗證選定儲存元件之狀態。若偵測到一選定儲存元件之目標臨限電壓已達到恰當位準，則將儲存於對應資料鎖存器中之資料改變為一邏輯「1」。若偵測到該臨限值電壓尚未達到該恰當位準，則不改變儲存於對應資料鎖存器中之資料。以此方式，無需程式化具有儲存於其對應資料鎖存器中之一邏輯「1」之一位元線。當所有資料鎖存器正儲存邏輯「1」時，狀態機(經由上述線-或連接類型之機構)知曉所有選定儲存元件已被程式化。在步驟1540中，做出關於所有資料鎖存器是否正儲存邏輯「1」之一檢查。若所有資料鎖存器正儲存邏輯「1」，則該程式化程序完整且成功，此乃因所有選定儲存元件已經程式化且經驗證。在步驟1545中報告一「通過」狀況。在某些實施例中，即使並非所有選定儲存元件已被驗證為經程式化，亦認為該程式化程序完整且成功。在此一情形

中，因不足的經程式化儲存元件而可在後續讀取作業期間發生錯誤。然而，可藉由ECC校正此等錯誤。

在步驟1540中，若確定並非所有資料鎖存器正儲存邏輯「1」，則該程式化程序繼續。在某些實施例中，即使並非所有資料鎖存器正儲存邏輯「1」，該程式化程序亦停止。在步驟1550中，對照一程式化限制值PCmax來檢查程式化計數器PC。一程式化限制值之一個實例為20；然而，亦可使用其他數目。若程式化計數器PC不小於PCmax，則該程式化程序已失敗且在步驟1555中報告一「失敗」狀況。若程式化計數器PC小於PCmax，則在步驟1560中將 $V_{PGM}$ 增加步長且遞增程式化計數器PC。該程序隨後循環回至步驟1530以施加下一 $V_{PGM}$ 脈衝。

圖16a繪示在程式化期間施加至非揮發性儲存元件之控制閘極之一實例性脈衝隊列，其中針對奇數及偶數位元線同時執行驗證作業。脈衝隊列1600包含施加至經選擇以供程式化之一字線之一系列程式化脈衝1602、1604、1606、1608、1610、...。在一個實施例中，該等程式化脈衝具有一電壓 $V_{PGMI}$ ，其在12 V處開始且針對每一連續程式化脈衝增加增量(例如，0.5 V)直至達到(例如)20至25 V之一最大值。驗證脈衝在程式化脈衝中間，例如，三個驗證脈衝。在某些實施例中，可存在用於資料正被程式化至其中之每一狀態(例如，狀態A、B及C)之一驗證脈衝。在其他實施例中，可存在更多或更少驗證脈衝。舉例而言，每一組中之驗證脈衝可具有振幅 $V_{VERIFY-A}$ 、 $V_{VERIFY-B}$ 及 $V_{VERIFY-C}$

(圖3)。一實例性驗證脈衝組1603施加至奇數及偶數編號之位元線兩者之儲存元件。

圖16b繪示在程式化期間施加至非揮發性儲存元件之控制閘極之一實例性脈衝隊列，其中針對奇數及偶數位元線單獨執行驗證作業。脈衝隊列1640包含施加至經選擇以供程式化之一字線之一系列程式化脈衝1642、1644、1646、1648、1650、...。一實例性驗證脈衝組1643施加至奇數編號之位元線之儲存元件，且一實例性驗證脈衝組1645施加至偶數編號之位元線之儲存元件。

出於圖解說明及闡述目的，上文已呈現本發明之前述實施方式。本文不意欲包羅無遺或將本發明限制於所揭示之精確形式。鑒於以上教示，許多修改及變化可行。選擇所闡述之實施例以最好地解釋本發明之原理及其實際應用，以藉此使熟習此項技術者能夠在各種實施例中且以適於所涵蓋之特定使用之各種修改來最好地利用本發明。本發明之範疇意欲由本文之隨附申請專利範圍界定。

### 【圖式簡單說明】

圖1a係一NAND串之一俯視圖。

圖1b係圖1a之NAND串之一等效電路圖。

圖1c係一NAND快閃儲存元件陣列之一方塊圖。

圖2繪示形成於一基板上之一NAND串之一橫截面圖。

圖3繪示一經抹除狀態及較高資料狀態之臨限電壓分佈。

圖4繪示一非揮發性儲存元件組隨程式化-抹除循環之一



數目變化之一行為。

圖 5 繪示軟性程式化驗證跳過與抹除脈衝之數目之一關係。

圖 6 繪示可基於抹除脈衝之一數目設定之不同軟性程式化特性。

圖 7a 繪示在毗鄰抹除脈衝之間具有奇數及偶數驗證脈衝之一系列抹除脈衝。

圖 7b 繪示在毗鄰抹除脈衝之間具有一單個驗證脈衝之一系列抹除脈衝。

圖 8a 繪示在毗鄰軟性程式化脈衝之間具有奇數及偶數驗證脈衝之一系列軟性程式化脈衝，其中無驗證作業被跳過，如適用於一經循環裝置。

圖 8b 繪示一系列軟性程式化脈衝，其中前十個脈衝不後跟一驗證脈衝，如適用於一新裝置。

圖 8c 繪示一系列軟性程式化脈衝，其中前五個脈衝不後跟一驗證脈衝，如適用於一中期使用壽命裝置。

圖 8d 繪示具有一高、中或低振幅之一系列軟性程式化脈衝，其中前五個脈衝不後跟一驗證作業。

圖 8e 繪示具有三個可能步長之一系列軟性程式化脈衝，其中前五個脈衝不後跟一驗證作業。

圖 8f 繪示具有三個可能脈衝寬度之一系列軟性程式化脈衝。

圖 9a 繪示用於抹除且程式化儲存元件之一方法，包含基於一抹除作業中所使用之抹除脈衝之一數目調整一軟性程

式化作業。

圖 9b 繪示用於執行一抹除作業之一方法，包含計數一抹除作業中所使用之抹除脈衝之一數目及設定在一後續軟性程式化作業中欲跳過之軟性程式化驗證作業之一數目。

圖 9c 繪示用於藉由跳過若干驗證作業來執行一軟性程式化作業之一方法。

圖 10a 繪示用於確定在一抹除作業中欲跳過之驗證作業之一數目之一方法。

圖 10b 繪示用於執行一抹除作業之一方法，包含跳過若干驗證作業。

圖 10c 繪示一系列抹除脈衝，其中前三個脈衝不後跟一驗證作業。

圖 11 係一 NAND 快閃儲存元件陣列之一方塊圖。

圖 12 係使用單列/行解碼器及讀取/寫入電路之一非揮發性記憶體系統之一方塊圖。

圖 13 係繪示一感測區塊之一個實施例之一方塊圖。

圖 14 圖解說明針對一全位元線記憶體架構且針對一奇數-偶數記憶體架構將一記憶體陣列組織成區塊之一實例。

圖 15 係闡述用於程式化非揮發性記憶體之一程序之一個實施例之一流程圖。

圖 16a 繪示在程式化期間施加至非揮發性儲存元件之控制閘極之一實例性脈衝隊列，其中針對奇數及偶數位元線之儲存元件同時執行驗證作業。

圖 16b 繪示在程式化期間施加至非揮發性儲存元件之控制閘極之一實例性脈衝隊列，其中針對奇數及偶數位元線之儲存元件單獨地執行驗證作業。

**【主要元件符號說明】**

100	電晶體
100CG	控制閘極
100FG	浮動閘極
102	電晶體
102CG	控制閘極
102FG	浮動閘極
104	電晶體
104CG	控制閘極
104FG	浮動閘極
106	電晶體
106CG	控制閘極
106FG	浮動閘極
120	選擇閘極
120CG	控制閘極
122	選擇閘極
122CG	控制閘極
126	位元線
128	源極線
320	NAND 串
321	位元線

322	選擇閘極
323	儲存元件
324	儲存元件
325	儲存元件
326	儲存元件
327	選擇閘極
340	NAND串
341	位元線
342	選擇閘極
343	儲存元件
344	儲存元件
345	儲存元件
346	儲存元件
347	選擇閘極
360	NAND串
361	位元線
362	選擇閘極
363	儲存元件
364	儲存元件
365	儲存元件
366	儲存元件
367	選擇閘極
400	NAND串
402	端子

403	端子
404	源極供應線
406	選擇閘極
408	儲存元件
410	儲存元件
412	儲存元件
414	儲存元件
416	儲存元件
418	儲存元件
420	儲存元件
422	儲存元件
424	選擇閘極
426	位元線
430	源極/汲極區域
432	p-井區域
434	n-井區域
436	p型基板區域
438	基板
500	曲線
510	階梯
710	脈衝
712	脈衝
714	抹除驗證脈衝
810	脈衝

812	脈衝
1030	抹除脈衝
1032	第一抹除驗證脈衝
1100	NAND儲存元件陣列
1106	位元線
1126	汲極端子
1128	源極端子
1150	NAND串
1200	感測區塊
1210	控制電路
1212	狀態機
1214	晶片上位址解碼器
1216	功率控制模組
1218	線
1220	線
1230	列解碼器
1250	控制器
1260	行解碼器
1265	讀取/寫入電路
1270	感測電路
1272	資料匯流排
1280	感測模組
1282	位元線鎖存器
1290	共同部分

- 1292 處理器
- 1293 輸入線
- 1294 資料鎖存器
- 1296 記憶體裝置
- 1298 記憶體晶粒
- 1400 奇數-偶數架構
- 1410 全位元線(ABL)架構
- 1600 脈衝隊列
- 1602 程式化脈衝
- 1603 驗證脈衝組
- 1604 程式化脈衝
- 1606 程式化脈衝
- 1608 程式化脈衝
- 1610 程式化脈衝
- 1640 脈衝隊列
- 1642 程式化脈衝
- 1643 驗證脈衝組
- 1644 程式化脈衝
- 1645 驗證脈衝組
- 1646 程式化脈衝
- 1648 程式化脈衝
- 1650 程式化脈衝
- G1, G2, G3 群組

## 七、申請專利範圍：

1. 一種用於運作非揮發性儲存器之方法，其包括：

將一個或多個抹除脈衝(Verasel至Verase8)施加至一非揮發性儲存元件組(1100)直至滿足一第一驗證條件(Verase verify)；

確定所施加之該等抹除脈衝之一計數(Nerase)；及

將一定數目Nspgm-skip個不執行驗證作業之一個或多個軟性程式化脈衝(Vspgm1至Vspgm5)施加至該非揮發性儲存元件組，Nspgm-skip係基於該計數，且隨後將一個或多個額外軟性程式化脈衝(Vspgm6至Vspgm15)施加至該非揮發性儲存元件組直至滿足一第二驗證條件(Vspgm verify)，該一個或多個額外軟性程式化脈衝中之每一軟性程式化脈衝後跟一驗證作業(710、712、714、810、812)。

2. 如請求項1之方法，其進一步包括：

基於該計數將該非揮發性儲存元件組歸類至多個可用群組(G1、G2、G3)中之一個群組中，其中Nspgm-skip係基於該非揮發性儲存元件組歸類至其中之該群組。

3. 如請求項1之方法，其進一步包括：

回應於滿足該第二驗證條件，將該組中之該等非揮發性儲存元件中之至少一者程式化至一較高資料狀態(A、B、C)。

4. 如請求項1之方法，其中：

Nspgm-skip係基於多個抹除作業(1002)中所施加之抹



除脈衝之一計數。

5. 如請求項1之方法，其中：

該非揮發性儲存元件組在滿足該第一驗證條件時具有至少部分地低於一經抹除狀態(442)之一第一臨限電壓分佈(440)，且在滿足該第二驗證條件時具有處於該經抹除狀態之一第二較緊密臨限電壓分佈(442)。

6. 如請求項1之方法，其中：

該施加一個或多個抹除脈衝係一第一抹除序列之一抹除作業之一部分，且該施加該數目  $N_{\text{spgm-skip}}$  個一個或多個軟性程式化脈衝係該第一抹除序列之一軟性程式化作業之一部分。

7. 如請求項6之方法，其進一步包括：

執行其中基於該計數跳過若干抹除驗證脈衝之一第二抹除序列之一額外抹除作業。

8. 一種用於運作非揮發性儲存器之方法，其包括：

執行一抹除序列之一抹除作業，包含將一個或多個抹除脈衝(Verase1至Verase8)施加至一非揮發性儲存元件組(1100)直至滿足一抹除驗證條件(Verase verify)；

確定所施加之該等抹除脈衝之一計數(Nerase)；及

執行該抹除序列之一軟性程式化作業，包含將一個或多個軟性程式化脈衝(Vspgm1至Vspgm5)施加至該非揮發性儲存元件組直至滿足一軟性程式化驗證條件(Vspgm verify)，基於該計數設定該一個或多個軟性程式化脈衝之一特性。

9. 如請求項8之方法，其中：

該特性包括該一個或多個軟性程式化脈衝之一第一軟性程式化脈衝之一位準(高、中、低)。

10. 如請求項8之方法，其中：

該特性包括該一個或多個軟性程式化脈衝之一步長( $\Delta V1$ 、 $\Delta V2$ 、 $\Delta V3$ )。

11. 如請求項8之方法，其中：

該特性包括對該一個或多個軟性程式化脈衝之一數目之一最大限制(所允許之最大值)。

12. 如請求項8之方法，其中：

該特性包括對該一個或多個軟性程式化脈衝之一能量之一限制。

13. 如請求項8之方法，其中：

該特性包括該一個或多個軟性程式化脈衝之一脈衝寬度( $t1$ 、 $t2$ 、 $t3$ )。

14. 如請求項8之方法，其進一步包括：

回應於該軟性程式化作業之完成，執行一程式化作業，其涉及該等非揮發性儲存元件中之至少一者之資料狀態之間的一轉變。

15. 如請求項8之方法，其中：

該施加一個或多個軟性程式化脈衝包括施加一定數目  $N_{\text{spgm-skip}}$  個不執行驗證作業之一個或多個軟性程式化脈衝( $V_{\text{spgm1}}$ 至 $V_{\text{spgm5}}$ )，該數目  $N_{\text{spgm-skip}}$  係基於該計數，且隨後施加一個或多個額外軟性程式化脈衝

(Vspgm6至Vspgm15)，該一個或多個額外軟性程式化脈衝中之每一軟性程式化脈衝後跟一驗證作業。

16. 一種用於運作非揮發性儲存器之方法，其包括：

在一第一抹除作業中，將一個或多個抹除脈衝 (Verase1至Verase8)施加至一非揮發性儲存元件組(1100)直至滿足一第一驗證條件(Verase verify)；

確定該第一抹除作業中所施加之該等抹除脈衝之一計數(Nerase)；及

執行在該第一抹除作業之後發生之一第二抹除作業，包含施加一定數目Nerase-skip個不執行一驗證作業之一個或多個抹除脈衝(Verase1至Verase3)，Nerase-skip係基於該計數，且隨後施加一個或多個額外抹除脈衝(Verase4至Verase8)，該一個或多個額外抹除脈衝中之每一抹除脈衝後跟一驗證作業。

17. 如請求項16之方法，其中：

Nerase-skip係基於在該第一抹除作業之前的至少一個其他抹除作業中所施加之抹除脈衝之一計數。

18. 如請求項16之方法，其中：

Nerase-skip係基於該第一抹除作業中所施加之少於作為一裕量之預定數目個一個或多個抹除脈衝之該等抹除脈衝之該計數。

19. 如請求項16之方法，其進一步包括：

結合該第一及第二抹除作業中之至少一者，執行一軟性程式化程序，其包含將一定數目Nspgm-skip個不執行

驗證作業之一個或多個軟性程式化脈衝 (Vspgm1 至 Vspgm5) 施加至該非揮發性儲存元件組，該數目 Nspgm-skip 係基於該計數，且隨後將一個或多個額外軟性程式化脈衝 (Vspgm6 至 Vspgm15) 施加至該非揮發性儲存元件組，該一個或多個額外軟性程式化脈衝中之每一軟性程式化脈衝後跟一驗證作業。

20. 如請求項 16 之方法，其進一步包括：

結合該第一及第二抹除作業中之至少一者，執行一軟性程式化程序，其包含將一定數目個一個或多個軟性程式化脈衝 (Vspgm1 至 Vspgm15) 施加至該非揮發性儲存元件組，其中基於該計數設定該一個或多個軟性程式化脈衝之一特性。

21. 一種非揮發性儲存設備，其包括：

一非揮發性儲存元件組 (1100)；

用於將一個或多個抹除脈衝 (Verase1 至 Verase8) 施加至該非揮發性儲存元件組直至滿足一第一驗證條件 (Verase verify) 之構件 (1210、1250)；

用於確定所施加之該等抹除脈衝之一計數 (Nerase) 之構件 (1210、1250)；及

用於將一定數目 Nspgm-skip 個不執行驗證作業之一個或多個軟性程式化脈衝 (Vspgm1 至 Vspgm5) 施加至該非揮發性儲存元件組且隨後將一個或多個額外軟性程式化脈衝 (Vspgm6 至 Vspgm15) 施加至該非揮發性儲存元件組直至滿足一第二驗證條件 (Vspgm verify) 之構件 (1210、

1250)，Nspgm-skip係基於該計數，該一個或多個額外軟性程式化脈衝中之每一軟性程式化脈衝後跟一驗證作業(710、712、714、810、812)。

22. 如請求項21之非揮發性儲存設備，其進一步包括：

用於基於該計數將該非揮發性儲存元件組歸類至多個可用群組中之一個群組(G1、G2、G3)中之構件，其中Nspgm-skip係基於該非揮發性儲存元件組歸類至其中之該群組。

23. 如請求項21或22之非揮發性儲存設備，其中：

該施加一個或多個抹除脈衝係一第一抹除序列之一抹除作業(700、713)之一部分，且該施加該數目Nspgm-skip個一個或多個軟性程式化脈衝係該第一抹除序列之一軟性程式化作業(800、820、840、860、880)之一部分。

24. 如請求項21之非揮發性儲存設備，其中：

該一個或多個軟性程式化脈衝中之至少一者之一位準(高、中、低)、步長( $\Delta V1$ 、 $\Delta V2$ 、 $\Delta V3$ )及脈衝寬度( $t1$ 、 $t2$ 、 $t3$ )中之至少一者係基於該計數設定。

25. 一種用於運作非揮發性儲存器之非揮發性儲存設備，其包括：

用於將一個或多個抹除脈衝(Verase1至Verase8)施加至一非揮發性儲存元件組(1100)直至滿足一第一驗證條件(Verase verify)之構件(1210、1250)；

用於確定所施加之該等抹除脈衝之一計數(Nerase)之

構件(1210、1250)；及

用於將一定數目 Nspgm-skip 個不執行驗證作業之一個或多個軟性程式化脈衝(Vspgm1至 Vspgm5)施加至該非揮發性儲存元件組且隨後將一個或多個額外軟性程式化脈衝(Vspgm6至 Vspgm15)施加至該非揮發性儲存元件組直至滿足一第二驗證條件(Vspgm verify)之構件(1210、1250)，Nspgm-skip係基於該計數，該一個或多個額外軟性程式化脈衝中之每一軟性程式化脈衝後跟一驗證作業(710、712、714、810、812)。

26. 如請求項25之非揮發性儲存設備，其進一步包括：

用於基於該計數將該非揮發性儲存元件組歸類至多個可用群組(G1, G2, G3)中之一個群組中之構件，其中 Nspgm-skip係基於該非揮發性儲存元件組歸類至其中之該群組。

27. 如請求項25之非揮發性儲存設備，其進一步包括：

用於回應於滿足該第二驗證條件而將該組中之該等非揮發性儲存元件中之至少一者程式化至一較高資料狀態(A、B、C)之構件。

28. 如請求項25之非揮發性儲存設備，其中：

Nspgm-skip係基於多個抹除作業(1002)中所施加之抹除脈衝之一計數。

29. 如請求項25之非揮發性儲存設備，其中：

該非揮發性儲存元件組在滿足該第一驗證條件時具有至少部分地低於一經抹除狀態(442)之一第一臨限電壓分

佈(440)，且在滿足該第二驗證條件時具有處於該經抹除狀態之一第二較緊密臨限電壓分佈(442)。

30. 如請求項25之非揮發性儲存設備，其中：

該一個或多個抹除脈衝係施加為一第一抹除序列之一抹除作業之一部分，且該數目 $N_{\text{spgm-skip}}$ 個一個或多個軟性程式化脈衝係施加為該第一抹除序列之一軟性程式化作業之一部分。

31. 如請求項30之非揮發性儲存設備，其進一步包括：

用於執行其中基於該計數跳過若干抹除驗證脈衝之一第二抹除序列之一額外抹除作業之構件。

八、圖式：

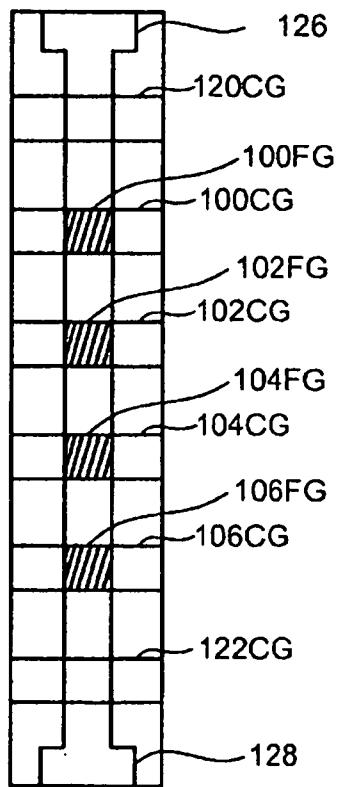


圖 1a

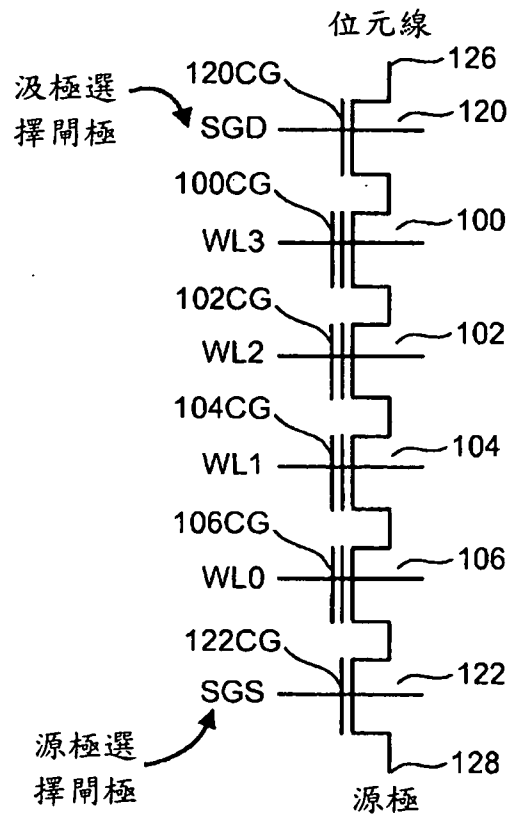


圖 1b



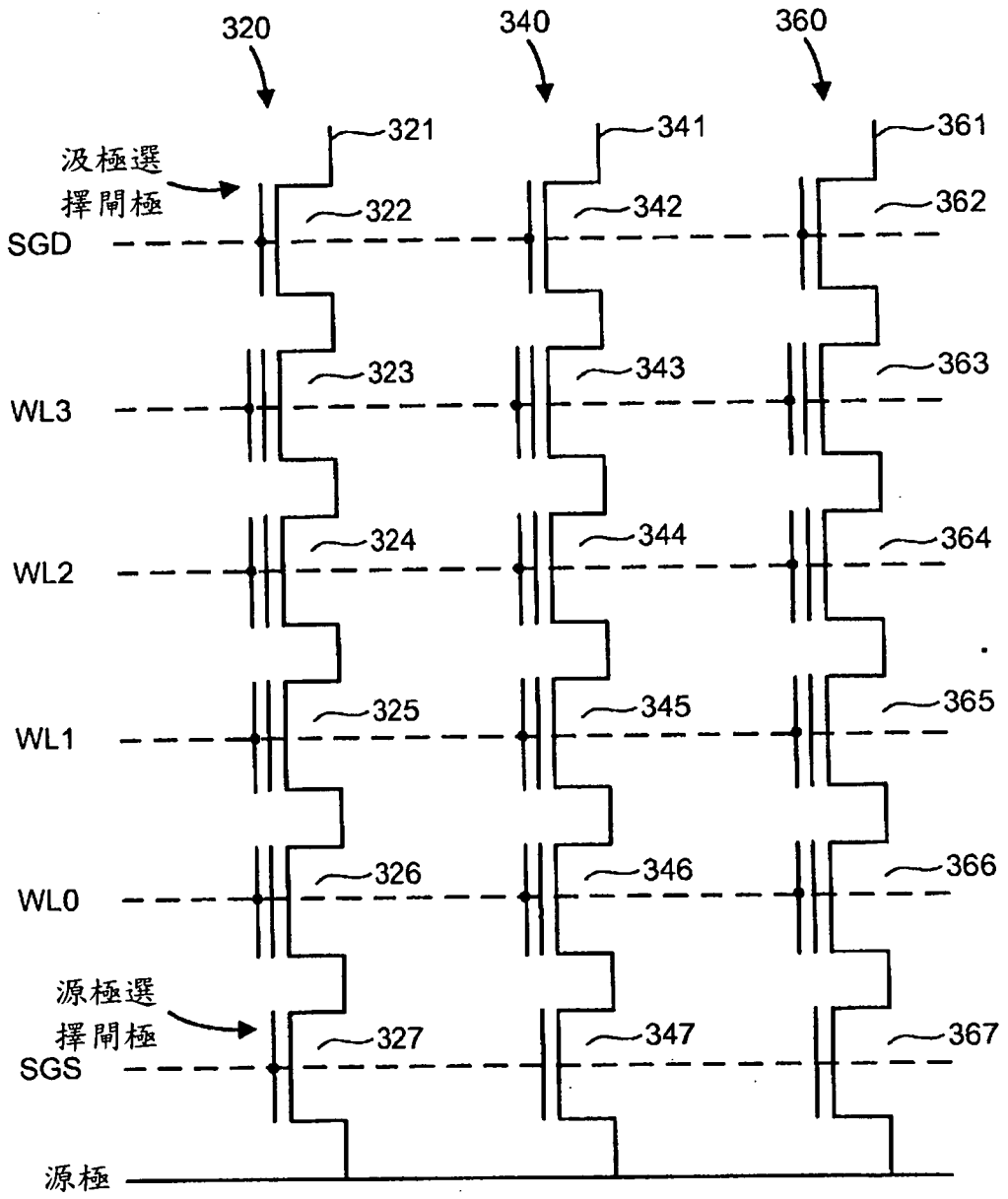


圖 1c

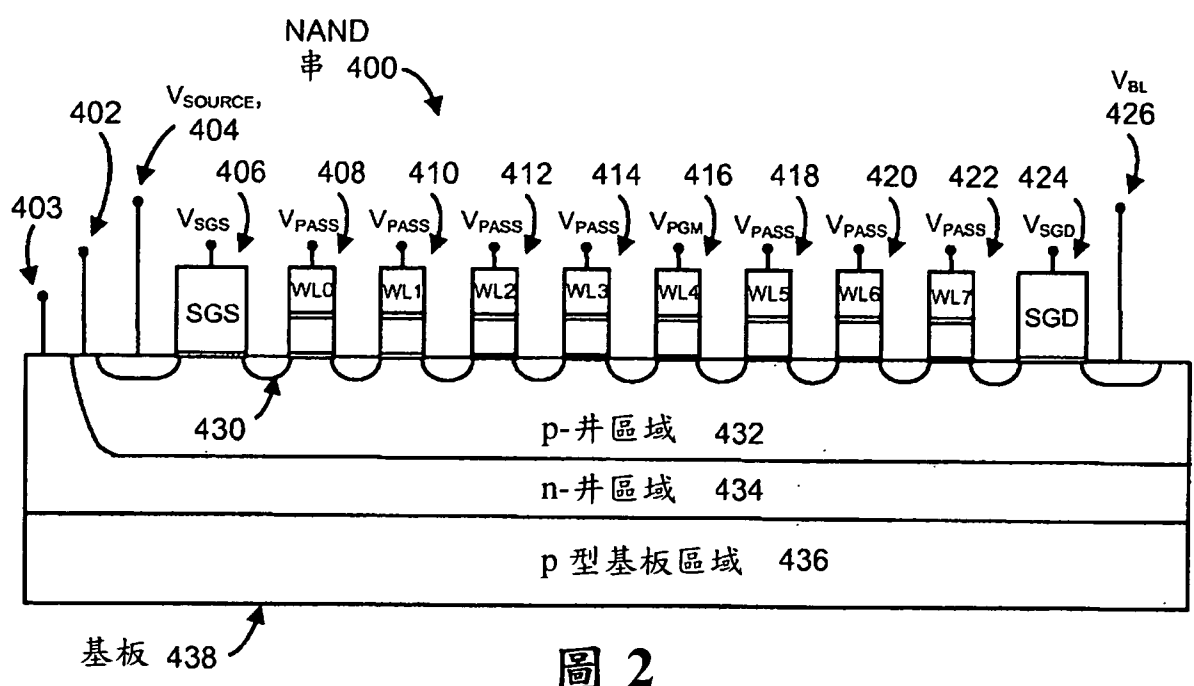


圖 2

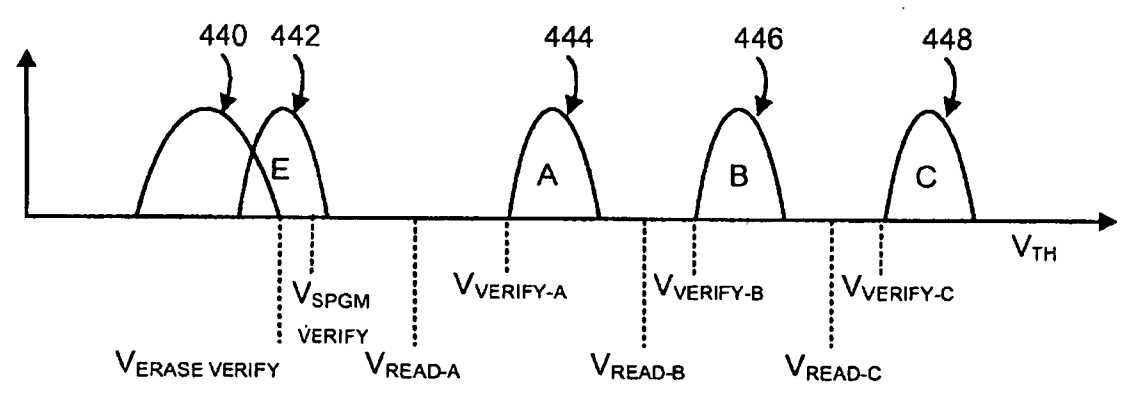


圖 3

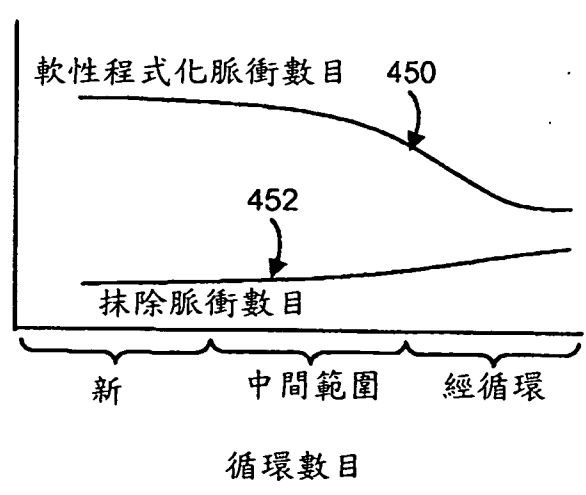


圖 4

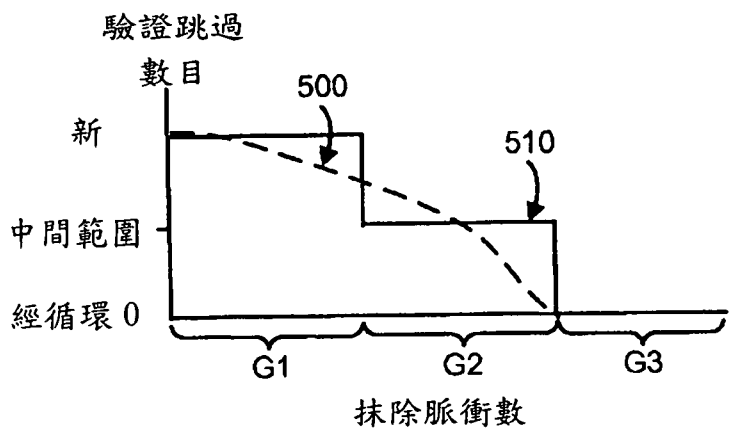


圖 5

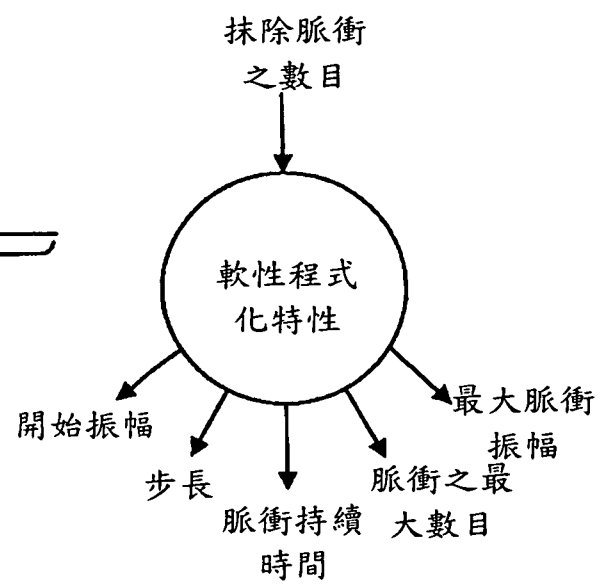


圖 6

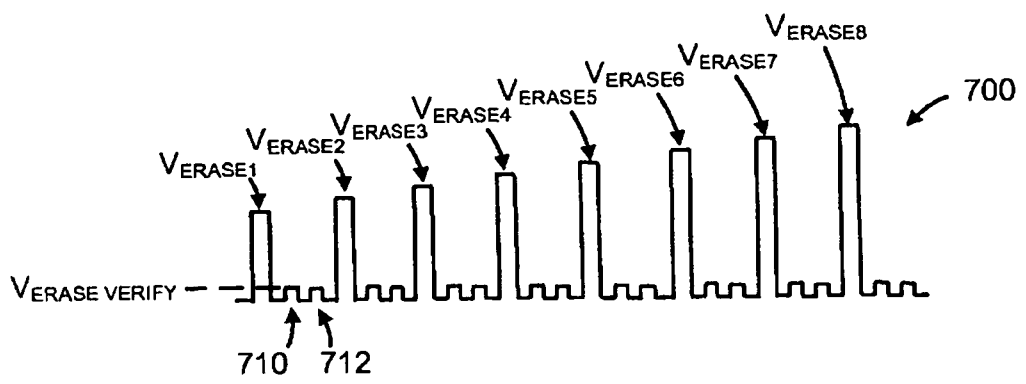


圖 7a

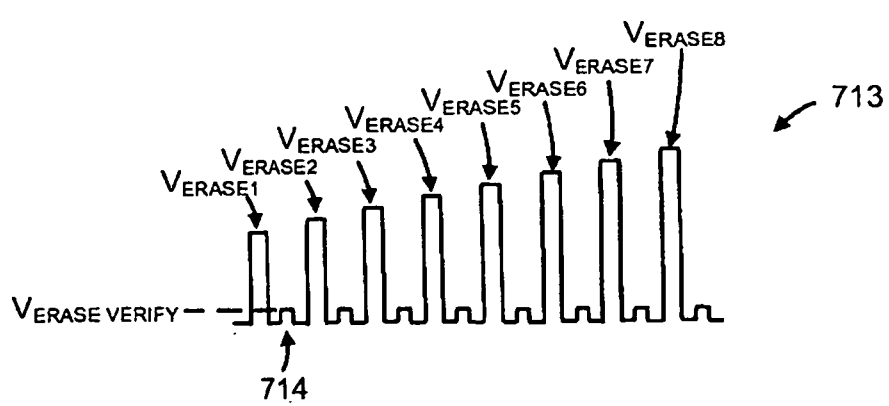


圖 7b

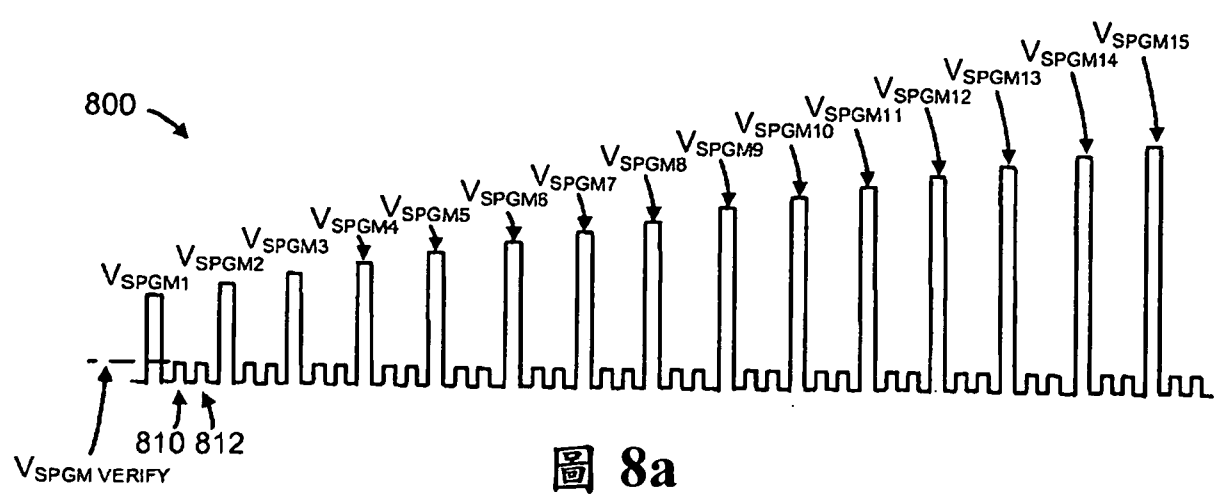


圖 8a

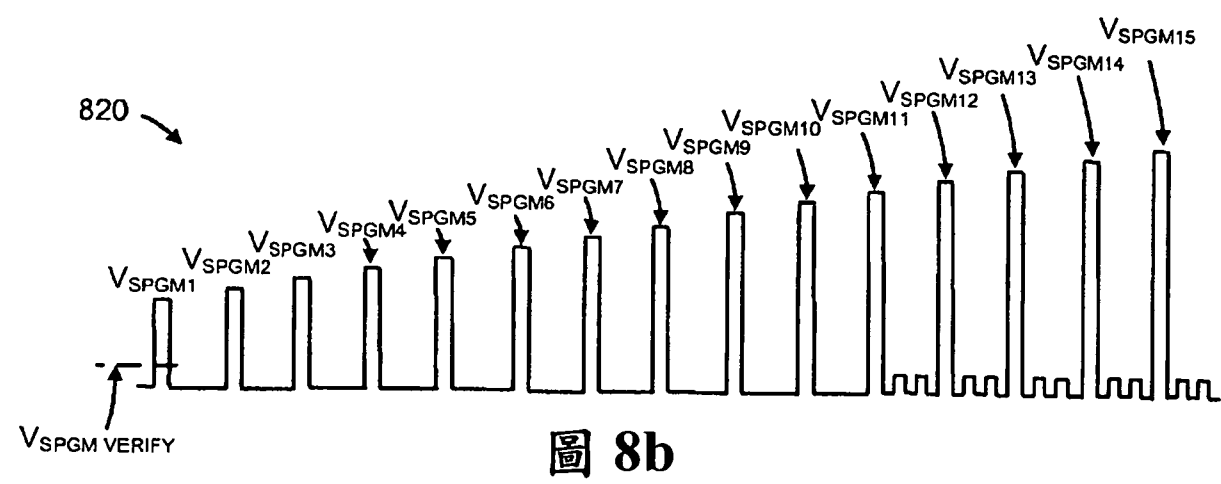


圖 8b

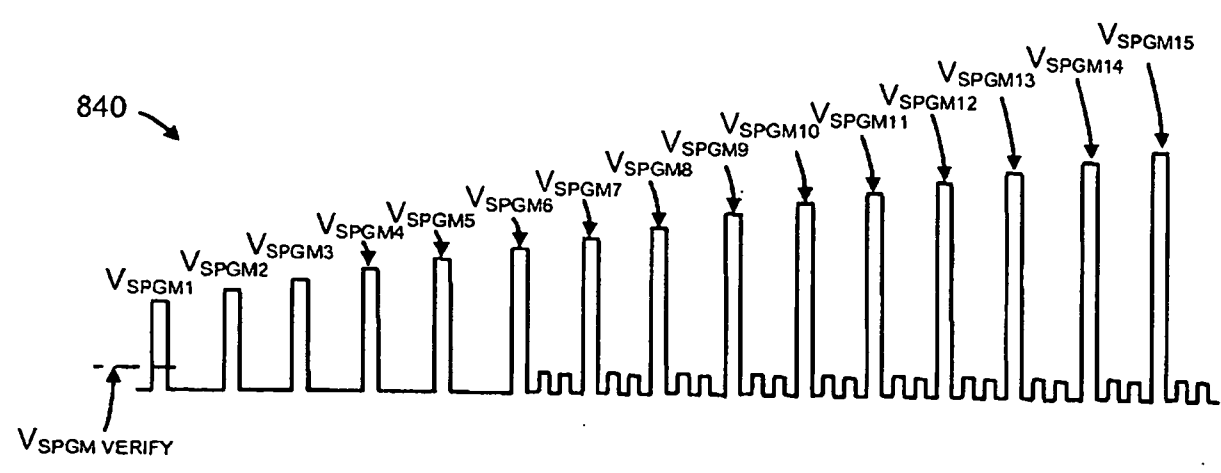


圖 8c

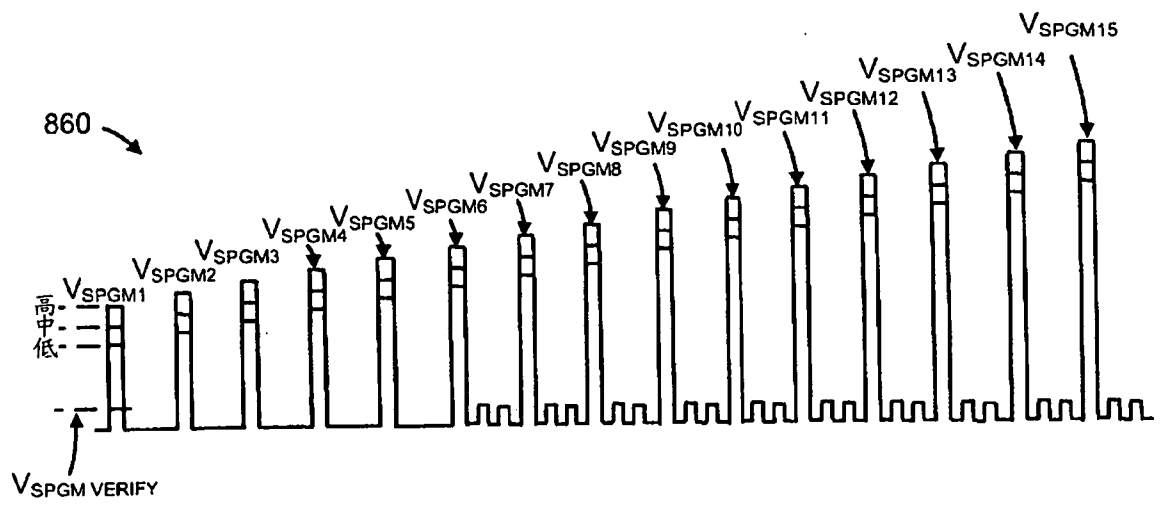


圖 8d

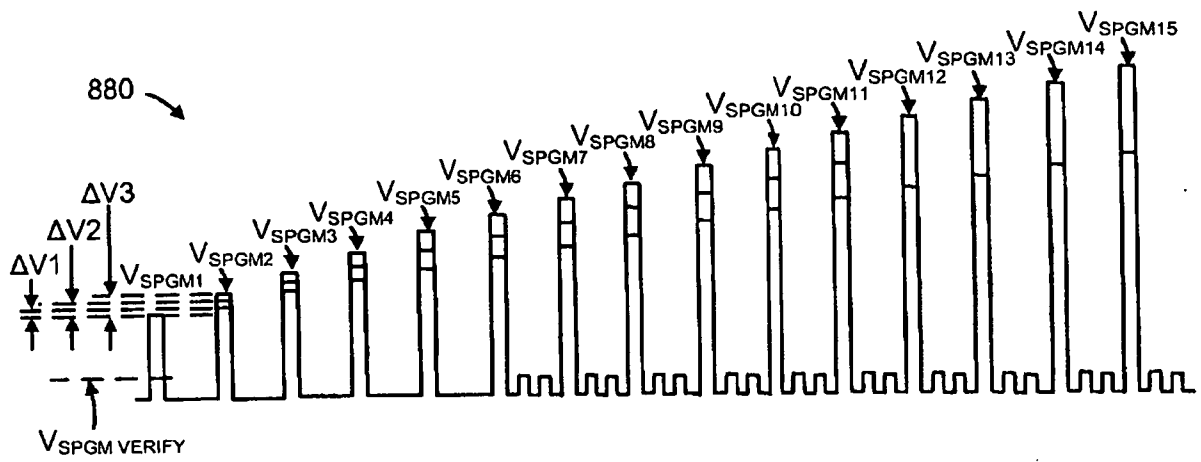


圖 8e

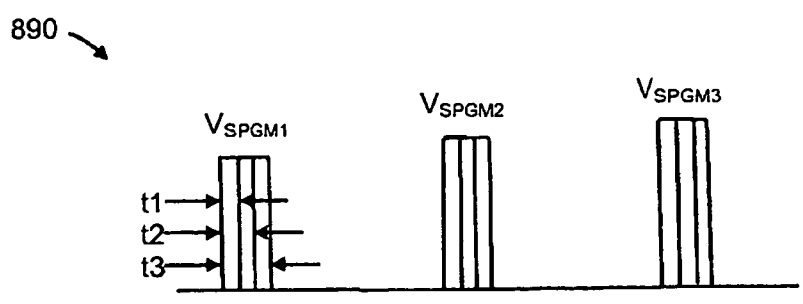


圖 8f

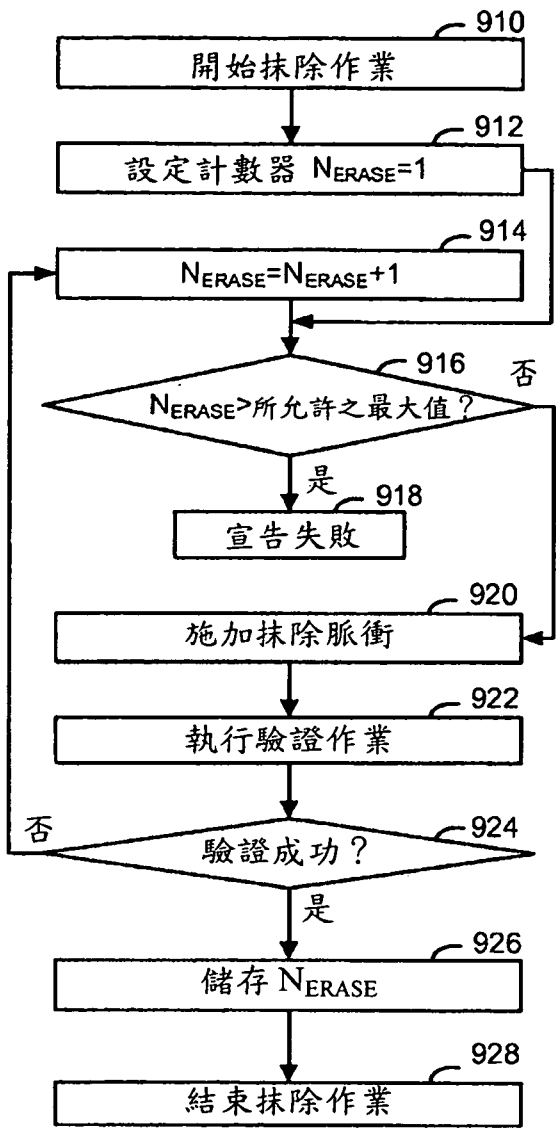


圖 9b

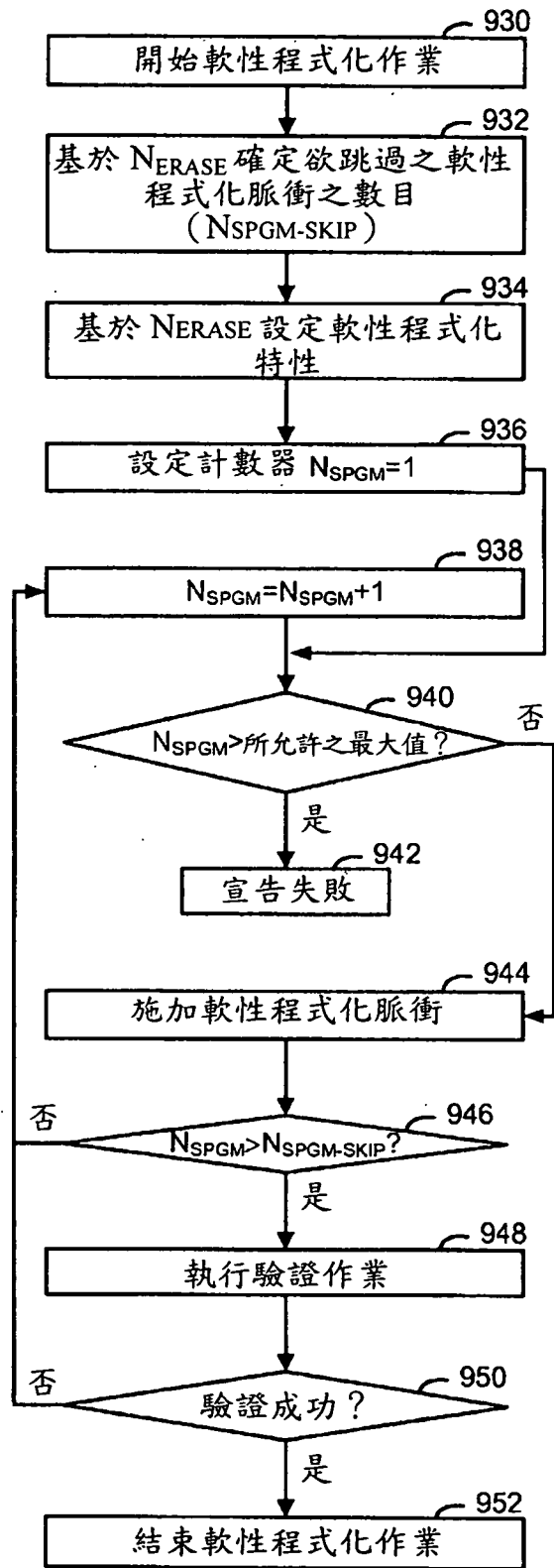


圖 9c

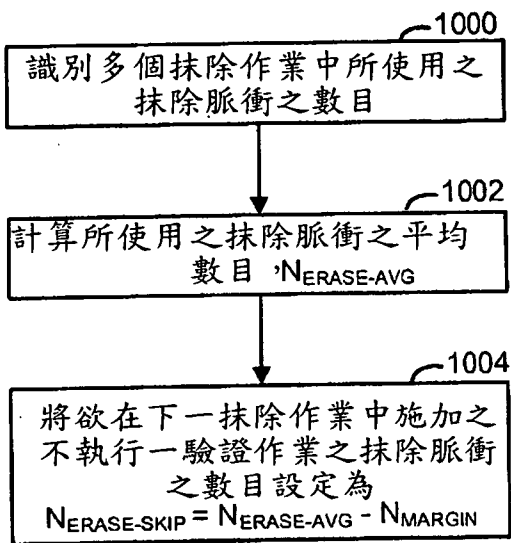


圖 10a

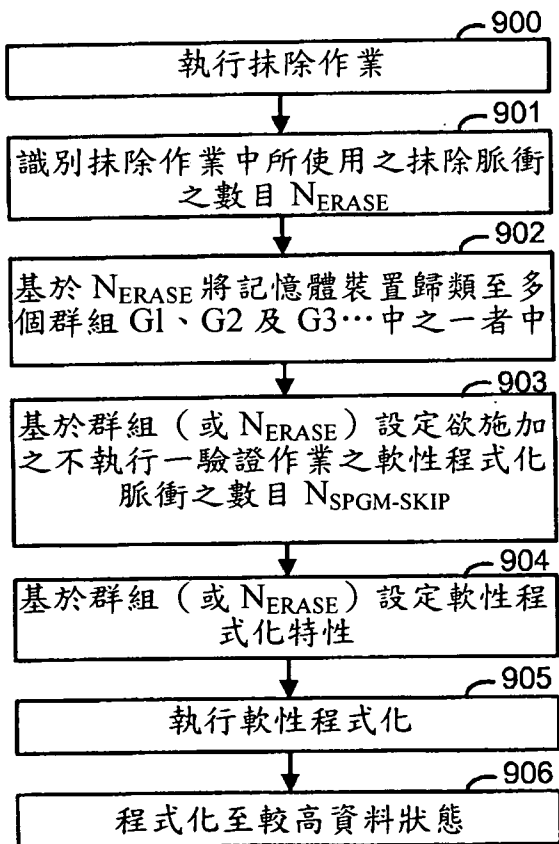


圖 9a

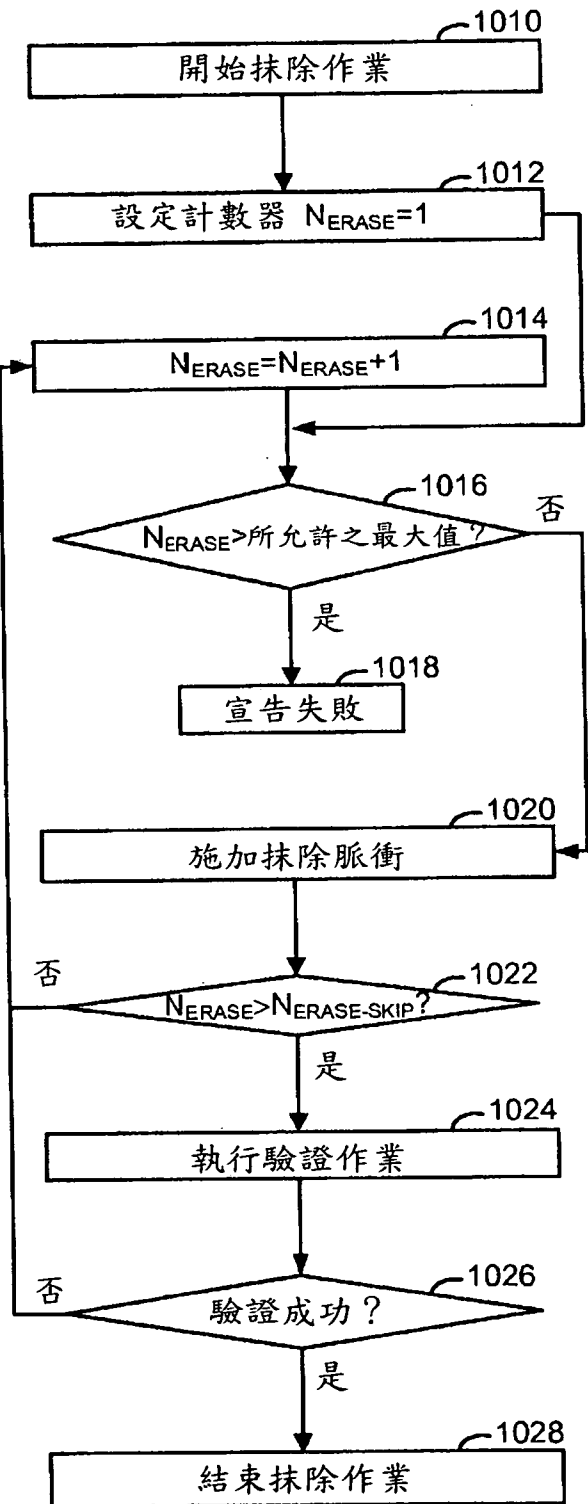


圖 10b

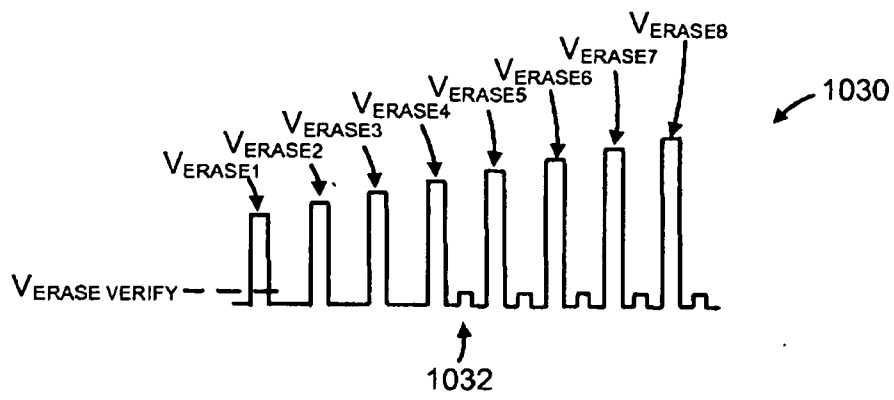


圖 10c



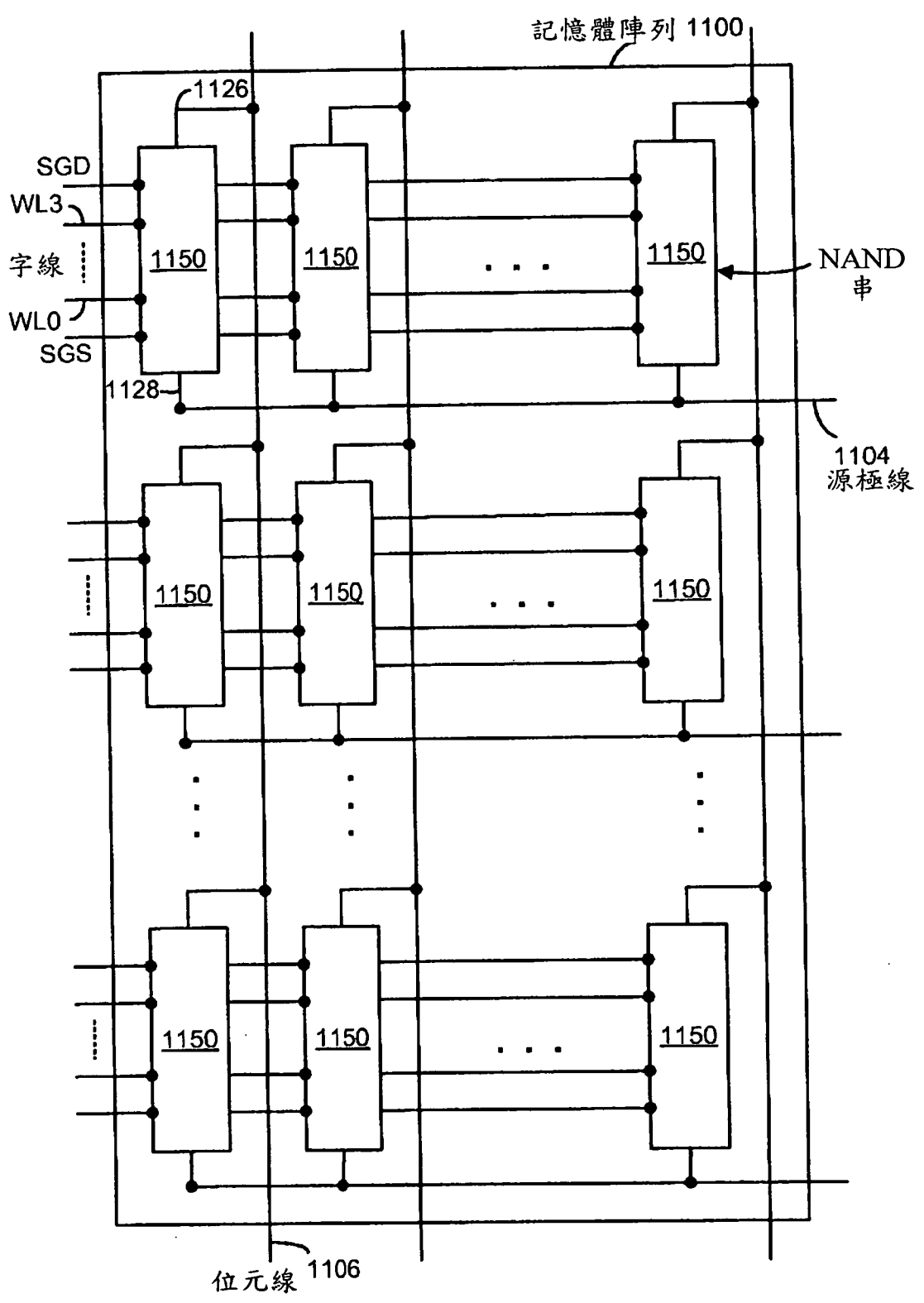


圖 11

104  
年6月3日修正替換頁

第 098141958 號專利申請案  
中文圖式替換頁(104 年 6 月)

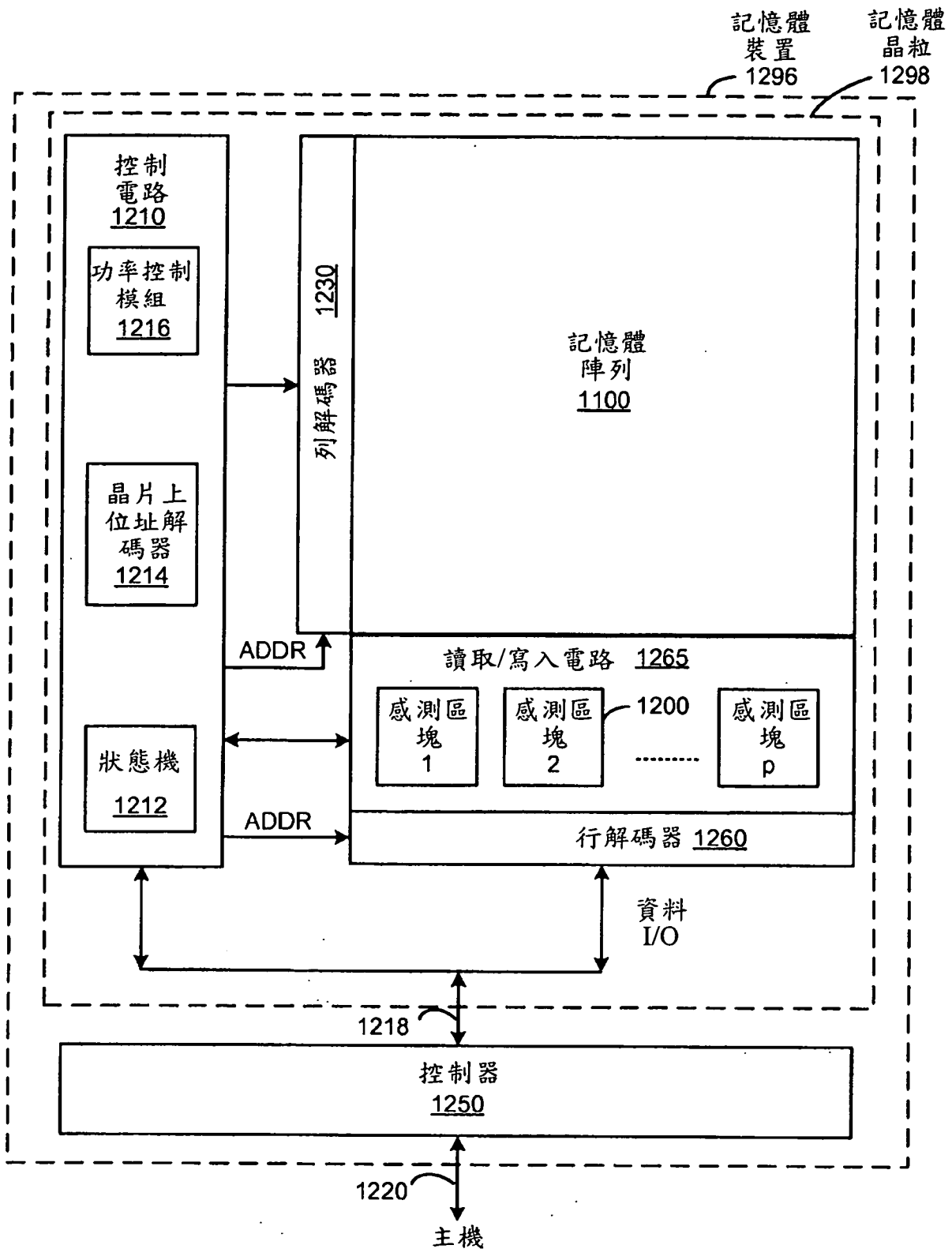


圖 12

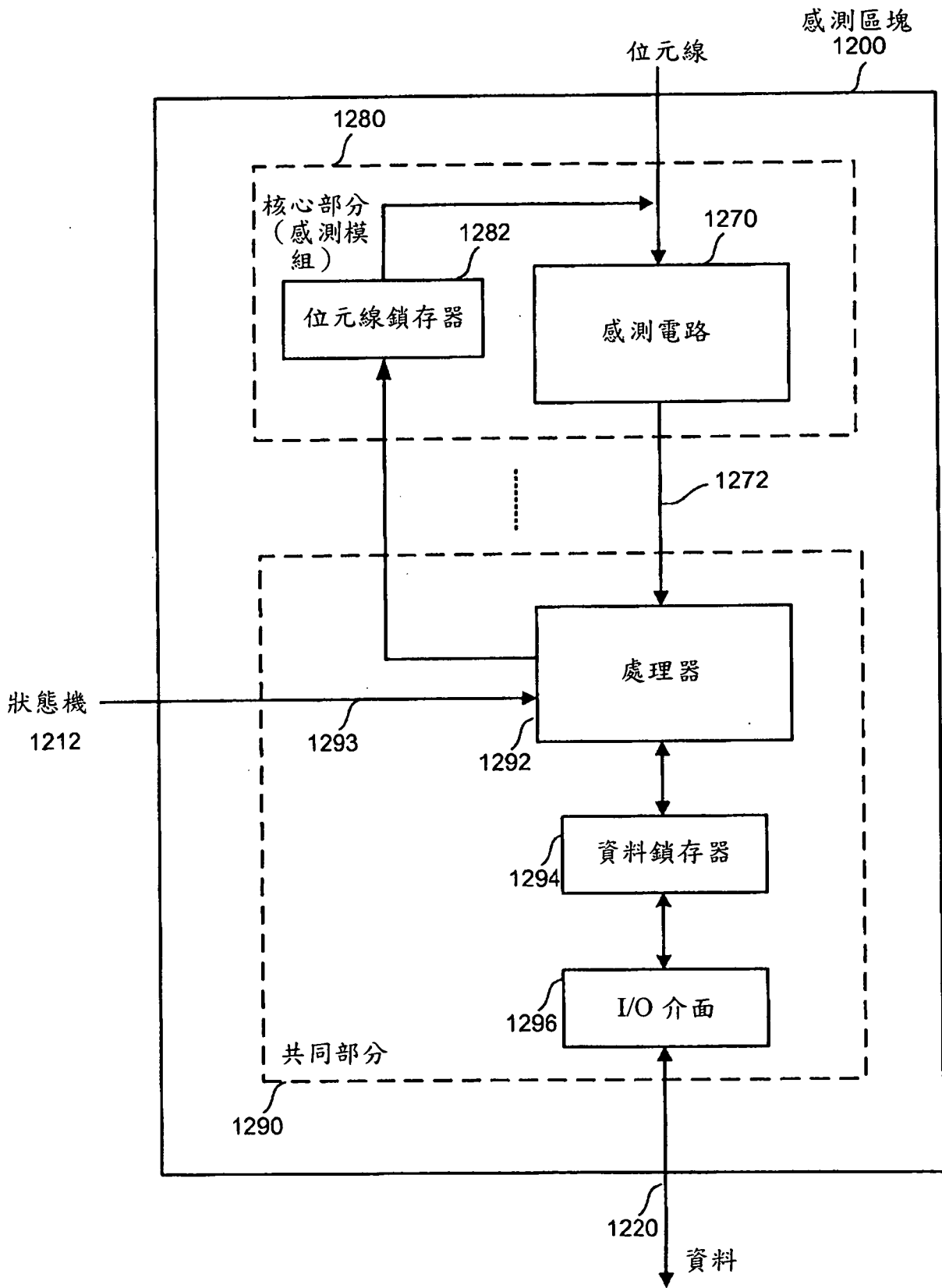


圖13



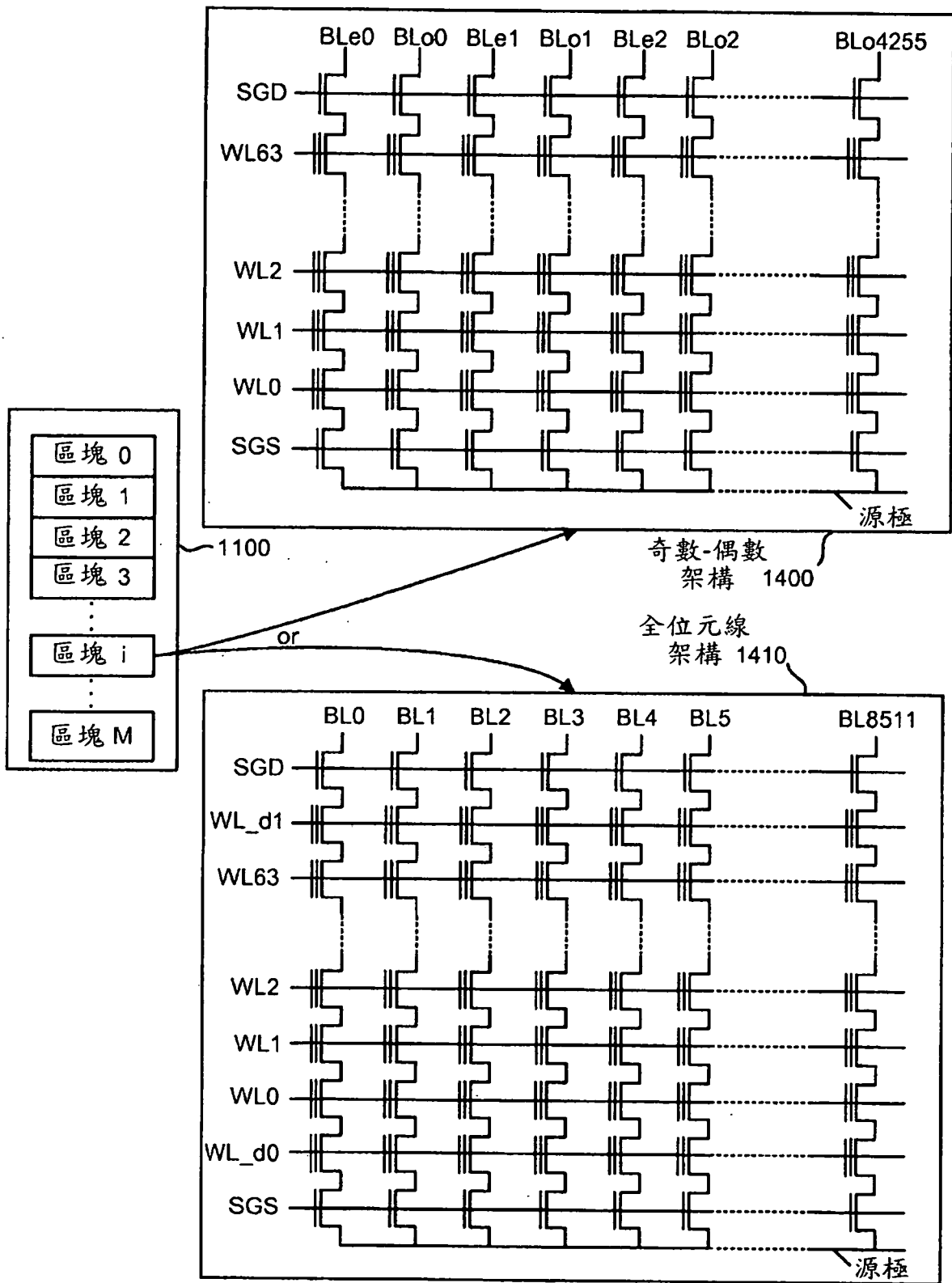


圖 14

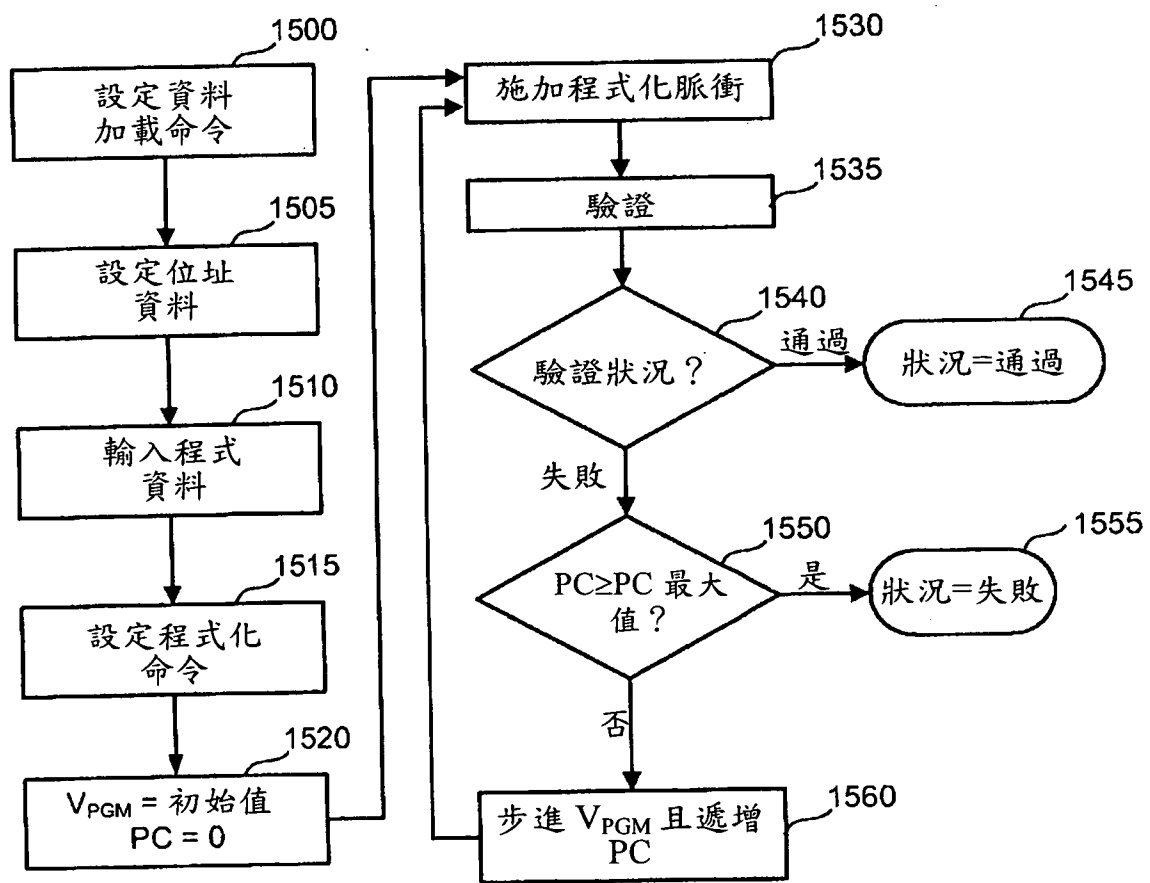


圖 15

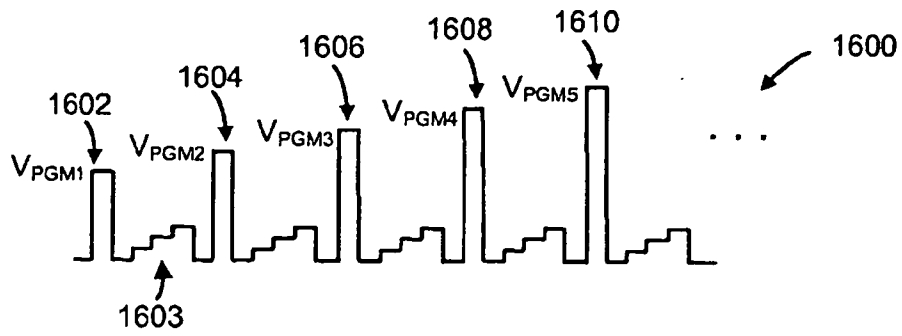


圖 16a

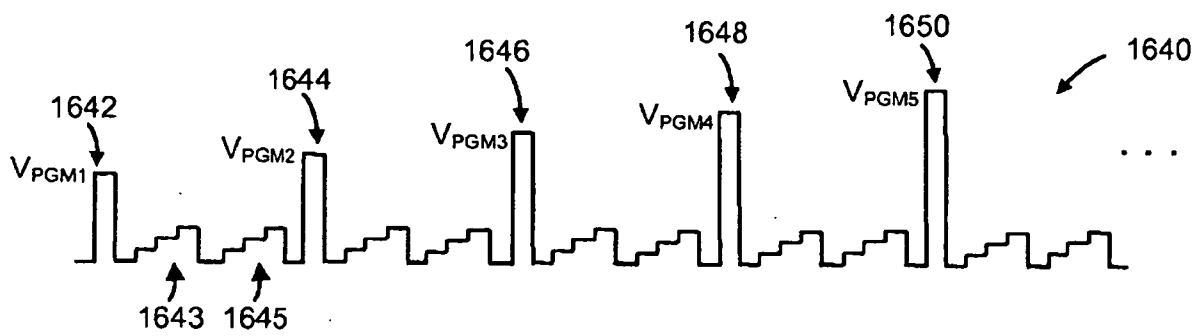


圖 16b