

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5106151号
(P5106151)

(45) 発行日 平成24年12月26日 (2012. 12. 26)

(24) 登録日 平成24年10月12日 (2012. 10. 12)

(51) Int. Cl.	F I	
G 1 1 C 29/00 (2006. 01)	G 1 1 C 29/00	6 0 5 C
H O 1 L 21/8247 (2006. 01)	G 1 1 C 29/00	6 0 3 N
H O 1 L 27/115 (2006. 01)	H O 1 L 27/10	4 3 4
H O 1 L 27/10 (2006. 01)	H O 1 L 27/10	4 8 1
H O 1 L 21/336 (2006. 01)	H O 1 L 29/78	3 7 1
請求項の数 7 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2008-16252 (P2008-16252)	(73) 特許権者	000003078
(22) 出願日	平成20年1月28日 (2008. 1. 28)		株式会社東芝
(65) 公開番号	特開2009-176384 (P2009-176384A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成21年8月6日 (2009. 8. 6)	(74) 代理人	100075812
審査請求日	平成22年2月18日 (2010. 2. 18)		弁理士 吉武 賢次
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(72) 発明者	永 嶋 宏 行
			東京都港区芝浦一丁目1番1号 株式会社東芝内
最終頁に続く			

(54) 【発明の名称】 積層型スタックNANDメモリ及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

積層された複数のメモリセルレイヤーを有し、前記各メモリセルレイヤーは複数のブロックを有する、積層型メモリセルアレイと、

前記各メモリセルレイヤーが良メモリセルレイヤーか不良メモリセルレイヤーかのレイヤー良否情報を格納可能なレイヤー良否情報格納回路であって、予め決めた数以上の不良ブロックが存する前記メモリセルレイヤーを不良メモリセルレイヤーとして、それ以外のメモリセルレイヤーを良メモリセルレイヤーとして、レイヤー良否情報を格納するレイヤー良否情報格納回路と、

外部から入力された外部入力アドレスが前記不良メモリセルレイヤーにおける前記ブロックに対応する場合には、前記不良メモリセルレイヤーを除外するように前記外部入力アドレスをアドレス変換して、前記良メモリセルレイヤーにおける前記ブロックに対応させる、アドレス変換回路と、

を備えることを特徴とする積層型スタックNANDメモリ。

【請求項2】

請求項1に記載の半導体装置であって、

前記レイヤー良否情報格納回路の前記レイヤー良否情報に基づいて、前記不良メモリセルレイヤーの有する前記ブロックのブロックアドレスを生成する、ブロックアドレス生成回路と、

前記ブロックアドレスに対応する前記ブロックとロウ制御回路との接続を阻止する、スイ

ツチング回路と、

を備えることを特徴とする積層型スタックNANDメモリ。

【請求項3】

請求項1に記載の半導体装置であって、

前記レイヤー良否情報格納回路の前記レイヤー良否情報に基づいて、ロウ制御回路と、前記良メモリセルレイヤーの前記ブロックとの接続を許容し、前記不良メモリセルレイヤーの前記ブロックとの接続を阻止する、スイッチング回路をさらに備えることを特徴とする積層型スタックNANDメモリ。

【請求項4】

積層された複数のメモリセルレイヤーを有し、前記各メモリセルレイヤーは複数のブロックを有する、積層型メモリセルアレイを備えたメモリチップと、

前記各メモリセルレイヤーが良メモリセルレイヤーか不良メモリセルレイヤーかのレイヤー良否情報を格納可能なレイヤー良否情報格納回路であって、予め決めた数以上の不良ブロックが存する前記メモリセルレイヤーを不良メモリセルレイヤーとして、それ以外のメモリセルレイヤーを良メモリセルレイヤーとして、レイヤー良否情報を格納するレイヤー良否情報格納回路と、

前記メモリチップに制御信号及びアドレスを加え、前記メモリチップとの間でデータを送受するコントローラであって、前記レイヤー良否情報格納回路の前記レイヤー良否情報に基づき、前記メモリチップに加える前記アドレスを、それが前記良メモリセルレイヤーに対応するか、前記不良メモリセルレイヤーに対応するか、を判断し、前記不良メモリセルレイヤーに対応すると判断された前記アドレスを除外するようにアクセスを行わないコントローラと、

を備えることを特徴とする半導体装置。

【請求項5】

積層された複数のメモリセルレイヤーを有し、前記各メモリセルレイヤーは複数のブロックを有する、積層型メモリセルアレイを備えたメモリチップと、

前記各メモリセルレイヤーが良メモリセルレイヤーか不良メモリセルレイヤーかのレイヤー良否情報を格納可能なレイヤー良否情報格納回路であって、予め決めた数以上の不良ブロックが存する前記メモリセルレイヤーを不良メモリセルレイヤーとして、それ以外のメモリセルレイヤーを良メモリセルレイヤーとして、レイヤー良否情報を格納するレイヤー良否情報格納回路と、

を備えた半導体装置であって、

前記メモリチップは、前記レイヤー良否情報格納回路の前記レイヤー良否情報に基づき、前記不良メモリセルレイヤーの前記ブロックへの動作電圧の供給を停止するものとして構成されており、

前記半導体装置は、さらに、前記メモリチップに制御信号及びアドレスを加え、前記メモリチップとの間でデータを送受するコントローラであって、前記メモリチップが前記不良メモリセルレイヤーの前記ブロックへの前記動作電圧の供給を停止した後、全メモリセルレイヤーについて読み出しを行い、読み出しの結果に基づいて前記不良メモリセルレイヤーを知得し、知得した不良メモリセルレイヤーを除外するようその後アクセスを行わないコントローラを備える、

ことを特徴とする半導体装置。

【請求項6】

前記複数のメモリセルレイヤーは、前記積層型メモリセルアレイの中に順次作成されたものであることを特徴とする請求項1乃至3のいずれかに記載の積層型スタックNANDメモリ。

【請求項7】

前記複数のメモリセルレイヤーは、前記積層型メモリセルアレイの中に順次作成されたものであることを特徴とする請求項4又は5に記載の半導体装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、半導体記憶装置に関する。

【背景技術】

【0002】

現在、フラッシュメモリ装置においては、冗長ブロックによって不良ブロックを置換して用いている。しかし、出荷検査時に、メモリチップにある一定数以上の不良ブロックがあった場合は、不良チップとして識別される。

【0003】

なお、障害の発生しているメモリの切り離しによりシステムの信頼性を向上させるメモリ再構成方法が特許文献1に記載されている。

10

【0004】

近年、フラッシュメモリ装置の大容量化が進展しているが、さらなる大容量化及びある平面上での小型化に対応するため、メモリセルアレイを有するレイヤー（以下、メモリセルレイヤーという）を、一つのチップの中に複数積層した積層型スタックNANDメモリが知られている。

【特許文献1】特開平9-146849

【発明の開示】

【発明が解決しようとする課題】

【0005】

20

本発明は、複数のメモリセルレイヤーを有する半導体装置において、一部のメモリセルレイヤーが不良と判断されても、使用可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明によれば、積層された複数のメモリセルレイヤーを有し、前記各メモリセルレイヤーは複数のブロックを有する、積層型メモリセルアレイと、前記各メモリセルレイヤーが良メモリセルレイヤーか不良メモリセルレイヤーかのレイヤー良否情報を格納可能なレイヤー良否情報格納回路であって、予め決めた数以上の不良ブロックが存する前記メモリセルレイヤーを不良メモリセルレイヤーとして、それ以外のメモリセルレイヤーを良メモリセルレイヤーとして、レイヤー良否情報を格納するレイヤー良否情報格納回路と、外部から入力された外部入力アドレスが前記不良メモリセルレイヤーにおける前記ブロックに対応する場合には、前記不良メモリセルレイヤーを除外するように前記外部入力アドレスをアドレス変換して、前記良メモリセルレイヤーにおける前記ブロックに対応させる、アドレス変換回路と、を備えることを特徴とする積層型スタックNANDメモリが提供される。

30

【発明を実施するための最良の形態】

【0007】

本発明の実施形態を説明する前に、本発明者が本発明をなすに至った経緯について説明する。

【0008】

40

図14に、複数のメモリセルレイヤー1a, 1b, 1c, 1dとセンスアンプ21を有する積層型スタックNANDメモリの構成を示す。各メモリセルレイヤー1a, 1b, 1c, 1dは、ビット線22、ワード線23及びこれらの交点に位置するメモリトランジスタ（図示せず）を有している。このメモリトランジスタは、予め決められた数ごとにメモリユニットを構成する。このメモリユニット単位で一括消去を行うことができる。センスアンプ21は、読出し対象のメモリセルのオン、オフ状態に基づく電位の微小な変化を検出し、読出しデータの判定が行われる。このセンスアンプ21は、図14では、メモリセルレイヤー1a, 1b, 1c, 1dの対応するビット線に共通のものとして設け、スイッチ（図示せず）により切替えて使用するようになっている。

【0009】

50

このような積層型スタックNANDメモリに対して、従来と同様の考え方で検査を行った場合を考える。各ブロックにおいて、所定の数以上の不良メモリランジスタが存在する場合に、そのブロックを不良ブロックとする。ある一つのレイヤー及び二つ以上のメモリセルレイヤーにおいて、ある一定数（許容値n）以上の不良ブロックが存在すると、当該メモリセルレイヤーは不良と識別される。不良メモリセルレイヤーの数が一つでも存在すると、たとえ他のメモリセルレイヤーが正常であっても不良チップと識別されることにより、歩留まりの低下が避けられない。

【0010】

一つのチップの中に複数のメモリセルレイヤーを順次作成していくプロセスにおいて、下方のメモリセルレイヤーの素子は上方のメモリセルレイヤーの作成に伴い、従来以上の熱工程を経るため、歩留まりが低下する可能性が高い。例えば、図14の積層型スタックNANDメモリにおいて、メモリセルレイヤーを1a、1b、1c、1dの順に作成した場合、メモリセルレイヤー1aはメモリセルレイヤー1b、1c、1dを作成する際の熱工程を経ることになる。また、逆に、プロセスの途中で製造条件が変わるなどして、上方のメモリセルレイヤーの歩留まりが低下するおそれもある。先の例ではメモリセルレイヤー1dの歩留まりが相対的に低くなることが考えられる。

【0011】

この技術的課題は、本発明者が独自に認識したもので他の当業者は何ら認識すらしていない課題である。本発明者はこの課題に対して以下のように考えた。

【0012】

各メモリセルレイヤー（1a、1b、1c、1d）を検査した結果、メモリセルレイヤー1a及び1cに不良ブロックが多発し、許容値を超えた場合を考える。この場合、従来のテストでは、たとえメモリセルレイヤー1b及び1dが不良でなくても、全体として不良チップとなってしまふ。しかし、不良ブロックの分布にメモリセルレイヤー依存性があるので、不良ブロックが多発したメモリセルレイヤーを除外すれば、半分でも装置として用いることができる。例えば、容量を識別するためのIDコードを、管理領域として用いられる不揮発メモリに書き込んでおくことで、外部からはある一定量のメモリデバイスとして扱うことができる。

【0013】

本発明は、まさにこのようにしようとしたものである。

【0014】

以下、本発明の実施形態について図面を参照しながら説明する。

【0015】

第1の実施形態では、フラッシュメモリチップ内部の回路を用いてアドレス変換を行うことにより、不良メモリセルレイヤーの論理的な隔離（論理的なアドレスから除外することを意味する。）を行う。第2の実施形態及び第3の実施形態は、フラッシュメモリチップの外部にあるホストコントローラを使用して、不良メモリセルレイヤーを隔離するものである。

【0016】

（第1の実施形態）

図1は、第1の実施形態に係るフラッシュメモリ装置の全体構成を示している。このフラッシュメモリ装置は、ホストコントローラ9とフラッシュメモリチップ20を有する。このフラッシュメモリチップ20は、積層型メモリセルアレイ1、カラム制御回路2、ロウ制御回路3、ソース線制御回路4、Pウェル制御回路5、データ入出力バッファ6、コマンド・インターフェイス7及びステートマシン8を有する。これらの要素についてそれぞれ説明する。

【0017】

積層型メモリセルアレイ1は、フラッシュメモリのメモリセルがマトリクス上に配置されて構成されるメモリセルレイヤーを、複数有する。

【0018】

10

20

30

40

50

カラム制御回路2（カラムデコーダ）は、積層型メモリセルアレイ1に隣接して設けられている。このカラム制御回路2は、積層型メモリセルアレイ1のビット線を制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しを行う。なお、このカラム制御回路2はメモリセルレイヤー毎に設けてもよいし、チップ面積を削減するために複数のメモリセルレイヤーに共通のものとしても良い。

【0019】

ロウ制御回路3（ロウデコーダ）は、積層型メモリセルアレイ1に隣接して設けられている。このロウ制御回路3は、積層型メモリセルアレイ1のワード線を選択し、メモリセルのデータ消去、書き込み、読み出しに必要な電圧を印加する。なお、このロウ制御回路3はメモリセルレイヤー毎に設けてもよいし、チップ面積の削減のために複数のメモリセルレイヤーに共通のものとしても良い。

10

【0020】

また、積層型メモリセルアレイ1のソース線を制御するソース線制御回路4、及び、積層型メモリセルアレイ1が形成されるp型ウェルの電位を制御するPウェル制御回路5が設けられている。

【0021】

データ入出力バッファ6は、外部I/O線を介して外部のホストコントローラ9と接続され、書き込みデータの受信、読み出しデータの送信、並びにアドレスデータ及びコマンドデータの受信を行う。そして、このデータ入出力バッファ6は、ホストコントローラ9から受信した書き込みデータをカラム制御回路2に送信し、逆に、カラム制御回路2から読み出されたデータを受信する。この際、書き込み/読み出しを行うメモリセルを選択するため、ホストコントローラ9から受信したアドレスデータを、ステートマシン8を介して、カラム制御回路2及びロウ制御回路3に送信する。また、ホストコントローラ9からのコマンドデータをコマンド・インターフェイス7に送る。

20

【0022】

コマンド・インターフェイス7は、ホストコントローラ9からの外部制御信号を受信し、データ入出力バッファ6に入力されたデータの種別（書き込みデータ、コマンドデータ又はアドレスデータ）を判断する。そして、コマンドデータであれば、受信コマンド信号としてステートマシン8に転送する。

【0023】

ステートマシン8は、フラッシュメモリチップ20全体の管理を行うものであり、ホストコントローラ9からのコマンドを受信し、データの読み出し、書き込み、消去、及びデータの入出力管理を行う。

30

【0024】

コントローラ9は、外部制御信号（読出し、書込み、消去等）により、フラッシュメモリチップ20を制御する。

【0025】

図2(a)に、積層型メモリセルアレイ1の構成を示す。本実施形態では、積層型メモリセルアレイ1は、4層のメモリセルレイヤーをスタックした構成となっている。各レイヤー（Layer0~3）は、それぞれ1024個のブロックから構成されており、全体で4096ブロックから構成される。なお、ブロックはデータ消去の最小単位である。

40

【0026】

図2(b)に各ブロックBLOCKmiの構成を示す。図2(b)からわかるように、1つのブロックは8512個のNAND型メモリユニット25から構成される。各NAND型メモリユニット25は4つのメモリセルM0~M3が直列に接続されて構成される。各NAND型メモリユニット25の一端は、選択ゲート線SGD__miが制御ゲートに接続された選択ゲートS1を介して、ビット線BL(BLe0~BLe4255、Blo0~Blo4255)に接続されている。他端は、選択ゲート線SGS__miが制御ゲートと接続された選択ゲートS2を介して、共通ソース線C-sourceに接続されている。各々のメモリセルM0~M3の制御ゲートは、ワード線WL(WL0__mi~WL3__

50

m i) にそれぞれ接続されている。0 から数えて偶数番目のビット線 B L e と奇数番目のビット線 B L o は、お互いに独立にデータの書き込み又は読み出しが行われる。1 本のワード線 W L に繋がる 8 5 1 2 個のメモリセルのうち、偶数番目のビット線 B L e に接続される 4 2 5 6 個のメモリセルに対して同時にデータの書き込み又は読み出しが行われる。各メモリセルが記憶する 1 ビットのデータが 4 2 5 6 個のメモリセル分となって、ページという単位を構成する。もし 1 つのメモリセルで 2 ビットのデータを記憶する場合、4 2 5 6 個のメモリセルは 2 ページ分のデータを記憶する。この場合、偶数番目のビット線 B L e と同様に、奇数番目のビット線 B L o に接続される 4 2 5 6 個のメモリセルによって、別の 2 ページが構成され、ページ内のメモリセルに対して同時にデータの書き込み又は読み出しが行われる。

10

【 0 0 2 7 】

あるブロックの中に、予め決めた数以上の N A N D 型メモリユニット 2 5 が不良であるとき、そのブロックを不良ブロックという。

【 0 0 2 8 】

次に、このメモリデバイスの容量について具体的に説明する。全てのメモリセルレイヤーのブロックが良品の場合、このメモリデバイスの容量は、

4 層 (L a y e r 0 ~ 3) × 1 0 2 4 ブロック × 4 ページ × 4 2 5 6 カラム × 2 (E v e n / O d d) = 約 1 4 0 M b i t

となる。

【 0 0 2 9 】

それに対して、例えばメモリセルレイヤー 1 及び 3 が不良と判断された場合、このメモリセルレイヤー 1 及び 3 は隔離され、そのときの容量は、

2 層 (L a y e r 0 , 2) × 1 0 2 4 ブロック × 4 ページ × 4 2 5 6 カラム × 2 (E v e n / O d d) = 約 7 0 M b i t

となる。

20

【 0 0 3 0 】

なお、本実施形態では、1 つのメモリセルレイヤーを構成するブロックの数を 1 0 2 4 個とし、1 つのブロックが 8 5 1 2 個の N A N D 型メモリユニットを有し、且つ各 N A N D 型メモリユニットは 4 つのメモリセルを有するとしたが、これに限定されるものではなく、所望の容量に応じてブロック数、N A N D 型メモリユニット数及びメモリセル数を変更することができる。

30

【 0 0 3 1 】

次に、不良ブロックが多発したメモリセルレイヤー (不良メモリセルレイヤー) を隔離する方法について述べる。メモリセルレイヤーを隔離する内容として、論理的な隔離 (アドレスの変換) と物理的な隔離がある。まず、論理的な隔離について説明する。その後、物理的な隔離について説明する。

【 0 0 3 2 】

論理的に隔離する方法を具体的に述べる。各メモリセルレイヤー (L a y e r 0 ~ 3) をテストした結果、L a y e r 1 及び 3 に不良ブロックが多発し、許容値 n を超えた場合を考える。図 3 (a) 及び図 3 (b) に、メモリセルのアドレス変換前及び変換後のアドレステーブルをそれぞれ示す。

40

【 0 0 3 3 】

図 3 (b) からわかるように、メモリセルレイヤー 1 , 3 に対応するブロック 1 0 2 4 ~ 2 0 4 7 , 3 0 7 2 ~ 4 0 9 5 は外部のホストコントローラから見えなくなり、メモリセルレイヤー 2 のブロック 2 0 4 8 ~ 3 0 7 1 がブロック 1 0 2 4 ~ 2 0 4 7 へ変換されている。このとき、前述のように、メモリデバイスの容量は不良メモリセルレイヤーがない場合と比べて半分の 7 0 M b i t となる。

【 0 0 3 4 】

なお、メモリセルレイヤーの良否判断の基準となる許容値 n は、 $0 < n < 1 0 2 3$ の任意の整数を設定することができる。

50

【 0 0 3 5 】

次に、メモリのアドレスを変換する方法を具体的に説明する。

【 0 0 3 6 】

図4に、メモリセルレイヤーのテスト結果を格納するためのRom Fuseの構成を示す。図4からわかるように、本実施形態のメモリセルレイヤーは4つ(Layer 0~3)なので、Rom Fuseは4bitのメモリである。このRom Fuseは、不揮発のメモリ領域の一部を用いる。なお、Rom Fuseに格納されている情報は、Power On時に読み出してレジスタにコピーしておき、それ以降、そのレジスタから読み出してもよい。

【 0 0 3 7 】

Rom Fuse[0]~[3]は、各メモリセルレイヤー(Layer 0~3)の良否の情報を格納する。即ち、良レイヤー(good)のときは0、不良レイヤー(fail)のときは1を格納する。逆に、良レイヤーのときは1、不良レイヤーのときは0を格納してもよい。

【 0 0 3 8 】

以下、不良パターン毎にアドレス変換の内容を説明する。

【 0 0 3 9 】

Rom Fuse[3:0]=[0, 0, 0, 0]のとき、不良のメモリセルレイヤーはないので、アドレスの変換を行わない。

【 0 0 4 0 】

Rom Fuse[3:0]=[0, 0, 0, 1]のとき、Layer 0を不良と認識し、Layer 0が論理的に隔離される。このとき、アドレスは外部からの入力アドレスに対して1024を加えたものをデバイス内部のアドレスとして使用する。図5を用いてこの動作を具体的に説明する。外部のホストコントローラ9から、コマンド・インターフェイス7及びデータ入出力バッファ6を通してアドレス情報がステートマシン8へ転送される。この後、このステートマシン8中のマルチプレクサーアダー回路11を用いて、転送されたアドレス情報に1024を加える。そして、そのようにして生成されたアドレス情報をロウ制御回路3へ転送し、ロウ制御回路3は生成されたアドレスの示すブロックにアクセスする。ここで、マルチプレクサーアダー回路11はマルチプレクサー回路としても機能し、ロムフューズ(Rom Fuse[3:0])10の情報にしたがって、任意の値を加えること(アドレスを変換しないことも含む)が可能である。

【 0 0 4 1 】

Rom Fuse[3:0]=[0, 0, 1, 0]のとき、Layer 1を不良と認識し、Layer 1が論理的に隔離される。この場合、マルチプレクサーアダー回路11は、外部からの入力アドレスが1023以下のときはそのままのアドレスをロウ制御回路3へ転送し、1024以上のときは1024を加えたアドレスをロウ制御回路3へ転送して、ロウ制御回路3はこの転送されたアドレスを使用してブロックにアクセスする。

【 0 0 4 2 】

Rom Fuse[3:0]=[0, 1, 0, 0]のとき、Layer 2を不良と認識し、Layer 2が論理的に隔離される。この場合、マルチプレクサーアダー回路11は、外部からの入力アドレスが2047以下のときはそのままのアドレスをロウ制御回路3へ転送し、2048以上の場合は1024を加えたアドレスをロウ制御回路3へ転送して、ロウ制御回路3はこの転送されたアドレスを使用してブロックにアクセスする。

【 0 0 4 3 】

Rom Fuse[3:0]=[1, 0, 0, 0]のとき、Layer 3を不良と認識し、Layer 3が論理的に隔離される。この場合、マルチプレクサーアダー回路11はアドレス変換を行わない。

【 0 0 4 4 】

Rom Fuse[3:0]=[0, 0, 1, 1]のとき、Layer 0, 1を不良と認識し、Layer 0, 1が論理的に隔離される。この場合、マルチプレクサーアダー回路1

10

20

30

40

50

1 は、外部からの入力アドレスに 2048 を加えたアドレスをロウ制御回路 3 へ転送して、ロウ制御回路 3 はこの転送されたアドレスを使用してブロックにアクセスする。

【0045】

Rom Fuse[3:0]=[0, 1, 0, 1] のとき、Layer 0, 2 を不良と認識し、Layer 0, 2 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 は、外部からの入力アドレスが 1023 以下のときは 1024 を加えたアドレスをロウ制御回路 3 へ転送し、入力アドレスが 1024 以上のときは 2048 を加えたアドレスをロウ制御回路 3 へ転送して、ロウ制御回路 3 はこの転送されたアドレスを使用してブロックにアクセスする。

【0046】

Rom Fuse[3:0]=[1, 0, 0, 1] のとき、Layer 0, 3 を不良と認識し、Layer 0, 3 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 は、外部からの入力アドレスに 1024 を加えたアドレスをロウ制御回路 3 へ転送して、ロウ制御回路 3 はこの転送されたアドレスを使用してブロックにアクセスする。

【0047】

Rom Fuse[3:0]=[0, 1, 1, 0] のとき、Layer 1, 2 を不良と認識し、Layer 1, 2 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 は、外部からの入力アドレスが 1023 以下のときはそのままのアドレスをロウ制御回路 3 へ転送し、1024 以上のときは 2048 を加えたアドレスをロウ制御回路 3 へ転送して、ロウ制御回路 3 はこの転送されたアドレスを使用してブロックにアクセスする。

【0048】

Rom Fuse[3:0]=[1, 0, 1, 0] のとき、Layer 1, 3 を不良と認識し、Layer 1, 3 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 は、外部からの入力アドレスが 1023 以下のときはそのままのアドレスをロウ制御回路 3 へ転送し、1024 以上の場合は 1024 を加えたアドレスをロウ制御回路 3 へ転送して、ロウ制御回路 3 はこの転送されたアドレスを使用してブロックにアクセスする。

【0049】

Rom Fuse[3:0]=[1, 1, 0, 0] のとき、Layer 2, 3 を不良と認識し、Layer 2, 3 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 はアドレスの変換を行わない。

【0050】

Rom Fuse[3:0]=[0, 1, 1, 1] のとき、Layer 0, 1, 2 を不良と認識し、Layer 0, 1, 2 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 は、外部からの入力アドレスに 3072 を加えたアドレスをロウ制御回路 3 へ転送して、ロウ制御回路 3 はこの転送されたアドレスを使用してブロックにアクセスする。

【0051】

Rom Fuse[3:0]=[1, 0, 1, 1] のとき、Layer 0, 1, 3 を不良と認識し、Layer 0, 1, 3 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 は、外部からの入力アドレスに 2048 を加えたアドレスをロウ制御回路 3 へ転送して、ロウ制御回路 3 はこの転送されたアドレスを使用してブロックにアクセスする。

【0052】

Rom Fuse[3:0]=[1, 1, 0, 1] のとき、Layer 0, 2, 3 を不良と認識し、Layer 0, 2, 3 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 は、外部からの入力アドレスに 1024 を加えたアドレスをロウ制御回路 3 へ転送して、ロウ制御回路 3 はこの転送されたアドレスを使用してブロックにアクセスする。

【0053】

Rom Fuse[3:0]=[1, 1, 1, 0] のとき、Layer 1, 2, 3 を不良と

10

20

30

40

50

認識し、Layer 1, 2, 3 が論理的に隔離される。この場合、マルチプレクサーアダー回路 11 はアドレスの変換を行わない。

【0054】

以上述べたように、Rom Fuse [3:0] の情報に従って、どのような不良パターンであっても、アドレス変換が可能であり、不良メモリセルレイヤーを論理的に隔離することができる。

【0055】

次に、不良メモリセルレイヤーを物理的に隔離する方法について説明する。不良メモリセルレイヤー内の不良ブロックではショート等が起こっているため、テストの際、ワード線 WL などには不要なストレスがかかり、それにより電流が増加する。また、不良メモリセルレイヤー内のブロックは、検査時に良ブロックであっても、潜在的な不良ブロックのおそれがある。よって、不良メモリセルレイヤーに属する全てのブロックを物理的に隔離しておくことが望ましい。

【0056】

以下、図 6 乃至図 8 を用いて具体的に説明する。まず、1 つのブロックの物理的な隔離について説明する。

【0057】

図 6 はブロックデコーダの回路図を示している。このブロックデコーダはロウ制御回路 3 の中にあり、各ブロックに一つ備わっている。前述のように、外部のホストコントローラから入力されたアドレスがロウ制御回路 3 へ転送されることによって、そのアドレスに対応したブロックが選択される。ブロックが選択されると、レイヤー選択端子 (Layer Select) 及びブロック選択端子 (Block Select) が選択 (V_{DD}) となる。その選択されたアドレスの示すブロックが良品の場合は、ブロックデコーダ内のノード N1 が V_{DD} となっている。この状態で、トリガー端子 (Trigger) をオン (On) にすると、トランスファーゲート選択端子 (Transfer Gate Select) が V_{DD} 、トランスファーゲート選択端子 n (Transfer Gate Select n) が V_{SS} となる。そして、これらの信号が図 7 に示す回路に転送される。これによって、トランスファーゲート部 (Transfer Gate) が高電圧 V_{PGMH} となる。その結果、選択されたブロック BLOCK mi の選択ゲート (SGD_mi) 及び SGS_mi) 及びワード線 WL (WL0_mi ~ WL3_mi) に電圧 V_{PGM} を転送することが出来る。即ち、図 7 に示す回路はローカルポンプのように動作する。ここで、 $V_{PGMH} > V_{PGM}$ である。

【0058】

次に、選択ブロックが不良ブロックの場合について説明する。この場合、後述のように、不良ブロック設定端子 (Bad Block Set) がセットされることにより、図 6 のノード N1 が V_{SS} となるので、トランスファーゲート選択端子 (Transfer Gate Select) が V_{SS} 、トランスファーゲート選択端子 n (Transfer Gate Select n) が V_{DD} となる。よって、図 7 のトランスファーゲート部 (Transfer Gate) は高電圧 V_{PGMH} にならず、選択ブロックの選択ゲート及びワード線 WL に電圧は転送されない。

【0059】

次に、不良メモリセルレイヤーの物理的な隔離について説明する。前述の Rom Fuse [3:0] を用いて、不良メモリセルレイヤーの有する全てのブロックを物理的に隔離する。

【0060】

図 8 に、不良メモリセルレイヤーを物理的に隔離する場合の状態遷移図を示す。状態 0 (bbf_idle) はアイドル状態である。状態 1 (bbf_set_init) において、回路の設定及び初期リセット動作を行う。次に、状態 2 (bbf_set_addset) において、Rom Fuse [3:0] の不良メモリセルレイヤーの情報を元にしてアドレスのセットを行う。この際、アドレスのセットは、前述のステートマシン 8 におけるア

10

20

30

40

50

ドレス変換と同様の方法によって作成され、ロウ制御回路3へ転送される。この状態2の動作を行う回路はアドレスの作成を行い、アダー回路を含む。次に、状態3 (b b f s e t _ r d e c) において、ステートマシン8からロウ制御回路3へ転送されてきたアドレスを用いて、そのアドレスの示すブロックの物理的な隔離を行う。この物理的な隔離の動作は、図6の不良ブロック設定端子 (B a d B l o c k S e t) をセットすることにより行われる。まず、アドレスが選択されることにより、選択ブロックのブロック選択端子 (B l o c k S e l e c t) 及びレイヤー選択端子 (L a y e r S e l e c t) がセットされ、トランスファーゲート選択端子 (T r a n s f e r G a t e S e l e c t) がセットされる。そして、この状態で不良ブロック設定 (B a d B l o c k S e t) がセットされると、図6のノードN1がV_{SS}となり、ラッチが反転される。以降の動作は前述と同様であり、選択ブロックの選択ゲート及びワード線WLに電圧が転送されない。このようにして物理的な隔離が実現される。

10

【0061】

不良メモリセルレイヤーの全てのブロックに対して、上記の状態2のアドレスセットと状態3の物理的な隔離を繰り返し行う。これにより、不良メモリセルレイヤーをセルフテスト的に一括して物理的に隔離することが出来る。ここで、“セルフテスト的に”とは、フラッシュメモリチップ20がホストコントローラ9等の外部の制御を受けずに、上記の動作を実行することを意味する。

【0062】

さらに、上記の隔離動作について、具体例を用いて説明する。

20

【0063】

例えば、Rom Fuse [3:0]=[0, 1, 0, 1]のとき、Layer 0, 2を物理的に隔離する必要がある。ここで、初めに状態2のアドレスセットでブロック0をセットした後、状態3でブロック0の物理的な隔離を行う。その後、アドレスを1つずつインクリメントしていき、順次、物理的な隔離を行っていく。そして、Layer 0の最後のブロックである、ブロック1023の物理的な隔離が行われ、Layer 0のブロックの全てについて物理的な隔離が完了すると、次の状態2のアドレスセットではLayer 2の先頭であるブロック2048をセットする。同様にして、ブロック3071まで物理的な隔離を行い、Layer 2のブロックの全てについて物理的な隔離を完了する。その後、状態4 (b b f s e t _ e n d) の状態遷移のエンドへ遷移し、不良メモリセルレイヤーの物理的な隔離動作を完了する。

30

【0064】

その他の不良メモリセルレイヤーの組み合わせでも同様にして、物理的な隔離を行うことができる。

【0065】

また、不良ブロックのブロック選択端子 (B l o c k S e l e c t) とレイヤー選択端子 (L a y e r S e l e c t) を一括で選択できるようにし、その後、不良ブロック設定端子 (B a d B l o c k S e t) をセットすることによっても、不良メモリセルレイヤーを一括して物理的に隔離することができる。

【0066】

40

次に、不良メモリセルレイヤーの物理的な隔離方法について、別の方法を説明する。この方法では、各メモリセルレイヤーは一つのレイヤー選択端子 (L a y e r S e l e c t) を持つ。即ち、Layer Select [3:0]の形で持ち、このLayer Select [3:0]が、不良メモリセルレイヤーではセットされないようにする。つまり、Rom Fuse [3:0]の対応する成分の値が1 (F a i l) のときは、Layer Select [3:0]の対応する成分の値が0となるようにする。逆に、Rom Fuse [3:0]の対応する成分の値が0 (g o o d) のときは、Layer Select [3:0]の対応する成分の値が1となるようにする。

【0067】

図9を用いてより具体的に説明する。図9はマルチプレクサー回路12を用いることに

50

よって、上記のRom Fuse [3:0]を元にLayer Select [3:0]を生成する方法を示している。マルチプレクサー回路12は、Rom Fuse [3:0]を入力信号とし、対応する成分の値を反転した値を、各メモリセルレイヤーのLayer Select [0] ~ Layer Select [3] 信号として出力する。Layer Select [i] 信号 (i = 0 ~ 3) が0になると、対応する不良メモリセルレイヤーの有する全てのブロックのレイヤー選択端子 (Layer Select) がV_{SS}となる。その結果、トランスファーゲート選択端子 (Transfer Gate Select) がセットされず、不良メモリセルレイヤーは常時、物理的に隔離されることになる。

【0068】

この方法によれば、不良ブロック設定端子 (Bad Block Set) を設定する必要が無く、より高速に一括して不良メモリセルレイヤーを物理的に隔離することができる。

10

【0069】

次に、不良メモリセルレイヤーの物理的な隔離方法について、さらに別の方法を説明する。この方法では、図7の高電圧V_{PGMH}をメモリセルレイヤー毎に持つ。即ち、V_{PGMH} [3:0]の形で持ち、不良メモリセルレイヤーでは対応する成分がセットされないようにする。図10を用いてさらに具体的に説明する。図10は、レベルシフト回路13を用いて、一つのV_{PGMH}からメモリセルレイヤー毎のV_{PGMH} [i] (i = 0 ~ 3) に変換する方法を示している。ロウ制御回路3で生成された高電圧V_{PGMH}は、Rom Fuse [3:0]を入力信号とするレベルシフト回路13により、V_{PGMH} [3:0] へ分配される。つまり、Rom Fuse [i]の値が1 (不良メモリセルレイヤー) の場合、対応するV_{PGMH} [i]に高電圧は転送されず、逆に、Rom Fuse [i]の値が0 (良メモリセルレイヤー) の場合、V_{PGMH} [i]に高電圧が転送される。

20

【0070】

図11に、この際に使用されるレベルシフト回路13の等価回路を示す。入力信号Rom Fuse [i]の値によってV_{PGMH} [i]に高電圧を転送するか否かを決定している。

【0071】

この方法により、不良メモリセルレイヤーのトランスファーゲート部 (Transfer Gate) に高電圧V_{PGMH}が転送されず、物理的な隔離を行うことができる。

30

【0072】

この方法によれば、不良ブロック設定端子 (Bad Block Set) を設定する必要が無く、より高速に一括して不良メモリセルレイヤーを物理的に隔離することができる。

【0073】

以上、不良メモリセルレイヤーの論理的な隔離方法、及び物理的な隔離方法を述べた。このような方法により、積層型メモリセルアレイ内の一つ以上のメモリセルレイヤーにおいて、ある一定数以上の不良ブロックが存在した場合に、そのメモリセルレイヤーを論理的かつ物理的に隔離することができる。これにより、外部から不良メモリセルレイヤーを見えないようにすることができ、低容量の良品として使用することが可能となる。また、レイヤー全体を隔離することで潜在的な不良ブロックもリジェクトすることが出来る。その際も、低容量品として使用することが可能である。

40

【0074】

(第2の実施形態)

次に、本発明に係る第2の実施形態を説明する。第1の実施形態との相違点の一つは、第1の実施形態では論理的な隔離 (アドレスの変換) をフラッシュメモリチップ20の内部で行うが、本実施形態では外部のホストコントローラ9が行うことである。

【0075】

以下、具体的に説明する。NAND型フラッシュメモリ装置では、電源投入後に、ホストコントローラ9は設定情報等の読み出しを行う (Power on Read)。この

50

際、Rom Fuse [3:0]の値を読み出すことにより、どのメモリセルレイヤーが不良なのかを確認する。そして、その確認結果を元に、アクセスできる良品のメモリセルレイヤーのアドレスに対してのみ、データの読出し、書込み、消去の動作を実行するように制御する。

【0076】

図12に、上記の動作のフローチャートを示す。

- (1) NAND型フラッシュメモリ装置の電源が投入される(ステップS11)。
- (2) 次に、ホストコントローラ9は、フラッシュメモリチップ20内の設定情報等を読み出す(ステップS12)。
- (3) 次に、ホストコントローラ9は、フラッシュメモリチップ20からRom Fuse [3:0]の値を読み出す(ステップS13)。
- (4) 次に、Rom Fuse [3:0]の値を元に、ホストコントローラ9が使用可能なアドレスを決定する(ステップS14)。

例えば、ステップS13においてRom Fuse [3:0] = [0, 1, 0, 1]

が読み出されていたとする。これは、前述のように、Layer 0, 2が不良であり、Layer 1, 3が使用可能であることを意味する。よって、使用可能なブロックは、ブロック1024~2047及びブロック3072~4095となる。

【0077】

ホストコントローラ9は、ステップS14で決定された使用可能アドレスに対してのみ、フラッシュメモリチップ20へのアクセス(データの読出し、書込み、消去)を行う。

【0078】

上記のようにすることで、ホストコントローラ9がRom Fuse [3:0]の情報を参照してメモリセルレイヤーの良否を認識し、良メモリセルレイヤーに属する使用可能なアドレスに対してのみアクセスすることができる。

【0079】

これによって、第1の実施形態のようにフラッシュメモリチップ20内でアドレス変換動作を行うことなく、フラッシュメモリ装置のユーザーからは認識できないように、不良メモリセルレイヤーの論理的な隔離を行うことが可能である。

【0080】

また、上記から明らかなように、本実施形態によれば、フラッシュメモリチップ20内にアドレス変換回路を設ける必要がないという利点が得られる。

【0081】

本実施形態で説明した論理的な隔離を行い、さらに、第1の実施形態で説明した物理的な隔離を行ってもよい。

【0082】

(第3の実施形態)

次に、ホストコントローラによる論理的な隔離のもう一つの方法について説明する。本実施形態が第2の実施形態と異なる点の一つは、従来のホストコントローラの仕様(後述)と、不良メモリセルレイヤーに属する全てのブロックが予め物理的に隔離されていることと、を利用することによって、ホストコントローラで特別なアドレス処理を行うことなく、不良メモリセルレイヤーの論理的な隔離を行うことである。

【0083】

従来のホストコントローラの仕様について説明する。従来、ホストコントローラは、電源投入時に全ブロックの情報の読出しを行うことで、不良ブロックを認識している。不良ブロックのワード線WL及び選択ゲートSGには電圧が転送されないため、読出しを行うとAll "0"のデータが読み出されることになる。ホストコントローラは、あるブロックを読み出した結果がAll "0"であった場合、そのブロックを不良ブロックと認識し、それ以降、そのブロックに対してアクセスしない仕様になっている。

【0084】

10

20

30

40

50

本実施形態では、第1の実施形態で説明した不良メモリセルレイヤーの物理的隔離が予めなされているため、不良メモリセルレイヤーに属するブロックは全て、A11“0”で読み出される。したがって、ホストコントローラは、従来の仕様に従って、不良メモリセルレイヤーにアクセスしない（即ち、論理的に隔離する）。

【0085】

以下、図13のフローチャートを用いて、さらに詳細に説明する。図2(a)に示す積層型メモリセルアレイの構成（ブロック総数4096）を前提とする。

(1) NAND型フラッシュメモリ装置の電源が投入される（ステップS21）。

(2) ホストコントローラ9は、フラッシュメモリチップ20内の設定情報等を読み出す（ステップS22）。

(3) ブロック番号jを0とする（ステップ23）

(4) ブロック番号jが4095以下のときはステップS25に進む。それ以外のときは動作を終了する。

(5) ホストコントローラ9は、ブロック（BLOCKmj）の全ページの読出しを行う（ステップS25）。

このとき、第1の実施形態の物理的な隔離方法で述べたように、フラッシュメモリチップ20は、既に、Rom Fuse [3:0]の情報に従って、不良メモリセルレイヤーの有する全ブロックを物理的に予め隔離しているため、不良メモリセルレイヤーに属するブロックの読出しを行うと、A11“0”のデータが読み出される。

(6) ステップS25の読出し結果が、A11“0”以外のときはステップS27に進み、A11“0”のときはステップS28に進む（ステップS26）。

(7) ホストコントローラ9は、ブロック（BLOCKmj）は使用可能と認識し、ステップS29に進む（ステップS27）。

(8) ホストコントローラ9は、ブロック（BLOCKmj）は使用不可能と認識し、ステップS29に進む（ステップS28）。

(9) ブロック数jをインクリメントし、ステップS24に進む（ステップS29）。

【0086】

ホストコントローラ9は、従来の動作の通り、使用可能と認識されたブロックのアドレスに対して、読出し、書込み又は消去を行い、使用不可能と認識されたブロックに対しては、それ以降アクセスを行わない。

【0087】

上記のようにすることで、フラッシュメモリチップ20によって行われる、Rom Fuse [3:0]の情報に基づく、不良メモリセルレイヤーの物理的な隔離を利用して、ホストコントローラ9は不良メモリセルレイヤーの全ブロックを不良ブロックとして認識し、不良メモリセルレイヤーにアクセスしない。

【0088】

例えば、Rom Fuse [3:0] = [0, 1, 0, 1]の場合、不良メモリセルレイヤー0及び2に属する全てのブロックについて、ステップS25でA11“0”が読出されるため、ホストコントローラ9は不良ブロックと認識して、それ以降、アクセスしない。その結果、ホストコントローラ9は、両メモリセルレイヤーのブロック、即ち、ブロック1024～2047及びブロック3072～4095に対してのみアクセスを行う。

【0089】

以上の説明から明らかなように、本実施形態によれば、第2の実施形態の場合と同様に、フラッシュメモリチップ20内でアドレス変換動作を行うことなく、フラッシュメモリ装置のユーザーからは認識できないように、論理的な隔離を行うことが可能である。

【0090】

このことから、フラッシュメモリチップ20にアドレス変換回路を設ける必要がないという利点が見られる。さらに、本実施形態によれば、ホストコントローラは特別なアドレス処理を行う必要がなく、従来のホストコントローラをそのまま使用できるという利点も有する。

10

20

30

40

50

【0091】

なお、上記の第1乃至第3の実施形態に係る不良メモリセルレイヤーの隔離は、メモリセルレイヤーの積層方法に依存するものではない。従って、メモリセルレイヤーの積層方法として、様々な方法（平坦タイプの積層、クロスポイントタイプの積層、階段型の積層、トレンチタイプの積層、縦型の積層、基板側への積層）を想定することができる。

【0092】

また、上記の説明では、メモリセルレイヤーを単位として隔離する方法を説明したが、本発明はこれに限定されるものではない。例えば、各メモリセルレイヤーをN分割してなるサブレイヤーを考える。このサブレイヤーを単位として良否判断を行い、その情報をRom Fuse [4N-1:0]（メモリセルレイヤー数が4の場合）に保持し、不良とされたサブレイヤーを上述した方法で論理的に、及び/又は物理的に隔離することも可能である。

【図面の簡単な説明】

【0093】

【図1】フラッシュメモリ装置の全体構成を示す図である。

【図2(a)】積層型メモリセルアレイの構成を示す図である。

【図2(b)】各ブロック(BLOCK_m_i)の構成を示す図である。

【図3(a)】アドレス変換前のアドレステーブルを示す図である。

【図3(b)】アドレス変換後のアドレステーブルを示す図である。

【図4】Rom Fuseの構成を示す図である。

【図5】第1の実施形態に係るアドレス変換の動作を示す図である。

【図6】ブロックデコーダの回路を示す図である。

【図7】トランスファーゲート部(Transfer Gate)を示す図である。

【図8】ブロックの物理的な隔離の動作を示す状態遷移図である。

【図9】マルチプレクサー回路によるレイヤー選択信号(Layer Select [0] ~ [3])の生成を示す図である。

【図10】レベルシフト回路によるV_{PGMH}信号の生成を示す図である。

【図11】図10のレベルシフト回路の等価回路を示す図である。

【図12】第2の実施形態に係るフローチャートである。

【図13】第3の実施形態に係るフローチャートである。

【図14】積層型スタックNANDメモリの構成を示す図である。

【符号の説明】

【0094】

1 積層型メモリセルアレイ

1 a , 1 b , 1 c , 1 d メモリセルレイヤー

2 カラム制御回路

3 ロウ制御回路

4 ソース線制御回路

5 Pウェル制御回路

6 データ入出力バッファ

7 コマンド・インターフェイス

8 ステートマシン

9 ホストコントローラ

10 Rom Fuse

11 マルチプレクサーアダー回路

12 マルチプレクサー回路

13 レベルシフト

20 フラッシュメモリチップ

21 センスアンプ

22 ビット線

10

20

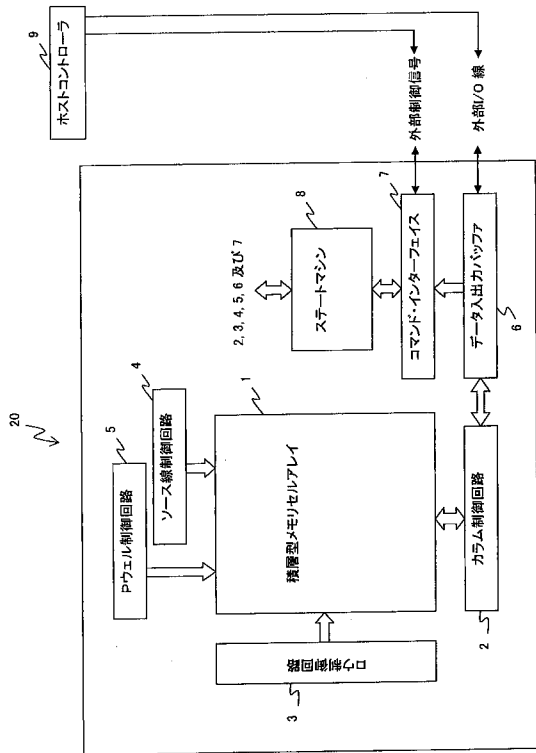
30

40

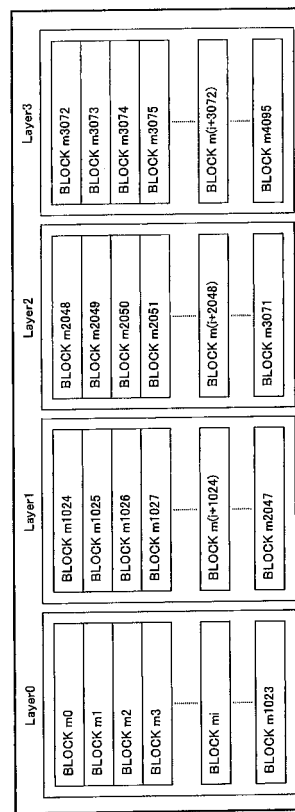
50

- 2 3 ワード線
- 2 5 NAND型メモリユニット
- 3 1 p-MOSTランジスタ
- 3 2 n-MOSTランジスタ
- 3 3 インバータ
- M 0 , M 1 , M 2 , M 3 メモリセル
- S 1 , S 2 選択ゲート
- N 1 ノード

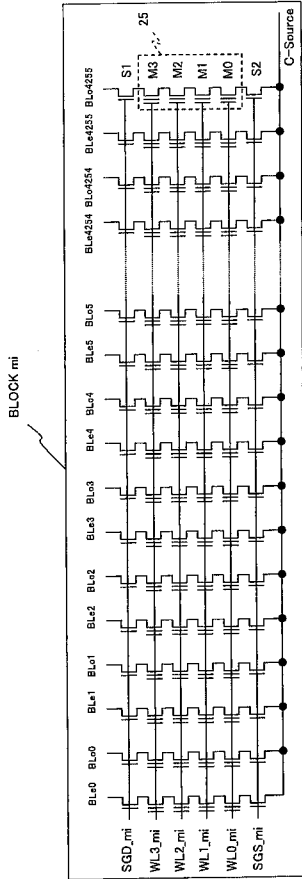
【図1】



【図2(a)】



【図2(b)】



【図3(a)】

Layer0	0	1	2	...	1023
Layer1	1024	1025	1026	...	2047
Layer2	2048	2049	2050	...	3071
Layer3	3072	3073	3074	...	4095

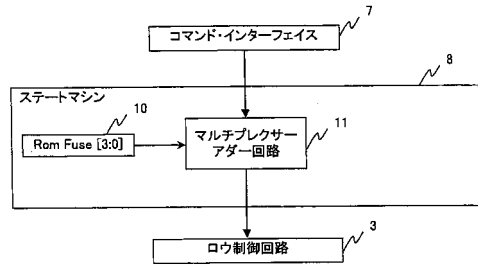
【図3(b)】

Layer0	0	1	2	...	1023
Layer1	-	-	-	...	-
Layer2	1024	1025	1026	...	2047
Layer3	-	-	-	...	-

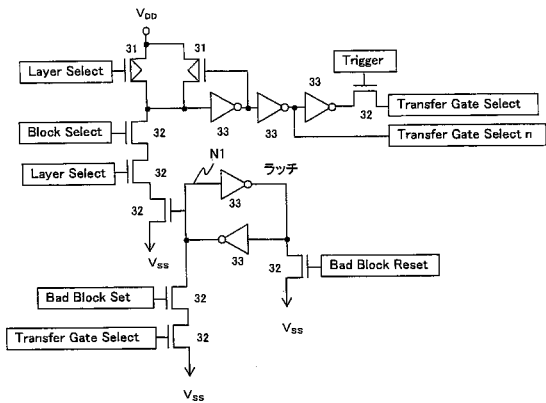
【図4】

Rom Fuse [3:0]			
Rom Fuse [0] (Layer0)	Rom Fuse [1] (Layer1)	Rom Fuse [2] (Layer2)	Rom Fuse [3] (Layer3)
0(good) or 1(fail)	0(good) or 1(fail)	0(good) or 1(fail)	0(good) or 1(fail)

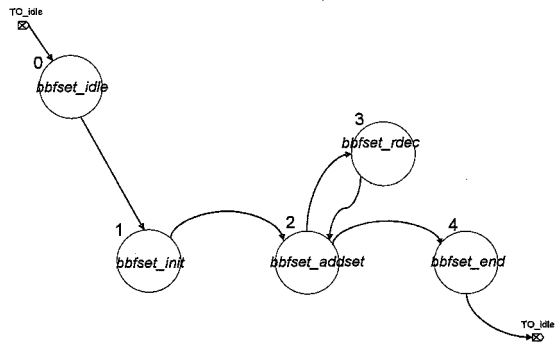
【図5】



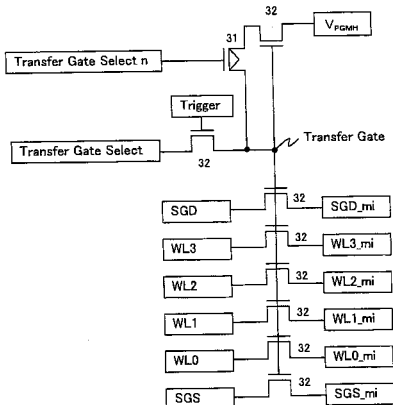
【図6】



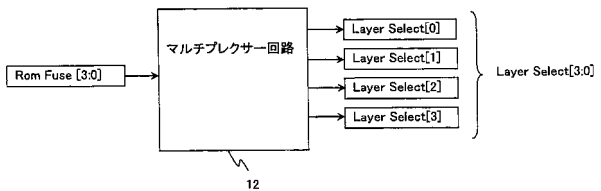
【図8】



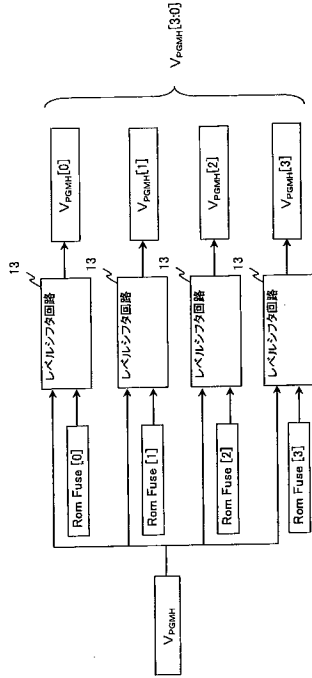
【図7】



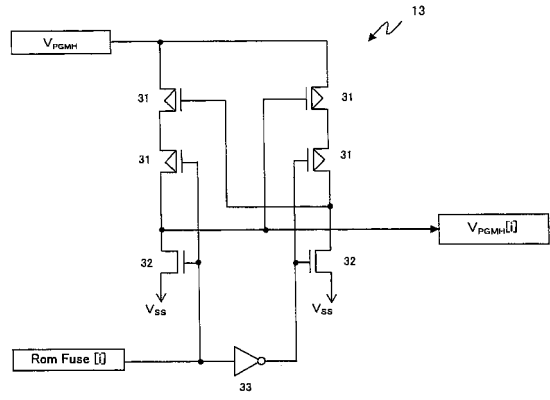
【図9】



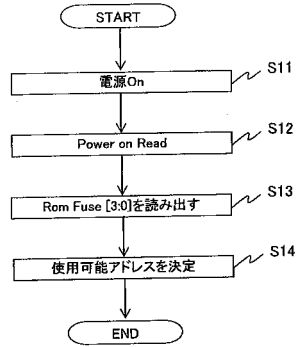
【図10】



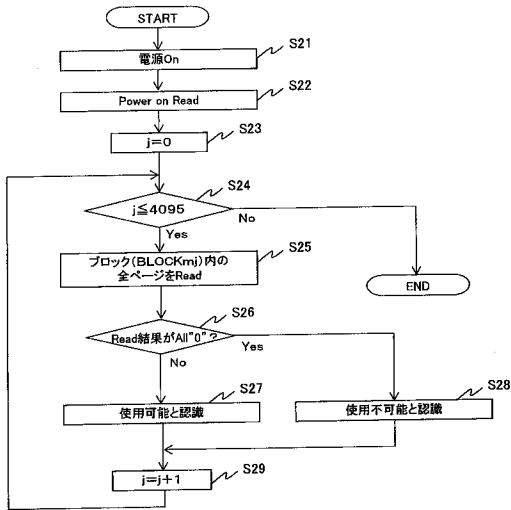
【図11】



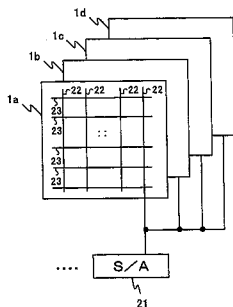
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

審査官 小林 紀和

(56)参考文献 特開2009-134846(JP,A)

特開平03-168998(JP,A)

特開平07-085696(JP,A)

特開平07-262790(JP,A)

特開平11-096081(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G 1 1 C 2 9 / 0 0