

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4182376号
(P4182376)

(45) 発行日 平成20年11月19日(2008.11.19)

(24) 登録日 平成20年9月12日(2008.9.12)

(51) Int.Cl. F I
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 H
 HO 1 L 29/778 (2006.01)
 HO 1 L 29/812 (2006.01)

請求項の数 8 (全 18 頁)

(21) 出願番号 特願平10-342561
 (22) 出願日 平成10年12月2日(1998.12.2)
 (65) 公開番号 特開2000-174260(P2000-174260A)
 (43) 公開日 平成12年6月23日(2000.6.23)
 審査請求日 平成16年12月8日(2004.12.8)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100072833
 弁理士 柏谷 昭司
 (74) 代理人 100075890
 弁理士 渡邊 弘一
 (74) 代理人 100105337
 弁理士 眞鍋 潔
 (72) 発明者 原 直紀
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 恩田 春香

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成されて少なくともチャンネル層及びキャリヤ供給層及びバリア層を含む半導体層積層構造と、

前記半導体層積層構造に於けるソース領域に穿設されたりセス内に形成されたソース電極と、

前記リセスの壁面と前記ソース電極との間に介在すると共に双方に接触し且つ合金化熱処理時に合金化領域が異常拡散することを有効に防止することができる耐熱金属層とを備えてなることを特徴とする半導体装置。

【請求項2】

半導体層積層構造に於けるドレイン領域に穿設されたりセス内に形成されたドレイン電極と、

前記リセスの壁面と前記ドレイン電極との間に介在すると共に双方に接触し且つ合金化熱処理時に合金化領域が異常拡散することを有効に防止することができる耐熱金属層とを備えてなることを特徴とする請求項1記載の半導体装置。

【請求項3】

リセスがバリア層に達していることを特徴とする請求項1 或いは2 記載の半導体装置。

【請求項4】

リセスがチャンネル層に達していること

を特徴とする請求項 1 或いは 2 記載の半導体装置。

【請求項 5】

キャリア供給層が含有する不純物がプレーナ・ドーピングされたものであることを特徴とする請求項 1 乃至 4 の何れか 1 記載の半導体装置。

【請求項 6】

キャリア供給層が電子供給層であって且つ該電子供給層上に i 層或いは電子供給層に比較して低不純物濃度である n 層が積層形成されてなることを特徴とする請求項 1 乃至 5 の何れか 1 記載の半導体装置。

【請求項 7】

キャリア供給層が正孔供給層であって且つ該正孔供給層上に i 層或いは正孔供給層に比較して低不純物濃度である p 層が積層形成されてなることを特徴とする請求項 1 乃至 5 の何れか 1 記載の半導体装置。

10

【請求項 8】

キャリア供給層をチャンネル層と半導体基板との間に介在させてなることを特徴とする請求項 1 乃至 7 の何れか 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲートに於ける順方向及び逆方向の耐圧が共に高く、且つ、ソース及びドレインなどの良好なオーミック・コンタクトをとることができる電界効果トランジスタを含む半導体装置に関する。

20

【0002】

【従来の技術】

高周波特性及び高速動作特性が良好な化合物半導体電界効果トランジスタの一つとして高電子移動度トランジスタ (high electron mobility transistor: HEMT) が知られている。

【0003】

HEMTには、必要な特性に応じて種々なバリエーションがあり、例えば高耐圧が必要であれば、電子供給層の不純物ドーピングを全てに互って一様にすることなく、プレーナ・ドーピングにしたり、電子供給層上に低濃度ドーピング層或いはアンドープ層を積層するなどの手段が採られている。

30

【0004】

このような構成をもつ HEMT に於いては、標準的な構造をもつ HEMT、即ち、高耐圧を意図していない HEMT に比較し、オーミック・コンタクトを取り難いとされている。

【0005】

図 1 2 は標準的な構造をもつ HEMT を説明する為の要部切断側面図であり、図に於いて、1 は基板、2 はバッファ層、3 はチャンネル層、4 はスペーサ層、5 a は電子供給層、6 はキャップ層、7 はソース電極、8 はドレイン電極、9 はゲート電極、11 は合金化領域、13 は電流パス、14 はリーク電流パスをそれぞれ示している。

【0006】

この HEMT では、ゲートに於ける順方向及び逆方向の耐圧をそれ程高く要求されない為、ゲート電極 9 は電子供給層 5 a に直接コンタクトする構造になっていて、その電子供給層 5 a 及びキャップ層 6 は共に高濃度にドーピングされている為、ソース電極 7 及びドレイン電極 8 と二次元電子ガス層とは容易にオーミック・コンタクトさせることができる。

40

【0007】

図 1 3 及び図 1 4 はゲートに於ける順方向及び逆方向の耐圧を高くする構造をもつ HEMT を説明する為の要部切断側面図であり、図 1 2 に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0008】

図 1 3 に於いて、5 b は電子供給層 5 a とキャップ層 6 との間に在って電子供給層 5 a 上

50

の全面に形成したバリヤ層を示している。

【0009】

図14に於いて、12はバリヤ層5B上に形成した低不純物濃度ゲート電極埋め込み層を示している。

【0010】

図13或いは図14に見られるHEMTに於いては、バリヤ層5b、低不純物濃度ゲート電極埋め込み層12の存在で、ソース電極7やドレイン電極8を形成する領域の抵抗が高い為、オーミック・コンタクトをとり難い。

【0011】

図15は図13或いは図14について説明した従来例の問題を解消する為のHEMTを説明する為の要部切断側面図であり、図12乃至図14に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

10

【0012】

図15に於いて、21はキャップ層6の表面からチャンネル層3に達するリセスを示している。

【0013】

図15に見られるHEMTに於いては、低不純物濃度ゲート電極埋め込み層12やバリヤ層5bなど抵抗が高い層を除去し、ソース電極7やドレイン電極8をチャンネル層3に直接コンタクトさせているので、図13或いは図14について説明したHEMTの問題を解消されたが、その構造に起因して新たな問題が派生する。

20

【0014】

即ち、図15のHEMTに於いて、リセス21のゲート側壁面とオーミック電極との間に空隙を生ずるので、その空隙の直下に於けるチャンネル層3の部分に空乏層が拡がり、寄生抵抗が増大することになる。

【0015】

このような空乏層を生成させないようにするには、前記のような空隙を生成させないようにすれば良いと思われるが、そのようにした場合、また、新たな不都合が生ずることになる。

【0016】

図16は図15について説明したHEMTに於ける空隙をなくしたHEMTを説明する為の要部切断側面図であり、図12乃至図15に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

30

【0017】

図16に見られるHEMTに於いては、リセスの壁面とソース電極7或いはドレイン電極8とが接触した状態に在り、このような構造では、ソース電極7及びドレイン電極8とチャンネル層3との合金化熱処理を行った場合、合金化領域11が横方向に異常拡散し、ゲート電極9とオーミック電極とが接近してゲートに於ける順方向及び逆方向の耐圧が共に低下してしまう。

【0018】

【発明が解決しようとする課題】

40

本発明では、キャップ層とチャンネル層との間に低濃度ドーピング層やノンドープ層を介在させてゲートに於ける順方向及び逆方向の耐圧を向上させたHEMTであっても、何らの問題も派生することなく、ソース電極やドレイン電極などのオーミック・コンタクトを良好にとれるようにする。

【0019】

【課題を解決するための手段】

本発明では、オーミック電極の形成領域にリセスを形成し、オーミック・コンタクトを必要とする半導体層に直接接触させる点に於いては従来技術と変わらないが、リセスの壁面とオーミック電極との間に空隙を生じない構成、そして、オーミック電極の合金化領域がゲート方向に拡がらない構成にすることが基本になっている。

50

【 0 0 2 0 】

図 1 は本発明の原理を解説する為の半導体装置を表す要部切断側面図であり、図に於いて、1 は基板、2 はバッファ層、3 はチャンネル層、4 はスペーサ層、5 a は電子供給層、5 b はバリア層、6 はキャップ層、7 はソース電極、8 はドレイン電極、9 はゲート電極、10 は耐熱金属層、11 は合金化領域、12 は低濃度ゲート電極埋め込み層をそれぞれ示している。

【 0 0 2 1 】

図 1 に見られる半導体装置に於ける特徴的な構成は、ソース電極 7 或いはドレイン電極 8 を形成する為のリセスに於ける壁面と各オーミック電極との間に耐熱金属層 10 を介在させたことである。

10

【 0 0 2 2 】

この構成を採ることで、リセスの壁面とオーミック電極との間の直下に在るチャンネル層 3 に空乏層が拡がって寄生抵抗が増大する旨の問題を解消することができ、また、オーミック電極と半導体との合金化熱処理を行った場合、合金化領域がゲート方向に延伸して耐圧が低下する旨の問題も起こらない。

【 0 0 2 3 】

前記したところから、本発明に依る半導体装置に於いては、

(1)

半導体基板（例えば基板 1）上に形成されて少なくともチャンネル層（例えばチャンネル層 3）及びキャリア供給層（例えば電子供給層 5 a）及びバリア層（例えばバリア層 5 b）を含む半導体層積層構造と、前記半導体層積層構造に於けるソース領域に穿設されたリセス内に形成されたソース電極（例えばソース電極 7）と、前記リセスの壁面と前記ソース電極との間に介在すると共に双方に接触し且つ合金化熱処理時に合金化領域（例えば合金化領域 11）が異常拡散することを有効に防止することができる耐熱金属層（例えば耐熱金属層 10）とを備えてなることを特徴とし、この構成に依れば、通常、ドレインに比較してゲート電極に近い位置に設けられるソースに於いて、リセスを形成した後にソース電極を形成しても、合金化熱処理時に合金化領域が異常拡散することを耐熱金属層で有効に防止することができ、また、

20

【 0 0 2 4 】

(2)

前記（1）に於いて、半導体層積層構造に於けるドレイン領域に穿設されたリセス内に形成されたドレイン電極（例えばドレイン電極 8）と、前記リセスの壁面と前記ドレイン電極との間に介在すると共に双方に接触し且つ合金化熱処理時に合金化領域が異常拡散することを有効に防止することができる耐熱金属層とを備えてなることを特徴とし、この構成に依れば、通常、ドレインに於いて、リセスを形成した後にドレイン電極を形成しても、合金化熱処理時に合金化領域が異常拡散することを耐熱金属層で有効に防止することができ、また、

30

【 0 0 2 5 】

(3)

前記（1）或いは（2）に於いて、リセスがバリア層に達していることを特徴とし、また、

40

【 0 0 2 6 】

(4)

前記（1）或いは（2）に於いて、リセスがチャンネル層に達していることを特徴とし、この構成及び前記（3）に見られる構成に依れば、半導体層積層構造に応じてリセスの深さを選択し、合金化熱処理に依って合金化領域が良好にチャンネル層とオーミック・コンタクトさせることができ、また、

【 0 0 2 7 】

(5)

前記（1）乃至（4）の何れか 1 に於いて、キャリア供給層が含有する不純物がプレーナ

50

・ドーピングされたものであることを特徴とし、また、

【0028】

(6)

前記(1)乃至(5)の何れか1に於いて、キャリア供給層が電子供給層(例えば電子供給層105a:図2参照、以下同じ)であって且つ該電子供給層上にi層(例えばバリア層105b)或いは電子供給層に比較して低不純物濃度であるn層(例えばn⁻層)が積層形成されてなることを特徴とし、また、

【0029】

(7)

前記(1)乃至(5)の何れか1に於いて、キャリア供給層が正孔供給層であって且つ該正孔供給層上にi層或いは正孔供給層に比較して低不純物濃度であるp層が積層形成されてなることを特徴とし、また、

【0030】

(8)

前記(1)乃至(7)の何れか1に於いて、キャリア供給層(例えば電子供給層135a:図9参照、以下同じ)をチャンネル層(例えばチャンネル層133)と半導体基板(例えば基板131)との間に介在させてなることを特徴とし、この構成に依れば、いわゆる逆HEMT構造が実現される。

【0031】

前記手段を採ることに依り、HEMTに於けるキャップ層とチャンネル層との間に低濃度ドーピング層やノンドープ層を介在させてゲートに於ける順方向及び逆方向の耐圧を向上させ、そして、そのような半導体層構成であってもソース電極やドレイン電極などのオーミック・コンタクトを良好に実現させ、しかも、その構成に起因する問題、例えば、リセス壁面とオーミック電極との間の空隙に起因する空乏層の発生やオーミック電極の合金化領域がゲートに接近するなどの問題は皆無である。

【0032】

【発明の実施の形態】

図2は本発明に於ける実施の形態1を説明する為の半導体装置を表す要部切断側面図である。

【0033】

図に於いて、101は基板、102aはバッファ層、102bはバッファ層、103はチャンネル層、104はスペーサ層、105aは電子供給層、105bはバリア層、106はキャップ層、107はソース電極、108はドレイン電極、109はゲート電極、110は耐熱金属層、111は合金化領域をそれぞれ示している。

【0034】

図3乃至図7は図2に見られる半導体装置の製造工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。

【0035】

図3(A)参照

3-(1)

MOVPE(metalorganic vapor phase epitaxy)法を適用することに依って、基板101上に第一バッファ層102a、第二バッファ層102b、チャンネル層103、スペーサ層104、電子供給層105a、バリア層105b、キャップ層106を形成する。

【0036】

上記各半導体部分に関する主要なデータを例示すると次の通りである。

1 基板101について

材料:半絶縁性InP

2 第一バッファ層102aについて

材料:i-InP

10

20

30

40

50

厚さ：50 [nm]

3 第二バッファ層102bについて

材料：i-InAlAs (In組成0.52)

厚さ：300 [nm]

4 チャネル層103について

材料：i-InGaAs (In組成0.53)

厚さ：20 [nm]

5 スペース層104について

材料：i-InAlAs

厚さ：3 [nm]

10

6 電子供給層105aについて

材料：n-InAlAs (In組成0.52)

不純物濃度： 5×10^{18} [cm⁻³]

厚さ：5 [nm]

7 バリヤ層105bについて

材料：i-InAlAs (In組成0.52)

厚さ：20 [nm]

8 キャップ層106 について

材料：n-InGaAs (In組成0.53)

不純物濃度： 1×10^{19} [cm⁻³]

厚さ：50 [nm]

20

【0037】

図3(B)参照

3-(2)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、リセス形成予定部分に開口をもつレジスト膜161を形成する。

【0038】

3-(3)

エッチャントをリン酸系エッチング液とするウエット・エッチング法を適用することに依り、レジスト膜161をマスクとしてキャップ層106、バリヤ層105b、電子供給層105a、スペース層104をエッチングしてリセス104Aを形成する。

30

【0039】

図4(A)参照

4-(1)

スパッタリング法を適用することに依り、全面に厚さが5 [nm]程度のWSi膜162を形成する。

【0040】

図4(B)参照

4-(2)

エッチング・ガスをSF₆とするドライ・エッチング法を適用することに依り、WSi膜162の異方性エッチングを行って、リセス104Aの壁面にのみWSi膜162を残す。

40

【0041】

図5(A)参照

5-(1)

真空蒸着法を適用することに依り、厚さが30 [nm] / 300 [nm]であるAuGe / Auからなる電極材料膜163を形成する。

【0042】

図5(B)参照

5-(2)

50

レジスト剥離液中に浸漬することに依り、レジスト膜 1 6 1 を積層されている電極材料膜 1 6 3 と共に剥離することでパターニングを行う。

【 0 0 4 3 】

このリフト・オフ工程を経て残った電極材料膜 1 6 3 がソース電極 1 0 7 及びドレイン電極 1 0 8 となる。

【 0 0 4 4 】

5 - (3)

イオン・ミリング法を適用することに依り、リセス壁面に於いて突出している電極材料膜 1 6 3 と W S i 膜 1 6 2 を斜め方向からのミリングで除去する。

【 0 0 4 5 】

5 - (4)

温度を 4 0 0 []、時間を 3 [分] として、ソース電極 1 0 7 及びドレイン電極 1 0 8 と半導体との合金化熱処理を行って、チャンネル層 3、従って、二次元電子ガス層とコンタクトする合金化領域 1 1 1 を生成させる。

【 0 0 4 6 】

図 6 (A) 参照

6 - (1)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、感度を異にする電子ビーム (e l e c t r o n b e a m : E B) ・レジスト膜 1 6 4 a 及び 1 6 4 b を形成する。尚、E B レジスト膜 1 6 4 a 及び 1 6 4 b の感度は 1 6 4 a < 1 6 4 b である。

【 0 0 4 7 】

6 - (2)

E B 描画を行ってゲート電極形成予定部分のレジスト膜 1 6 4 b 及び 1 6 4 a に横断面 T 字形のゲート電極に於ける横方向張り出し部分に対応する形状の開口 1 6 4 B 及び同じく脚部分に対応する形状の開口 1 6 4 A を形成する。

【 0 0 4 8 】

図 6 (B) 参照

6 - (3)

エッチャントをクエン酸系エッチング液とするウエット・エッチング法を適用することに依り、レジスト膜 1 6 4 b 及び 1 6 4 a をマスクとしてキャップ層 1 0 6 のエッチングを行う。

【 0 0 4 9 】

ここでのエッチングはオーバ・エッチングであり、キャップ層 1 0 6 に対して、横方向に例えば 0 . 1 [μ m] 程度のサイド・エッチングが加わり、その結果、レジスト膜 1 6 4 a の開口 1 6 4 A (図 5 (A) 参照) の範囲を越えて延在する空所 1 0 6 H が生成されることになる。尚、クエン酸系エッチング液はキャップ層 1 0 6 の下地である i - I n A l A s からなるバリヤ層 1 0 5 b はエッチングしない。

【 0 0 5 0 】

6 - (4)

真空蒸着法を適用することに依り、全面に厚さが 3 0 [n m] 程度の A l 膜を形成する。

【 0 0 5 1 】

A l 膜はレジスト膜 1 6 4 b 及び 1 6 4 a の開口を介してキャップ層 1 0 6 の除去部分内に入り込み、その先端はバリヤ層 1 0 5 b にショットキ・コンタクトする。

【 0 0 5 2 】

図 7 参照

7 - (1)

レジスト剥離液中に浸漬することに依り、レジスト膜 1 6 4 b 及び 1 6 4 a を積層されている A l 膜と共に剥離することで、その A l 膜のパターニングを行ってゲート電極 1 6 5 を形成する。

【 0 0 5 3 】

10

20

30

40

50

前記工程を経て製造された半導体装置は、ソース電極107或いはドレイン電極108とリセス壁との間にはWSi膜162が介在しているので、チャンネル層103に空乏層は発生せず、従って、寄生抵抗が大きくなることはなく、また、合金化領域111がソース電極107或いはドレイン電極108の側面から延び出てゲート電極165に近付くなどの問題も起こらないから、ゲート耐圧が低下することはない。

【0054】

図8は本発明に於ける実施の形態2を説明する為の半導体装置を表す要部切断側面図であり、図2乃至図7に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0055】

図に於いて、121は基板、122aはバッファ層、122bはバッファ層、123はチャンネル層、124はスペーサ層、125aは電子供給層、125bはバリヤ層、126はキャップ層をそれぞれ示している。

【0056】

実施の形態2と実施の形態1との主な相違点は、半導体部分の構成とオーミック電極用リセスの形成方法であり、以下、これについて説明する。

【0057】

1 基板121について

材料：半絶縁性GaAs

2 バッファ層122aについて

材料：i-GaAs

厚さ：50[nm]

3 バッファ層122bについて

材料：i-AlGaAs (Al組成0.3)

厚さ：300[nm]

4 チャンネル層123について

材料：i-InGaAs (In組成0.15)

厚さ：15[nm]

5 スペーサ層124について

材料：i-InGaP (In組成0.5)

厚さ：3[nm]

6 電子供給層125aについて

材料：n-InGaP (In組成0.5)

不純物濃度： 2×10^{18} [cm⁻³]

厚さ：20[nm]

7 バリヤ層125bについて

材料：i-InGaP (In組成0.5)

厚さ：10[nm]

8 キャップ層126について

材料：n-GaAs

不純物濃度： 2×10^{18} [cm⁻³]

厚さ：50[nm]

【0058】

オーミック電極用リセスの形成方法としては、

1 GaAsに対しては、エッチング・ガスをSiCl₄とするドライ・エッチング、或いは、エッチャントをアンモニア系エッチング液とするウエット・エッチングを適用する。

2 InGaPに対しては、エッチャントをHCl系エッチング液とするウエット・エッチングを適用する。

【0059】

10

20

30

40

50

図9は本発明に於ける実施の形態3を説明する為の半導体装置を表す要部切断側面図であり、図2乃至図8に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0060】

図に於いて、131は基板、132aはバッファ層、132bはバッファ層、133はチャンネル層、134はスペーサ層、135aは電子供給層、135bはバリア層、136はキャップ層をそれぞれ示している。

【0061】

実施の形態3と実施の形態1との主な相違点は、半導体部分の構成とオーミック電極用リセスの形成方法であり、以下、これについて説明する。

10

【0062】

1 基板131について

材料：半絶縁性GaAs

2 バッファ層132aについて

材料：i-GaAs

厚さ：50[nm]

3 バッファ層132bについて

材料：i-AlGaAs (Al組成0.3)

厚さ：300[nm]

4 チャンネル層133について

材料：i-InGaAs (In組成0.15)

厚さ：15[nm]

20

5 スペーサ層134について

材料：i-AlGaAs (Al組成0.3)

厚さ：3[nm]

6 電子供給層135aについて

材料：n-AlGaAs (Al組成0.3)

不純物濃度： 2×10^{18} [cm⁻³]

厚さ：20[nm]

7 バリア層135bについて

材料：i-AlGaAs (Al組成0.5)

厚さ：20[nm]

30

8 キャップ層136について

材料：n-GaAs

不純物濃度： 2×10^{18} [cm⁻³]

厚さ：50[nm]

尚、バリア層としてAl組成が0.4以上のAlGaAsを用いた場合、オーミック電極をキャップ層136上に形成する構成を採ると、オーミック接触をとり難くなるので、オーミック電極をリセス内に形成する構成では、その問題は解消されるので有利になる。

【0063】

オーミック電極用リセスの形成方法としては、エッチング・ガスをSiCl₄とするドライ・エッチング、或いは、エッチャントをアンモニア系エッチング液とするウェット・エッチングを適用する。

40

【0064】

図10は本発明に於ける実施の形態4を説明する為の半導体装置を表す要部切断側面図であり、図2乃至図9に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0065】

図に於いて、141は基板、142aはバッファ層、142bはバッファ層、143はチャンネル層、144はスペーサ層、145aは電子供給層、145bはバリア層、145c

50

はゲート埋め込み層、146はキャップ層をそれぞれ示している。

【0066】

実施の形態4と実施の形態1との主な相違点は、半導体部分の構成、オーミック電極用リセスの形成方法とエッチング深さ、ゲートの作製方法であり、以下、これについて説明する。

【0067】

1 基板141について

材料：半絶縁性GaAs

2 バッファ層142aについて

材料：i-GaAs

厚さ：50[nm]

3 バッファ層142bについて

材料：i-AlGaAs (Al組成0.3)

厚さ：300[nm]

4 チャネル層143について

材料：i-InGaAs (In組成0.15)

厚さ：15[nm]

5 スペース層144について

材料：i-AlGaAs (Al組成0.3)

厚さ：3[nm]

6 電子供給層145aについて

材料：n-AlGaAs (Al組成0.3)

不純物濃度： 2×10^{18} [cm⁻³]

厚さ：20[nm]

7 バリヤ層145bについて

材料：i-AlGaAs (Al組成0.3)

厚さ：10[nm]

8 ゲート埋め込み層145cについて

材料：i-GaAs

厚さ：30[nm]

9 キャップ層146について

材料：n-GaAs

不純物濃度： 2×10^{18} [cm⁻³]

厚さ：50[nm]

【0068】

オーミック電極用リセスの形成方法としては、エッチング・ガスをSiCl₄とするドライ・エッチング、或いは、エッチャントをアンモニア系エッチング液とするウエット・エッチングを適用し、そのリセスはキャップ層146及びゲート埋め込み層145cを除去した深さとなる。

【0069】

また、ゲートの作製方法としては、実施の形態1と同様、キャップ層146をエッチングしてから、引き続いてゲート埋め込み層145cのエッチングを行った後、ゲート金属を蒸着してからリフト・オフ法でパターンニングする。

【0070】

図11は本発明に於ける実施の形態5を説明する為の半導体装置を表す要部切断側面図であり、図2乃至図10に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0071】

図に於いて、151は基板、152aはバッファ層、152bはバッファ層、153はチャネル層、154はスペース層、155aは電子供給層、155bは高いAl組成のバリ

10

20

30

40

50

ヤ層、155cはバリヤ層、155dはゲート埋め込み層、156はキャップ層をそれぞれ示している。

【0072】

実施の形態5と実施の形態1との主な相違点は、半導体部分の構成、オーミック電極用リセスの形成方法とエッチング深さ、ゲートの作製方法であり、以下、これについて説明する。

【0073】

(1) 基板151について

材料：半絶縁性GaAs

(2) バッファ層152aについて

材料：i-GaAs

厚さ：50[nm]

(3) バッファ層152bについて

材料：i-AlGaAs (Al組成0.3)

厚さ：300[nm]

(4) チャネル層153について

材料：i-InGaAs (In組成0.15)

厚さ：15[nm]

(5) スペース層154について

材料：i-AlGaAs (Al組成0.3)

厚さ：3[nm]

(6) 電子供給層155aについて

材料：n-AlGaAs (Al組成0.3)

不純物濃度： 2×10^{18} [cm⁻³]

厚さ：20[nm]

(7) 高いAl組成のバリヤ層155bについて

材料：i-AlGaAs (Al組成0.5)

厚さ：7[nm]

(8) バリヤ層155cについて

材料：i-AlGaAs (Al組成0.3)

厚さ：3[nm]

(9) ゲート埋め込み層155dについて

材料：i-GaAs

厚さ：30[nm]

(10) キャップ層156について

材料：n-GaAs

不純物濃度： 2×10^{18} [cm⁻³]

厚さ：50[nm]

【0074】

オーミック電極用リセスの形成方法としては、エッチング・ガスをSiCl₄とするドライ・エッチング、或いは、エッチャントをアンモニア系エッチング液とするウエット・エッチングを適用し、そのリセスはキャップ層156及びゲート埋め込み層155cを除去した深さである。

【0075】

また、ゲートの作製方法としては、実施の形態1と同様、キャップ層156をエッチングしてから、引き続いてゲート埋め込み層155cのエッチングを行った後、ゲート金属を蒸着してからリフト・オフ法でパターンニングする。

【0076】

次に、キャリア供給層をプレーナ・ドーピングで作成した例を本発明に於ける実施の形態6として説明するが、半導体装置の構成としては、図2乃至図10について説明した実施

10

20

30

40

50

の形態 1 に於いて、 n -InAlAs 電子供給層 105a をプレーナ・ドーピング層に代替するのみであるから図示は省略する。

【0077】

プレーナ・ドーピングを用いた半導体装置を作成するには、実施の形態 1 と同じ工程を採って基板 101 上にスペーサ層 104 までの各半導体層を積層形成してから、As 原料、例えばアルシン (AsH_3) と共に Si 原料、例えばジシラン (Si_2H_6) を供給して Si プレーナ・ドーピング層を形成する。

【0078】

ここで、As 原料を供給する理由は、スペーサ層 104 から As が再蒸発するのを抑止する為であり、また、Si プレーナ・ドーピング層に於ける不純物濃度は $5 \times 10^{12} [cm^{-2}]$ である。

10

【0079】

Si プレーナ・ドーピング層を形成した後は、再び実施の形態 1 と同じ工程、即ち、バリア層 105b 及びキャップ層 106 の成長、WSi 膜 162 の形成、ソース電極 107 及びドレイン電極 108 の形成、ゲート電極 165 の形成などを行って完成させれば良い。

【0080】

実施の形態 6 に於いては、キャリア供給層である電子供給層或いは正孔供給層が単原子層となる為、ゲート電極とチャネル層との距離が短くなり、短チャネル効果が起こり難い旨の利点があり、短ゲート長半導体装置に適している。

【0081】

20

本発明では、前記実施の形態に限られことなく、他に多くの改変を実現することができ、例えば、各半導体層の導電型を適切に選択するなどして、電子供給層を正孔供給層に代替し、キャリアに正孔を用いる半導体装置にすることも容易である。

【0082】

また、各半導体層の材料、例えば、キャリア供給層に InAlAs、InGaP、AlGaAs など適宜のものを選択して使用することができ、更にまた、各半導体層の厚さなどの寸法的な条件、ドーピング濃度、不純物添加の条件、金属材料、製造プロセスなどは適切に選択することが可能であり、特に耐熱金属層の材料としては、前記実施の形態で用いた WSi の他、WSiN、TiW、TiWN、Mo などから一種以上を選択することができる。

30

【0083】

【発明の効果】

本発明に依る半導体装置に於いては、半導体基板上に形成されて少なくともチャネル層及びキャリア供給層及びバリア層を含む半導体層積層構造と、前記半導体層積層構造に於けるソース領域（或いはドレイン領域）に穿設されたりセス内に形成されたソース電極（或いはドレイン電極）と、前記リセスの壁面と前記ソース電極（或いはドレイン電極）との間に介在すると共に双方に接触し且つ合金化熱処理時に合金化領域が異常拡散することを有効に防止することができる耐熱金属層とを備える。

【0084】

前記構成を採ることに依り、HEMT に於けるキャップ層とチャネル層との間に低濃度ドーピング層やノンドープ層を介在させてゲートに於ける順方向及び逆方向の耐圧を向上させ、そして、そのような半導体層構成であってもソース電極やドレイン電極などのオーミック・コンタクトを良好に実現させ、しかも、その構成に起因する問題、例えば、リセス壁面とオーミック電極との間の空隙に起因する空乏層の発生やオーミック電極の合金化領域がゲートに接近するなどの問題は皆無である。

40

【図面の簡単な説明】

【図 1】本発明の原理を解説する為の半導体装置を表す要部切断側面図である。

【図 2】本発明に於ける実施の形態 1 を説明する為の半導体装置を表す要部切断側面図である。

【図 3】図 2 に見られる半導体装置の製造工程を説明する為の工程要所に於ける半導体装

50

置を表す要部切断側面図である。

【図 4】図 2 に見られる半導体装置の製造工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図 5】図 2 に見られる半導体装置の製造工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図 6】図 2 に見られる半導体装置の製造工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図 7】図 2 に見られる半導体装置の製造工程を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図 8】本発明に於ける実施の形態 2 を説明する為の半導体装置を表す要部切断側面図である。

10

【図 9】本発明に於ける実施の形態 3 を説明する為の半導体装置を表す要部切断側面図である。

【図 10】本発明に於ける実施の形態 4 を説明する為の半導体装置を表す要部切断側面図である。

【図 11】本発明に於ける実施の形態 5 を説明する為の半導体装置を表す要部切断側面図である。

【図 12】標準的な構造をもつ H E M T を説明する為の要部切断側面図である。

【図 13】ゲートに於ける順方向及び逆方向の耐圧を高くする構造をもつ H E M T を説明する為の要部切断側面図である。

20

【図 14】ゲートに於ける順方向及び逆方向の耐圧を高くする構造をもつ H E M T を説明する為の要部切断側面図である。

【図 15】図 13 或いは図 14 について説明した従来例の問題を解消する為の H E M T を説明する為の要部切断側面図である。

【図 16】図 15 について説明した H E M T に於ける空隙をなくした H E M T を説明する為の要部切断側面図である。

【符号の説明】

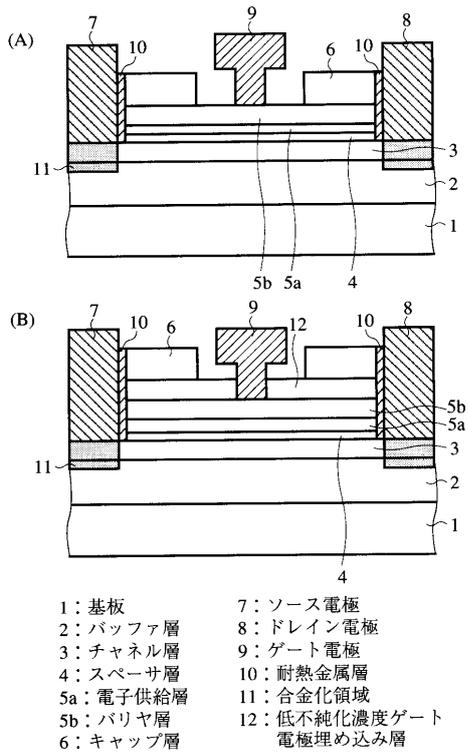
- 1 基板
- 2 バッファ層
- 3 チャンネル層
- 4 スペース層
- 5 a 電子供給層
- 5 b バリヤ層
- 6 キャップ層
- 7 ソース電極
- 8 ドレイン電極
- 9 ゲート電極
- 10 耐熱金属層
- 11 合金化領域
- 12 低不純物濃度ゲート電極埋め込み層

30

40

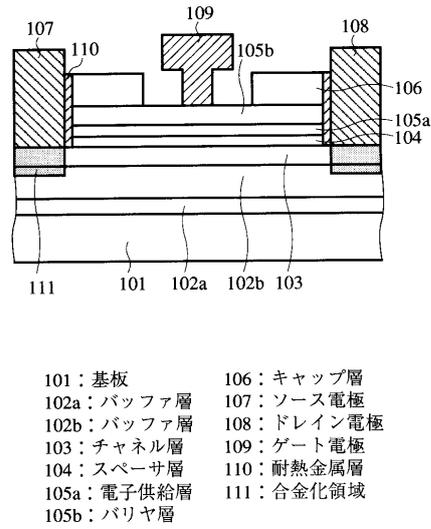
【図1】

半導体装置を表す要部切断側面図



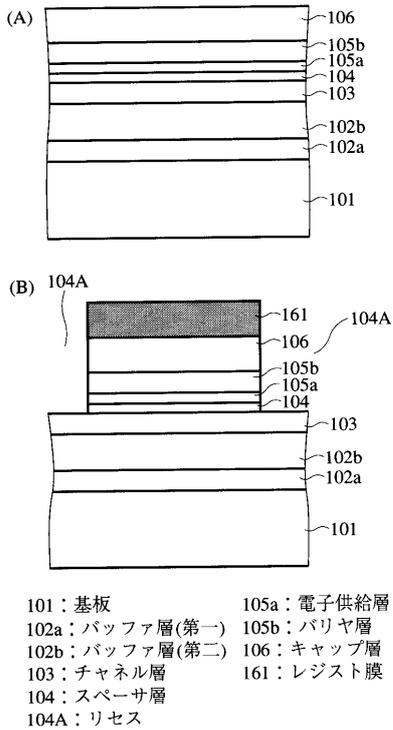
【図2】

半導体装置を表す要部切断側面図



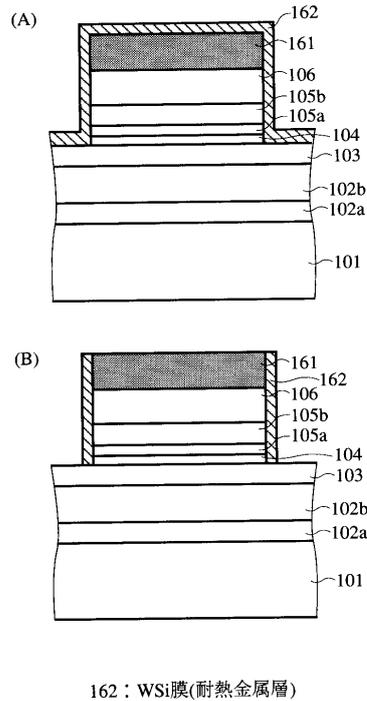
【図3】

工程要所に於ける半導体装置の要部切断側面図



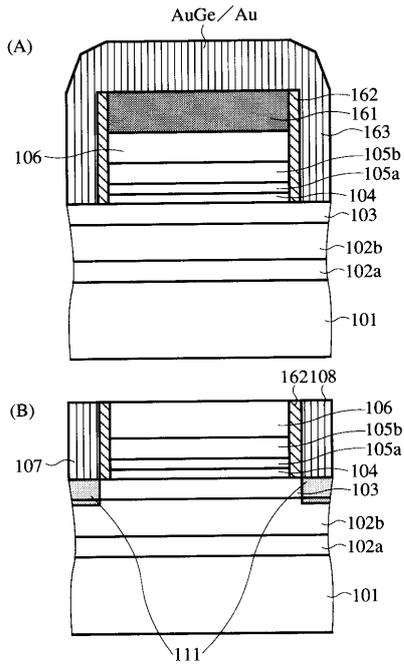
【図4】

工程要所に於ける半導体装置の要部切断側面図



【図5】

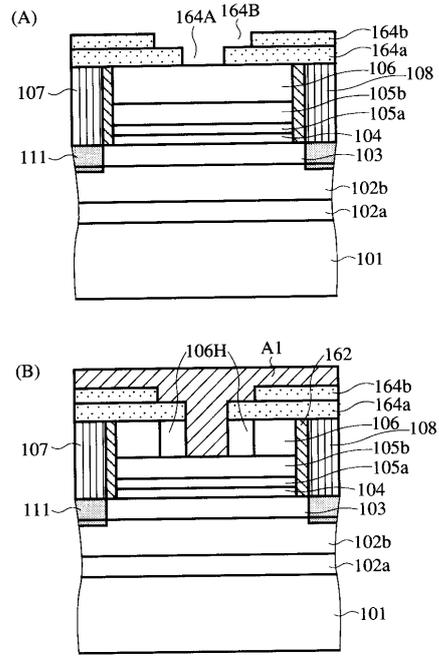
工程要所に於ける半導体装置の要部切断側面図



107：ソース電極
 108：ドレイン電極
 111：合金化領域
 163：電極材料膜

【図6】

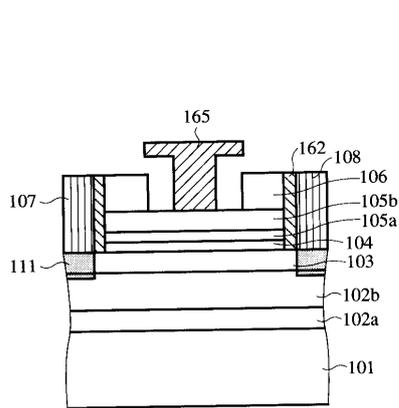
工程要所に於ける半導体装置の要部切断側面図



106H：空所 164b：EBレジスト膜
 164a：EBレジスト膜 164A及び164B：開口

【図7】

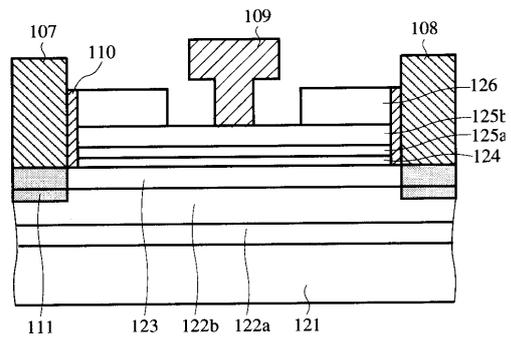
工程要所に於ける半導体装置の要部切断側面図



165：ゲート電極

【図8】

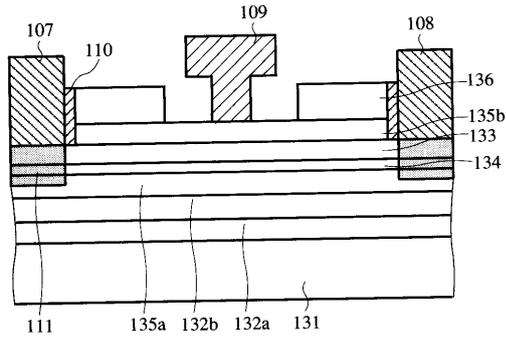
半導体装置を表す要部切断側面図



121：基板
 122a：バッファ層(第一)
 122b：バッファ層(第二)
 123：チャネル層
 124：スペーサ層
 125a：電子供給層
 125b：バリヤ層
 126：キャップ層

【図9】

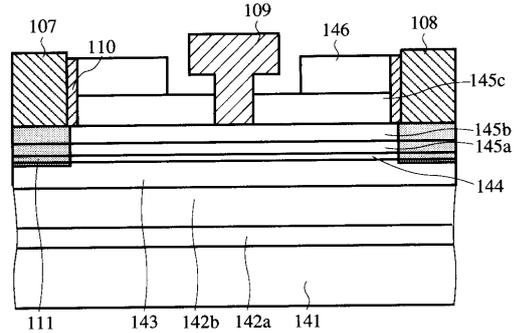
半導体装置を表す要部切断側面図



- 131: 基板
- 132a: バッファ層(第一)
- 132b: バッファ層(第二)
- 133: チャンネル層
- 134: スペーサ層
- 135a: 電子供給層
- 135b: バリヤ層
- 136: キャップ層

【図10】

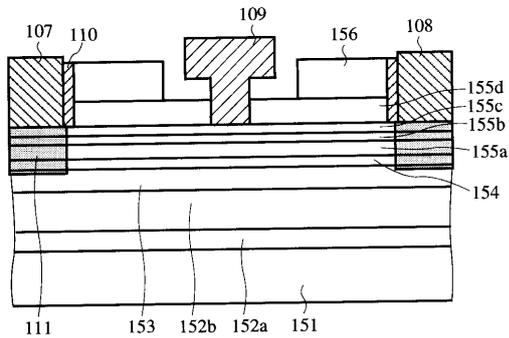
半導体装置を表す要部切断側面図



- 141: 基板
- 142a: バッファ層(第一)
- 142b: バッファ層(第二)
- 143: チャンネル層
- 144: スペーサ層
- 145a: 電子供給層
- 145b: バリヤ層
- 145c: ゲート埋め込み層
- 146: キャップ層

【図11】

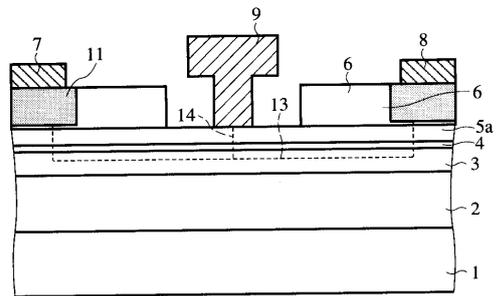
半導体装置を表す要部切断側面図



- 151: 基板
- 152a: バッファ層(第一)
- 152b: バッファ層(第二)
- 153: チャンネル層
- 154: スペーサ層
- 155a: 電子供給層
- 155b: 高いAl組成のバリヤ層
- 155c: バリヤ層
- 155d: ゲート埋め込み層
- 156: キャップ層

【図12】

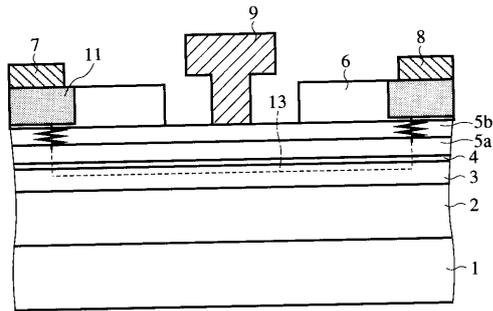
HEMTの要部切断側面図



- 1: 基板
- 2: バッファ層
- 3: チャンネル層
- 4: スペーサ層
- 5a: 電子供給層
- 6: キャップ層
- 7: ソース電極
- 8: ドレイン電極
- 9: ゲート電極
- 11: 合金化領域
- 13: 電流バス
- 14: リーク電流バス

【図13】

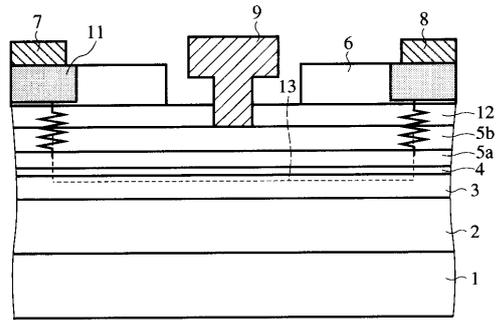
HEMTの要部切斷側面図



- | | |
|-----------|-----------|
| 1: 基板 | 6: キャップ層 |
| 2: バッファ層 | 7: ソース電極 |
| 3: チャンネル層 | 8: ドレイン電極 |
| 4: スペーサ層 | 9: ゲート電極 |
| 5a: 電子供給層 | 11: 合金化領域 |
| 5b: バリヤ層 | 13: 電流パス |

【図14】

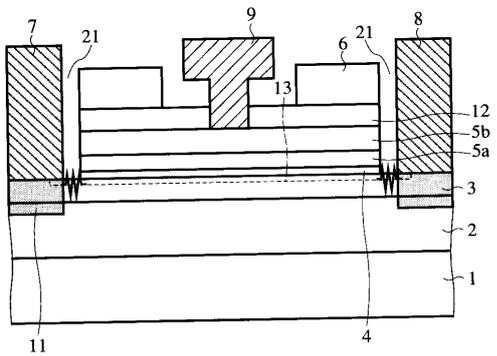
HEMTの要部切斷側面図



- | | |
|-----------|----------------------|
| 1: 基板 | 7: ソース電極 |
| 2: バッファ層 | 8: ドレイン電極 |
| 3: チャンネル層 | 9: ゲート電極 |
| 4: スペーサ層 | 11: 合金化領域 |
| 5a: 電子供給層 | 12: 低不純物濃度ゲート電極埋め込み層 |
| 5b: バリヤ層 | 13: 電流パス |
| 6: キャップ層 | |

【図15】

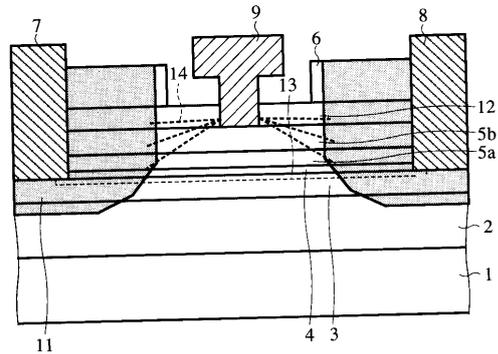
HEMTの要部切斷側面図



- | | |
|-----------|----------------------|
| 1: 基板 | 7: ソース電極 |
| 2: バッファ層 | 8: ドレイン電極 |
| 3: チャンネル層 | 9: ゲート電極 |
| 4: スペーサ層 | 11: 合金化領域 |
| 5a: 電子供給層 | 12: 低不純物濃度ゲート電極埋め込み層 |
| 5b: バリヤ層 | 13: 電流パス |
| 6: キャップ層 | 21: リセス |

【図16】

HEMTの要部切斷側面図



- | | |
|-----------|----------------------|
| 1: 基板 | 7: ソース電極 |
| 2: バッファ層 | 8: ドレイン電極 |
| 3: チャンネル層 | 9: ゲート電極 |
| 4: スペーサ層 | 11: 合金化領域 |
| 5a: 電子供給層 | 12: 低不純物濃度ゲート電極埋め込み層 |
| 5b: バリヤ層 | 13: 電流パス |
| 6: キャップ層 | 14: リーク電流パス |

フロントページの続き

- (56)参考文献 特開昭62-202563(JP,A)
特開平03-070145(JP,A)
特開平04-186849(JP,A)
特開平04-343438(JP,A)
特開平07-037903(JP,A)
特開平07-161736(JP,A)
特開平08-037292(JP,A)
特開平10-107258(JP,A)

(58)調査した分野(Int.Cl., DB名)

- H01L 21/338
H01L 21/28
H01L 29/778
H01L 29/812