



(12)发明专利申请

(10)申请公布号 CN 109962707 A

(43)申请公布日 2019.07.02

(21)申请号 201910305397.8

(22)申请日 2019.04.16

(71)申请人 深圳市致宸信息科技有限公司
地址 518100 广东省深圳市南山区粤海街
道科技南八路2号豪威科技大厦2101
室

(72)发明人 刘剑辉 刘志赟

(51)Int.Cl.
H03K 19/20(2006.01)

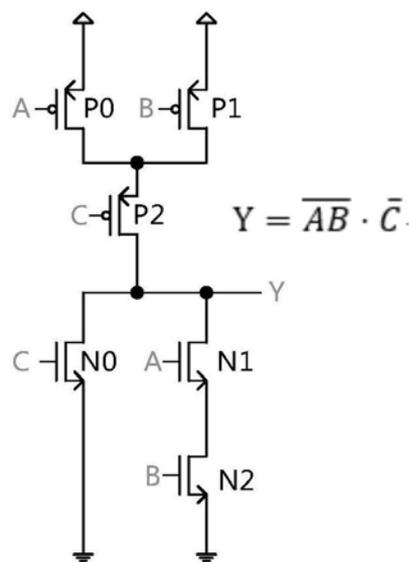
权利要求书1页 说明书3页 附图1页

(54)发明名称

一种CMOS组合逻辑电路

(57)摘要

本发明提供了一种CMOS组合逻辑电路,用以在加法器电路设计时,替代工艺厂提供的标准单元库中的组合逻辑运算单元电路。该CMOS组合逻辑电路包括PMOS网络和NMOS网络,PMOS网络和NMOS网络各包含三个晶体管。通过较少的晶体管实现了 $Y = \overline{AB} \cdot \bar{C}$ 逻辑运算功能,减少了面积,降低了功耗,同时缩短了路径,降低了传输延时。



1. 一种CMOS组合逻辑电路,包括PMOS网络和NMOS网络,其特征在于:

所述PMOS网络中包括:

第一晶体管为PMOS管,所述第一晶体管的栅极G与第一输入信号连接,所述第一晶体管的源极S与电源电压连接,所述第一晶体管的漏极D与第二晶体管的漏极D、第三晶体管的源极S连接;

第二晶体管为PMOS管,所述第二晶体管的栅极G与第二输入信号连接,所述第二晶体管的源极S与电源电压连接,所述第二晶体管的漏极D与第一晶体管的漏极D、第三晶体管的源极S连接;

第三晶体管为PMOS管,所述第三晶体管的栅极G与第三输入信号连接,所述第三晶体管的源极S与第一晶体管的漏极D、第二晶体管的漏极D连接,所述第三晶体管的漏极D与第四晶体管的漏极D、第五晶体管的漏极D、输出信号连接;

所述NMOS网络中包括:

第四晶体管为NMOS管,所述第四晶体管的栅极G与第三输入信号连接,所述第四晶体管的漏极D与第三晶体管的漏极D、第五晶体管的漏极D、输出信号连接,所述第四晶体管的源极S与接地信号连接;

第五晶体管为NMOS管,所述第五晶体管的栅极G与第一输入信号连接,所述第五晶体管的漏极D与第三晶体管的漏极D、第四晶体管的漏极D、输出信号连接,所述第五晶体管的源极S与第六晶体管的漏极D连接;

第六晶体管为NMOS管,所述第六晶体管的栅极G与第二输入信号连接,所述第六晶体管的漏极D与第五晶体管的源极S连接,所述第六晶体管的源极S与接地信号连接。

2. 如权利要求1所述的CMOS组合逻辑电路,其特征在于:所述电源电压为高电平电压,所述接地信号为低电平电压。

3. 如权利要求1所述的CMOS组合逻辑电路,其特征在于:当第一输入信号、第二输入信号、第三输入信号为低电平时,输出信号为高电平;第一输入信号、第三输入信号为低电平,第二输入信号为高电平时,输出信号为高电平;第一输入信号、第二输入信号为低电平,第三输入信号为高电平时,输出信号为低电平;第一输入信号为低电平,第三输入信号、第二输入信号为高电平时,输出信号为低电平;第一输入信号为高电平,第二输入信号、第三输入信号为低电平时,输出信号为高电平;第一输入信号、第二输入信号为高电平,第三输入信号为低电平时,输出信号为低电平;第一输入信号、第三输入信号为高电平,第二输入信号为低电平时,输出信号为低电平;第一输入信号、第二输入信号、第三输入信号为高电平时,输出信号为低电平。

4. 如权利要求1至3中任一项所述的CMOS组合逻辑电路,其特征在于:所述CMOS组合逻辑电路用于加法器的电路设计中。

一种CMOS组合逻辑电路

技术领域

[0001] 本发明涉及一种电路单元结构,特别涉及一种用以替代工艺厂提供的标准单元库中的组合逻辑运算单元电路的小型CMOS组合逻辑运算单元电路。

背景技术

[0002] 设计大型高性能计算服务器中的核心芯片时,当前的设计流程中,从前端RTL(电阻晶体管逻辑电路)设计到后端的实现,都是基于工艺厂提供的标准单元库,这样设计虽然周期短,但可以用的资源有限(只有工艺厂提供的标准单元库),缺少灵活性。当高性能计算服务器对功耗和速度很敏感时,采用这样的工具处理方式难以满足服务器的性能需求,因此设计人员需要一些低功耗、或者能够提速的逻辑单元来替代标准单元库中的组合逻辑运算单元电路,从而降低功耗并提高速度。

[0003] 在高性能计算服务器的芯片设计中,通过分析RTL代码综合的电路网表结构,发现加法器结构中的关键路径上有一个逻辑运算,如图1所示,是RTL设计时32位加法器结构中关键路径中逻辑运算的逻辑电路结构,采用3个基本的逻辑门:与非门,非门,与门,总共包含了12个晶体管,输入信号A和B先进行逻辑与非,然后再与输入信号C的反相进行逻辑与的运算,实现的运算功能是 $Y = \overline{AB} \cdot \bar{C}$,这个结构的传输时间有两级逻辑门延时。如果能设计一个逻辑单元能够替代这个单元:不增加面积,同时又降低功耗和传输时间,提高加法器的速度,实现服务器的性能提高。这是非常有意义的。

发明内容

[0004] 本发明提供一种电路单元结构,在实现 $Y = \overline{AB} \cdot \bar{C}$ 运算功能的同时,面积更小、功耗更小、速度更快,实现了加法器的速度提高。

[0005] 本发明提供了一种CMOS组合逻辑电路,包括PMOS网络和NMOS网络,所述PMOS网络中包括:

[0006] 第一晶体管为PMOS管,所述第一晶体管的栅极G与第一输入信号连接,所述第一晶体管的源极S与电源电压连接,所述第一晶体管的漏极D与第二晶体管的漏极D、第三晶体管的源极S连接;

[0007] 第二晶体管为PMOS管,所述第二晶体管的栅极G与第二输入信号连接,所述第二晶体管的源极S与电源电压连接,所述第二晶体管的漏极D与第一晶体管的漏极D、第三晶体管的源极S连接;

[0008] 第三晶体管为PMOS管,所述第三晶体管的栅极G与第三输入信号连接,所述第三晶体管的源极S与第一晶体管的漏极D、第二晶体管的漏极D连接,所述第三晶体管的漏极D与第四晶体管的漏极D、第五晶体管的漏极D、输出信号连接;

[0009] 所述NMOS网络中包括:

[0010] 第四晶体管为NMOS管,所述第四晶体管的栅极G与第三输入信号连接,所述第四晶体管的漏极D与第三晶体管的漏极D、第五晶体管的漏极D、输出信号连接,所述第四晶体管

的源极S与接地信号连接；

[0011] 第五晶体管为NMOS管，所述第五晶体管的栅极G与第一输入信号连接，所述第五晶体管的漏极D与第三晶体管的漏极D、第四晶体管的漏极D、输出信号连接，所述第五晶体管的源极S与第六晶体管的漏极D连接；

[0012] 第六晶体管为NMOS管，所述第六晶体管的栅极G与第二输入信号连接，所述第六晶体管的漏极D与第五晶体管的源极S连接，所述第六晶体管的源极S与接地信号连接。

[0013] 所述电源电压为高电平电压，所述接地信号为低电平电压。

[0014] 当第一输入信号、第二输入信号、第三输入信号为低电平时，输出信号为高电平；第一输入信号、第三输入信号为低电平，第二输入信号为高电平时，输出信号为高电平；第一输入信号、第二输入信号为低电平，第三输入信号为高电平时，输出信号为低电平；第一输入信号为低电平，第三输入信号、第二输入信号为高电平时，输出信号为低电平；第一输入信号为高电平，第二输入信号、第三输入信号为低电平时，输出信号为高电平；第一输入信号、第二输入信号为高电平，第三输入信号为低电平时，输出信号为低电平；第一输入信号、第三输入信号为高电平，第二输入信号为低电平时，输出信号为低电平；第一输入信号、第二输入信号、第三输入信号为高电平时，输出信号为低电平。

[0015] 所述CMOS组合逻辑电路用于加法器的电路设计中。

[0016] 本发明提供的电路单元结构只用了图1结构中12个晶体管的一半，通过较少的晶体管实现了同样的功能运算，减少了面积，降低了功耗，同时缩短了路径，降低了传输延时。

附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

[0018] 图1是 $Y = \overline{AB} \cdot \bar{C}$ 逻辑电路结构；

[0019] 图2是本发明的电路单元结构；

[0020] 图3是本发明的输入输出关系对照表。

具体实施方式

[0021] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。

[0022] 如图1所示，本发明提供了一种电路单元结构，实现了 $Y = \overline{AB} \cdot \bar{C}$ 逻辑运算功能。

[0023] PMOS网络中，第一晶体管、第二晶体管和第三晶体管都为PMOS管。第一晶体管P0的栅极G与第一输入信号A连接，源极S与电源电压VDD连接，漏极D与第二晶体管P1的漏极D、第三晶体管P2的源极S连接；第二晶体管P1的栅极G与第二输入信号B连接，源极S与电源电压VDD连接，漏极D与第一晶体管P0的漏极D、第三晶体管P2的源极S连接；第三晶体管P2的栅极G与第三输入信号C连接，源极S与第一晶体管P0的漏极D、第二晶体管P1的漏极D连接，漏极D与第四晶体管N0的漏极D、第五晶体管N1的漏极D、输出信号Y连接。当第三输入信号C为低电平时，第三晶体管P2导通，输出信号Y的值取决于第一输入信号A和第二输入信号B，只要第

一输入信号A和第二输入信号B其中一个为低电平,第一晶体管P0和第二晶体管P1中就有至少一个会导通,输出信号Y被连接到电源电压VDD,实现输出信号Y高电平。当第一输入信号A和第二输入信号B同时为高电平,第一晶体管P0和第二晶体管P1同时被关断,第五晶体管N1和第六晶体管N2同时导通,输出信号Y被连接到接地信号GND,输出信号Y为低电平,也就是实现了 $Y = \overline{AB} \cdot \bar{C}$ 中 $C=0$, $Y = \overline{AB} \cdot 1$ 的功能。

[0024] NMOS网络中,第四晶体管、第五晶体管和第六晶体管都为NMOS管。第四晶体管N0的栅极G与第三输入信号C连接,漏极D与第三晶体管P2的漏极D、第五晶体管N1的漏极D、输出信号Y连接,源极S与接地信号GND连接;第五晶体管N1的栅极G与第一输入信号A连接,漏极D与第三晶体管P2的漏极D、第四晶体管N0的漏极D、输出信号Y连接,源极S与第六晶体管N2的漏极D连接;第六晶体管N2的栅极G与第二输入信号B连接,漏极D与第五晶体管N1的源极S连接,源极S与接地信号GND连接。NMOS管N1和N2串联,然后再与N0并联。当第三输入信号C为高电平时,第四晶体管N0管导通,输出信号Y被连接到接地信号GND,第一输入信号A和第二输入信号B为高和低都没有影响,输出信号Y为低电平,也就是实现了 $Y = \overline{AB} \cdot \bar{C}$ 中 $C=1$ $Y = \overline{AB} \cdot 0$ 的功能。

[0025] 第一输入信号A、第二输入信号B、第三输入信号C与输出信号Y的对照关系如图3所示。当第一输入信号A、第二输入信号B、第三输入信号C为低电平时,输出信号Y为高电平;第一输入信号A、第三输入信号C为低电平,第二输入信号B为高电平时,输出信号Y为高电平;第一输入信号A、第二输入信号B为低电平,第三输入信号C为高电平时,输出信号Y为低电平;第一输入信号A为低电平,第三输入信号C、第二输入信号B为高电平时,输出信号Y为低电平;第一输入信号A为高电平,第二输入信号B、第三输入信号C为低电平时,输出信号Y为高电平;第一输入信号A、第二输入信号B为高电平,第三输入信号C为低电平时,输出信号Y为低电平;第一输入信号A、第三输入信号C为高电平,第二输入信号B为低电平时,输出信号Y为低电平;第一输入信号A、第二输入信号B、第三输入信号C为高电平时,输出信号Y为低电平。

[0026] 本发明提供的电路单元结构只用了图1结构中12个晶体管的一半,通过较少的晶体管实现了同样的功能运算,减少了面积,降低了功耗,同时缩短了路径,降低了传输延时。

[0027] 另外,以上对本发明实施例所提供的CMOS组合逻辑电路结构进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

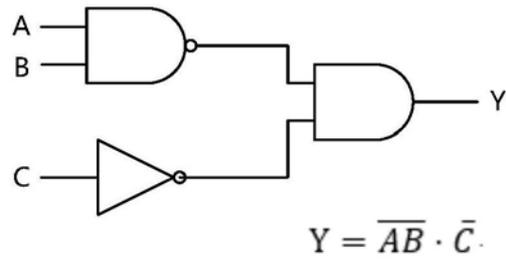


图1

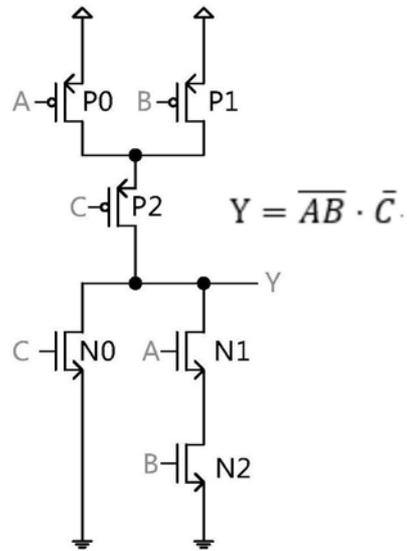


图2

| A | B | C | Y |
|---|---|---|---|
| 低 | 低 | 低 | 高 |
| 低 | 高 | 低 | 高 |
| 低 | 低 | 高 | 低 |
| 低 | 高 | 高 | 低 |
| 高 | 低 | 低 | 高 |
| 高 | 高 | 低 | 低 |
| 高 | 低 | 高 | 低 |
| 高 | 高 | 高 | 低 |

图3