



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0118915
(43) 공개일자 2007년12월18일

(51) Int. Cl.

G09G 3/28 (2006.01)

(21) 출원번호 10-2006-0053210

(22) 출원일자 2006년06월13일

심사청구일자 2006년06월13일

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

황두용

경기도 용인시 상현동 풍산아파트 101-402

이동환

부산 해운대구 반여동 삼해대림타운 102-902

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 10 항

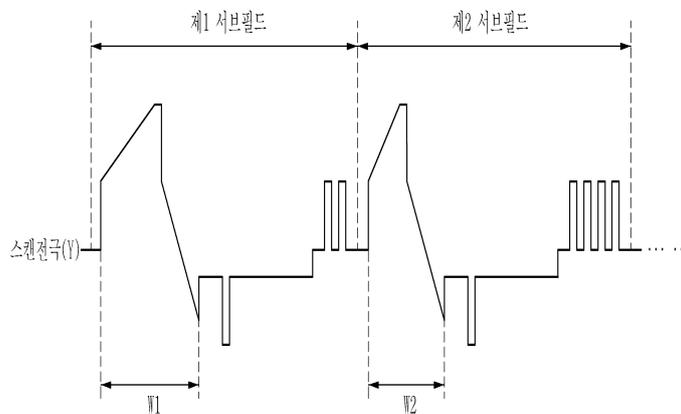
(54) 플라즈마 디스플레이 패널의 구동 방법

(57) 요약

본 발명은 플라즈마 디스플레이 패널의 구동 방법(Driving Method for Plasma Display Panel)에 관한 것으로, 어느 하나의 서브필드의 리셋 기간의 길이를 다른 서브필드와 다르게 하고, 어드레스 기간의 길이를 다르게 하고 아울러, 서스테인 기간의 길이를 다르게 함으로써, 플라즈마 디스플레이 패널의 납 성분의 함량이 1000PPM이하가 되는 경우에도 방전을 안정시키는 효과가 있다.

이러한, 본 발명의 플라즈마 디스플레이 패널의 구동 방법은 서로 나란한 스캔 전극과 서스테인 전극이 형성되고, 스캔 전극과 서스테인 전극에 교차하는 어드레스 전극이 형성되고, 납(Pb) 성분의 함량이 1000PPM(Parts Per Million)이하인 플라즈마 디스플레이 패널의 구동 방법에 있어서, 프레임의 적어도 어느 하나의 서브필드는 초기화를 위한 리셋 기간의 길이가 다른 서브필드와 다르고, 리셋 기간 이후의 어드레스 기간의 길이가 다른 서브필드와 다르고, 어드레스 기간 이후의 서스테인 길이가 다른 서브필드와 다른 것이 바람직하다.

대표도 - 도5a



특허청구의 범위

청구항 1

서로 나란한 스캔 전극과 서스테인 전극이 형성되고, 상기 스캔 전극과 서스테인 전극에 교차하는 어드레스 전극이 형성되고, 납(Pb) 성분의 함량이 1000PPM(Parts Per Million)이하인 플라즈마 디스플레이 패널의 구동 방법에 있어서,

프레임의 적어도 어느 하나의 서브필드는 초기화를 위한 리셋 기간의 길이가 다른 서브필드와 다르고, 상기 리셋 기간 이후의 어드레스 기간의 길이가 다른 서브필드와 다르고, 상기 어드레스 기간 이후의 서스테인 길이가 다른 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 2

제 1 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 리셋 기간에서 상기 스캔 전극으로 인가되는 리셋 신호의 폭이 다른 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 3

제 2 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 리셋 기간에서 상기 스캔 전극으로 인가되는 리셋 신호의 폭이 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 4

제 1 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 리셋 기간에서 상기 스캔 전극으로 인가되는 리셋 신호의 개수가 다른 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 5

제 4 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 리셋 기간에서 상기 스캔 전극으로 인가되는 리셋 신호의 개수가 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 6

제 1 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 어드레스 기간에서 상기 스캔 전극으로 인가되는 스캔 신호의 폭이 다른 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 7

제 1 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 어드레스 기간에서 상기 스캔 전극으로 인가되는 스캔 신호의 폭이 다른 프레임의 계조 가중치가 실질적으

로 동일한 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 8

제 1 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 서스테인 기간에서 상기 스캔 전극 또는 서스테인 전극으로 인가되는 하나 이상의 서스테인 신호의 폭이 다른 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 9

제 1 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 서스테인 기간에서 상기 스캔 전극 또는 서스테인 전극으로 인가되는 하나 이상의 서스테인 신호의 폭이 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 10

제 1 항에 있어서,

상기 프레임의 적어도 어느 하나의 서브필드는

상기 서스테인 기간에서 상기 스캔 전극 또는 서스테인 전극으로 인가되는 서스테인 신호의 개수가 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <24> 본 발명은 플라즈마 디스플레이 패널의 구동 방법(Driving Method for Plasma Display Panel)에 관한 것이다.
- <25> 일반적으로 플라즈마 디스플레이 패널에는 격벽으로 구획된 방전 셀(Cell) 내에 형광체 층이 형성되고, 아울러 복수의 전극(Electrode)이 형성된다.
- <26> 그리고 이러한 전극을 통해 방전 셀로 구동 신호가 공급된다.
- <27> 그러면, 방전 셀 내에서는 공급되는 구동 신호에 의해 방전이 발생한다. 여기서, 방전 셀 내에서 구동 신호에 의해 방전이 될 때, 방전 셀 내에 충전 되어 있는 방전 가스가 진공자외선(Vacuum Ultraviolet rays)을 발생하고, 이러한 진공 자외선이 방전 셀 내에 형성된 형광체를 발광시켜 가시 광을 발생시킨다. 이러한 가시 광에 의해 플라즈마 디스플레이 패널의 화면상에 영상이 표시된다.
- <28> 이러한 플라즈마 디스플레이 패널에서는 정전 용량(Capacitance) 값에 따라 방전 특성이 변하는 문제점이 있다. 보다 자세하게는 플라즈마 디스플레이 패널의 정전 용량 값이 증가하게 되면, 방전 셀 내에서의 방전 개시 전압(Firing Voltage)이 증가하게 되고, 이에 따라 방전의 세기가 약해지는 등 방전이 특성이 불안정해지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <29> 상술한 문제점을 해결하기 위해 본 발명은 플라즈마 디스플레이 패널의 정전 용량 값이 증가하더라도 방전 특성을 안정시키는 플라즈마 디스플레이 패널의 구동 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <30> 상술한 목적을 이루기 위한 본 발명의 플라즈마 디스플레이 패널의 구동 방법은 서로 나란한 스캔 전극과 서스테인 전극이 형성되고, 스캔 전극과 서스테인 전극에 교차하는 어드레스 전극이 형성되고, 납(Pb) 성분의 함량이 1000PPM(Parts Per Million)이하인 플라즈마 디스플레이 패널의 구동 방법에 있어서, 프레임의 적어도 어느 하나의 서브필드는 초기화를 위한 리셋 기간의 길이가 다른 서브필드와 다르고, 리셋 기간 이후의 어드레스 기간의 길이가 다른 서브필드와 다르고, 어드레스 기간 이후의 서스테인 길이가 다른 서브필드와 다른 것이 바람직하다.
- <31> 또한, 프레임의 적어도 어느 하나의 서브필드는 리셋 기간에서 스캔 전극으로 인가되는 리셋 신호의 폭이 다른 서브필드와 다른 것을 특징으로 한다.
- <32> 또한, 프레임의 적어도 어느 하나의 서브필드는 리셋 기간에서 스캔 전극으로 인가되는 리셋 신호의 폭이 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 한다.
- <33> 또한, 프레임의 적어도 어느 하나의 서브필드는 리셋 기간에서 스캔 전극으로 인가되는 리셋 신호의 개수가 다른 서브필드와 다른 것을 특징으로 한다.
- <34> 또한, 프레임의 적어도 어느 하나의 서브필드는 리셋 기간에서 스캔 전극으로 인가되는 리셋 신호의 개수가 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 한다.
- <35> 또한, 프레임의 적어도 어느 하나의 서브필드는 어드레스 기간에서 스캔 전극으로 인가되는 스캔 신호의 폭이 다른 서브필드와 다른 것을 특징으로 한다.
- <36> 또한, 프레임의 적어도 어느 하나의 서브필드는 어드레스 기간에서 스캔 전극으로 인가되는 스캔 신호의 폭이 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 한다.
- <37> 또한, 프레임의 적어도 어느 하나의 서브필드는 서스테인 기간에서 스캔 전극 또는 서스테인 전극으로 인가되는 하나 이상의 서스테인 신호의 폭이 다른 서브필드와 다른 것을 특징으로 한다.
- <38> 또한, 프레임의 적어도 어느 하나의 서브필드는 서스테인 기간에서 스캔 전극 또는 서스테인 전극으로 인가되는 하나 이상의 서스테인 신호의 폭이 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 한다.
- <39> 또한, 프레임의 적어도 어느 하나의 서브필드는 서스테인 기간에서 스캔 전극 또는 서스테인 전극으로 인가되는 서스테인 신호의 개수가 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다른 것을 특징으로 한다.
- <40> 이하, 첨부된 도면을 참조하여 본 발명의 플라즈마 디스플레이 패널의 구동 방법을 상세히 설명하기로 한다.
- <41> 먼저, 본 발명의 플라즈마 디스플레이 패널의 구동 방법이 적용되는 플라즈마 디스플레이 패널의 일례에 대해 살펴보면 다음 도 1a 내지 도 1b와 같다.
- <42> 도 1a 내지 도 1b는 본 발명의 플라즈마 디스플레이 패널의 구동 방법이 적용되는 플라즈마 디스플레이 패널의 일례를 설명하기 위한 도면이다.
- <43> 먼저, 도 1a를 살펴보면 본 발명의 플라즈마 디스플레이 패널은 전극(Electrode), 바람직하게는 스캔 전극(102, Y)과 서스테인 전극(103, Z)이 형성되는 전면 기관(101)을 포함하는 전면 패널(100)과, 전술한 스캔 전극(102, Y) 및 서스테인 전극(103, Z)과 교차하는 전극, 바람직하게는 어드레스 전극(113, X)이 형성되는 후면 기관(111)을 포함하는 후면 패널(110)이 합착되어 이루어진다.
- <44> 여기서, 전면 기관(101) 상에 형성되는 전극, 바람직하게는 스캔 전극(102, Y)과 서스테인 전극(103, Z)은 방전 공간, 즉 방전 셀(Cell)에서 방전을 발생시키고 아울러 방전 셀의 방전을 유지한다.
- <45> 이러한 스캔 전극(102, Y)과 서스테인 전극(103, Z)이 형성된 전면 기관(101)의 상부에는 스캔 전극(102, Y)과 서스테인 전극(103, Z)을 덮도록 유전체 층, 바람직하게는 상부 유전체 층(104)이 형성된다.
- <46> 이러한, 상부 유전체 층(104)은 스캔 전극(102, Y) 및 서스테인 전극(103, Z)의 방전 전류를 제한하며 스캔 전극(102, Y)과 서스테인 전극(103, Z) 간을 절연시킨다.
- <47> 이러한, 상부 유전체 층(104) 상면에는 방전 조건을 용이하게 하기 위한 보호 층(105)이 형성된다. 이러한 보호

층(105)은 산화마그네슘(MgO) 등의 재료를 상부 유전체 층(104) 상부에 증착하는 방법 등을 통해 형성된다.

- <48> 한편, 후면 기판(111) 상에 형성되는 전극, 바람직하게는 어드레스 전극(113, X)은 방전 셀에 데이터(Data) 신호를 공급하는 전극이다.
- <49> 이러한 어드레스 전극(113, X)이 형성된 후면 기판(111)의 상부에는 어드레스 전극(113, X)을 덮도록 유전체 층, 바람직하게는 하부 유전체 층(115)이 형성된다.
- <50> 이러한, 하부 유전체 층(115)은 어드레스 전극(113, X)을 절연시킨다.
- <51> 이러한 하부 유전체 층(115)의 상부에는 방전 공간 즉, 방전 셀을 구획하기 위한 스트라이프 타입(Stripe Type), 웰 타입(Well Type), 델타 타입(Delta Type), 벌집 타입 등의 격벽(112)이 형성된다. 이에 따라, 전면 기판(101)과 후면 기판(111)의 사이에서 적색(Red : R), 녹색(Green : G), 청색(Blue : B) 등의 방전 셀이 형성된다.
- <52> 여기서, 격벽(112)에 의해 구획된 방전 셀 내에는 소정의 방전 가스가 채워진다.
- <53> 아울러, 격벽(112)에 의해 구획된 방전 셀 내에는 어드레스 방전 시 화상표시를 위한 가시 광을 방출하는 형광체 층(114)이 형성된다. 예를 들면, 적색(Red : R), 녹색(Green : G), 청색(Blue : B) 형광체 층이 형성될 수 있다.
- <54> 이상에서 설명한 본 발명의 플라즈마 디스플레이 패널에서는 스캔 전극(102, Y), 서스테인 전극(103, Z) 또는 어드레스 전극(113, X) 중 적어도 하나 이상의 전극으로 구동 신호가 공급되면, 격벽(112)에 의해 구획된 방전 셀 내에서 방전이 발생한다.
- <55> 그러면, 방전 셀 내에 채워진 방전 가스에서 진공 자외선이 발생하고, 이러한 진공 자외선이 방전 셀 내에 형성된 형광체 층(114)에 가해진다. 그러면, 형광체 층(114)에서 소정의 가시광선이 발생되고, 이렇게 발생된 가시광선이 상부 유전체 층(104)이 형성된 전면 기판(101)을 통해 외부로 방출되고, 이에 따라 전면 기판(101)의 외부 면에 소정의 영상이 표시된다.
- <56> 한편, 여기 도 1a의 설명에서는 스캔 전극(102, Y) 및 서스테인 전극(103, Z)이 각각 하나의 층(Layer)으로 이루어지는 경우만을 도시하고 설명하였지만, 이와는 다르게 스캔 전극(102, Y) 또는 서스테인 전극(103, Z) 중 하나 이상이 복수의 층으로 이루어지는 것도 가능하다. 이에 대해 도 1b를 참조하여 살펴보면 다음과 같다.
- <57> 도 1b를 살펴보면, 스캔 전극(102, Y)과 서스테인 전극(103, Z)은 각각 두 개의 층(Layer)으로 이루어질 수 있다.
- <58> 특히, 광 투과율 및 전기 전도도를 고려하면 방전 셀 내에서 발생한 광을 외부로 방출시키며 아울러 구동 효율을 확보하는 차원에서 스캔 전극(102, Y)과 서스테인 전극(103, Z)은 불투명한 은(Ag) 재질의 버스 전극(102b, 103b)과 투명한 인듐 틴 옥사이드(Indium Tin Oxide : ITO) 재질의 투명 전극(102a, 103a)을 포함하는 것이 바람직하다.
- <59> 이와 같이, 스캔 전극(102, Y)과 서스테인 전극(103, Z)이 투명 전극(102a, 103a)을 포함하도록 하는 이유는, 방전 셀 내에서 발생한 가시 광이 플라즈마 디스플레이 패널의 외부로 방출될 때 효과적으로 방출되도록 하기 위해서이다.
- <60> 아울러, 스캔 전극(102, Y)과 서스테인 전극(103, Z)이 버스 전극(102b, 103b)을 포함하도록 하는 이유는, 스캔 전극(102, Y)과 서스테인 전극(103, Z)이 투명 전극(102a, 103a)만을 포함하는 경우에는 투명 전극(102a, 103a)의 전기 전도도가 상대적으로 낮기 때문에 구동 효율이 감소할 수 있어서, 이러한 구동 효율의 감소를 야기할 수 있는 투명 전극(102a, 103a)의 낮은 전기 전도도를 보상하기 위해서이다.
- <61> 이와 같이 스캔 전극(102, Y)과 서스테인 전극(103, Z)이 버스 전극(102b, 103b)을 포함하는 경우에, 버스 전극(102b, 103b)에 의한 외부 광의 반사를 방지하기 위해 투명 전극(102a, 103a)과 버스 전극(102b, 103b)의 사이에 블랙 층(Black Layer : 120, 121)이 더 구비되는 것이 바람직하다.
- <62> 이상의 도 1a 내지 도 1b에서는 본 발명의 플라즈마 디스플레이 패널의 일례만을 도시하고 설명한 것으로써, 본 발명이 여기 도 1a 내지 도 1b와 같은 구조의 플라즈마 디스플레이 패널에 한정되는 것은 아님을 밝혀둔다. 예를 들면, 여기 도 1a 내지 도 1b의 플라즈마 디스플레이 패널에는 상부 유전체 층(104) 및 하부 유전체 층(115)이 각각 하나의 층(Layer)인 경우만을 도시하고 있지만, 상부 유전체 층(104) 및 하부 유전체 층(115) 중 적

어도 하나 이상은 복수의 층으로 이루지는 것도 가능한 것이다.

- <63> 아울러, 격벽(112)으로 인한 외부 광의 반사를 방지하기 위해 격벽(112)의 상부에 외부 광을 흡수할 수 있는 블랙 층(미도시)을 더 형성할 수도 있다.
- <64> 이와 같이, 본 발명의 플라즈마 디스플레이 패널의 구동 방법이 적용되는 플라즈마 디스플레이 패널의 구조는 다양하게 변경될 수 있다.
- <65> 이상의 도 1a 내지 도 1b에서 상세히 설명한 본 발명의 플라즈마 디스플레이 패널의 구동 방법이 적용되는 플라즈마 디스플레이 패널은 납(Pb) 성분의 함량이 1000PPM(Parts Per Million)이하인 것이 바람직하다.
- <66> 여기서, 플라즈마 디스플레이 패널의 전체 성분에서 납의 함량을 1000PPM이하로 함으로써 납 성분의 전체 함량을 1000PPM이하로 할 수 있다.
- <67> 또는, 플라즈마 디스플레이 패널의 특정 구성 요소에서의 납 성분의 함량을 1000PPM이하로 하는 것도 가능하다. 예를 들면, 격벽의 납 성분 및/또는 유전체 층의 납 성분의 함량을 1000PPM이하로 하는 것이다.
- <68> 또는, 플라즈마 디스플레이 패널의 구성 요소 각각의 납 성분의 함량을 1000PPM이하로 하는 것도 가능하다. 즉, 플라즈마 디스플레이 패널의 격벽, 유전체 층, 전극, 형광체 층 등등의 모든 구성 요소의 납 성분의 함량을 각각 1000PPM이하로 하는 것이다.
- <69> 이와 같이, 납 성분의 전체 함량을 1000PPM이하로 설정하는 이유는, 플라즈마 디스플레이 패널에 과도한 양의 납이 포함되는 경우에는 인체에 악영향을 끼칠 수 있기 때문이다.
- <70> 이러한 플라즈마 디스플레이 패널에는 소정의 구동부가 연결되고, 연결된 구동부가 플라즈마 디스플레이 패널의 전극에 구동 신호를 인가함으로써, 플라즈마 디스플레이 패널 상에 영상이 표시된다. 여기서 구동부와 플라즈마 디스플레이 패널의 연결 관계에 대해 첨부된 도 2를 참조하여 살펴보면 다음과 같다.
- <71> 도 2는 플라즈마 디스플레이 패널과 구동부와의 관계에 대해 설명하기 위한 도면이다.
- <72> 도 2를 살펴보면, 플라즈마 디스플레이 패널(200)의 어드레스 전극(X)에는 데이터 구동부(201)가 연결될 수 있다. 아울러, 스캔 전극(Y)에는 스캔 구동부(202)가 연결될 수 있고, 서스테인 전극(Z)에는 서스테인 구동부(203)가 연결될 수 있다.
- <73> 여기, 도 2에서는 스캔 구동부(202), 서스테인 구동부(203), 데이터 구동부(201)가 각각 서로 다른 보드(Board) 형태로 형성된 것으로 도시하고 있지만, 스캔 구동부(202), 서스테인 구동부(203), 데이터 구동부(201) 중 적어도 두 개 이상이 하나의 보드 형태로 통합될 수도 있다.
- <74> 이와 같이, 구동부가 연결되는 플라즈마 디스플레이 패널의 동작의 일례에 대해 첨부된 도 3 내지 도 4를 결부하여 살펴보면 다음과 같다.
- <75> 도 3은 본 발명의 플라즈마 디스플레이 패널 상에 영상의 계조를 구현하기 위한 프레임(Frame)에 대해 설명하기 위한 도면이다.
- <76> 또한, 도 4는 본 발명의 플라즈마 디스플레이 패널의 동작의 일례를 설명하기 위한 도면이다.
- <77> 먼저, 도 3을 살펴보면 본 발명의 플라즈마 디스플레이 패널 상에서 영상의 계조(Gray Level)를 구현하기 위한 프레임은 발광횟수가 다른 여러 서브필드로 나누어진다.
- <78> 아울러, 도시하지는 않았지만 각 서브필드는 다시 모든 방전 셀을 초기화시키기 위한 리셋 기간(Reset Period), 방전될 방전 셀을 선택하기 위한 어드레스 기간(Address Period) 및 방전횟수에 따라 계조를 구현하는 서스테인 기간(Sustain Period)으로 나누어 질 수 있다.
- <79> 예를 들어, 256 계조로 영상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임기간(16.67ms)은 예컨대, 도 3과 같이 8개의 서브필드들(SF1 내지 SF8)로 나누어지고, 8개의 서브 필드들(SF1 내지 SF8) 각각은 리셋 기간, 어드레스 기간 및 서스테인 기간으로 다시 나누어지게 된다.
- <80> 한편, 서스테인 기간에 공급되는 서스테인 신호의 개수를 조절하여 해당 서브필드의 계조 가중치를 설정할 수 있다. 즉, 서스테인 기간을 이용하여 각각의 서브필드에 소정의 계조 가중치를 부여할 수 있다. 예를 들면, 제 1 서브필드의 계조 가중치를 2⁰ 으로 설정하고, 제 2 서브필드의 계조 가중치를 2¹ 으로 설정하는 방법으로 각

서브필드의 계조 가중치가 2^n (단, $n = 0, 1, 2, 3, 4, 5, 6, 7$)의 비율로 증가되도록 각 서브필드의 계조 가중치를 결정할 수 있다. 이와 같이 각 서브필드에서 계조 가중치에 따라 각 서브필드의 서스테인 기간에서 공급되는 서스테인 신호의 개수를 조절함으로써, 다양한 영상의 계조를 구현하게 된다.

- <81> 이러한 본 발명의 플라즈마 디스플레이 장치는 1초의 영상을 표시하기 위해 복수의 프레임을 사용한다. 예를 들면, 1초의 영상을 표시하기 위해 60개의 프레임을 사용하는 것이다.
- <82> 여기 도 3에서는 하나의 프레임이 8개의 서브필드로 이루어진 경우만으로 도시하고 설명하였지만, 이와는 다르게 하나의 프레임을 이루는 서브필드의 개수는 다양하게 변경될 수 있다. 예를 들면, 제 1 서브필드부터 제 12 서브필드까지의 12개의 서브필드로 하나의 프레임을 구성할 수도 있고, 10개의 서브필드로 하나의 프레임을 구성할 수도 있는 것이다.
- <83> 이러한, 프레임으로 영상의 계조를 구현하는 플라즈마 디스플레이 장치가 구현하는 영상의 화질은 프레임에 포함되는 서브필드의 개수에 따라 결정될 수 있다. 즉, 프레임에 포함되는 서브필드가 12개인 경우는 2^{12} 가지의 영상의 계조를 표현할 수 있고, 프레임에 포함되는 서브필드가 8개인 경우는 2^8 가지의 영상의 계조를 구현할 수 있게 되는 것이다.
- <84> 또한, 여기 도 3에서는 하나의 프레임에서 계조 가중치의 크기가 증가하는 순서에 따라 서브필드들이 배열되었지만, 이와는 다르게 하나의 프레임에서 서브필드들이 계조 가중치가 감소하는 순서에 따라 배열될 수도 있고, 또는 계조 가중치에 관계없이 서브필드들이 배열될 수도 있는 것이다.
- <85> 다음, 도 4를 살펴보면 앞선 도 3과 같은 프레임에 포함된 복수의 서브필드 어느 하나의 서브필드(Subfield)에서의 본 발명의 플라즈마 디스플레이 패널의 동작의 일례가 나타나 있다.
- <86> 도 4를 살펴보면, 리셋 기간의 셋업 기간에서 본 발명의 플라즈마 디스플레이 패널의 스캔 전극(Y)에 전압이 점진적으로 상승하는 상승 램프(Ramp-Up) 신호가 인가될 수 있다.
- <87> 이러한 상승 램프 신호는 도 2의 부호 202의 스캔 구동부가 스캔 전극(Y)으로 인가하는 것이 바람직하다.
- <88> 이러한, 상승 램프 신호에 의해 방전 셀 내에는 약한 암방전(Dark Discharge), 즉 셋업 방전이 일어난다. 이 셋업 방전에 의해 방전 셀 내에는 어느 정도의 벽 전하(Wall Charge)가 쌓이게 된다.
- <89> 또한, 셋업 기간 이후의 셋다운 기간에서는 스캔 전극(Y)에 상승 램프 신호가 인가된 후, 상승 램프 파형의 피크전압보다 낮은 소정의 정극성 전압에서부터 전압이 점진적으로 하강하는 하강 램프(Ramp-Down) 신호가 인가될 수 있다.
- <90> 이에 따라, 방전 셀 내에서 미약한 소거 방전(Erase Discharge), 즉 셋다운 방전이 발생한다. 이 셋다운 방전에 의해 이전의 셋업 방전에 의해 방전 셀 내에 쌓여있던 벽 전하의 일부가 소거되어 방전 셀 내에는 어드레스 방전이 안정되게 일어날 수 있을 정도의 벽전하가 균일하게 잔류된다.
- <91> 이러한 셋업 기간과 셋다운 기간에서 인가되는 상승 램프 신호와 하강 램프 신호를 리셋 신호라 하겠다.
- <92> 여기 도 4에서는 하나의 서브필드의 시작이 리셋 기간인 경우로 설명하고 있지만, 이러한 리셋 기간 이전에 또 다른 신호가 인가되는 다른 기간이 포함되는 것도 가능하다.
- <93> 예를 들면 스캔 전극(Y)에 점진적으로 전압이 하강하는 하강 램프 신호가 인가되고, 서스테인 전극(Z)에는 소정의 정극성 전압을 유지하는 신호가 인가되는 프리(Pre) 리셋 기간이 리셋 기간 이전에 포함되는 것도 가능한 것이다.
- <94> 이러한, 셋업 기간과 셋다운 기간을 포함하는 리셋 기간 이후의 어드레스 기간에서는 스캔 기준 전압(Vsc) 및 이러한 스캔 기준 전압(Vsc)으로부터 하강하는 스캔 신호(Scan)가 스캔 전극(Y)에 인가될 수 있다.
- <95> 여기서, 스캔 신호(Scan)는 부극성 스캔 전압(-Vy)까지 하강하는 것이 바람직하다.
- <96> 이러한 스캔 신호도 도 2의 부호 202의 스캔 구동부가 스캔 전극(Y)으로 인가하는 것이 바람직하다.
- <97> 아울러, 스캔 신호가 스캔 전극(Y)으로 인가될 때, 이에 대응되게 어드레스 전극(X)에는 데이터 신호가 인가될 수 있다.
- <98> 이러한 데이터 신호는 앞선 도 2의 부호 201의 데이터 구동부가 어드레스 전극(X)에 인가하는 것이 바람직하다.

- <99> 아울러, 어드레스 기간에서 서스테인 전극(Z)의 간섭으로 인한 오방전의 발생을 방지하기 위해 어드레스 기간에서 서스테인 전극(Z)에 서스테인 바이어스 신호(Vzb)가 인가될 수 있다.
- <100> 여기서, 서스테인 바이어스 신호(Vzb)는 도 2의 부호 203의 서스테인 구동부가 서스테인 전극(Z)에 인가하는 것이 바람직하다.
- <101> 이러한, 어드레스 기간에서는 스캔 신호와 데이터 신호 간의 전압 차와 리셋 기간에 생성된 벽 전하들에 의한 벽 전압이 더해지면서 데이터 신호가 인가되는 방전 셀 내에는 어드레스 방전이 발생된다.
- <102> 이러한, 어드레스 방전에 의해 선택된 방전 셀 내에는 서스테인 신호의 서스테인 전압(Vs)이 공급될 때 방전이 일어날 수 있게 하는 정도의 벽 전하가 형성된다.
- <103> 이러한, 어드레스 기간 이후의 서스테인 기간에서 스캔 전극(Y) 또는 서스테인 전극(Z)에 서스테인 신호(SUS)가 인가될 수 있다.
- <104> 이러한 서스테인 신호(SUS)는 앞선 도 2의 부호 202의 스캔 구동부 및/또는 부호 203의 서스테인 구동부가 스캔 전극(Y) 또는 서스테인 전극(Z)으로 인가하는 것이 바람직하다.
- <105> 이러한 서스테인 신호(SUS)에 의해 어드레스 방전에 의해 선택된 방전 셀은 방전 셀 내의 벽 전압과 서스테인 신호(SUS)의 서스테인 전압(Vs)이 더해지면서 서스테인 신호(SUS)가 인가될 때 스캔 전극(Y)과 서스테인 전극(Z) 사이에 서스테인 방전 즉, 표시방전이 일어나게 된다. 이에 따라, 플라즈마 디스플레이 패널 상에 소정의 영상이 구현되는 것이다.
- <106> 한편, 이상에서는 스캔 전극(Y) 및 서스테인 전극(Z)에 교번되게 서스테인 신호(SUS)가 인가되는 경우만을 도시하고 설명하였지만, 이와는 다르게 스캔 전극(Y) 또는 서스테인 전극(Z) 중 어느 하나에만 서스테인 신호(SUS)를 인가하는 경우도 가능하다.
- <107> 예를 들면, 스캔 전극(Y) 또는 서스테인 전극(Z) 중 스캔 전극(Y)에만 서스테인 신호가 인가될 수 있다.
- <108> 보다 상세하게는, 스캔 전극(Y) 또는 서스테인 전극(Z) 중 어느 하나에 그라운드 레벨(GND)에서 양의 서스테인 전압(+Vs)까지 상승하고, 다시 그라운드 레벨(GND)에서 음의 서스테인 전압(-Vs)까지 하강하는 타입(Type)의 서스테인 신호가 인가되는 것이다. 이때, 나머지 하나의 전극에는 그라운드 레벨(GND)의 전압이 인가되는 것이 바람직하다.
- <109> 한편, 이상에서와 같이 동작하는 플라즈마 디스플레이 패널은 전체 납 성분의 함량이 1000PPM이하이고, 이에 따라 방전 특성이 불안정해질 가능성이 크다.
- <110> 보다 자세히 설명하면, 납 성분은 용융점이 상대적으로 낮고 성형이 용이하여 플라즈마 디스플레이 패널의 제조에 널리 사용되어 왔다. 이러한 납 성분은 금속성분으로서 그 정전 용량 값이 상대적으로 작고, 이에 따라 플라즈마 디스플레이 패널에 포함되면 플라즈마 디스플레이 패널의 전체 정전 용량 값이 상대적으로 낮아진다.
- <111> 이러한 납 성분은 인체에 미치는 악영향으로 인해 본 발명에서는 플라즈마 디스플레이 패널에 포함되는 양이 1000PPM이하로 제한되는데, 이때는 본 발명의 플라즈마 디스플레이 패널의 정전 용량 값이 상대적으로 증가할 수 있다.
- <112> 이와 같이, 정전 용량 값이 증가하게 되면 방전 특성이 불안정해질 가능성이 증가하는데, 이를 방지하기 위해 프레임의 적어도 어느 하나의 서브필드는 초기화를 위한 리셋 기간의 길이가 다른 서브필드와 다르게 하고, 리셋 기간 이후의 어드레스 기간의 길이가 다른 서브필드와 다르게 하고, 어드레스 기간 이후의 서스테인 길이가 다른 서브필드와 다르게 하는 것이 바람직하다.
- <113> 즉, 리셋 기간의 길이, 어드레스 기간의 길이 및 서스테인 기간의 길이를 다르게 조절함으로써 정전 용량 값의 증가에 따른 방전 특성의 불안정을 해결하는 것이다. 이에 대해 보다 상세히 살펴보면 다음과 같다.
- <114> 도 5a 내지 도 5b는 리셋 신호의 폭을 조절하여 리셋 기간의 길이를 다르게 조절하는 방법의 일례를 설명하기 위한 도면이다.
- <115> 먼저, 도 5a를 살펴보면 프레임의 서브필드 중 제 1 서브필드(SF1)와 제 2 서브필드(SF2)의 리셋 기간의 길이가 다르다.
- <116> 보다 상세하게는, 제 1 서브필드의 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 폭은 W1이고, 제 2

서브필드의 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 폭은 W1보다는 작은 W2이다. 이와 같이 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 폭이 조절됨으로써 전체 리셋 기간의 길이가 다르게 조절될 수 있다.

- <117> 여기서, 제 1 서브필드는 제 2 서브필드에 비해 계조 가중치가 상대적으로 더 작은 것이 바람직하다.
- <118> 이와 같이, 계조 가중치가 상대적으로 더 작은 서브필드의 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 폭을 더 크게 하는 이유는 계조 가중치가 상대적으로 작은 서브필드에서는 서스테인 기간에서 인가되는 서스테인 신호의 개수가 상대적으로 적기 때문에 방전이 불안정해질 가능성이 상대적으로 더 크기 때문이다.
- <119> 즉, 서스테인 신호의 개수가 상대적으로 적기 때문에 방전이 불안정해질 가능성이 상대적으로 큰 계조 가중치가 상대적으로 작은 서브필드에서 리셋 신호의 폭을 더 크게 함으로써, 전체 납의 함량이 1000PPM이하로 설정되는 경우에도 리셋 방전이 불안정해지는 것을 방지할 수 있다.
- <120> 다음, 도 5b를 살펴보면 프레임의 서브필드 중 (a)와 같이 제 1 서브필드(SF1)에서는 리셋 신호의 폭을 W1로 하고, (b)와 같이 제 2 서브필드(SF2)에서는 리셋 신호의 폭을 W1보다는 작은 W2로 하고, (c)와 같이 제 3 서브필드(SF3)에서는 리셋 신호의 폭을 W2보다는 작은 W3으로 하고, (d)와 같이 제 4 서브필드(SF4)에서는 리셋 신호의 폭을 W3보다는 작은 W4로 할 수 있다.
- <121> 이와 같이, 서브필드의 계조 가중치에 따라 리셋 신호의 폭을 다양하게 조절함으로써, 결과적으로 리셋 기간의 길이를 다양하게 조절할 수 있다.
- <122> 다음, 도 6은 리셋 신호의 폭을 조절하여 리셋 기간의 길이를 다르게 조절하는 방법의 또 다른 일례를 설명하기 위한 도면이다.
- <123> 도 6을 살펴보면, 프레임의 적어도 어느 하나의 서브필드는 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 폭이 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다르다.
- <124> 예를 들어, 하나의 프레임 총 6개의 서브필드, 즉 제 1, 2, 3, 4, 5, 6 서브필드(SF1, SF2, SF3, SF4, SF5, SF6)로 이루지는 경우에, 제 1 프레임에서는 (a)와 같이 제 3 서브필드에서의 리셋 신호의 폭이 W1이고, 반면에 (b)와 같은 제 2 프레임에서는 (a)의 제 3 서브필드와 계조 가중치가 실질적으로 동일한 제 3 서브필드에서의 리셋 신호의 폭은 (a)보다 작은 W2로 설정될 수 있다.
- <125> 여기 도 6에서는 프레임의 서브필드 중 제 3 서브필드에서만 리셋 신호의 폭을 다르게 조절하는 것으로 도시되어 있지만, 이와는 다르게 프레임의 서브필드 중 임의의 하나 이상의 서브필드에서 리셋 신호의 폭을 다르게 조절하는 것도 가능한 것이다.
- <126> 여기서, (a)와 같이 리셋 신호의 폭을 상대적으로 크게 조절하는 경우는 플라즈마 디스플레이 패널의 온도가 상대적으로 높게 상승하는 경우일 수 있다.
- <127> 예를 들어, 플라즈마 디스플레이 패널의 온도가 상대적으로 높은 경우에는 방전 셀 내에 분포하는 공간 전하들의 운동 에너지가 증가하여 방전 셀 내에서 공간 전하들이 더욱 활발하게 움직이게 되고, 이에 따라 방전 셀 내에서 공간 전하와 벽 전하가 결합하여 전기적으로 중화(Neutralization)되는 비율이 상승하게 된다. 이에 따라, 방전 개시 전압이 상승하게 됨으로써 구동 효율이 저감될 수 있다.
- <128> 특히, 플라즈마 디스플레이 패널의 납 성분의 함량이 1000PPM이하로 조절됨으로써 전체 정전 용량 값이 증가하는 경우에는 플라즈마 디스플레이 패널의 온도가 상대적으로 높게 증가하게 되면 구동 효율이 더욱 저감될 수 있는데, 이를 방지하기 위해 플라즈마 디스플레이 패널의 온도가 상대적으로 고온인 경우에 리셋 신호의 폭을 상대적으로 크게 조절하는 것이다.
- <129> 한편, 이상에서는 리셋 신호의 폭을 다르게 조절하는 방법을 설명하였지만, 이와는 다르게 리셋 신호의 개수를 조절하는 것도 가능하다. 이에 대해 살펴보면 다음과 같다.
- <130> 도 7a 내지 도 7b는 리셋 신호의 개수를 조절하여 리셋 기간의 길이를 다르게 조절하는 방법의 일례를 설명하기 위한 도면이다.
- <131> 먼저, 도 7a를 살펴보면 프레임의 서브필드 중 제 1 서브필드(SF1)와 제 2 서브필드(SF2)의 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 개수가 다르다.
- <132> 보다 자세하게는, 제 1 서브필드의 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 개수는 2개이고, 제

2 서브필드의 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 개수는 1개이다. 이와 같이 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 개수의 조절됨으로써 전체 리셋 기간의 길이가 다르게 조절될 수 있다.

- <133> 여기서, 제 1 서브필드는 제 2 서브필드에 비해 계조 가중치가 상대적으로 더 작은 것이 바람직하다.
- <134> 이와 같이, 계조 가중치가 상대적으로 더 작은 서브필드의 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 개수를 더 많게 하는 이유는 계조 가중치가 상대적으로 작은 서브필드에서는 서스테인 기간에서 인가되는 서스테인 신호의 개수가 상대적으로 적기 때문에 방전이 불안정해질 가능성이 상대적으로 더 크기 때문이다.
- <135> 즉, 서스테인 신호의 개수가 상대적으로 적기 때문에 방전이 불안정해질 가능성이 상대적으로 큰 계조 가중치가 상대적으로 작은 서브필드에서 리셋 신호의 개수를 더 많게 함으로써, 전체 납의 함량이 1000PPM이하로 설정되는 경우에도 리셋 방전이 불안정해지는 것을 방지할 수 있다.
- <136> 다음, 도 7b를 살펴보면 프레임의 서브필드 중 (a)와 같이 제 1 서브필드(SF1)에서는 리셋 신호의 개수를 3개로 하고, 즉 제 1 서브필드에서는 리셋 기간에 스캔 전극(Y)에 제 1 리셋 신호, 제 2 리셋 신호 및 제 3 리셋 신호를 인가하고, (b)와 같이 제 2 서브필드(SF2)에서는 리셋 신호의 개수를 제 1 서브필드보다는 적은 2개로 하고, 즉 제 2 서브필드에서는 리셋 기간에 스캔 전극(Y)에 제 1 리셋 신호와 제 2 리셋 신호를 인가하고, (c)와 같이 제 3 서브필드(SF3)에서는 리셋 신호의 개수를 제 2 서브필드보다는 적은 1개로 할 수 있다.
- <137> 이와 같이, 서브필드의 계조 가중치에 따라 리셋 신호의 개수를 다양하게 조절함으로써, 결과적으로 리셋 기간의 길이를 다양하게 조절할 수 있다.
- <138> 다음, 도 8은 리셋 신호의 개수를 조절하여 리셋 기간의 길이를 다르게 조절하는 방법의 또 다른 일례를 설명하기 위한 도면이다.
- <139> 도 8을 살펴보면, 프레임의 적어도 어느 하나의 서브필드는 리셋 기간에서 스캔 전극(Y)으로 인가되는 리셋 신호의 개수가 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다르다.
- <140> 예를 들어, 하나의 프레임 총 6개의 서브필드, 즉 제 1, 2, 3, 4, 5, 6 서브필드(SF1, SF2, SF3, SF4, SF5, SF6)로 이루지는 경우에, 제 1 프레임에서는 (a)와 같이 제 1 서브필드에서의 리셋 신호의 개수가 2개이고, 반면에 (b)와 같은 제 2 프레임에서는 (a)의 제 1 서브필드와 계조 가중치가 실질적으로 동일한 제 1 서브필드에서의 리셋 신호의 개수는 (a)보다 적은 1개로 설정될 수 있다.
- <141> 여기 도 8에서는 프레임의 서브필드 중 제 1 서브필드에서만 리셋 신호의 개수를 다르게 조절하는 것으로 도시되어 있지만, 이와는 다르게 프레임의 서브필드 중 임의의 하나 이상의 서브필드에서 리셋 신호의 개수를 다르게 조절하는 것도 가능한 것이다.
- <142> 여기서, (a)와 같이 리셋 신호의 개수를 상대적으로 많게 조절하는 경우는 플라즈마 디스플레이 패널의 온도가 상대적으로 높게 상승하는 경우일 수 있다.
- <143> 즉, 플라즈마 디스플레이 패널의 온도가 상대적으로 높은 경우에 리셋 신호의 개수를 상대적으로 많게 함으로써, 방전을 안정시킨다.
- <144> 한편, 이상에서는 모든 서브필드의 리셋 기간에서 스캔 전극(Y)에 리셋 신호가 인가되는 경우만을 도시하고 설명하고 있지만, 이와는 다르게 프레임의 복수의 서브필드 중 임의의 서브필드에서만 리셋 신호를 인가하는 것도 가능하다. 이에 대해 첨부된 도 9a 내지 도 9d를 결부하여 살펴보면 다음과 같다.
- <145> 도 9a 내지 도 9d는 리셋 신호를 인가하는 또 다른 방법에 대해 설명하기 위한 도면이다.
- <146> 먼저, 도 9a를 살펴보면, 프레임의 복수의 서브필드 중 제 1 서브필드에서만 상승 램프 신호를 포함하는 리셋 신호가 스캔 전극(Y)에 인가되고, 나머지 서브필드에서는 리셋 신호가 인가되지 않는다.
- <147> 여기서, 리셋 신호가 인가되는 제 1 서브필드는 프레임의 복수의 서브필드 중 계조 가중치가 가장 작은 서브필드인 것이 바람직하다.
- <148> 한편, 여기 도 9에서는 제 1 서브필드에서만 리셋 신호가 인가되는 것으로 도시하고 있지만, 제 1 서브필드와 제 2 서브필드에서 각각 리셋 신호가 인가되고, 나머지 서브필드에서는 리셋 신호를 생략하는 등 다양하게 변경 가능한 것이다.
- <149> 이와 같이, 프레임의 복수의 서브필드 중 특정한 서브필드에서만 리셋 신호가 인가되고, 나머지 서브필드에서는 리셋 신호가 인가되지 않는 경우에 서스테인 신호는 다음 도 9b와 같은 타입(Type)으로 설정되는 것이 바람직하

다.

- <150> 도 9b를 살펴보면, 프레임의 복수의 서브필드 중 하나 이상의 서브필드에서는 스캔 전극(Y)으로 인가되는 첫 번째 서스테인 신호(SUS₁)와 서스테인 전극(Z)으로 인가되는 첫 번째 서스테인 신호(SUS₂)가 대부분 중첩된다.
- <151> 이에 따라, 첫 번째 서스테인 신호(SUS₁, SUS₂)가 인가될 때는 서스테인 방전이 발생하지 않거나, 발생하더라도 서스테인 방전의 세기가 상대적으로 약하게 된다.
- <152> 이와 같이, 첫 번째 서스테인 신호(SUS₁, SUS₂)가 서로 중첩되도록 하는 이유는, 프레임의 복수의 서브필드 중 하나 이상의 서브필드에서만 리셋 신호를 인가하고 나머지 서브필드에서는 리셋 신호를 인가하지 않기 때문에 서스테인 방전이 불안정해질 가능성이 크기 때문이다.
- <153> 다르게 표현하면, 리셋 신호가 인가되지 않게 되어 방전 셀 내에서 벽 전하의 분포가 불안정한 경우에 상대적으로 높은 전압을 갖는 서스테인 신호를 바로 인가하게 되면 서스테인 방전이 과도하게 강하게 발생하여 방전 셀 내에서 벽 전하의 분포가 더욱 불안정해지거나 또는 서스테인 방전이 과도하게 약하게 발생함으로써 이후의 서스테인 신호에 의해 발생하는 서스테인 방전도 더불어 약해질 수 있다.
- <154> 여기서, 첫 번째 서스테인 신호(SUS₁, SUS₂)가 서로 중첩되도록 하게 되면 방전 셀 내에서 벽 전하의 분포가 안정됨으로써, 서스테인 방전이 과도하게 강하게 발생하거나 또는 이후의 서스테인 신호에 의해 발생하는 서스테인 방전의 세기가 과도하게 약해지는 것을 방지할 수 있다.
- <155> 한편, 두 번째 서스테인 신호는 서스테인 전극(Z)에 먼저 인가된다. 즉, 첫 번째 서스테인 신호(SUS₁, SUS₂)가 인가된 이후에 서스테인 전극(Z)에 두 번째 서스테인 신호(SUS₂)가 인가되고, 이후에 스캔 전극(Y)에 두 번째 서스테인 신호(SUS₂)가 인가된다.
- <156> 이와 같이, 서스테인 전극(Z)에 두 번째 서스테인 신호(SUS₂)를 스캔 전극(Y)보다 먼저 인가하게 되면 가장 마지막 서스테인 신호(여기 도 9b에서는 SUS₄)가 스캔 전극(Y)에 인가되도록 할 수 있게 된다.
- <157> 이에 따라, 한 서브필드의 서스테인 기간과 그 다음 서브필드의 어드레스 기간 사이에서 스캔 전극(Y)에 또 다른 신호를 인가할 수 있는 등 다양한 변경이 가능해진다.
- <158> 다음, 도 9c를 살펴보면 앞선 도 9a와는 다르게 서스테인 기간에 인가되는 마지막 서스테인 신호는 전압이 소정의 기울기를 가지고 점진적으로 하강한다.
- <159> 이와 같이, 전압이 소정의 기울기를 가지고 점진적으로 하강하는 마지막 서스테인 신호의 끝단에서 직접 스캔 바이어스 신호를 인가할 수 있다. 그러면 한 서스테인 기간에서 형성된 방전 셀 내의 벽 전하를 그 다음 서브필드의 어드레스 기간에서 충분히 이용할 수 있다.
- <160> 여기, 도 9c의 경우는 앞선 도 9b와 같이 변경될 수 있다. 이에 대해서는 앞에서 충분히 상세히 설명하였으므로 더 이상의 설명은 생략하기로 한다.
- <161> 다음, 도 9d를 살펴보면 프레임의 복수의 서브필드 중 하나 이상의 서브필드에서는 상승 램프 신호와 하강 램프 신호를 포함하는 리셋 신호가 인가되고, 나머지 서브필드에서는 하강 램프 신호만이 인가된다.
- <162> 이와 같이, 상승 램프 신호를 포함하는 리셋 신호가 인가되지 않는 서브필드에서 하강 램프 신호만을 인가하여 방전 셀 내에서의 벽 전하의 분포를 보다 안정시킬 수 있다.
- <163> 여기, 도 9d의 경우는 앞선 도 9b와 같이 변경될 수 있다. 이에 대해서는 앞에서 충분히 상세히 설명하였으므로 더 이상의 설명은 생략하기로 한다.
- <164> 한편, 이상에서 설명한 리셋 신호와는 다른 형태의 리셋 신호도 본 발명에서 적용될 수 있다. 이에 대해 첨부된 도 10을 결부하여 살펴보면 다음과 같다.
- <165> 도 10은 다양한 리셋 신호의 형태에 대해 설명하기 위한 도면이다.
- <166> 도 10을 살펴보면, (a)와 같이 제 1 전압(V1)부터 제 2 전압(V2)까지 전압이 급격히 상승한 이후에, 다시 제 2 전압(V2)부터 제 3 전압(V3)까지 점진적으로 상승한 이후에, 다시 제 3 전압(V3)부터 제 1 전압(V1)까지 급격히 하강한 이후에, 다시 제 1 전압(V1)부터 점진적으로 하강하는 형태의 리셋 신호도 본 발명에 적용가능하다.

- <167> 아울러, (a)의 제 1 전압(V1)부터 제 2 전압(V2)까지 전압이 급격히 상승하지 않고, 점진적으로 상승하는 것도 가능하다.
- <168> 다음, (b)와 같이 제 1 전압(V1)부터 제 2 전압(V2)까지 전압이 급격히 상승한 이후에, 제 2 전압(V2)을 소정시간 유지한 이후에 다시 제 1 전압(V1)까지 하강하고, 이후에 제 1 전압(V1)부터 점진적으로 하강하는 형태의 리셋 신호도 본 발명에 적용가능하다. 즉, 구형파(Square Wave) 형태의 리셋 신호도 적용 가능한 것이다.
- <169> 한편, 이상에서는 리셋 기간의 길이를 다르게 조절하는 경우만을 도시하고 설명하였다. 이하에서는 어드레스 기간의 길이를 다르게 조절하는 경우를 설명하기로 한다.
- <170> 도 11a 내지 도 11b는 어드레스 기간의 길이를 조절하는 방법의 일례를 설명하기 위한 도면이다.
- <171> 먼저, 도 11a를 살펴보면 프레임의 서브필드 중 제 1 서브필드(SF1)와 제 2 서브필드(SF2)의 어드레스 기간에서 스캔 전극(Y)으로 인가되는 스캔 신호의 폭이 서로 다르다.
- <172> 보다 자세하게는, 제 1 서브필드의 어드레스 기간에서 스캔 전극(Y)으로 인가되는 스캔 신호의 폭은 W10이고, 제 2 서브필드의 어드레스 기간에서 스캔 전극(Y)으로 인가되는 스캔 신호의 폭은 W20이다. 이와 같이 어드레스 기간에서 스캔 전극(Y)으로 인가되는 스캔 신호의 폭이 W10 또는 W20으로 조절됨으로써 제 1 서브필드의 어드레스 기간의 길이는 W1로 조절되고, 제 2 서브필드의 어드레스 기간의 길이는 W1과는 다른 W2로 조절될 수 있다.
- <173> 여기서, 제 1 서브필드는 제 2 서브필드에 비해 계조 가중치가 상대적으로 더 작은 것이 바람직하다.
- <174> 이와 같이, 계조 가중치가 상대적으로 더 작은 서브필드의 어드레스 기간에서 스캔 전극(Y)으로 인가되는 스캔 신호의 폭을 더 넓게 하는 이유는 계조 가중치가 상대적으로 작은 서브필드에서는 서스테인 기간에서 인가되는 서스테인 신호의 개수가 상대적으로 적기 때문에 방전이 불안정해질 가능성이 상대적으로 더 크기 때문이다.
- <175> 즉, 서스테인 신호의 개수가 상대적으로 적기 때문에 방전이 불안정해질 가능성이 상대적으로 큰 계조 가중치가 상대적으로 작은 서브필드에서 스캔 신호의 폭을 더 크게 함으로써, 전체 납의 함량이 1000PPM이하로 설정되는 경우에도 어드레스 방전이 불안정해지는 것을 방지할 수 있다.
- <176> 다음, 도 11b를 살펴보면 프레임의 서브필드 중 (a)와 같이 제 1 서브필드(SF1)에서는 스캔 신호의 폭을 W10으로 하고, (b)와 같이 제 2 서브필드(SF2)에서는 스캔 신호의 폭을 제 1 서브필드보다는 작은 W20으로 하고, (c)와 같이 제 3 서브필드(SF3)에서는 스캔 신호의 폭을 제 2 서브필드보다는 작은 W30으로 하고, (d)와 같이 제 4 서브필드(SF4)에서는 스캔 신호의 폭을 제 3 서브필드보다는 작은 W40으로 할 수 있다.
- <177> 이와 같이, 서브필드의 계조 가중치에 따라 스캔 신호의 폭을 다양하게 조절함으로써, 결과적으로 어드레스 기간의 길이를 다양하게 조절할 수 있다.
- <178> 다음, 도 12는 어드레스 기간의 길이를 다르게 조절하는 방법의 또 다른 일례를 설명하기 위한 도면이다.
- <179> 도 12를 살펴보면, 프레임의 적어도 어느 하나의 서브필드는 어드레스 기간에서 스캔 전극(Y)으로 인가되는 스캔 신호의 폭이 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다르다.
- <180> 예를 들어, 제 1 프레임에서는 (a)와 같이 제 1 서브필드에서의 스캔 신호의 폭이 W10이고, 반면에 (b)와 같은 제 2 프레임에서는 (a)의 제 1 서브필드와 계조 가중치가 실질적으로 동일한 제 1 서브필드에서의 스캔 신호의 폭은 (a)보다 작은 W20으로 설정될 수 있다.
- <181> 여기 도 12에서는 프레임의 서브필드 중 제 1 서브필드에서만 스캔 신호의 폭을 다르게 조절하는 것으로 도시되어 있지만, 이와는 다르게 프레임의 서브필드 중 임의의 하나 이상의 서브필드에서 스캔 신호의 폭을 다르게 조절하는 것도 가능한 것이다.
- <182> 여기서, (a)와 같이 스캔 신호의 폭을 상대적으로 크게 조절하는 경우는 플라즈마 디스플레이 패널의 온도가 상대적으로 높게 상승하는 경우일 수 있다.
- <183> 즉, 플라즈마 디스플레이 패널의 온도가 상대적으로 높은 경우에 스캔 신호의 폭을 상대적으로 크게 함으로써, 어드레스 방전을 안정시킨다.
- <184> 한편, 이상에서는 하나의 서브필드의 어드레스 기간에서는 하나의 스캔 신호만이 스캔 전극(Y)으로 인가되는 경우만을 도시하고 있지만, 하나의 서브필드의 어드레스 기간에서 복수의 스캔 신호가 인가되는 것도 가능하다. 이에 대해 첨부된 도 13을 결부하여 살펴보면 다음과 같다.

- <185> 도 13은 하나의 서브필드의 어드레스 기간에서 스캔 전극으로 인가되는 스캔 신호의 개수에 대해 설명하기 위한 도면이다.
- <186> 도 13을 살펴보면, 하나의 서브필드의 어드레스 기간에서 스캔 전극(Y)으로 인가되는 스캔 신호의 개수가 복수개이다. 바람직하게는 2개이다.
- <187> 예를 들어, 첫 번째 스캔 신호와 두 번째 스캔 신호는 그 전압이 하강하기 시작하는 기준 전압이 서로 다르다. 보다 바람직하게는 두 번째 스캔 신호의 전압이 하강하기 시작하는 기준 전압이 첫 번째 스캔 신호의 전압이 하강하기 시작하는 기준 전압보다 더 낮다.
- <188> 이와 같이, 하나의 서브필드의 어드레스 기간에서 복수의 스캔 신호를 스캔 전극(Y)으로 인가하게 되면 복수의 스캔 전극(Y) 라인을 함께 스캐닝(Scanning)할 수 있게 될 수 있다.
- <189> 이러한 경우에도, 제 1 서브필드와 제 2 서브필드에서의 스캔 신호의 폭을 W10과 W20으로 서로 다르게 하는 것이 바람직하다.
- <190> 이와 같이, 하나의 서브필드에서 복수의 스캔 신호를 인가하는 경우에 서스테인 전극(Z)에는 전압이 서로 다른 제 1 서스테인 바이어스 신호(Vz1)와 제 2 서스테인 바이어스 신호(Vz2)를 인가할 수 있다.
- <191> 여기서, 바람직하게는 제 1 서스테인 바이어스 신호(Vz1)의 전압이 제 2 서스테인 바이어스 신호(Vz2)의 전압보다 더 높다.
- <192> 이와 같이, 전압이 서로 다른 제 1 서스테인 바이어스 신호(Vz1)와 제 2 서스테인 바이어스 신호(Vz2)를 서스테인 전극(Z)에 인가하는 이유는 복수의 스캔 신호, 예컨대 두 개의 스캔 신호의 전압이 하강하기 시작하는 기준 전압 서로 다르게 때문이다. 이에 따라, 하나의 서브필드에서 복수의 스캔 신호가 인가되더라도 어드레스 방전을 안정시킬 수 있다.
- <193> 한편, 이상에서는 리셋 기간의 길이 또는 어드레스 기간의 길이를 다르게 조절하는 방법을 설명하였다. 이하에서는 서스테인 기간의 길이를 다르게 조절하는 경우에 대해 설명하기로 한다.
- <194> 도 14a 내지 도 14b는 하나 이상의 서스테인 신호의 폭을 조절하여 서스테인 기간의 길이를 다르게 조절하는 방법의 일례를 설명하기 위한 도면이다.
- <195> 먼저, 도 14a를 살펴보면 프레임의 서브필드 중 제 1 서브필드(SF1)와 제 2 서브필드(SF2)의 서스테인 기간의 길이가 다르다.
- <196> 보다 자세하게는, 제 1 서브필드의 서스테인 기간에서 인가되는 첫 번째 서스테인 신호(SUS1)의 폭은 W1이고, 제 2 서브필드의 서스테인 기간에서 인가되는 첫 번째 서스테인 신호(SUS3)의 폭은 W1보다는 작은 W2이다.
- <197> 아울러, 제 1 서브필드의 서스테인 기간에서 인가되는 첫 번째 서스테인 신호(SUS1)의 폭은 두 번째 서스테인 신호(SUS2)의 폭보다 더 크다. 이와 같이, 첫 번째 서스테인 신호의 폭을 상대적으로 크게 하게 되면, 서스테인 기간의 초기에 방전 셀 내에 벽 전하의 양을 충분히 확보할 수 있게 됨으로써 서스테인 방전이 원활하고 안정되도록 할 수 있다.
- <198> 이상에서는 스캔 전극(Y)에만 서스테인 신호가 인가되는 것으로 도시되어 있지만, 이와는 다르게 스캔 전극(Y) 및/또는 서스테인 전극(Z)에 서스테인 신호가 인가될 수 있는 것이다.
- <199> 여기서, 제 1 서브필드는 제 2 서브필드에 비해 계조 가중치가 상대적으로 더 작은 것이 바람직하다.
- <200> 이와 같이, 계조 가중치가 상대적으로 더 작은 서브필드의 서스테인 기간에서 스캔 전극(Y)으로 인가되는 하나 이상의 서스테인 신호의 폭을 더 크게 하는 이유는 계조 가중치가 상대적으로 작은 서브필드에서는 서스테인 기간에서 인가되는 서스테인 신호의 개수가 상대적으로 적기 때문에 방전이 불안정해질 가능성이 상대적으로 더 크기 때문이다.
- <201> 즉, 서스테인 신호의 개수가 상대적으로 적기 때문에 방전이 불안정해질 가능성이 상대적으로 큰 계조 가중치가 상대적으로 작은 서브필드에서 하나 이상의 서스테인 신호의 폭을 더 크게 함으로써, 전체 납의 함량이 1000PPM 이하로 설정되는 경우에도 리셋 방전이 불안정해지는 것을 방지할 수 있다.
- <202> 다음, 도 14b를 살펴보면 앞선 도 14a와는 다르게 첫 번째 서스테인 신호(SUS1)와 마지막 서스테인 신호(SUS_n)의 폭이 다른 서스테인 신호보다 더 크도록 할 수 있다.

- <203> 아울러, (a)와 같이 제 1 서브필드에서는 첫 번째 서스테인 신호(SUS1) 마지막 서스테인 신호(SUS_n)의 폭을 상대적으로 크게 하고, (b)와 같이 제 2 서브필드에서는 모든 서스테인 신호의 폭을 실질적으로 동일하게 하는 것도 가능한 것이다.
- <204> 이와 같이 서스테인 기간에서 인가되는 서스테인 신호의 폭이 조절됨으로써 전체 서스테인 기간의 길이가 다르게 조절될 수 있다.
- <205> 다음, 도 14c를 살펴보면 (a)와 같이 제 1 서브필드에서는 서스테인 신호의 평균 폭을 W1로 하고, (b)와 같이 제 2 서브필드에서는 서스테인 신호의 평균 폭을 W1보다는 작은 W2로 하고, (c)와 같이 제 3 서브필드에서는 서스테인 신호의 평균 폭을 W2보다는 작은 W3으로 하고, (d)와 같이 제 4 서브필드에서는 서스테인 신호의 평균 폭을 W3보다는 작은 W4로 할 수 있다.
- <206> 이와 같이, 서브필드의 계조 가중치에 따라 서스테인 신호의 폭을 다양하게 조절할 수 있다.
- <207> 다음, 도 15는 하나 이상의 서스테인 신호의 폭을 조절하여 서스테인 기간의 길이를 다르게 조절하는 방법의 또 다른 일례를 설명하기 위한 도면이다.
- <208> 도 15를 살펴보면, 프레임의 적어도 어느 하나의 서브필드는 서스테인 기간에서 인가되는 하나 이상의 서스테인 신호의 폭이 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다르다.
- <209> 예를 들어, 제 1 프레임에서는 (a)와 같이 제 1 서브필드에서의 첫 번째 서스테인 신호(SUS1)의 폭이 W1이고 두 번째 서스테인 신호(SUS2)의 폭이 W3이고, 반면에 (b)와 같은 제 2 프레임에서는 (a)의 제 1 서브필드와 계조 가중치가 실질적으로 동일한 제 1 서브필드에서의 첫 번째 서스테인 신호(SUS1)의 폭은 (a)보다 작은 W2로 설정되고, 두 번째 서스테인 신호(SUS2)의 폭이 W3으로 설정될 수 있다.
- <210> 여기 도 15에서는 프레임의 서브필드 중 제 1 서브필드에서만 하나 이상의 서스테인 신호의 폭을 다르게 조절하는 것으로 도시되어 있지만, 이와는 다르게 프레임의 서브필드 중 임의의 하나 이상의 서브필드에서 하나 이상의 서스테인 신호의 폭을 다르게 조절하는 것도 가능한 것이다.
- <211> 여기서, (a)와 같이 하나 이상의 서스테인 신호의 폭을 상대적으로 크게 조절하는 경우는 플라즈마 디스플레이 패널의 온도가 상대적으로 높게 상승하는 경우일 수 있다.
- <212> 즉, 플라즈마 디스플레이 패널의 온도가 상대적으로 높게 증가하는 경우에 하나 이상의 서스테인 신호의 폭을 상대적으로 크게 조절함으로써, 구동 효율의 저감을 방지하는 것이다.
- <213> 한편, 이상에서는 하나 이상의 서스테인 신호의 폭을 다르게 조절하는 방법을 설명하였지만, 이와는 다르게 서스테인 신호의 개수를 조절하는 것도 가능하다. 이에 대해 살펴보면 다음과 같다.
- <214> 도 16은 서스테인 신호의 개수를 조절하여 서스테인 기간의 길이를 다르게 조절하는 방법의 일례를 설명하기 위한 도면이다.
- <215> 도 16을 살펴보면, 프레임의 적어도 어느 하나의 서브필드는 서스테인 기간에서 인가되는 서스테인 신호의 개수가 다른 프레임의 계조 가중치가 실질적으로 동일한 서브필드와 다르다.
- <216> 예를 들어, 제 1 프레임에서는 (a)와 같이 제 3 서브필드에서의 서스테인 신호의 개수가 10개이고, 반면에 (b)와 같은 제 2 프레임에서는 (a)의 제 3 서브필드와 계조 가중치가 실질적으로 동일한 제 3 서브필드에서의 서스테인 신호의 개수는 (a)보다 적은 6개로 설정될 수 있다.
- <217> 여기서, (a)와 (b)의 프레임은 실질적으로 동일한 영상에 대한 프레임이다. 바람직하게는, (a)의 제 1 프레임의 평균 전력 레벨(APL : Average Power Level)과 (b)의 제 2 프레임의 평균 전력 레벨은 실질적으로 동일한 것이다.
- <218> 여기 도 16에서는 프레임의 서브필드 중 제 3 서브필드에서만 서스테인 신호의 개수를 다르게 조절하는 것으로 도시되어 있지만, 이와는 다르게 프레임의 서브필드 중 임의의 하나 이상의 서브필드에서 서스테인 신호의 개수를 다르게 조절하는 것도 가능한 것이다.
- <219> 여기서, (a)와 같이 서스테인 신호의 개수를 상대적으로 많이 조절하는 경우는 플라즈마 디스플레이 패널의 온도가 상대적으로 높게 상승하는 경우일 수 있다.
- <220> 즉, 플라즈마 디스플레이 패널의 온도가 상대적으로 높은 경우에 서스테인 신호의 개수를 상대적으로 많이 함으

로써, 서스테인 방전을 안정시킨다.

- <221> 이와 같이, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- <222> 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 전술한 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

- <223> 이상에서 상세히 설명한 바와 같이, 본 발명의 플라즈마 디스플레이 패널의 구동 방법은 어느 하나의 서브필드의 리셋 기간의 길이를 다른 서브필드와 다르게 하고, 어드레스 기간의 길이를 다르게 하고 아울러, 서스테인 기간의 길이를 다르게 함으로써, 플라즈마 디스플레이 패널의 납 성분의 함량이 1000PPM이하가 되는 경우에도 방전을 안정시키는 효과가 있다.

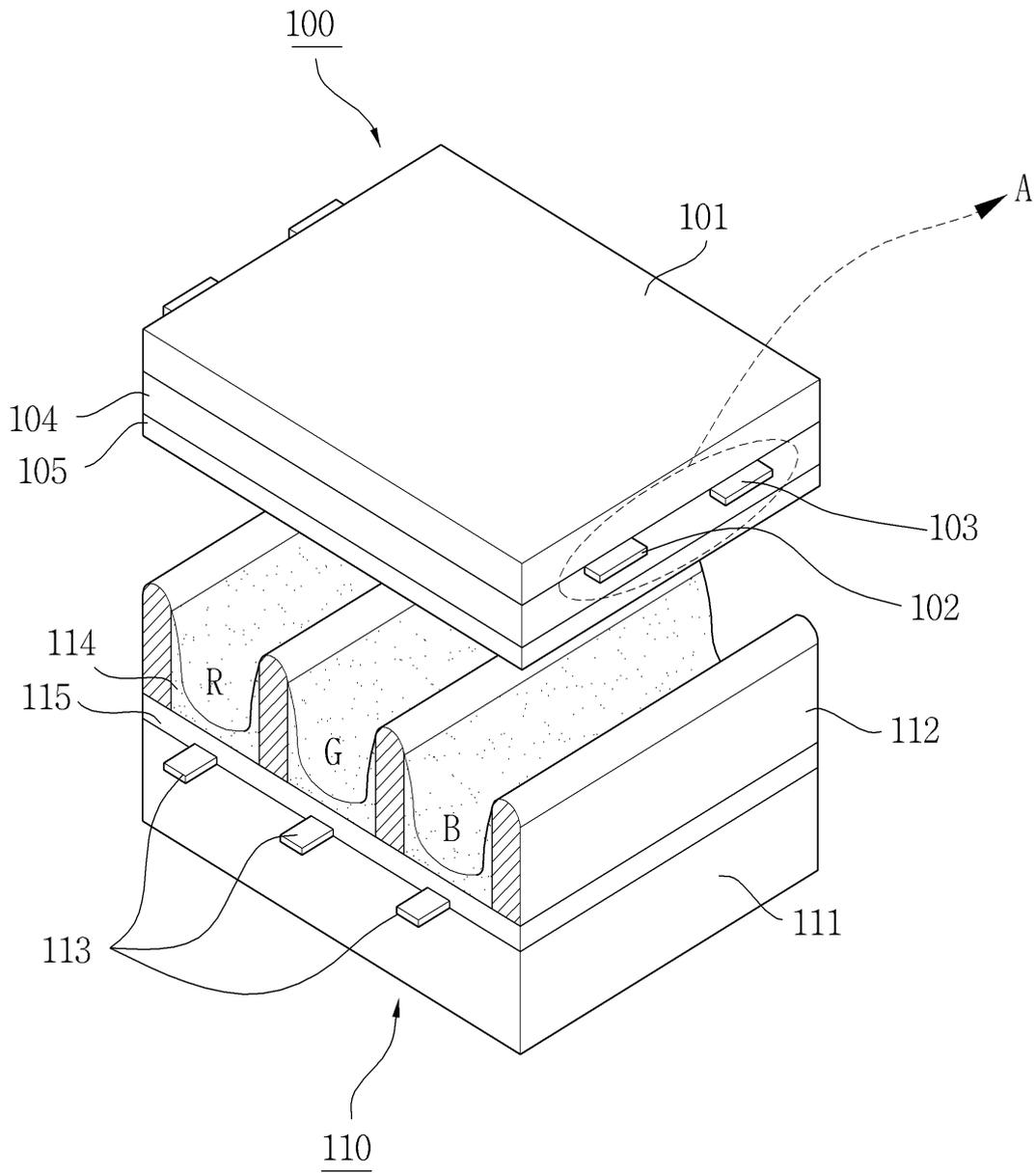
도면의 간단한 설명

- <1> 도 1a 내지 도 1b는 본 발명의 플라즈마 디스플레이 패널의 구동 방법이 적용되는 플라즈마 디스플레이 패널의 일례를 설명하기 위한 도면.
- <2> 도 2는 플라즈마 디스플레이 패널과 구동부와의 관계에 대해 설명하기 위한 도면.
- <3> 도 3은 본 발명의 플라즈마 디스플레이 패널 상에 영상의 계조를 구현하기 위한 프레임(Frame)에 대해 설명하기 위한 도면.
- <4> 도 4는 본 발명의 플라즈마 디스플레이 패널의 동작의 일례를 설명하기 위한 도면.
- <5> 도 5a 내지 도 5b는 리셋 신호의 폭을 조절하여 리셋 기간의 길이를 다르게 조절하는 방법의 일례를 설명하기 위한 도면.
- <6> 도 6은 리셋 신호의 폭을 조절하여 리셋 기간의 길이를 다르게 조절하는 방법의 또 다른 일례를 설명하기 위한 도면.
- <7> 도 7a 내지 도 7b는 리셋 신호의 개수를 조절하여 리셋 기간의 길이를 다르게 조절하는 방법의 일례를 설명하기 위한 도면.
- <8> 도 8은 리셋 신호의 개수를 조절하여 리셋 기간의 길이를 다르게 조절하는 방법의 또 다른 일례를 설명하기 위한 도면.
- <9> 도 9a 내지 도 9d는 리셋 신호를 인가하는 또 다른 방법에 대해 설명하기 위한 도면.
- <10> 도 10은 다양한 리셋 신호의 형태에 대해 설명하기 위한 도면.
- <11> 도 11a 내지 도 11b는 어드레스 기간의 길이를 조절하는 방법의 일례를 설명하기 위한 도면.
- <12> 도 12는 어드레스 기간의 길이를 다르게 조절하는 방법의 또 다른 일례를 설명하기 위한 도면.
- <13> 도 13은 하나의 서브필드의 어드레스 기간에서 스캔 전극으로 인가되는 스캔 신호의 개수에 대해 설명하기 위한 도면.
- <14> 도 14a 내지 도 14b는 하나 이상의 서스테인 신호의 폭을 조절하여 서스테인 기간의 길이를 다르게 조절하는 방법의 일례를 설명하기 위한 도면.
- <15> 도 15는 하나 이상의 서스테인 신호의 폭을 조절하여 서스테인 기간의 길이를 다르게 조절하는 방법의 또 다른 일례를 설명하기 위한 도면.
- <16> 도 16은 서스테인 신호의 개수를 조절하여 서스테인 기간의 길이를 다르게 조절하는 방법의 일례를 설명하기 위한 도면.
- <17> <도면의 주요 부분에 대한 부호의 설명>

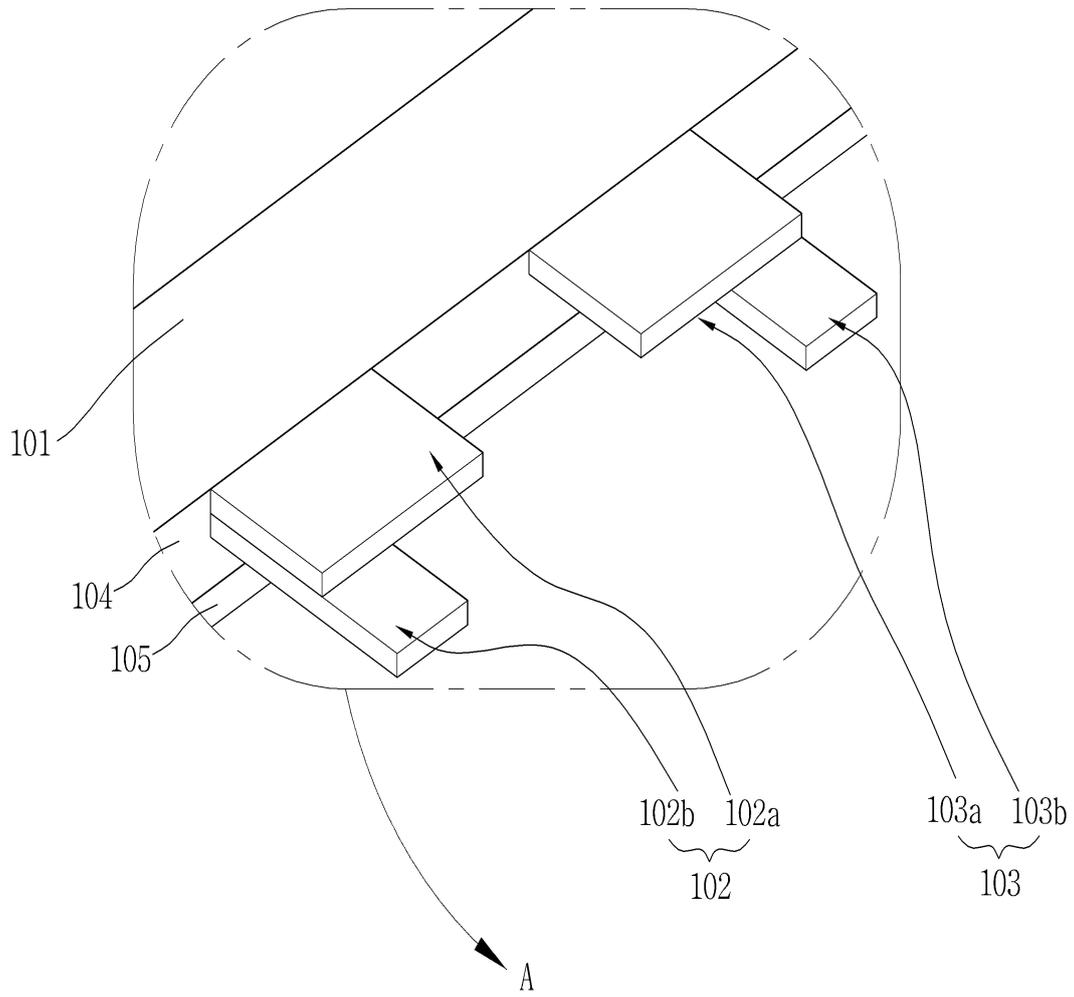
- <18> 100 : 전면 패널 101 : 전면 기판
- <19> 102 : 스캔 전극 103 : 서스테인 전극
- <20> 104 : 상부 유전체 층 105 : 보호 층
- <21> 110 : 후면 패널 111 : 후면 기판
- <22> 112 : 격벽 113 : 어드레스 전극
- <23> 114 : 형광체 층 115 : 하부 유전체 층

도면

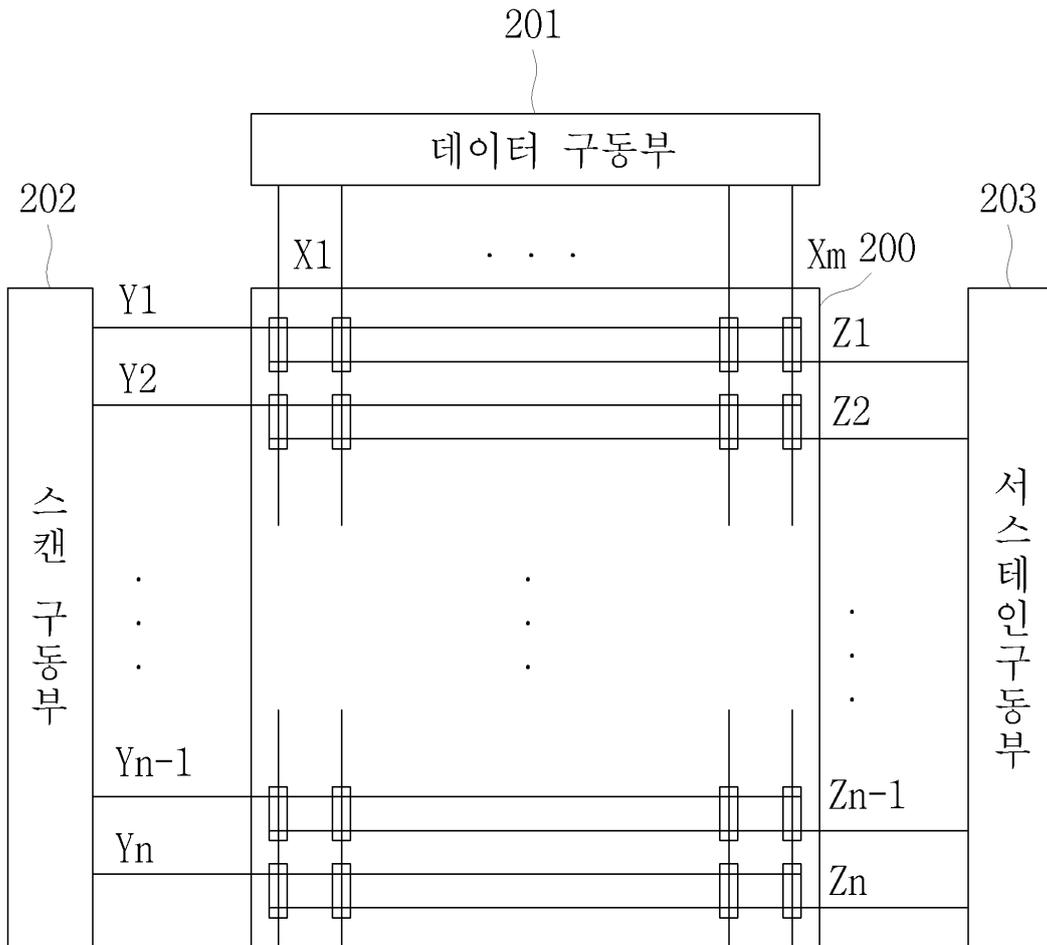
도면1a



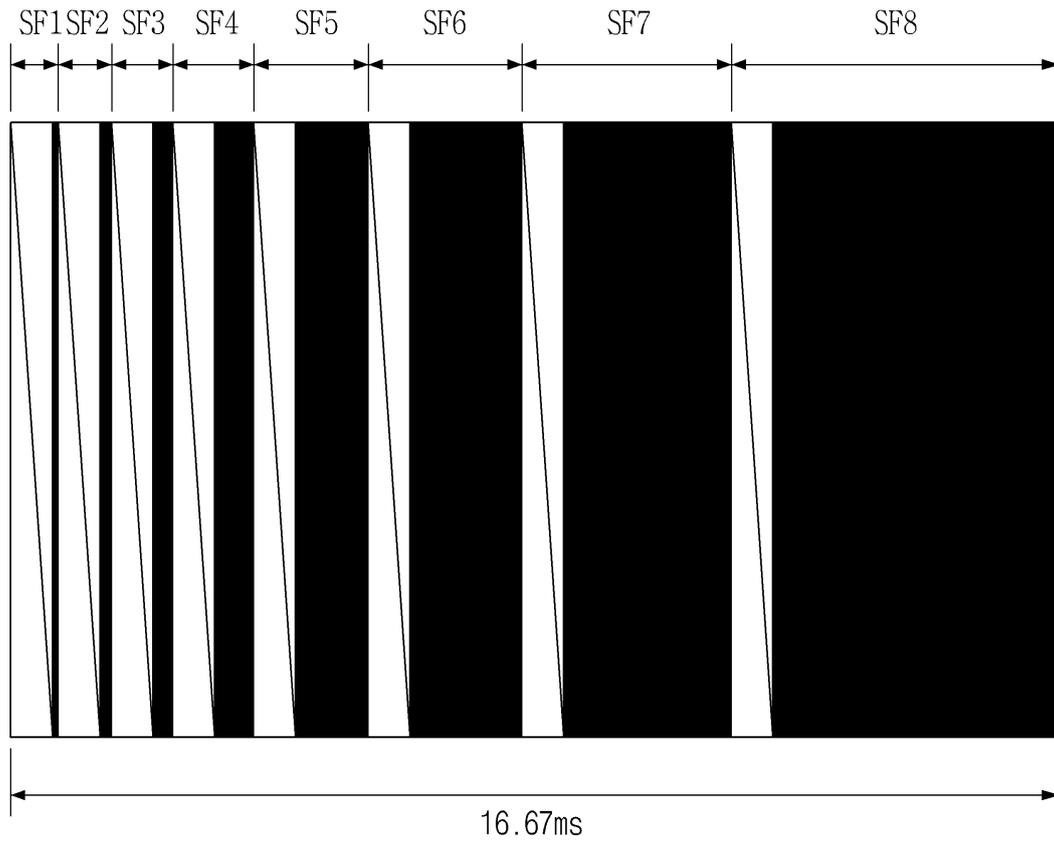
도면1b



도면2



도면3

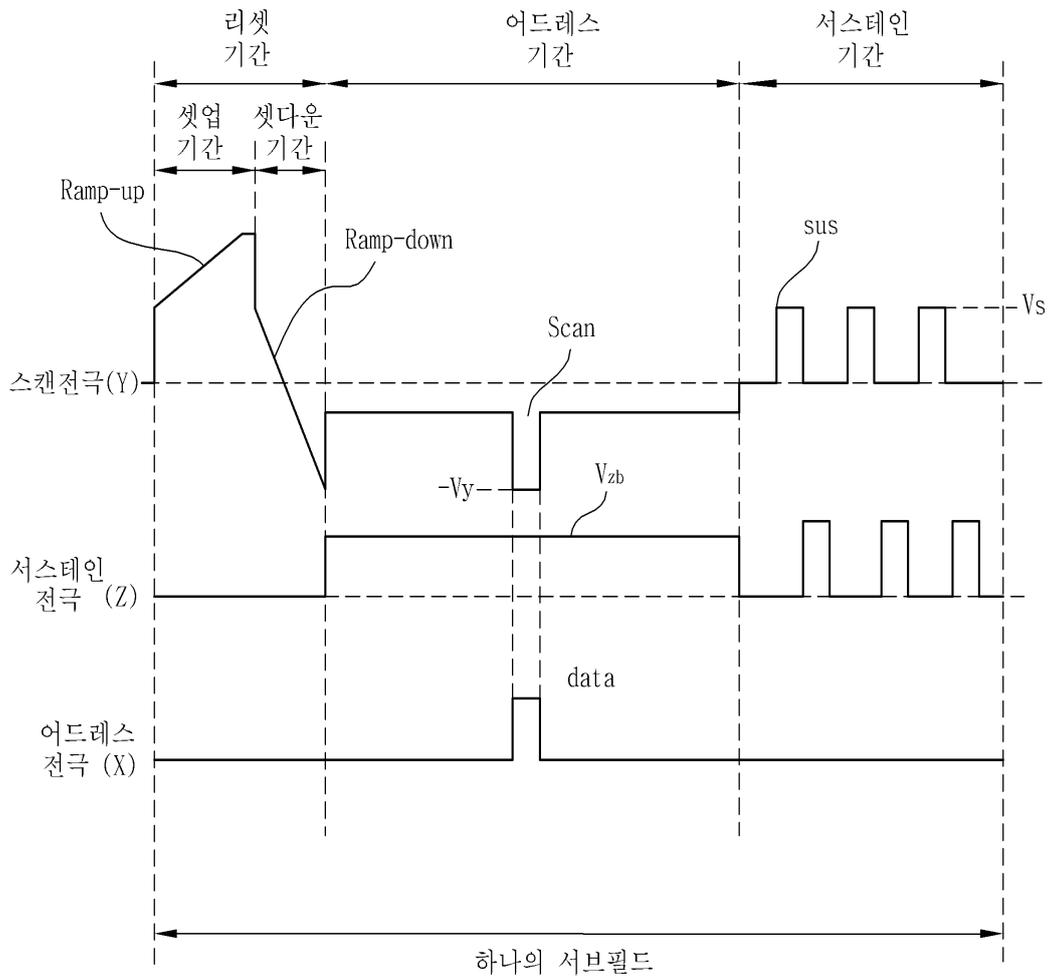


: 리셋 기간 & 어드레스 기간

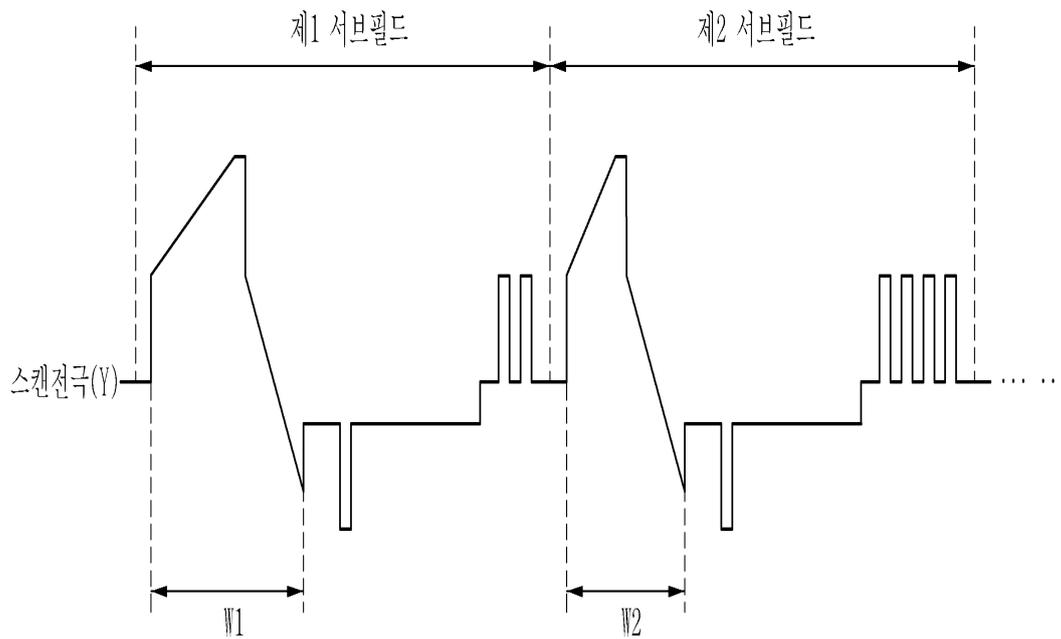


: 서스테인 기간

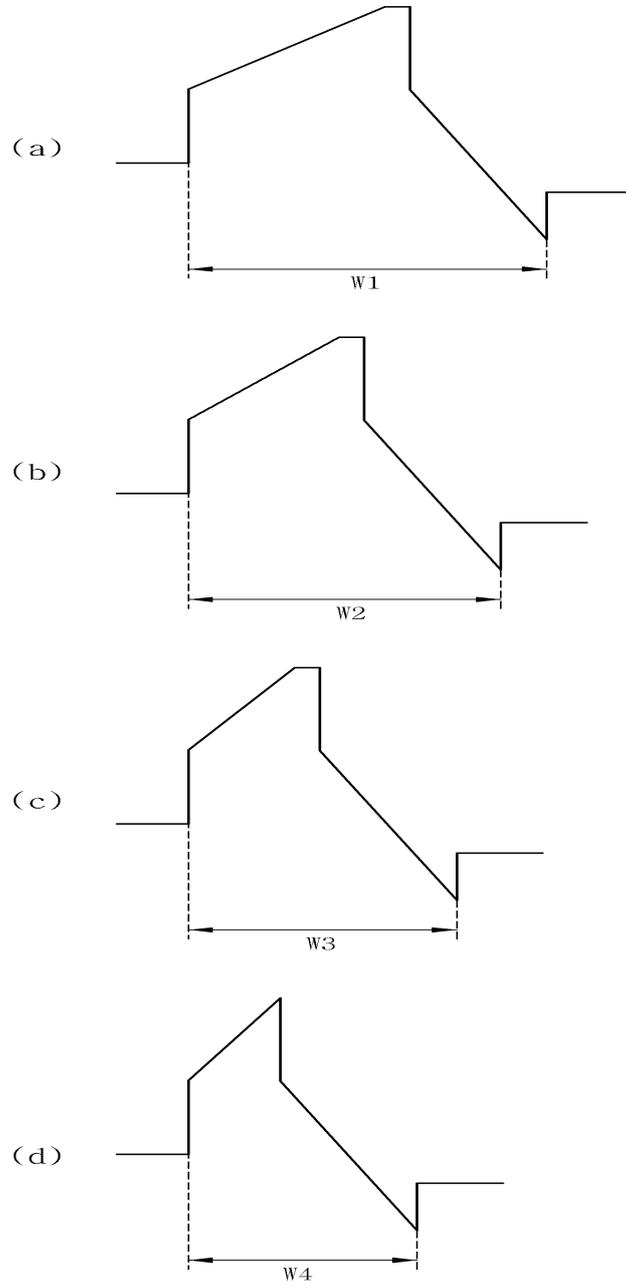
도면4



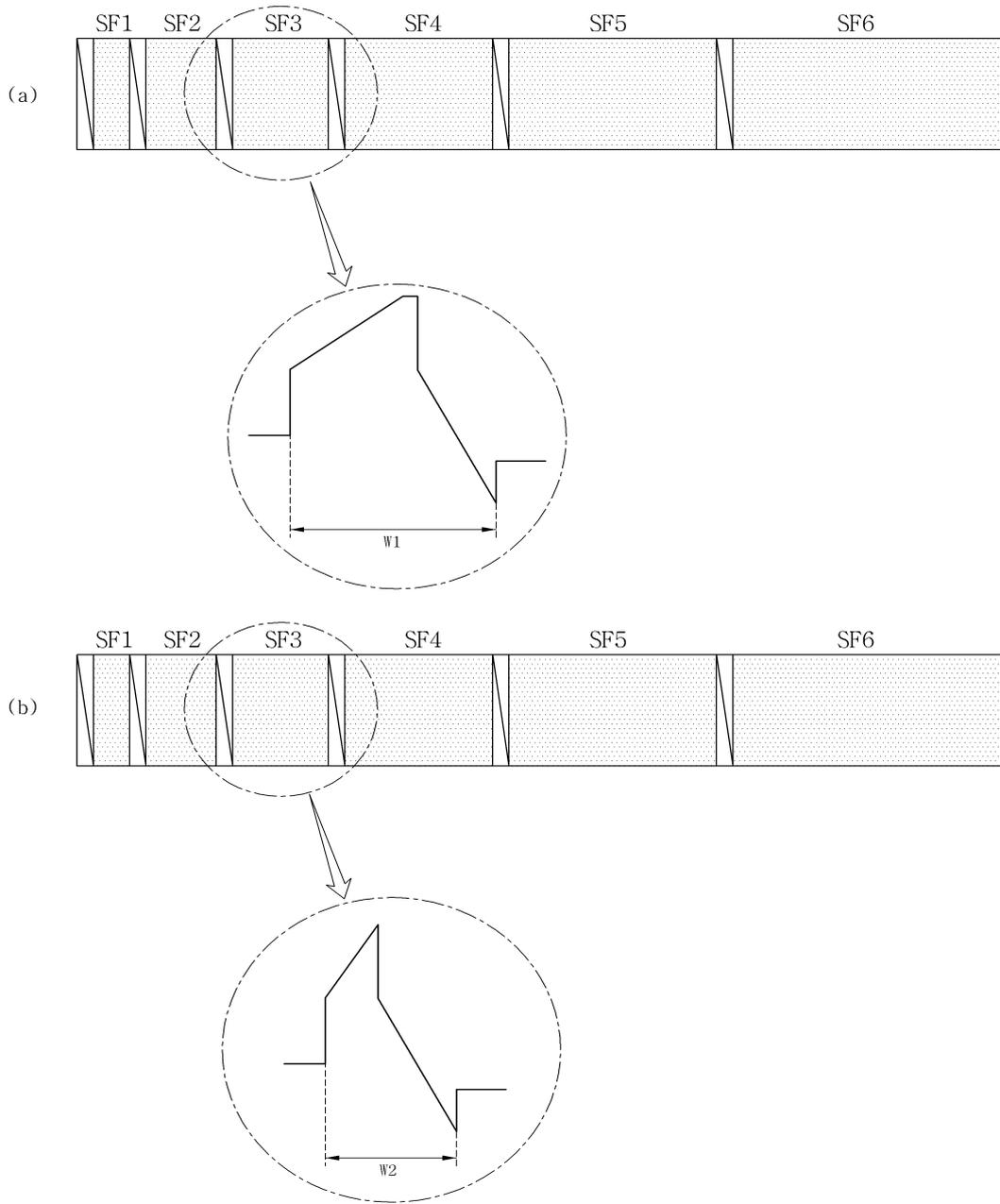
도면5a



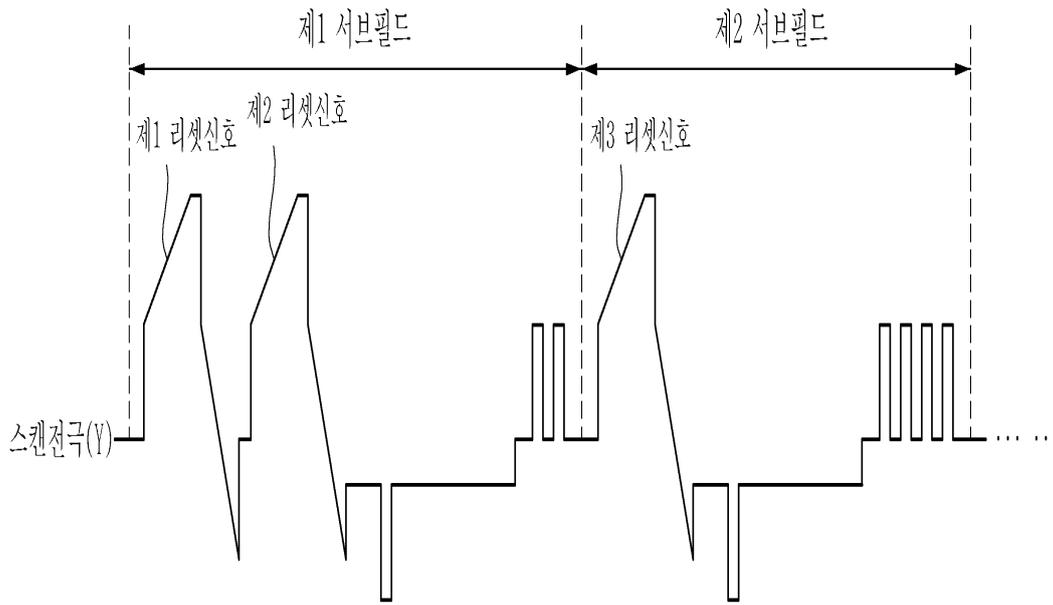
도면5b



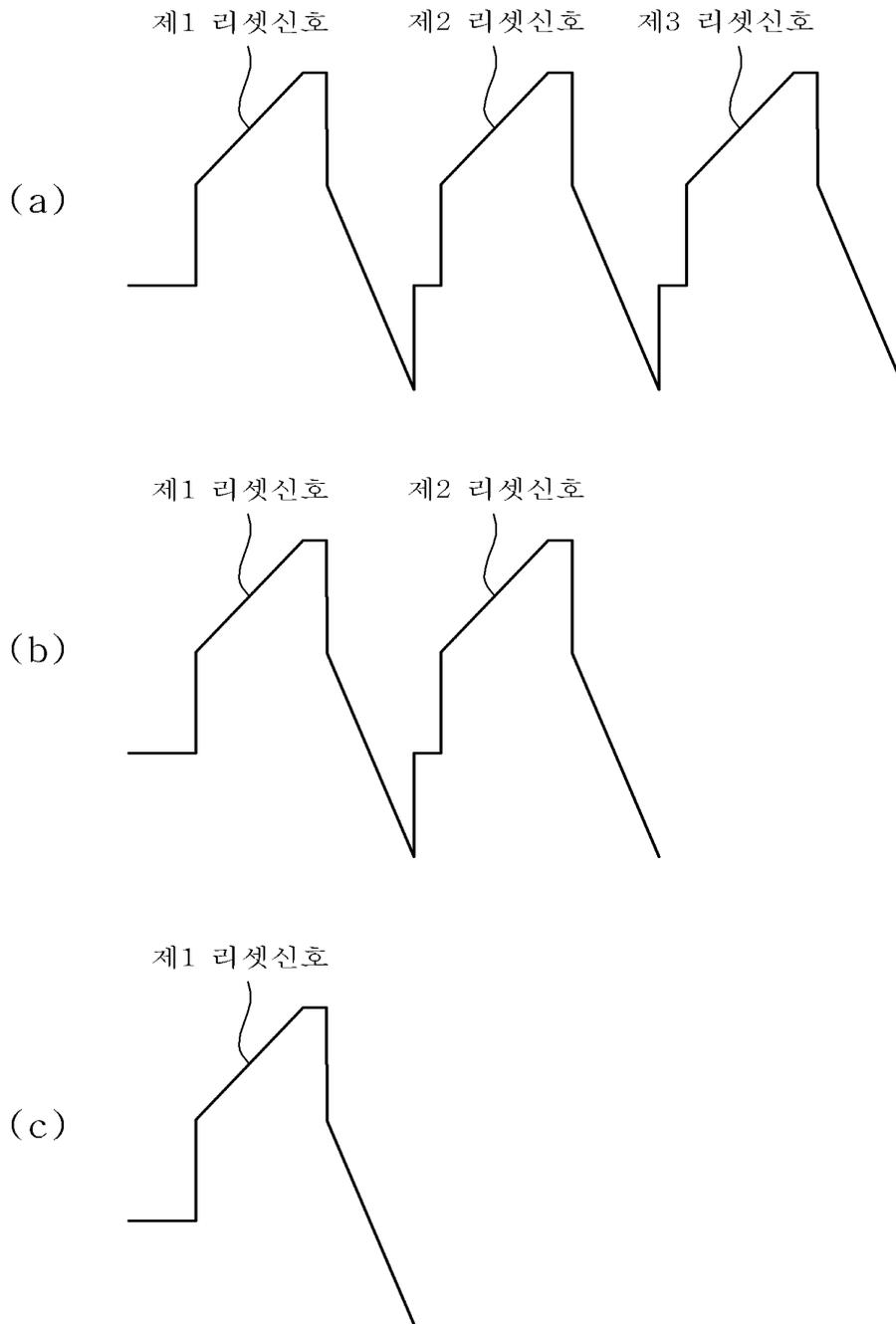
도면6



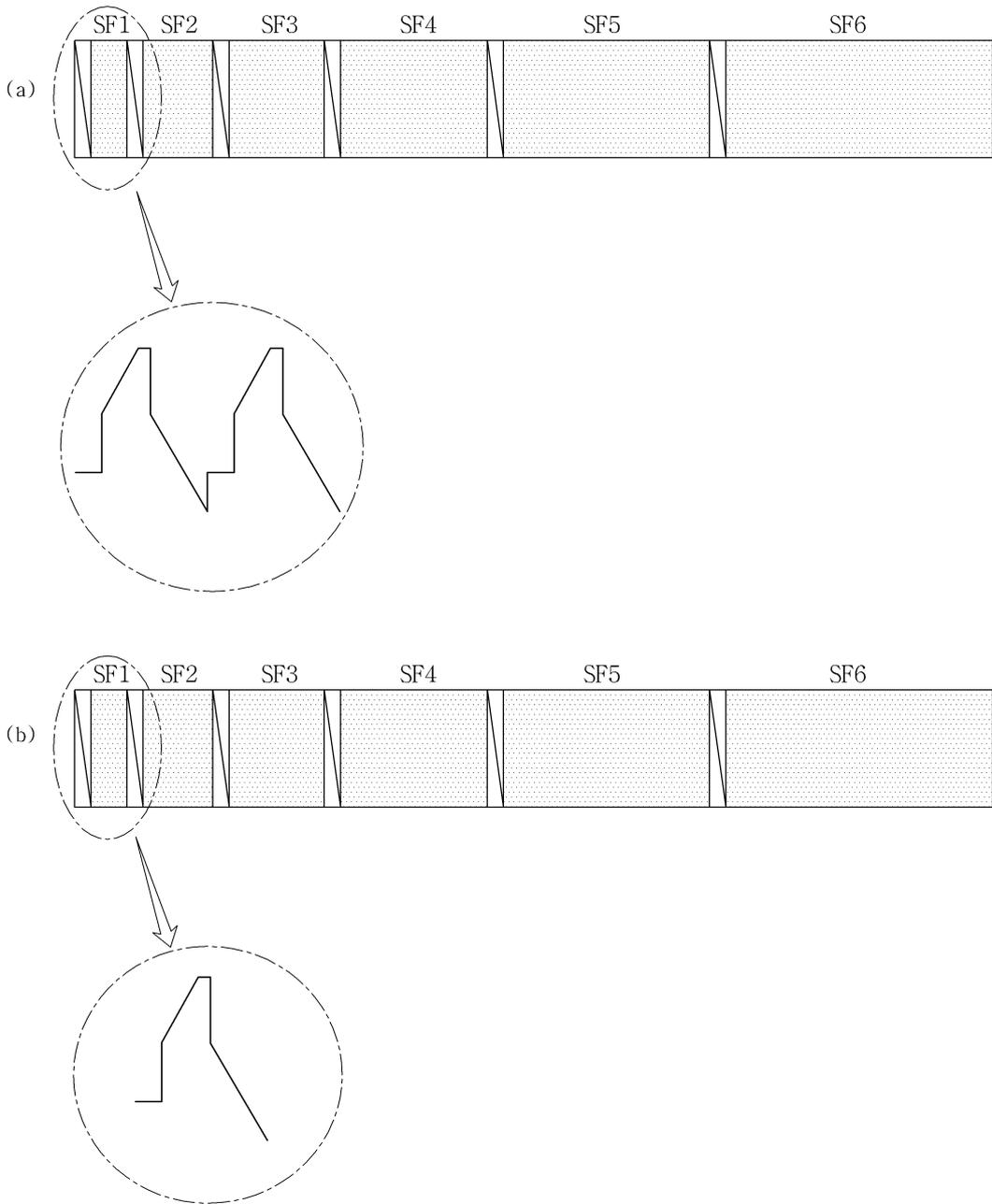
도면7a



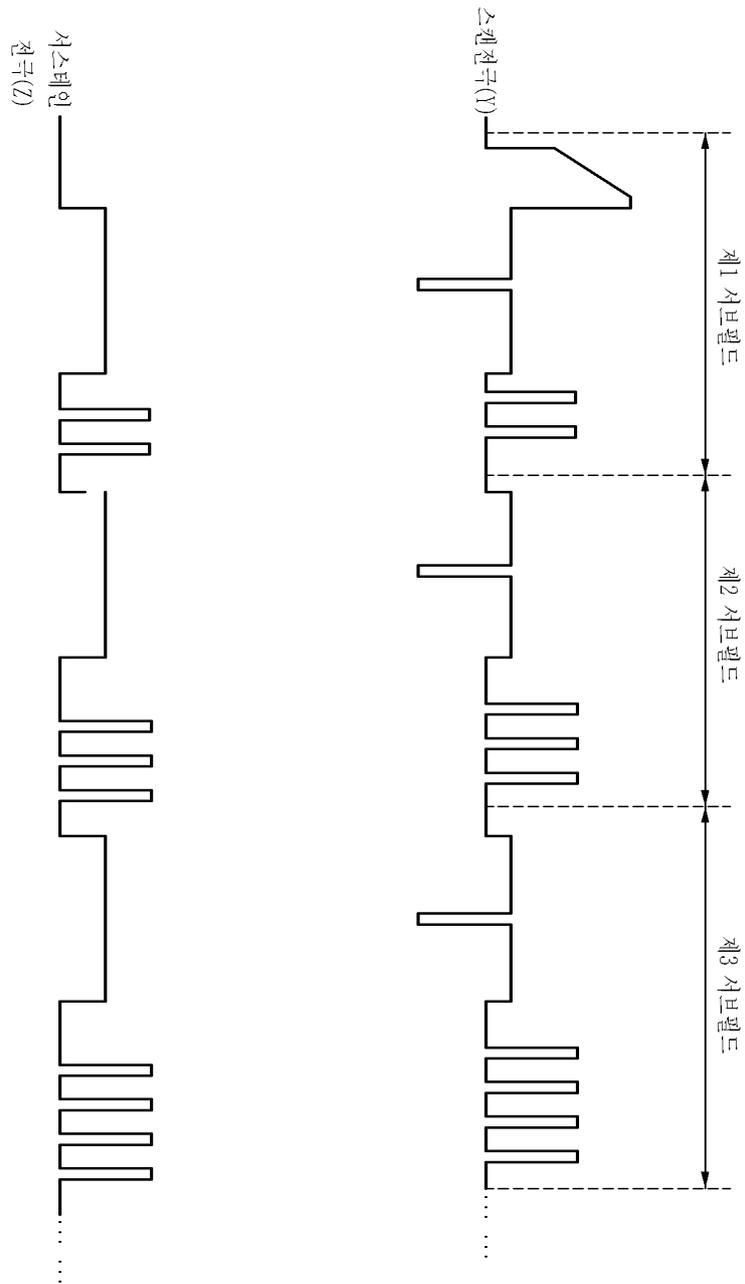
도면7b



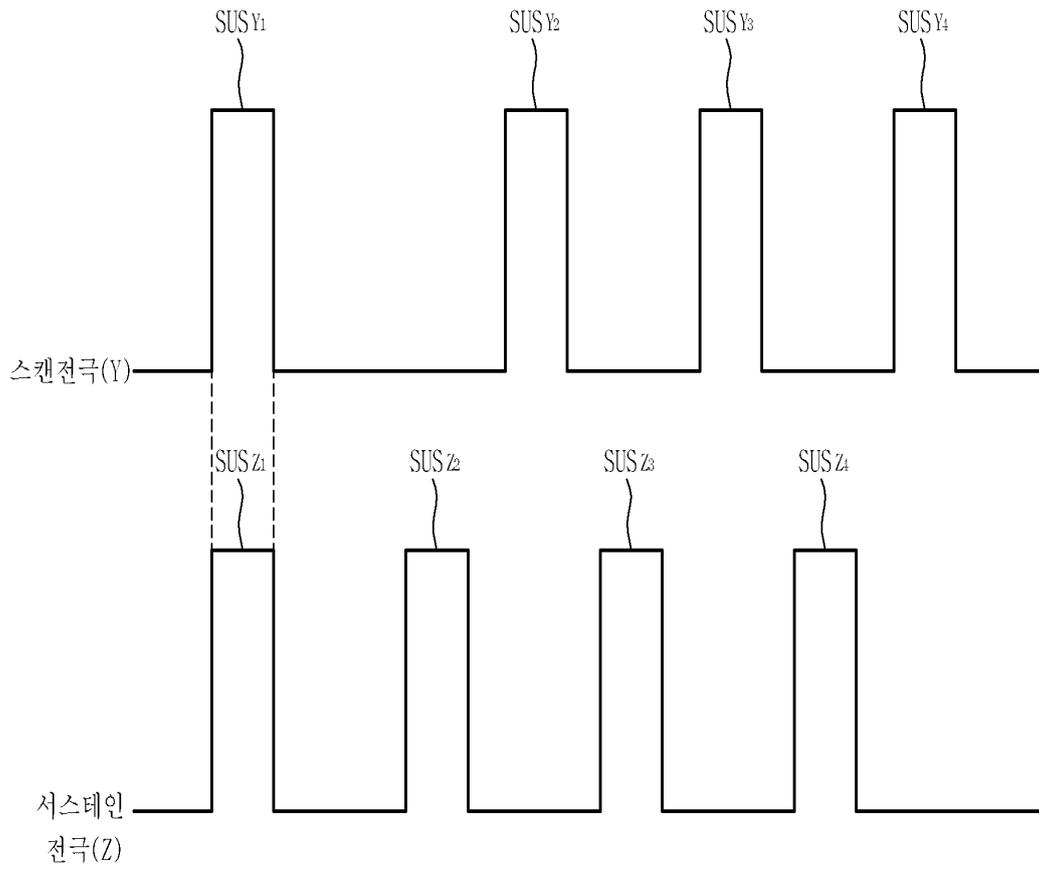
도면8



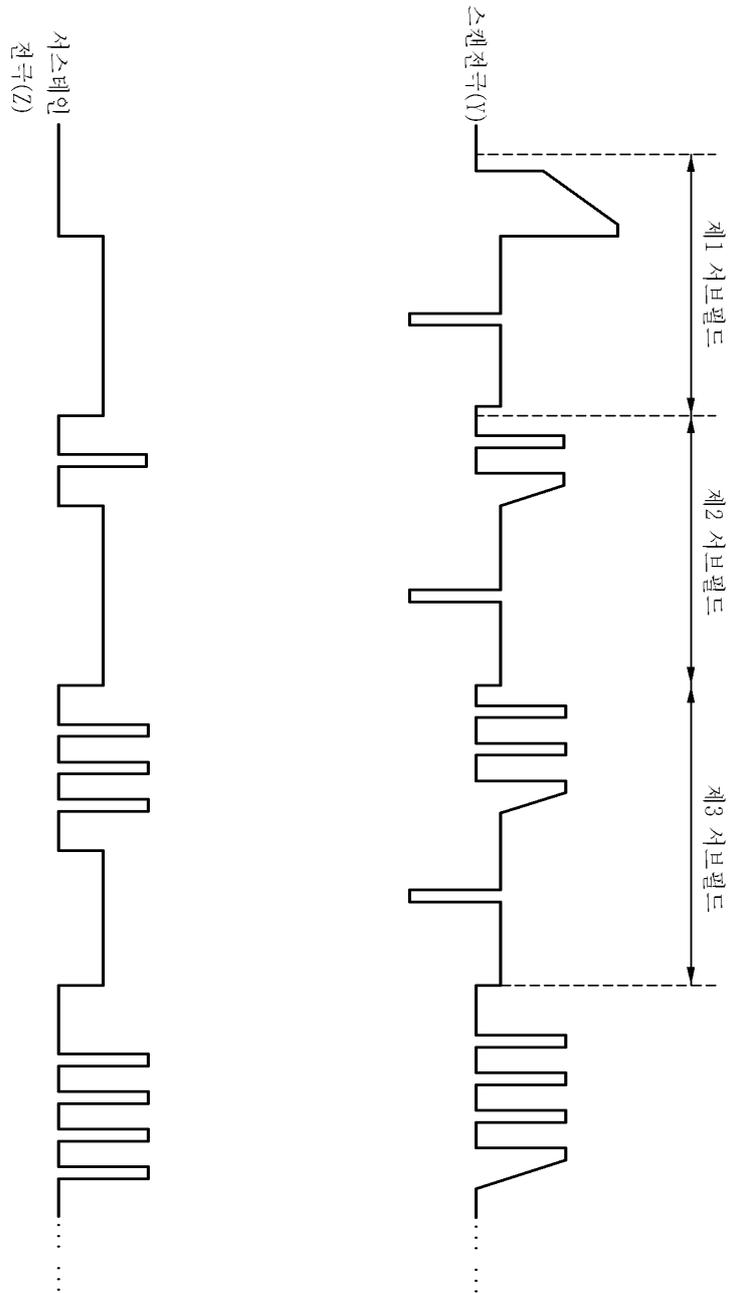
도면9a



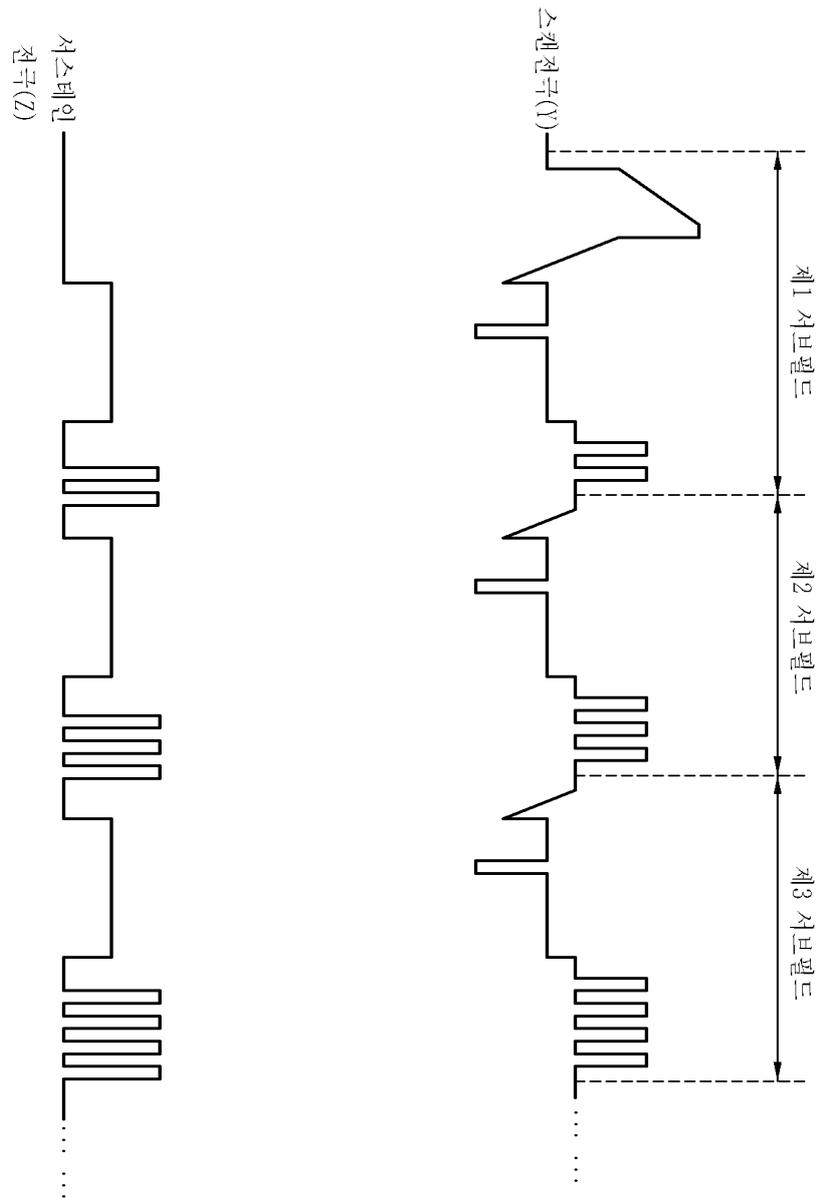
도면9b



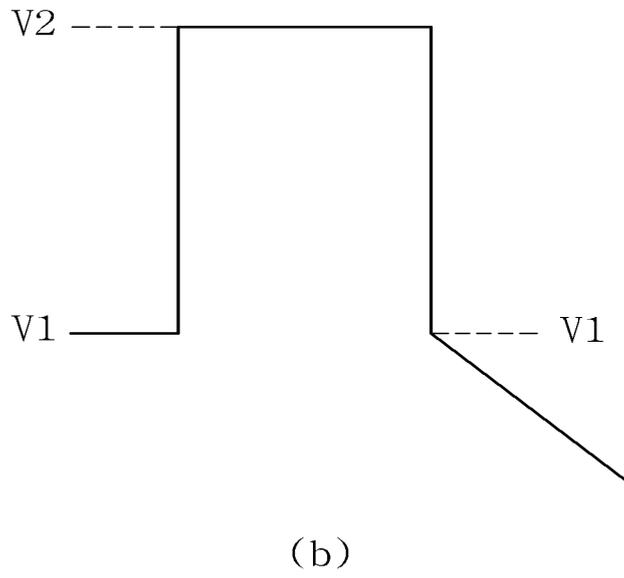
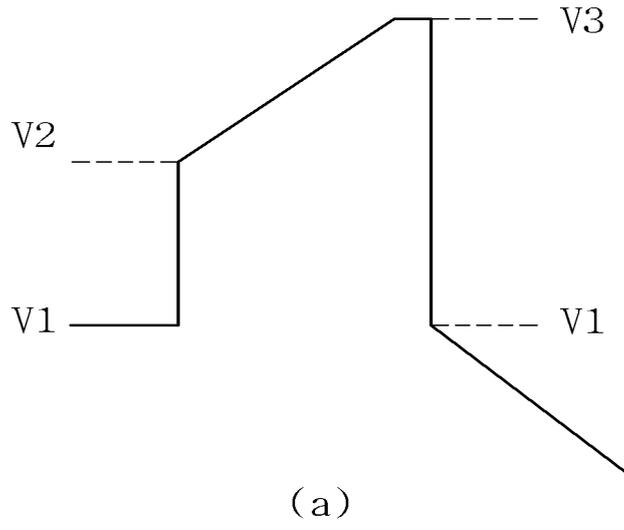
도면9c



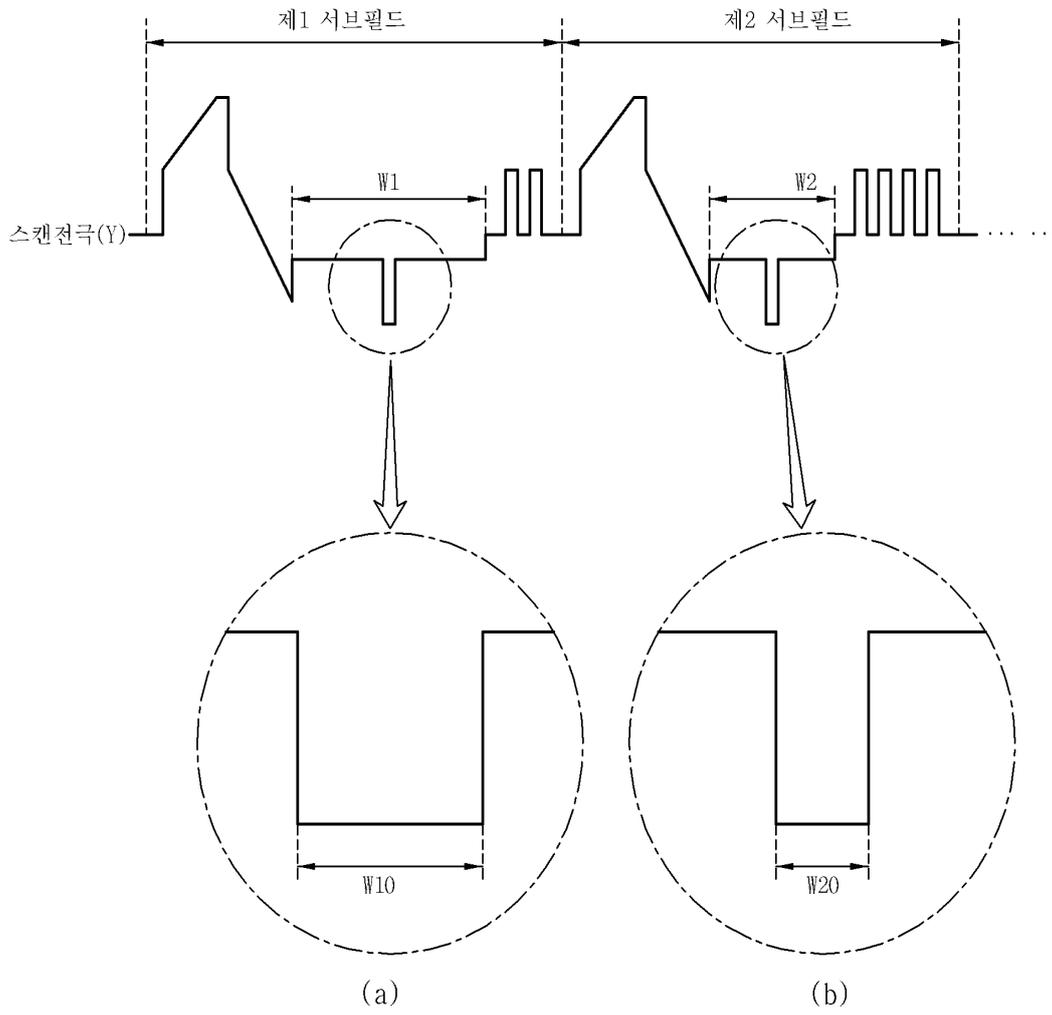
도면9d



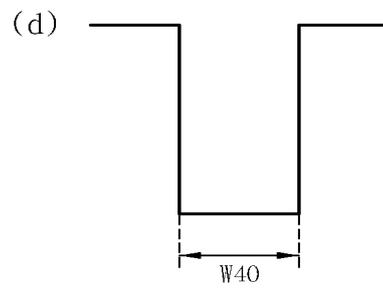
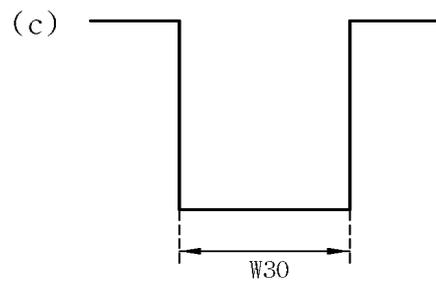
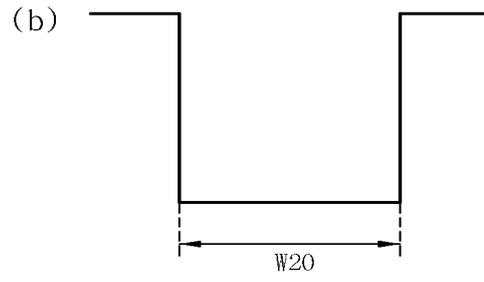
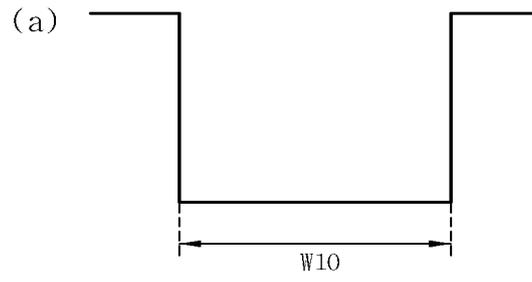
도면10



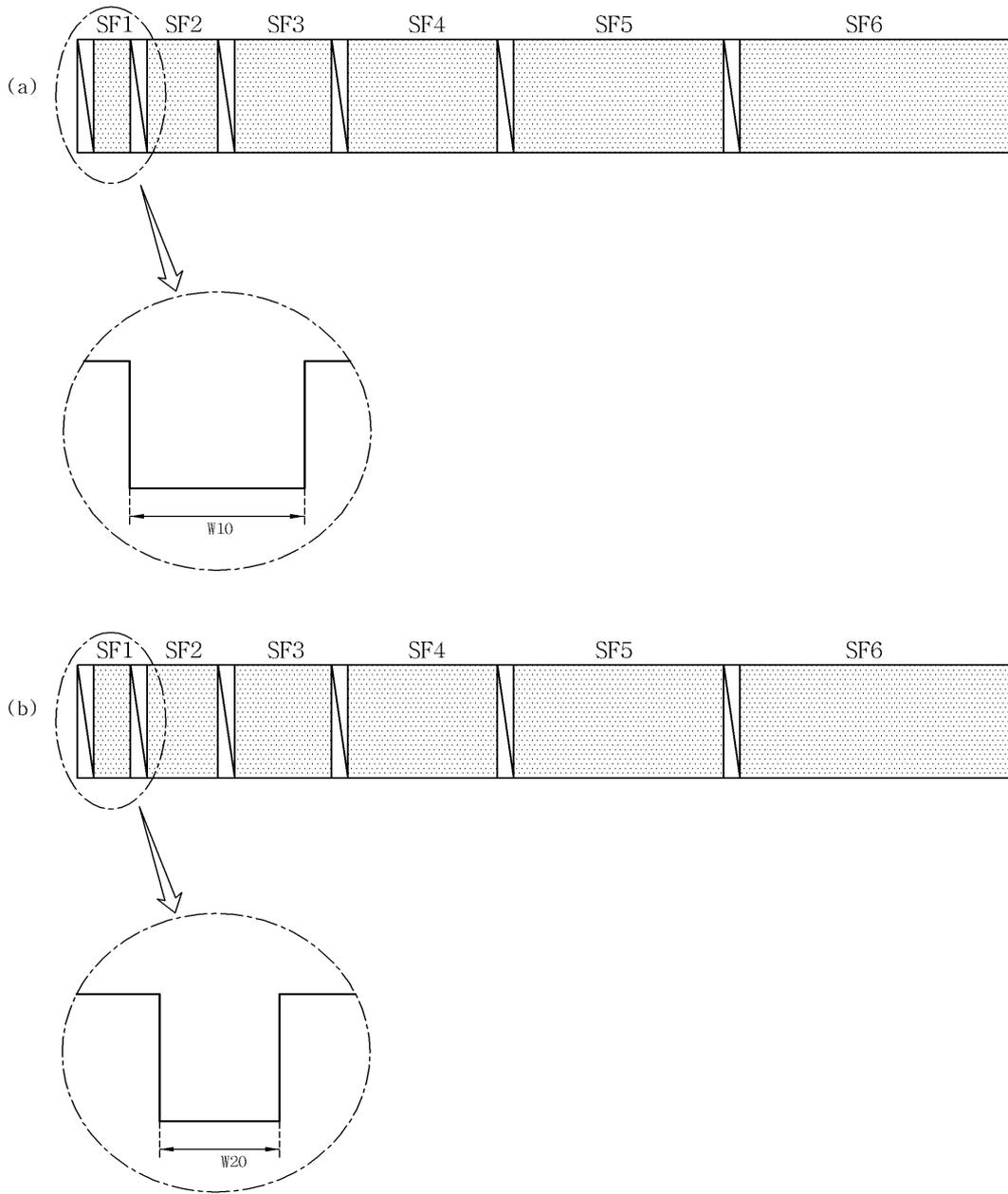
도면11a



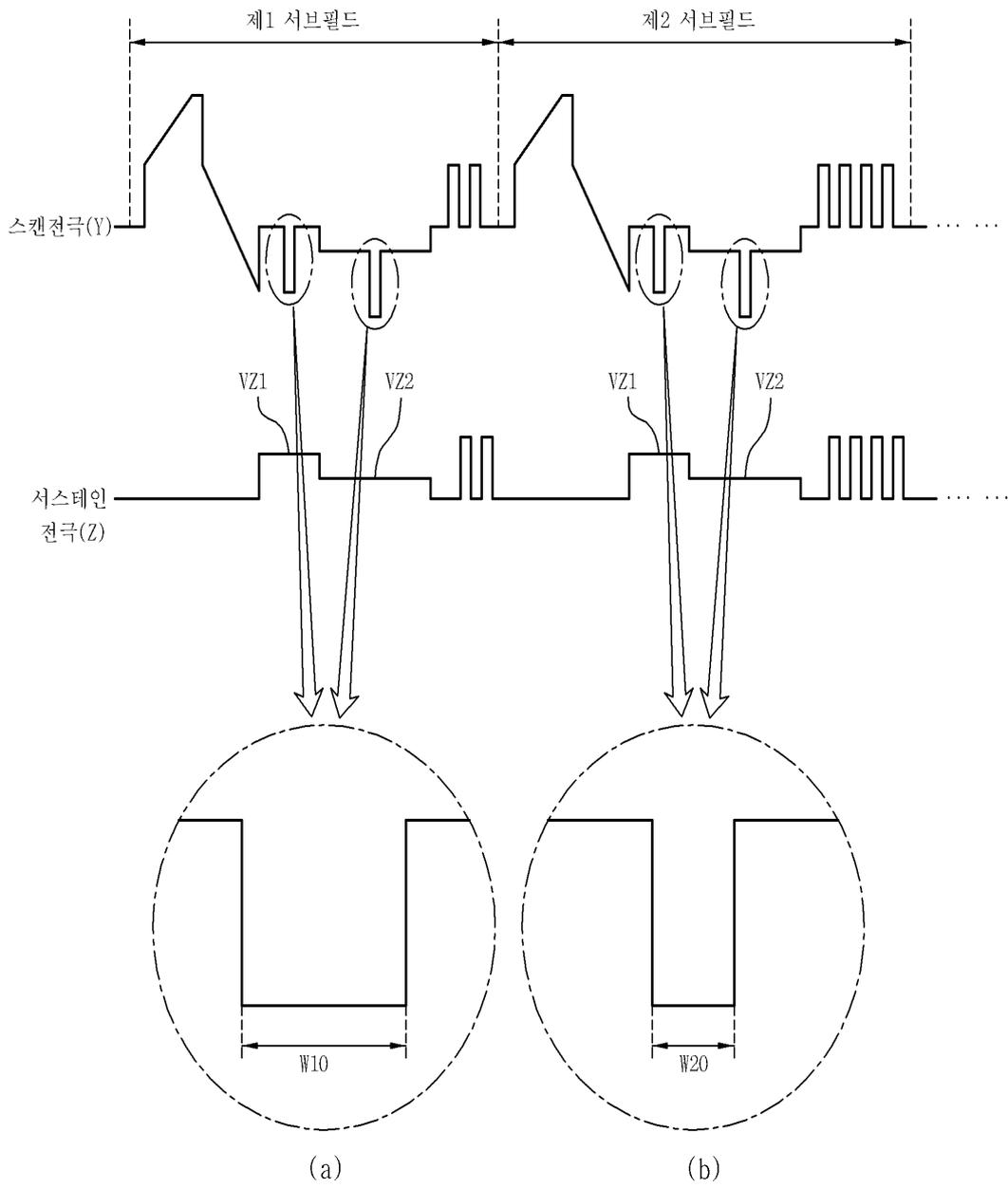
도면11b



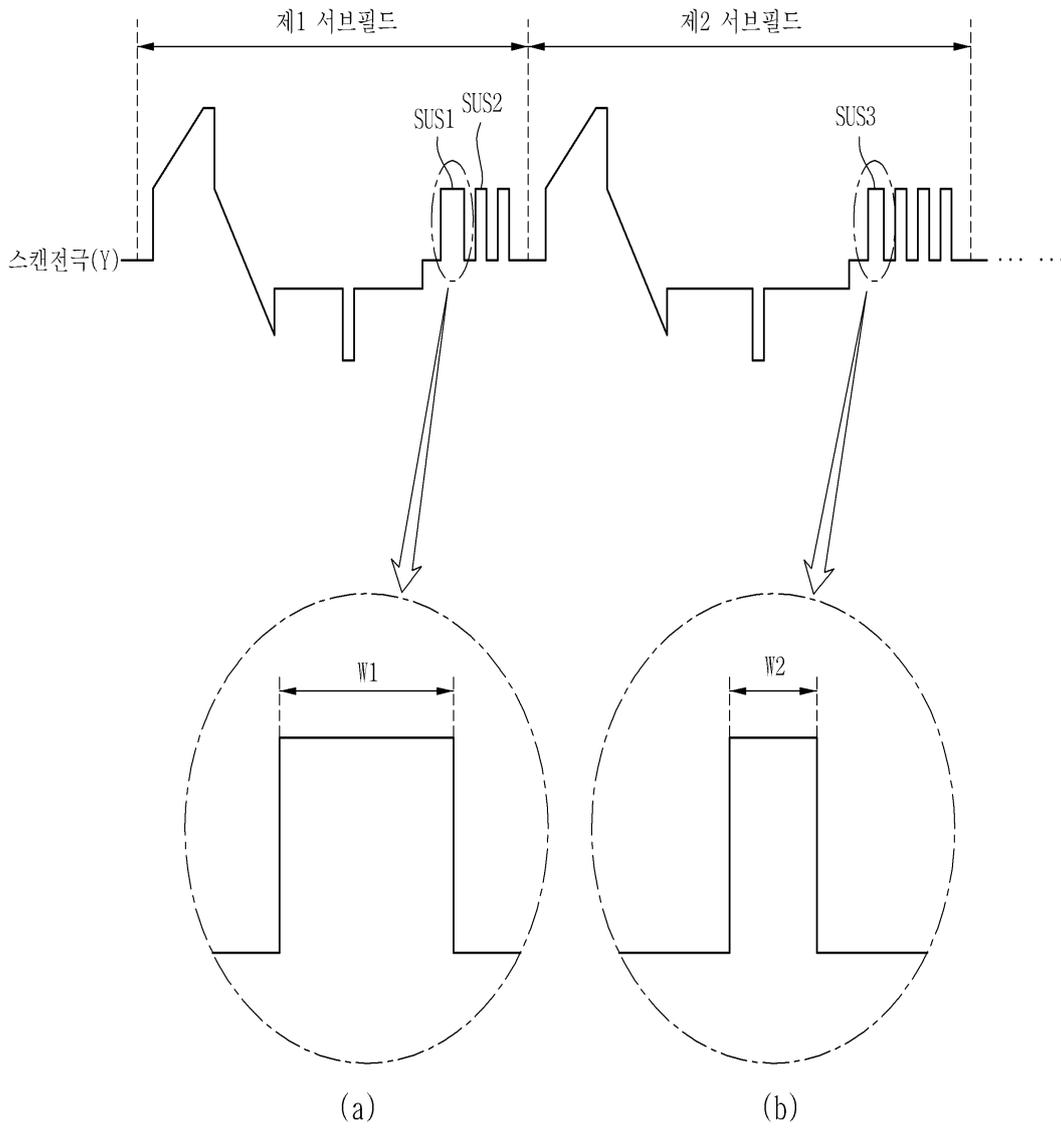
도면12



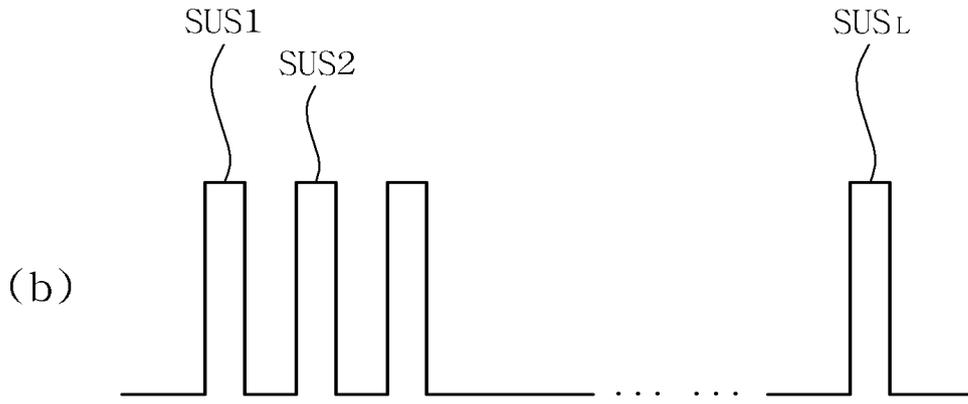
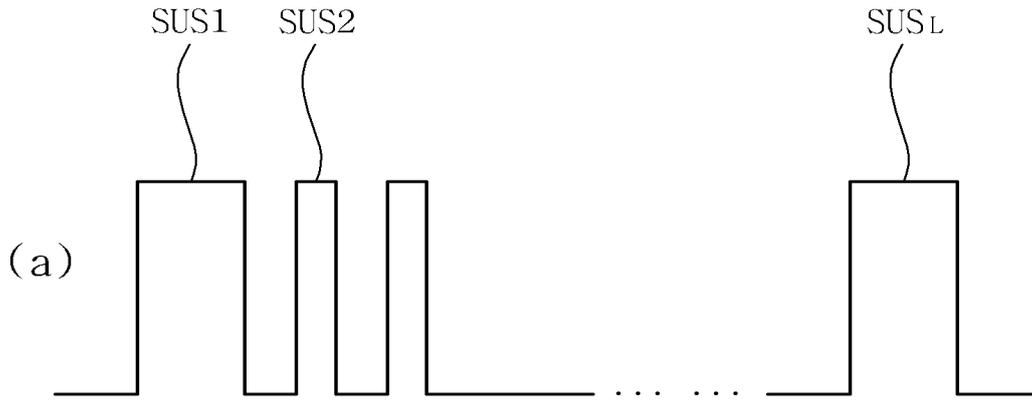
도면13



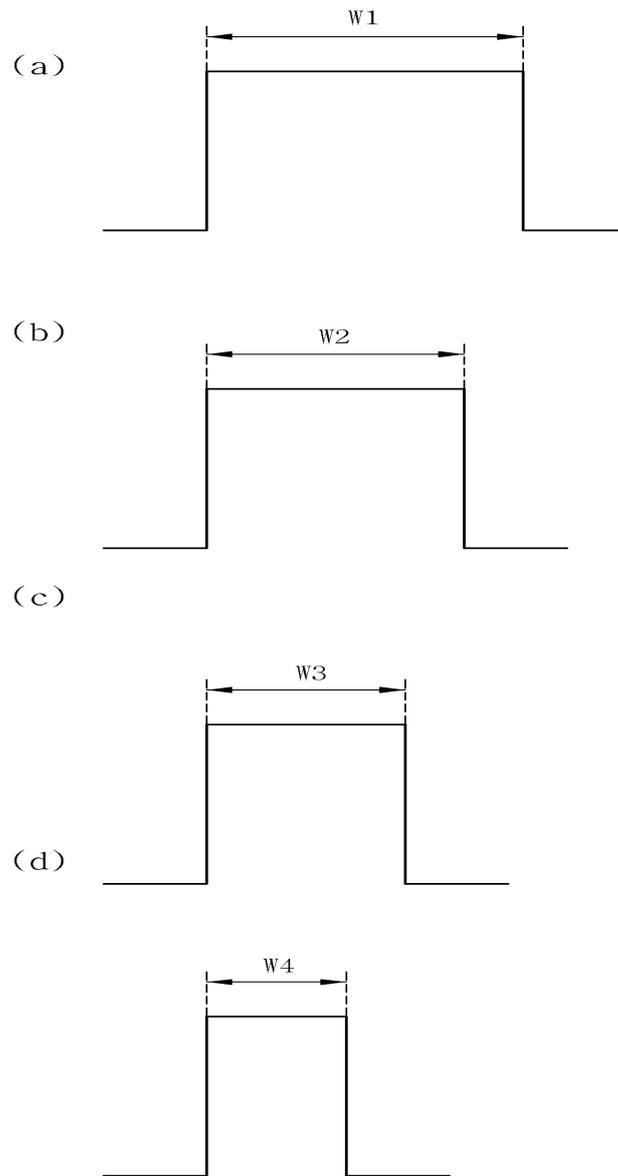
도면14a



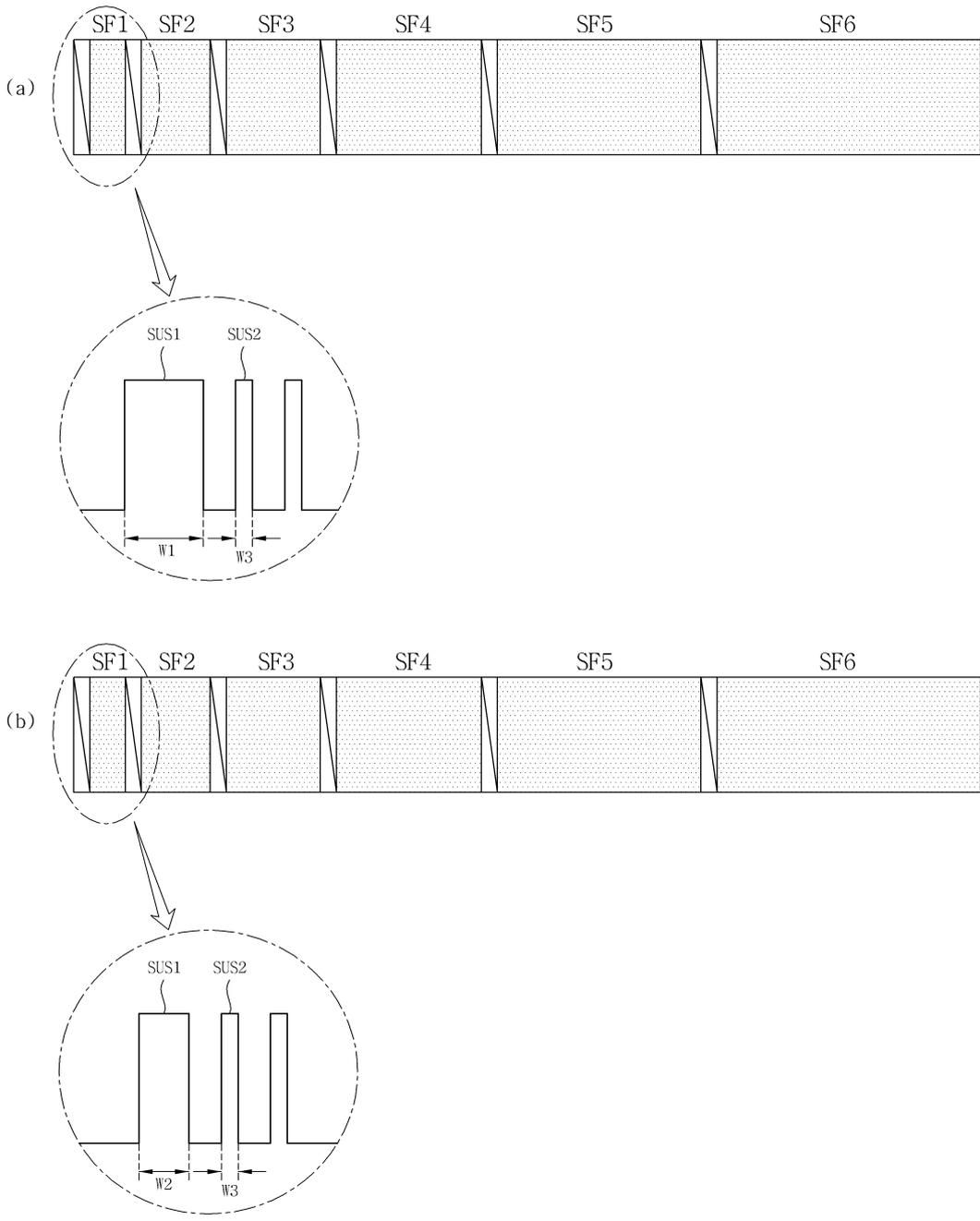
도면14b



도면14c



도면15



도면16

