

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5498751号
(P5498751)

(45) 発行日 平成26年5月21日(2014.5.21)

(24) 登録日 平成26年3月14日(2014.3.14)

(51) Int.Cl. F I
 H O 1 L 21/768 (2006.01) H O 1 L 21/90 A
 H O 1 L 21/90 C

請求項の数 12 (全 32 頁)

<p>(21) 出願番号 特願2009-231131 (P2009-231131) (22) 出願日 平成21年10月5日 (2009.10.5) (65) 公開番号 特開2011-82231 (P2011-82231A) (43) 公開日 平成23年4月21日 (2011.4.21) 審査請求日 平成24年8月8日 (2012.8.8)</p>	<p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地 (74) 代理人 100110928 弁理士 速水 進治 (74) 代理人 100118544 弁理士 野本 可奈 (74) 代理人 100127236 弁理士 天城 聡 (72) 発明者 古谷 晃 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内 審査官 正山 旭</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程と、
 前記凹部内に、前記シード膜よりもめっき成長しにくい導電性膜を形成する工程と、
 前記導電性膜を選択的に除去して、前記凹部の底部に前記シード膜を露出させる工程と、
 、
 前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめっき膜を成長させる工程と、
 前記めっき膜を化学機械研磨して、前記凹部内にもみ前記めっき膜を残す工程と、
 前記導電性膜に含まれる金属元素が、前記めっき膜の表面近傍に偏析するように、第二の熱処理を施す工程と、
 を含むことを特徴とする半導体装置の製造方法。

【請求項2】

凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程と、
 前記凹部内に、前記シード膜よりもめっき成長しにくい導電性膜を形成する工程と、
 前記導電性膜を選択的に除去して、前記凹部の底部に前記シード膜を露出させる工程と、
 、
 前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめっき膜を成長させる工程と、
 を含む、

前記凹部内に、前記シード膜よりもめっき成長しにくい導電性膜を形成する工程において、

前記凹部内に形成された前記導電性膜は、前記凹部の底部を含む第1領域と、前記凹部の開口部を含む第2領域とを有し、

前記第1領域における前記導電性膜と、前記第2領域における前記導電性膜とは異なる材料から形成されることを特徴とする半導体装置の製造方法。

【請求項3】

請求項2に記載の半導体装置の製造方法において、

前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめっき膜を成長させる工程の後に、

前記めっき膜を化学機械研磨して、前記凹部内にもみ前記めっき膜を残す工程と、

前記導電性膜に含まれる金属元素が、前記めっき膜の表面近傍に偏析するように、第二の熱処理を施す工程と、

をさらに含むことを特徴とする半導体装置の製造方法。

10

【請求項4】

請求項1乃至3いずれかに記載の半導体装置の製造方法において、

前記凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程は、

前記基板に、前記凹部を形成する工程と、

前記凹部内に前記シード膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

20

【請求項5】

請求項1乃至4いずれかに記載の半導体装置の製造方法において、

前記凹部は、デュアルダマシン法により形成されるデュアルダマシン構造のビアホールおよび配線溝であって、

前記導電性膜を選択的に除去して、前記凹部の底部に前記シード膜を露出させる工程は、前記ビアホールおよび/または前記配線溝の底部の前記シード膜を露出させる工程であることを特徴とする半導体装置の製造方法。

【請求項6】

請求項1乃至3いずれかに記載の半導体装置の製造方法において、

前記凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程は、

前記基板上に第一の絶縁層を形成する工程と、

前記第一の絶縁層中にシード膜を埋め込む工程と、

前記第一の絶縁層上に第二の絶縁層を形成する工程と、

前記第二の絶縁層を選択的に除去して前記凹部を形成し、前記凹部の底部に前記シード膜を露出させる工程と、

を含むことを特徴とする半導体装置の製造方法。

30

【請求項7】

請求項1乃至5いずれかに記載の半導体装置の製造方法において、

前記凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程は、

前記基板に、前記凹部を形成する工程と、

前記凹部内に絶縁膜を形成する工程と、

前記凹部内の前記絶縁膜上に前記シード膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

40

【請求項8】

請求項1乃至7いずれかに記載の半導体装置の製造方法において、

前記シード膜は、Cuを含むことを特徴とする半導体装置の製造方法。

【請求項9】

請求項1乃至8いずれかに記載の半導体装置の製造方法において、

前記導電性膜は、Ta、Ti、Al、Sn、Mn、Ru、またはIrのうち少なくとも一つを含むことを特徴とする半導体装置の製造方法。

50

【請求項 10】

請求項 1 乃至 9 いずれかに記載の半導体装置の製造方法において、
前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめっき膜を成長させる工程の後に、

前記導電性膜に含まれる金属元素が、前記めっき膜内に拡散するように、第一の熱処理を施す工程、

をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 1 乃至 10 いずれかに記載の半導体装置の製造方法において、

前記導電性膜を選択的に除去して、前記凹部の底部に前記シード膜を露出させる工程は、
RF バイアス印加を利用して前記導電性膜を除去することを特徴とする半導体装置の製造方法。

10

【請求項 12】

請求項 1 乃至 11 いずれかに記載の半導体装置の製造方法において、

前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめっき膜を成長させる工程は、

前記めっき膜が前記凹部の開口部上に凸部を形成し、前記凸部の高さが 1 nm 以上 100 nm 以下であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関する。特に、半導体素子間をつなぐ配線構造およびその製造方法に関する。

【背景技術】

【0002】

近年の半導体装置においては配線での信号伝搬の遅延が素子動作を律速している。配線での遅延定数は配線抵抗と配線間容量の積で表される。そこで、配線抵抗を下げて素子動作を高速化するために、配線材料として比抵抗値の小さい Cu が用いられている。

【0003】

Cu 多層配線はダマシン (damascene) 法で形成される。ダマシン法は、層間絶縁膜等の絶縁膜の堆積工程、絶縁膜を加工して凹部を形成する工程、バリアメタル堆積工程、Cu シードと呼ばれる Cu 薄膜の堆積工程、Cu 薄膜を電解めっきのカソード電極とした Cu めっき堆積による凹部内部の埋め込み工程、凹部を除く部分に堆積したバリアメタル及び Cu の化学機械研磨 (Chemical Mechanical Polishing) による除去工程、およびバリア絶縁膜堆積工程を有する。

30

【0004】

図 21 は、従来の Cu 堆積による凹部内部の埋め込み工程を説明する断面図である。図 21 (a) に示すように、半導体基板 30 上に、絶縁膜 301、絶縁膜 302 が順に成膜されている。記載は省略しているが、半導体基板 30 の上面には、トランジスタなどの半導体素子、それらを被覆する層間絶縁膜、半導体素子と配線層をつなぐためのコンタクト、および場合によっては配線層などが形成されている。絶縁膜 301 の溝内には、バリアメタル膜 203 と Cu 配線 304 が埋設されている。この Cu 配線 304 上の絶縁膜 302 には凹部 315 が形成されており、凹部 315 の底面と側面、及び絶縁膜 302 の表面には、バリアメタル膜 312、Cu シード膜 314 が順に堆積されている。その後、図 21 (b) に示すように、Cu シード膜 314 をカソード電極として、Cu シード膜 314 の表面に、めっき法によって Cu の電解めっき膜 340 を堆積する。図 21 (b) は、Cu の電解めっき工程の途中状態を表した断面図である。

40

【0005】

Cu 多層配線においては、Cu 配線中にポイドと呼ばれる空洞が存在すると抵抗上昇や信頼性劣化が生じて半導体装置 (チップ) の歩留りが低下する問題が生じてしまう。そこ

50

で、上記のような電解めっきの際に絶縁膜302に形成されている凹部315内部にボイドの無いCu堆積(埋め込み)をすることが重要である。図21(c)は、Cuの電解めっき後、Cu配線中にボイドと呼ばれる空洞が発生した様子を示している。電界めっき成膜は電界強度に影響され、電界強度が強い凹部315の開口部の成膜速度は凹部315の側面に比べて速くなるため、凹部315の底面での成長が十分に速くないとめっき膜が底面から開口部に到達する前に開口部が塞がってしまう。開口部が閉塞されると、凹部315内へのめっき液中の金属イオンの供給がとまり、電界も遮断されるので、底面から成膜されたCuめっき膜の成長は開口部に到着する前に停止し、凹部315内でめっき成膜されなかった部分はボイドとなって残ることとなる。そこで、このボイドの発生を抑制するため、電解めっき液に成膜促進剤及び成膜抑制剤を添加して、凹部315の底面での成膜速度を凹部315の開口部及び側面部よりも速くしてCuを埋設する工夫がされている。このめっき方法はボトムアップ埋設、またはスーパーコンフォーマル埋設と呼ばれている。

10

【0006】

ここで、成膜抑制剤には、高分子ポリマーで、例えば、ポリエチレングリコールやポリプロピレングリコールの共重合体が用いられている。また、成膜促進剤には、スルホン酸ナトリウム塩が用いられている。

【0007】

ボトムアップ埋設の詳細メカニズムは、現在も不明であるが、次のように推定されている。

20

通常、電解めっき液中には成膜抑制剤と成膜促進剤が含まれている。この電解めっき液中に、凹部の内部と外部にシードが形成された基板を浸漬すると、電解めっき液中の濃度に応じた割合で、成膜抑制剤と成膜促進剤とがシード表面に吸着する。めっき成膜初期においては、凹部内部と外部とで、成膜促進剤の作用に大きな違いは生じない。しかし、めっき成長に伴い、凹部内部の、特にその底部付近では凹部の側面部からのめっき成長もあるため、凹部内部のシードの表面積が小さくなる。一方、シード表面に吸着した成膜促進剤は離脱しないため、凹部内部のシードの表面積の縮小に従い、同部のシード表面における成膜促進剤の密度は大きくなる。この結果、凹部内部での成膜促進効果は相対的に大きくなり、シード上へのめっき成膜速度は凹部内部の方が凹部外部より速くなる。

この現象を利用したのがボトムアップ成長であり、凹部の底部でのめっき成膜速度が凹部開口部及び側面部に比べて十分に速ければ、開口部が閉塞される前に底部から成長しためっき膜が開口部に到着でき、凹部内部のボイド発生を抑制して埋め込むことができる。

30

【0008】

しかしながら、半導体装置の微細化が進み凹部の開口寸法が小さくなると、従来の電解めっき液では、ボトムアップ成長しにくくなる。これは、開口寸法が小さいために成膜促進剤が凹部の底面で十分に高濃度化しないためである。そのため、凹部の底面から成膜するめっき膜が開口部に到着する前に、開口部で成長しためっき膜により開口部が閉塞されてボイドが形成されてしまうためである。

【0009】

このような問題を解決するため、例えば非特許文献1では、めっき液中のCu、硫酸の高濃度化、めっき抑制剤、平滑化剤の高分子化の手法が開示されている。硫酸の高濃度化により促進剤が活性化され、Cu高濃度化により析出確率が高くなり、ボトムアップ性が改善されることが開示されている。また、抑制剤、平滑化剤は高分子化することでめっき液中での拡散速度が低下して、めっき成膜初期の凹部内への吸着量が少なくなり、凹部内の促進剤の割合が高くなり、より微細な寸法でもボトムアップ可能となることが開示されている。

40

【0010】

しかしながら、本発明者の検討によれば以下の問題があることが分かった。

Cu、硫酸の高濃度化は硫酸銅析出によるパーティクルの発生やそれに伴う装置故障のリスクを増大させる。また、めっき抑制剤、平滑化剤は使用中に分解するため長期間使用

50

すると効果が得られなくなる。それを防止するには、頻繁にめっき液を交換せねばならず、コスト増加を招く。更に、凹部内の促進剤の効果を高めただけであり、ボトムアップのメカニズムは同じであるから、より微細な寸法ではボトムアップ成長しなくなる。すなわち、めっき液を改善したとしても、半導体装置の微細化が進むとボトムアップ成長が困難となり、Cuめっき膜中にボイドが形成されるという問題があった。

【0011】

ここで、図22, 23を用いて、TSV(Through Silicon Via)構造を用いた半導体装置の問題点について説明する。図22は、従来のダマシン構造による微細パターンを有する半導体装置であって、半導体基板51の素子形成面上にトランジスタ及び多層配線などが形成された基板10の上に、絶縁膜52が形成されている。絶縁膜52は、基板10とは反対側の面に開口した凹部53を有している。図23は、TSV構造を用いた半導体装置であって、半導体基板51の素子形成面上にトランジスタ、多層配線層、及び電極パッドなどが形成された基板61を有している。基板61は、多層配線層を貫通し半導体基板51の内部に達する凹部66を有している。凹部66及び基板61上には、絶縁膜62が形成されている。

10

【0012】

図23に示すようなTSV構造は、従来のダマシン構造による微細パターンに比べて、大きなパターンであるため、半導体装置の製造工程において、以下のような問題があった。

【0013】

まず図23(a)に示すように、基板61上に、径が数十 μm 、高さが数十~100 μm 程度の凹部66を形成する。つづけて図23(b)に示すように、基板61上及び凹部66内に、バリアメタル63、シードとなるCu膜64を順に成膜する。その後、Cu膜64を電解めっきのカソード電極としたCuめっき成膜によって、凹部66の内部にCuめっき膜65を埋め込む。次に、基板61のフィールド上に形成された、バリアメタル63、Cu膜64及びCuめっき膜65を、CMPにより除去し、凹部66内だけにCuめっき膜が残った構造にする。また、基板61の裏面から、凹部66内のCuめっき膜が露出するまで、CMPを行う。これにより、基板61に貫通電極を形成する。

20

【0014】

上記Cuめっき成長によるCuめっき膜埋込工程では、微細パターンと同様にボトムアップ成長を利用してCuめっき膜65の埋設を行うが、パターンが大きいとめっき成膜量が多く、高電流による高速成膜が生産能力の確保に必要な点が微細パターンを対象としためっきと異なる。めっき成長を高速化しようとする、パターン開口での電界強度が強くなって、開口付近での成長がボトムアップの高速化よりも速くなって、開口部で成膜したCuめっき膜65により開口部が閉塞されてしまうことがあった。そのため、凹部内へのめっき液中の金属イオンの供給がとまるので、底面から成膜されたCuめっき膜65が開口部に到着する前にめっき成長が停止し、凹部66内でめっき成膜されなかった部分はボイドとなって残り、Cuめっき膜65埋設不良が発生しやすいという問題があった。

30

【0015】

このようなボイドの発生といった問題を解決するために、凹部に形成されたシード層を凹部の底部にのみ残留させてボトムアップさせる技術として特許文献1、2記載のものがある。

40

【0016】

特許文献1には、基板の上面からシード層を選択的に除去し、フィーチャ(特許文献1に記載された表現であり、溝を意味する)の少なくとも底面にだけシード層を残し、シード層の部分を使用して金属を電気めっきし、金属がフィーチャを埋める技術が開示されている。また特許文献2には、配線溝の底面に残留する導電層の上に金属膜を形成する技術が開示されている。

【0017】

50

なお、従来のダマシン構造を有する半導体装置の電解めっきに関連する技術としては、特許文献3～6記載のものがある。

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開2002-020891号公報

【特許文献2】特開2004-214508号公報

【特許文献3】特開2007-149824号公報

【特許文献4】特開2005-333153号公報

【特許文献5】特開2001-144181号公報

【特許文献6】特開2002-118109号公報

10

【非特許文献】

【0019】

【非特許文献1】Jon Reid and Jian Zhou, "Electrofill Challenges and Directions for Future Device Generations", Advanced Metallization Conference 2007:17/Asia Session

【発明の概要】

【発明が解決しようとする課題】

【0020】

20

しかしながら、発明者の検討によれば上記特許文献1、2に開示された技術を適用した場合、以下のような問題が存在することが分かった。

【0021】

特許文献1、2に開示された技術では、シード層を凹部の底面にのみ形成するために、凹部の側面に形成したシード膜を電解研磨やCMP法により除去している。そのため、シード層のCu表面がCMP等に含まれる防食材で汚染される場合がある。また、凹部の側面のシード層の除去が十分でなかったり、均一に除去できない場合があった。そのため、ボイドの発生を十分に抑制できない場合があった。

【0022】

したがって、いずれの特許文献に記載された技術によっても、めっき埋め込みの際に発生するボイドを充分抑制することはできなかった。

30

【課題を解決するための手段】

【0023】

本発明によれば、

凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程と、

前記凹部内に、前記シード膜よりもめっき成長しにくい導電性膜を形成する工程と、

前記導電性膜を選択的に除去して、前記凹部の底部に前記シード膜を露出させる工程と

、
前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめっき膜を成長させる工程と、
を含むことを特徴とする半導体装置の製造方法が提供される。

40

【0024】

また、本発明によれば、

基板と、

前記基板に埋設された導電体と、

を備え、

前記導電体は、前記導電体の側面部から中心部に向かって1nm以上20nm以下の領域で、前記導電体の構成元素以外の金属元素濃度の値が最大となることを特徴とする半導体装置が提供される。

【0025】

50

本発明は、基板の凹部をめっき成長により埋め込む際に、凹部の内部にボイドが発生するのを抑制することができるものである。そこで、本発明は、まず凹部の底部にシード膜が露出した基板を用い、次に凹部内の底部及び側面部に、シード膜よりめっき成長しにくい導電性膜を形成し、その後、底部の導電性膜を除去することによって底部にシード膜を露出させている。このように凹部の底部にシード膜、側面部にシード膜よりめっき成長しにくい導電性膜とした状態で電解めっきすると、側面部よりも底部のシード膜が優先してめっき成長するため、底部からめっき膜を成長させて凹部内を埋め込むことができる。これにより、めっき膜成長時に凹部の内部にボイドが発生することを抑制できる。

【発明の効果】

【0026】

10

本発明によれば、ボイド発生が低減された半導体装置および半導体装置の製造方法が実現できる。

【図面の簡単な説明】

【0027】

【図1】第1の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図2】第1の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図3】第1の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図4】(a)は、本実施形態に係る半導体装置の製造工程の一例を示す断面図、(b)は、本実施形態に係る半導体装置の製造工程の効果の説明するための断面図である。

【図5】第2の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

20

【図6】第2の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図7】第2の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図8】第3の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図9】第4の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図10】第4の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図11】第4の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図12】第5の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図13】第5の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図14】第5の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図15】第6の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

30

【図16】第6の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図17】第6の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図18】第7の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図19】第7の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

【図20】本実施形態に係る半導体装置の変形例を示す断面図である。

【図21】従来のCu堆積による凹部内部の埋め込み工程を説明する断面図である。

【図22】従来の半導体装置の一例を示す断面図である。

【図23】従来の半導体装置の一例を示す断面図である。

【発明を実施するための形態】

【0028】

40

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。なお、本実施の形態では図示するように前後左右上下の方向を規定して説明する。しかし、これは構成要素の相対関係を簡単に説明するために便宜的に規定するものである。従って、本発明を実施する製品の製造時や使用時の方向を限定するものではない。なお、以下特に断らない限り絶縁膜、バリアメタル膜、シード膜、カバーメタル膜、キャップ膜、めっき膜は単層膜に限らず多層膜であってもよい。

【0029】

(第1の実施形態)

図1～3は、第1の実施形態に係る半導体装置の製造工程の一例を示す断面図である。

50

図4の(a)は、本実施形態に係る半導体装置の製造工程の一例を示す断面図、(b)は、本実施形態に係る半導体装置の製造工程の効果を説明するための断面図である。

【0030】

図1～図4を参照しつつ、第1の実施形態に係る半導体装置の製造工程の一例について説明する。

まず、半導体装置の製造方法は、表面にトランジスタ等の素子が形成された半導体基板10の上に形成されている絶縁膜100に凹部111を形成する工程と、凹部111内にバリアメタル膜102とシード膜104を形成する工程と、凹部111内に、カバーメタル膜106を形成する工程と、カバーメタル膜106を選択的に除去して、凹部111の底部にシード膜104を露出させる工程と、凹部111の底部に露出されたシード膜104をシードとして、凹部111内を埋め込むめっき膜140を成長させる工程と、を含む。以下、詳細に説明する。

10

【0031】

図1(a)に示すように、半導体基板10上に、絶縁膜100を形成し、絶縁膜100上に凹部111を形成する。半導体基板10上には、例えばソース・ドレイン領域として機能する拡散層とゲート電極とを有する電界効果トランジスタ(FET)が形成されている。

【0032】

図1(b)に示すように、絶縁膜100及び凹部111上に、バリアメタル膜102とシード膜104を順に形成する。バリアメタル膜102、シード膜104の形成には、例えば、スパッタ成膜法のような物理気相成長法、CVD(Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法のような化学気相成長法、液相成長法、超臨界流体成長法を用いてもよい。但し、凹部111の開口部でなるべく厚膜化しない条件での成膜が好ましい。

20

【0033】

図1(c)に示すように、シード膜104上に、カバーメタル膜106を形成する。カバーメタル膜106は、例えば、イオン化スパッタ成膜法を用いて、凹部111の底部及び側面部、及び絶縁膜100上に形成される。このとき、凹部111の底部に形成されるカバーメタル膜106は、絶縁膜100上に形成されるカバーメタル膜106よりも薄くなっている。

30

【0034】

図2(a)に示すように、選択的エッチングをおこなうことにより、凹部111の底部のカバーメタル膜106を除去して、底部にシード膜104を露出する。選択的エッチングの手法としては、例えばRFバイアスを印加する等の手法を用いて、プラズマから凹部111の底部へ向かうイオンを加速させる等して、凹部111の底部のカバーメタル膜106を除去し、凹部111の側面部と、絶縁膜100上の凹部111以外の領域(フィールド部131)に形成されたシード膜104の上面に、カバーメタル膜106を残留させる。フィールド上に較べて溝内部の膜厚は薄くなるので、エッチング時間の制御によって、このような構造は容易に作ることができる。溝フィールド上になお、カバーメタル膜106の除去は、底部の少なくとも一部にシード膜104を露出させればよく、凹部111の底部にあるカバーメタル膜106を完全に除去しなくてもよい。また、凹部111の底部に限らず、底部近傍、例えば底面から最大でアスペクト比1の領域のカバーメタル膜106を除去してもよい。これにより、凹部111を有し、凹部111の底部にシード膜104が露出した構造が得られる。なお、最適な形状のカバーメタル膜106を得るために、カバーメタル膜106の成膜と選択的エッチングを繰り返してもよい。また選択的エッチングには溶液を用いたウェットエッチングも可能である。エッチング溶液は、Cuシード膜とバリアメタル膜とのエッチングの選択比や電池効果の影響を考慮して選択され、例えばTiの場合、弗化水素酸やアンモニア過酸化水素溶液を用いることができる。このようなウェットエッチングは、以下に説明する他の実施形態においても同様にして適用できる。

40

50

【 0 0 3 5 】

本実施形態において、バリアメタル膜 1 0 2 には、例えば T a N 上に T a を積層した材料を用いる。また、バリアメタル膜 1 0 2 は、1 ~ 2 0 n m の厚さに成膜される。

【 0 0 3 6 】

本実施形態において、シード膜 1 0 4 には、例えば C u を材料として用いる。また、シード膜 1 0 4 は、1 0 ~ 1 0 0 n m の厚さに成膜される。

【 0 0 3 7 】

本実施形態において、カバーメタル膜 1 0 6 は、シード膜 1 0 4 よりもめっき成長しにくい導電性膜である。

【 0 0 3 8 】

本実施形態において、カバーメタル膜 1 0 6 の材料として、T i が用いられている。また、カバーメタル膜 1 0 6 は、絶縁膜 1 0 0 上のフィールド部 1 3 1 に 0 . 5 ~ 1 0 n m の厚さ、凹部 1 1 1 の側面部に 0 . 5 ~ 5 n m の厚さに成膜される。カバーメタル膜 1 0 6 の厚さは、凹部 1 1 1 の側面部及びシード膜 1 0 4 上面のフィールド部 1 3 1 のいずれにおいても、0 . 5 ~ 1 原子層程度またはそれ以上が好ましい。これにより、後述するめっき成長工程において、凹部 1 1 1 の側面部及びシード膜 1 0 4 上面のフィールド部 1 3 1 におけるめっき成長を抑制でき、ボイドの発生を低減できる。

【 0 0 3 9 】

次に、電解めっき液 1 0 8 を用いて、めっきを行う。図 2 (b)、(c) に示すように、凹部 1 1 1 の底部に露出されたシード膜 1 0 4 をシードとして、めっき膜 1 4 0 を成長させて、凹部 1 1 1 内を埋め込む。

【 0 0 4 0 】

めっきの電流密度は、例えば、0 . 1 A / d m ² ~ 1 0 A / d m ² 程度が好ましい。但し、カバーメタル膜 1 0 6 の材料によっては、電流密度を高くするとカバーメタル膜 1 0 6 上にもめっき成長が生じることになる。しかしこの場合であっても、当業者が適宜最適化できる。また電流値は、電流密度と、ウエハ面積に対する凹部 1 1 1 の開口率との積で表される。

【 0 0 4 1 】

凹部 1 1 1 の底部に露出されたシード膜 1 0 4 をシードとして、めっき膜 1 4 0 を成長させて、凹部 1 1 1 内を埋め込むめっき膜 1 4 0 を成長させる工程は、めっき膜 1 4 0 が凹部 1 1 1 の開口部上に凸部を形成し、凸部の高さが 1 n m 以上 1 0 0 n m 以下であるめっき膜 1 4 0 b としてもよい (図 4 (a) 参照)。これにより、後に行う第一の熱処理によって、凹部 1 1 1 内にめっき成長しためっき膜 1 4 0 が熱収縮して、凹部 1 1 1 内に空間が生じるのを防止できる (図 4 (b) 参照)。

【 0 0 4 2 】

次に、カバーメタル膜 1 0 6 に含まれる金属元素が、めっき膜 1 4 0 内に拡散するように、第一の熱処理を施す。そこで、シード膜 1 0 4 とめっき膜 1 4 0 は再結晶化により一体化し、めっき膜 1 4 0 a となる。また、カバーメタル膜 1 0 6 に含まれる T i が、めっき膜 1 4 0 a 中に拡散し、めっき膜 1 4 0 a の表面に、キャップ膜 1 0 6 a が形成される (図 3 (a) 参照)。さらに、カバーメタル膜 1 0 6 を構成する元素濃度が周辺の元素よりも高い領域 1 0 6 b が形成される。本実施形態において、領域 1 0 6 b は T i 濃度が周辺の T i 濃度よりも高い。

【 0 0 4 3 】

第一の熱処理は、例えば、1 0 0 ~ 4 0 0 に加熱して行われる。また、熱処理中にシード膜 1 0 4 の表面にアンモニアまたは窒素の雰囲気のパラズマを照射してもよい。これにより、T i をより均一に拡散できる。

【 0 0 4 4 】

図 3 (b) に示すように、キャップ膜 1 0 6 a、めっき膜 1 4 0 a、及びバリアメタル膜 1 0 2 を、C M P 法により選択的に除去して表面を平坦化し、凹部 1 1 1 内のみをめっき膜 1 4 0 a を残す。これにより、絶縁膜 1 0 0 中に、C u 配線 1 0 5 が形成される。

10

20

30

40

50

【 0 0 4 5 】

次に、カバーメタル膜 1 0 6 に含まれる金属元素が、凹部 1 1 1 内のみに残されためっき膜 1 4 0 a (C u 配線 1 0 5) の表面近傍に偏析するように、第二の熱処理を施す。これにより、C u 配線 1 0 5 中に微量に残留したカバーメタル膜 1 0 6 の T i などの原子は、C u 配線 1 0 5 の表面に偏析し、キャップ膜 1 0 6 c が形成される (図 3 (c))。キャップ膜 1 0 6 c は、C u 配線 1 0 5 よりも C u 濃度が低く、また C u 配線 1 0 5 の上面を覆っている。

【 0 0 4 6 】

また、カバーメタル膜 1 0 6 の T i はより均一に拡散する。図 3 (c) に示すように、領域 1 0 6 b のカバーメタル膜 1 0 6 を構成する元素濃度はさらに低くなり領域 1 0 6 d となる。なお、領域 1 0 6 d は、カバーメタル膜 1 0 6 を構成する元素濃度が周辺の元素よりも高い領域である。

10

【 0 0 4 7 】

半導体基板 1 0 上にトランジスタ等の素子と配線構造を形成し図 3 (b) のような構造を形成した後に行う第二の熱処理は、例えば、1 0 0 ~ 4 0 0 で行われる。

【 0 0 4 8 】

キャップ膜 1 0 6 c は、シード膜 1 0 4 よりも C u が少なく、T i、A l、S n、または M n のうち少なくとも一つを含むものであればよい。

【 0 0 4 9 】

第一、及び第二の熱処理雰囲気は、酸素や水分を含む雰囲気で行ってもよい。これにより、めっき膜 1 4 0 a の表面に酸化物を形成し、カバーメタル膜 1 0 6 に含まれる金属元素のめっき膜 1 4 0 a 中への拡散を促進できる。また、カバーメタル膜 1 0 6 に含まれる金属が T i である場合、アンモニアや窒素を含む雰囲気で行うと、上記の効果が得られるだけでなくさらに、めっき膜 1 4 0 a の表面に T i N が偏析され易くなり、信頼性が向上できる。さらに、熱処理中にめっき膜 1 4 0 a の表面に、これらの雰囲気のプラズマを照射してもよい。

20

【 0 0 5 0 】

このようにして、トランジスタなどが形成された半導体基板 1 0 と、その上に形成された絶縁膜 1 0 0 中に埋設された C u 配線 1 0 5 と、を備え、C u 配線 1 0 5 は、C u 配線 1 0 5 の側面部から中心部に向かって 1 n m 以上 2 0 n m 以下の領域で、C u 以外の金属元素濃度の値が最大となり、また、半導体基板 1 0 と、C u 配線 1 0 5 の側面部との間にバリアメタル膜 1 0 2 を有する半導体装置が得られる (図 3 (c))。

30

【 0 0 5 1 】

C u 配線 1 0 5 においては、C u 配線 1 0 5 の側面部から中心部に向かって 1 n m 以上 2 0 n m 以下の領域で、C u 以外の金属元素濃度の値が最大となる。

【 0 0 5 2 】

次に、本実施形態の作用及び効果を説明する。

【 0 0 5 3 】

本実施形態において、まずトランジスタなどが形成された半導体基板 1 0 上に絶縁膜 1 0 0 を形成し、その絶縁膜 1 0 0 に凹部 1 1 1 を形成し、凹部 1 1 1 内にシード膜 1 0 4、カバーメタル膜 1 0 6 (シード膜よりめっき成長しにくい導電性膜) を順に形成したあと、凹部 1 1 1 底部のカバーメタル膜 1 0 6 を除去することによって、凹部 1 1 1 の底部にシード膜 1 0 4 を露出させている。このように凹部 1 1 1 の底部にシード膜 1 0 4、側面部にカバーメタル膜 1 0 6 とした状態で電解めっきすると、側面部よりも底部のシード膜 1 0 4 が優先してめっき成長するため、底部からめっき膜 1 4 0 を成長させて凹部 1 1 1 内を埋め込むことができる。これにより、めっき膜 1 4 0 成長時に凹部 1 1 1 の内部にポイドが発生するのを抑制できる。

40

【 0 0 5 4 】

カバーメタル膜 1 0 6 が、シード膜 1 0 4 よりもめっき成長しにくい理由としては、以下のように考えられる。

50

【 0 0 5 5 】

第一に、カバーメタル膜 1 0 6 がシード膜 1 0 4 よりも抵抗が高い金属を含むことにより、凹部 1 1 1 の側面部のカバーメタル膜 1 0 6 に対して、シード膜 1 0 4 へ優先的に電流が流れ優先的にめっき成長できるためである。

【 0 0 5 6 】

第二に、カバーメタル膜 1 0 6 として T i を用いた場合、カバーメタル膜 1 0 6 の表面が酸化されるため還元反応が進行しにくくなり、シード膜 1 0 4 が優先的にめっき成長できるためである。

【 0 0 5 7 】

したがって、電解めっきによってめっき膜 1 4 0 をめっき成長させる際、凹部 1 1 1 の側面部よりも底部に露出したシード膜 1 0 4 から優先的にめっき成長されるようになり、凹部 1 1 1 の内部でのボイドの発生が抑制できる。このため、凹部 1 1 1 の開口部が微細であっても、ボトムアップ成膜をすることができる。

10

【 0 0 5 8 】

また本実施形態においてカバーメタル膜 1 0 6 は、T i を主成分としている。そのため、上記第二の理由により、カバーメタル膜 1 0 6 上でのめっき成長がより抑制できる。

【 0 0 5 9 】

また従来技術では、基板上的凹部の底部にのみシード膜を残すために、凹部を有する基板上にシード膜を形成した後電解めっき工程前に、凹部内の側面に形成されたシード膜だけでなく、基板の上面に形成されたシード膜も C M P 法などにより取り除く工程を要した。そのため、工程数が追加することとなりコスト増加や生産性の劣化を招いた。これに対し、本実施形態では、電解めっき工程前に、シード膜 1 0 4 を除去する工程を必要としない。

20

【 0 0 6 0 】

さらに、本実施形態では、シード膜 1 0 4 上のフィールド部 1 3 1 にも、カバーメタル膜 1 0 6 が形成される。そのため、フィールド部 1 3 1 上はめっき成長による成膜が殆どない。これにより、凹部 1 1 1 でめっき成長させることができ、電解めっき後の C M P 工程で、フィールド部 1 3 1 に成長しためっき膜 1 4 0 を除去する時間が短縮できる。従来技術では、このような C M P 工程は半導体装置の製造工程において特に時間を費やすが、本実施形態ではフィールド部 1 3 1 上に成膜されるめっき膜 1 4 0 を制限できるため、C M P 工程に費やす時間を短縮し、半導体装置の製造時間を短縮することにより生産性を向上させると同時に、C M P 研磨剤の使用量を削減してコストも削減できる。

30

【 0 0 6 1 】

なお、フィールド部 1 3 1 上に形成されたカバーメタル膜 1 0 6 にはばらつきがあるため、部分的にめっき膜 1 4 0 が形成される場合もあるが、この場合でも本実施形態ではフィールド部 1 3 1 上に成膜されるめっき膜 1 4 0 を制限できるため、半導体装置の製造時間を短縮して生産性を向上させることができる。

【 0 0 6 2 】

また、非特許文献に示されるように従来手法では、分子量の大きな C u めっき添加剤を要し、その分解消耗による性能劣化を防ぐためにめっき液を頻繁に交換する必要があるため、コストが増加していた。これに対し、本実施形態では特別な添加剤を用いる必要がないため、低コスト化が実現できる。

40

【 0 0 6 3 】

また、半導体装置は、凹部 1 1 1 内の C u 配線 1 0 5 の表面にキャップ膜 1 0 6 c を有する。これにより、C u 配線 1 0 5 の信頼性を向上させることができる。

【 0 0 6 4 】

さらに、本実施形態の他の効果について、図 4 を用いて説明する。

【 0 0 6 5 】

図 4 (a) に示すように、本実施形態では、凹部 1 1 1 上にめっき成長して半球状の凸部を有するめっき膜 1 4 0 b が形成されてもよい。この理由としては、基板上に複数の凹

50

部 1 1 1 が形成される場合、凹部 1 1 1 の基板面内での位置や、互いの位置関係が異なるため、めっき成長による埋込が速い凹部 1 1 1 と、遅い凹部 1 1 1 とが存在する。そのため、遅い凹部 1 1 1 の埋込が完了したときには、埋込が速い凹部 1 1 1 では凹部 1 1 1 内部以外の領域にもめっき成長し、凹部 1 1 1 上に凸部を有するめっき膜 1 4 0 b が形成され、その一部がフィールド部 1 3 1 上にも形成されることとなる。一方、凹部 1 1 1 内部にのみめっき膜 1 4 0 の埋込をおこなうと、その後熱処理によって、図 4 (b) に示すように、凹部 1 1 1 の開口部周辺でめっき膜 1 4 0 が収縮する場合がある。

【 0 0 6 6 】

そこで、凹部 1 1 1 上に半球状の凸部を有するめっき膜 1 4 0 b が形成されることにより、凹部 1 1 1 開口部周辺において熱処理によるめっき膜 1 4 0 の収縮を抑制することができる。

10

【 0 0 6 7 】

上記実施形態では、バリアメタル膜 1 0 2 として T a N 上に T a を積層した材料を用いた場合について説明したが、T i、R u、I r、W、これらを含む金属、及びこれらのうち少なくとも 2 種以上からなる積層物であってもよい。

【 0 0 6 8 】

(第 2 の実施形態)

第 1 の実施形態は、凹部 1 1 1 を有し、凹部 1 1 1 の底部にシード膜 1 0 4 が露出した基板を準備する工程が、凹部 1 1 1 を形成し、凹部 1 1 1 内にシード膜 1 0 4 を堆積した例であるのに対し、第 2 の実施形態は、凹部 1 1 1 形成前にシード膜 2 0 4 を形成し、凹部 1 1 1 内にシード膜を堆積する工程を含まない例である。

20

【 0 0 6 9 】

図 5 ~ 7 を参照して、第 2 の実施形態に係る半導体装置の製造工程の一例について説明する。

本実施形態では、半導体装置の製造方法は、半導体基板 1 0 上に絶縁膜 2 0 1 (第一の絶縁膜) を形成する工程と、絶縁膜 2 0 1 (第一の絶縁膜) に形成した溝中にシード膜 2 0 4 を埋め込む工程と、絶縁膜 2 0 1 (第一の絶縁膜) 上に絶縁膜 2 0 2 (第二の絶縁膜) を形成する工程と、絶縁膜 2 0 2 (第二の絶縁膜) を選択的に除去して凹部 1 1 1 を形成し、凹部 1 1 1 の底部にシード膜 2 0 4 を露出する工程と、凹部 1 1 1 内に、カバーメタル膜 1 0 6 を形成する工程と、カバーメタル膜 1 0 6 を選択的に除去して、凹部 1 1 1 の底部にシード膜 2 0 4 を露出させる工程と、凹部 1 1 1 の底部に露出されたシード膜 2 0 4 をシードとして、めっき膜 2 4 0 を成長させて、凹部 1 1 1 内を埋め込むめっき膜 2 4 0 を成長させる工程と、を含む。以下、詳細に説明する。

30

【 0 0 7 0 】

図 5 (a) に示すように、半導体基板 1 0 上に絶縁膜 2 0 1 を形成する。記載は省略しているが、半導体基板 1 0 の上面には、トランジスタなどの半導体素子、それらを被覆する層間絶縁膜、半導体素子と配線層をつなぐためのコンタクト、および場合によっては配線層などが形成されている。つづけて、絶縁膜 2 0 1 に配線溝を形成しその中にバリアメタル膜 2 0 3、シード膜 2 0 4 を順に埋め込む。つづけて、絶縁膜 2 0 1 上に絶縁膜 2 0 2 を形成する。次に、絶縁膜 2 0 2 を選択的に除去して凹部 1 1 1 を形成し、凹部 1 1 1 の底部にシード膜 2 0 4 を露出させる。これにより、凹部 1 1 1 を有し、凹部 1 1 1 の底部にシード膜 2 0 4 が露出した構造が得られる。

40

【 0 0 7 1 】

本実施形態においてシード膜 2 0 4 は、下層の配線層の C u 配線、またはビア層の C u ビア等であってもよい。

【 0 0 7 2 】

次に、図 5 (b) に示すように、絶縁膜 2 0 2 及びシード膜 2 0 4 上に、バリアメタル膜 1 0 2 を形成する。バリアメタル膜 1 0 2 の形成には、例えば、スパッタ成膜法のような物理気相成長法、C V D 法や A L D 法のような化学気相成長法、液相成長法、超臨界流体成長法を用いてもよい。但し、凹部 1 1 1 の開口部でなるべく厚膜化しない条件での成

50

膜が好ましい。

【0073】

つづけて、選択的エッチングをおこなうことにより、凹部111の底部のバリアメタル膜102を除去して、シード膜204を露出する(図5(b))。このとき、例えばRFバイアスを印加する等の手法を用いて、プラズマから凹部111の底部へ向かうイオンを加速させる等して、凹部111の底部のバリアメタル膜102を除去し、凹部111の側面部と、絶縁膜202上の凹部111以外の領域(フィールド部131)にバリアメタル膜102を残留させる。

【0074】

図5(c)に示すように、バリアメタル膜102上に、カバーメタル膜206を形成する。カバーメタル膜206は、例えば、イオン化スパッタ成膜法を用いて、凹部111の底部及び側面部、及びバリアメタル膜102の上面に形成される。

【0075】

図6(a)に示すように、選択的エッチングをおこなうことにより、凹部111の底部のカバーメタル膜206を除去して、シード膜204を露出する。このとき、例えばRFバイアスを印加する等の手法を用いて、プラズマから凹部111の底部へ向かうイオンを加速させる等して、凹部111の底部のカバーメタル膜206を除去し、凹部111の側面部と、絶縁膜202の凹部111以外の領域(フィールド部131)にカバーメタル膜206を残留させる。

【0076】

本実施形態において、バリアメタル膜102には、例えばルテニウム(Ru)を主に含む材料が用いられる。また、バリアメタル膜102は、例えば絶縁膜202上のフィールド部131に1~10nmの厚さ、凹部111の側面部に0.5~1nmの厚さに成膜される。

【0077】

本実施形態において、カバーメタル膜206は、シード膜204よりもめっき成長しにくい導電性膜である。カバーメタル膜206としては、例えばアルミニウム(Al)を材料として用いられる。カバーメタル膜206は、例えば絶縁膜221上のフィールド部131に1~10nmの厚さ、凹部111の側面部に0.5~1nmの厚さに成膜される。

【0078】

次に上記実施形態で図2(b)、(c)を用いて説明したのと同様にして、まず凹部111の底部に露出したシード膜204をシードとして、電解めっき液108を用いて、めっきを行い、めっき膜240を成長させる(図6(b))。これにより、凹部111の底部から、シード膜204上にめっき膜240を選択成長させ、凹部111内にめっき膜240を埋め込むことができる(図6(c))。

【0079】

その後の工程は、上記実施形態と同様である。

まず、第一の熱処理を行う。そこで、シード膜204とめっき膜240は再結晶化により一体化し、めっき膜240aとなる。また、カバーメタル膜206に含まれるAlなどの構成元素がめっき膜240a中に拡散し、キャップ膜206aが形成される(図7(a)参照)。さらに、カバーメタル膜106を構成する元素濃度が周辺の元素よりも高い領域206bが形成される。その後、キャップ膜206a、バリアメタル膜102およびめっき膜240aを、CMP法により選択的に除去して表面を平坦化し、Cu配線205を形成する(図7(b))。

【0080】

さらに第二の熱処理を行ってCu配線205の表面への偏析を行い、キャップ膜206cを形成する(図7(c))。また、カバーメタル膜206を構成する元素濃度はより均一に拡散する。図7(c)に示すように、領域206bのカバーメタル膜206を構成する元素濃度はさらに低くなり、領域206dとなる。なお、領域206bは、カバーメタル膜206を構成する元素濃度が周辺の元素よりも高い領域である。

10

20

30

40

50

【 0 0 8 1 】

本実施形態における効果を説明する。

本実施形態では、絶縁膜 2 0 0 はシード膜 2 0 4 を有しており、この絶縁膜 2 0 0 上に絶縁膜 2 0 2 を形成し、絶縁膜 2 0 2 に凹部 1 1 1 を形成する際にその底部にシード膜 2 0 4 を露出させている。そこで、露出させたシード膜 2 0 4 をシードとして利用して、めっき膜 2 4 0 を成長させるため、凹部 1 1 1 形成後にシード膜を形成する工程を要さない。また、シード膜 2 0 4 として、下層の配線層の Cu 配線、またはビア層の Cu ビア等を用いることができるため、あえてシード膜 2 0 4 を形成しなくてもよい。したがって、第 2 の実施形態では、シード膜 2 0 4 形成による工程増加がなく、凹部 1 1 1 形成後のシード膜形成工程が省略されるため、工程数が第 1 の実施形態よりも削減される。

10

【 0 0 8 2 】

また、従来技術では、Al をシードとして用いた場合その後の Cu めっきでフィールド上の Al にも Cu めっき膜が成膜されるため、フィールド上に形成された Cu めっき膜を除去しなければならないのに対し、本実施形態ではフィールド部 1 3 1 上にはカバーメタル膜 2 0 6 が形成されているためめっき膜 2 4 0 がめっき成長しにくい。そのため、本実施形態では、フィールド部 1 3 1 上にめっき成長しためっき膜 2 4 0 を除去する工程を省略または簡略化できる。

【 0 0 8 3 】

また、本発明者によれば、Al をシードとして用いた場合、めっき成長核形成のために従来の Cu めっき埋め込みで使用していない特別な添加剤を要する。しかし、本実施形態では特別な添加剤を用いることなくめっきすることができ、低コスト化が可能となる。

20

その他の効果は、上記第 1 の実施形態と同様である。

【 0 0 8 4 】

なお、本発明は上記実施形態に限定されるものではなく、様々な変形が可能である。

例えば本実施形態では、凹部 1 1 1 の底部に形成されたバリアメタル膜 1 0 2 を除去した後に、カバーメタル膜 2 0 6 を形成し、凹部 1 1 1 の底部に形成されたカバーメタル膜 2 0 6 を除去する例について説明したが、凹部 1 1 1 底部に形成されたバリアメタル膜 1 0 2 を除去せずにカバーメタル膜 2 0 6 を形成した後、凹部 1 1 1 の底部においてバリアメタル膜 1 0 2 およびカバーメタル膜 2 0 6 を同時に除去してもよい。

【 0 0 8 5 】

30

(第 3 の実施形態)

第 2 の実施形態は、シード膜 2 0 4 よりもめっき成長しにくい導電性膜としてカバーメタル膜 2 0 6、およびバリアメタル膜 1 0 2 を用いた例について説明したのに対し、第 3 の実施形態は、バリアメタル膜兼カバーメタル膜 1 0 7 を用いた例である。

【 0 0 8 6 】

図 8 を参照して、第 3 の実施形態に係る半導体装置の製造工程の一例について説明する。

半導体基板 1 0 上の絶縁膜 2 0 1 (第一の絶縁膜) には、バリアメタル膜 2 0 3、シード膜 2 0 4 が順に埋め込まれている。記載は省略しているが、半導体基板 1 0 の上面には、トランジスタなどの半導体素子、それらを被覆する層間絶縁膜、半導体素子と配線層をつなぐためのコンタクト、および場合によっては配線層などが形成されている。絶縁膜 2 0 1 上に絶縁膜 2 0 2 (第二の絶縁膜) を形成し、絶縁膜 2 0 2 上に凹部 1 1 1 を形成する。

40

【 0 0 8 7 】

次に、図 8 (a) に示すように、絶縁膜 2 0 2 及びシード膜 2 0 4 上に、バリアメタル膜兼カバーメタル膜 1 0 7 を形成する。バリアメタル膜兼カバーメタル膜 1 0 7 の形成には、例えば、スパッタ成膜法のような物理気相成長法、CVD 法や ALD 法のような化学気相成長法、液相成長法、超臨界流体成長法を用いてもよい。但し、凹部 1 1 1 の開口部でなるべく厚膜化しない条件での成膜が好ましい。

【 0 0 8 8 】

50

つづけて、選択的エッチングをおこなうことにより、凹部 1 1 1 の底部のバリアメタル膜兼カバーメタル膜 1 0 7 を除去して、シード膜 2 0 4 を露出する。このとき、例えば R F バイアスを印加する等の手法を用いて、プラズマから凹部 1 1 1 の底部へ向かうイオンを加速させる等して、凹部 1 1 1 の底部のバリアメタル膜兼カバーメタル膜 1 0 7 を除去し、凹部 1 1 1 の側面部と、絶縁膜 2 0 2 上の凹部 1 1 1 以外の領域（フィールド部 1 3 1）にバリアメタル膜兼カバーメタル膜 1 0 7 を残留させる。

【 0 0 8 9 】

本実施形態において、バリアメタル膜兼カバーメタル膜 1 0 7 は、シード膜 2 0 4 よりもめっき成長しにくい導電性膜であり、かつバリアメタル膜としての機能を有しつつ、C u との密着性を良好にする。これにより半導体装置の信頼性を向上できる。またさらに、

10

【 0 0 9 0 】

本実施形態において、バリアメタル膜兼カバーメタル膜 1 0 7 の材料としては、1 0 0 ~ 4 0 0 程度の温度で C u 中に拡散しない材料が好ましく、例えば、ルテニウム（R u）を主に含む材料が用いられる。また、バリアメタル膜兼カバーメタル膜 1 0 7 は、絶縁膜 2 0 2 上のフィールド部 1 3 1 に 0 . 5 ~ 1 0 n m の厚さ、凹部 1 1 1 の側面部に 0 . 5 ~ 5 n m の厚さに成膜される。

【 0 0 9 1 】

次に、上記実施形態で図 2（b）、（c）を用いて説明したのと同様にして、まず凹部 1 1 1 の底部に露出したシード膜 2 0 4 をシードとして、電解めっき液 1 0 8 を用いて、めっきを行いめっき膜 2 4 0 を成長させる（図 8（b））。これにより、凹部 1 1 1 の底部から、シード膜 2 0 4 上にめっき膜 2 4 0 を選択成長させ、凹部 1 1 1 内にめっき膜 2 4 0 を埋め込むことができる（図 8（c））。

20

【 0 0 9 2 】

その後の工程は、通常のダマシン配線と同様である。まず熱処理を行い、シード膜 2 0 4 とめっき膜 2 4 0 を再結晶化して一体化させる。その後、バリアメタル膜兼カバーメタル膜 1 0 7、めっき膜 2 4 0 を C M P 法により選択的に除去して表面を平坦化して C u 配線を形成し、半導体装置を得る。

【 0 0 9 3 】

本実施形態における効果を説明する。

本実施形態では、バリアメタル膜兼カバーメタル膜 1 0 7 を用いているため、バリアメタル膜、カバーメタル膜を別々の工程で形成する場合に比べ、成膜工程が簡略化できる。

その他の効果は、上記第 1、第 2 の実施形態と同様である。

30

【 0 0 9 4 】

上記実施形態では、バリアメタル膜兼カバーメタル膜 1 0 7 の材料として、R u を用いた場合について説明したが、これに限られない。例えば、R u 以外でも、T a N 上に T a が積層したものや T i N、W N 等が挙げられる。なお、バリアメタル膜兼カバーメタル膜 1 0 7 として、C u 中に拡散しない材料を用いた場合、熱処理によっても、バリアメタル膜兼カバーメタル膜 1 0 7 の構成元素は、シード膜 2 0 4 およびめっき膜 2 4 0 中に拡散

40

【 0 0 9 5 】

（第 4 の実施形態）

第 4 の実施形態における半導体装置はデュアルダマシン構造を有する例である。

【 0 0 9 6 】

図 9 ~ 1 1 を参照して、第 4 の実施形態に係る半導体装置の製造工程の一例について説明する。

図 9（a）に示すように、半導体基板 1 0 上に、絶縁膜 3 0 0 を形成し、絶縁膜 3 0 0 に凹部 3 1 1 を形成する。凹部 3 1 1 は、デュアルダマシン構造におけるビア孔 3 1 1 a と配線溝 3 1 1 b からなる。

50

【0097】

ビア孔311aのアスペクト比は、1.5以下が好ましく、より好ましくは1以下である。通常、めっき成長はほぼ等方的におこなわれるため、電解めっき液への添加剤、または電解めっき条件などを調整することにより最適化される。これに対し、ビア孔311aのアスペクト比を1.5以下、より好ましくは1以下とすることにより、配線溝311bの底部からのめっき成長がほぼ等方的におこなわれた場合であっても、ビア孔311aの底部からのめっき成長がビア孔311aの開口部に到達する前に配線溝311bの底部からのめっき成長によってビア孔311aの開口部が塞がれるのを抑制できる。また、ビア孔311aのアスペクト比が1以下であることにより、カバーメタル膜106がビア孔311aの内壁の一部にのみ形成された場合であっても、ボイド抑制効果を得つつ、めっき成長時間の短縮が可能となる。

10

【0098】

半導体基板10上の絶縁膜300に形成されたビア孔311aの底面に相当する位置にCuを含む構造体がある場合には上記第2の実施形態及び第3の実施形態で説明したのと同様に、ビア孔311aの底部にCuを含む構造体を露出させ、それをシードとしてめっき成長させてもよい。

【0099】

図9(b)に示すように、絶縁膜300及び凹部311上に、バリアメタル膜102、シード膜104を順に形成する。バリアメタル膜102、シード膜104の形成には、例えば、スパッタ成膜法のような物理気相成長法、CVD法やALD法のような化学気相成長法、液相成長法、超臨界流体成長法を用いてもよい。但し、凹部311の開口部でなるべく厚膜化しない条件での成膜が好ましい。

20

【0100】

図9(c)に示すように、シード膜104上に、カバーメタル膜106を形成する。カバーメタル膜106は、例えば、イオン化スパッタ成膜法を用いて、凹部311の底部及び側面部に形成される。

【0101】

図10(a)に示すように、選択的エッチングをおこなうことにより、ビア孔311aの底部のカバーメタル膜106、及び配線溝311bの底部のカバーメタル膜106をそれぞれ除去して、それぞれの底部にシード膜104を露出する。このとき、例えばRFバイアスを印加する等の手法を用いて、プラズマから凹部311の底部へ向かうイオンを加速させる等して、凹部311の底部のカバーメタル膜106を除去し、凹部311の側面部と、絶縁膜300上の凹部311以外の領域(フィールド部131)に形成されたシード膜104の上には、カバーメタル膜106を残留させる。

30

【0102】

本実施形態において、バリアメタル膜102には、例えばTa_n上にTaが積層した材料を用いる。また、バリアメタル膜102は、1~20nmの厚さに成膜される。

【0103】

本実施形態において、シード膜104には、例えばCuを材料として用いる。また、シード膜104は、10~100nmの厚さに成膜される。

40

【0104】

本実施形態において、カバーメタル膜106には、例えばTiを材料として用いる。また、カバーメタル膜106は、絶縁膜300上のフィールド部131(ビア孔311a、配線溝311bそれぞれの側面部と、絶縁膜300上の凹部311以外の領域)に0.5~10nmの厚さ、凹部311の側面部に0.5~5nmの厚さに成膜される。

【0105】

図10(b)に示すように、ビア孔311a、配線溝311bのそれぞれの底部に露出したシード膜104をシードとして、電解めっき液108を用いて、めっきを行い、めっき膜140を成長させる。これにより、図10(c)に示すように、ビア孔311a、配線溝311bのそれぞれの底部からシード膜104上にめっき膜140を選択成長させ、

50

凹部 3 1 1 内にめっき膜 1 4 0 を埋め込む。

【 0 1 0 6 】

次に、上記第 1 の実施形態で説明した第一の熱処理、CMP 処理、第二の熱処理と同様の処理を行う。以下簡単に説明する。

【 0 1 0 7 】

まず、第一の熱処理を施す。そこで、シード膜 1 0 4 とめっき膜 1 4 0 は再結晶化により一体化し、めっき膜 1 4 0 a となる。また、カバーメタル膜 1 0 6 に含まれる Ti が、めっき膜 1 4 0 a 中に拡散し、めっき膜 1 4 0 a 表面に、キャップ膜 1 0 6 a が形成される（図 1 1 (a) 参照）。さらに、カバーメタル膜 1 0 6 を構成する元素濃度が周辺の元素よりも高い領域 1 0 6 b が形成される。本実施形態において、領域 1 0 6 b は Ti 濃度が周辺の Ti 濃度よりも高い。

10

【 0 1 0 8 】

図 1 1 (b) に示すように、キャップ膜 1 0 6 a、めっき膜 1 4 0 a、及びバリアメタル膜 1 0 2 を、CMP 法により選択的に除去して表面を平坦化し、凹部 1 1 1 内のみをめっき膜 1 4 0 a を残す。これにより、ビア 3 0 5 a、Cu 配線 3 0 5 b が形成される。

【 0 1 0 9 】

次に、第二の熱処理を施す。Cu 配線 1 0 5 中に微量に残留したカバーメタル膜 1 0 6 の Ti などの原子は、ビア 3 0 5 a、Cu 配線 3 0 5 b の表面にそれぞれに偏析し、キャップ膜 1 0 6 c を形成する（図 1 1 (c)）。また、カバーメタル膜 1 0 6 の Ti はより均一に拡散する。図 1 1 (c) に示すように、領域 1 0 6 b のカバーメタル膜 1 0 6 を構成する元素濃度はさらに低くなり、領域 1 0 6 d となる。なお、領域 1 0 6 d は、カバーメタル膜 1 0 6 を構成する元素濃度が周辺の元素よりも高い領域である。

20

【 0 1 1 0 】

本実施形態において、ビア 3 0 5 a および Cu 配線 3 0 5 b の底面部から上面部に向かって 1 nm 以上 2 0 nm 以下の領域で、Cu 以外の金属元素濃度の値が最大となる。

【 0 1 1 1 】

本実施形態における効果を説明する。

本実施形態では、半導体装置はデュアルダマシン構造であるため、シングルダマシン構造と比較して工程が簡略化できる。その他の効果は、上記第 1 の実施形態と同様である。

【 0 1 1 2 】

(第 5 の実施形態)

第 5 の実施形態における半導体装置はデュアルダマシン構造を有する例である。図 1 2 ~ 1 4 を参照して、説明する。第 4 の実施形態では、ビア孔 3 1 1 a 及び配線溝 3 1 1 b 底部にシード膜 1 0 4 を露出させてめっきを行っていたが、本実施形態では、配線溝 3 1 1 b 底部のビア孔 3 1 1 a 開口部を除く領域のカバーメタル膜 1 0 6 は除去されず、ビア孔 3 1 1 a 底部のシード膜 1 0 4 を露出させてめっきが行なわれる。

30

【 0 1 1 3 】

図 1 2 ~ 1 4 を参照して、第 5 の実施形態に係る半導体装置の製造工程の一例について説明する。

まず上述したように図 9 (a) ~ 図 1 0 (a) と同様にして、絶縁膜 3 0 0 に凹部 3 1 1 を形成し、バリアメタル膜 1 0 2、シード膜 1 0 4、カバーメタル膜 1 0 6 を順に形成し、ビア孔 3 1 1 a の底部にシード膜 1 0 4 を露出させる。なお、配線溝 3 1 1 b 底部のビア孔 3 1 1 a 開口部を除く領域には、バリアメタル膜 1 0 2、シード膜 1 0 4 及びカバーメタル膜 1 0 6 が順に堆積している。

40

【 0 1 1 4 】

本実施形態において、バリアメタル膜 1 0 2 には、例えば TaN 上に Ta が積層した材料を用いる。また、バリアメタル膜 1 0 2 は、1 ~ 2 0 nm の厚さに成膜される。

【 0 1 1 5 】

本実施形態において、シード膜 1 0 4 には、例えば Cu を材料として用いる。また、シード膜 1 0 4 は、1 0 ~ 1 0 0 nm の厚さに成膜される。

50

【0116】

本実施形態において、カバーメタル膜106には、例えばRuを材料として用いる。また、カバーメタル膜106は、絶縁膜300上のフィールド部131（ビア孔311a、配線溝311bそれぞれの側面部と、絶縁膜300上の凹部311以外の領域）に0.5～10nmの厚さ、凹部311の側面部に0.5～5nmの厚さに成膜される（図12（a））。

【0117】

図12（b）に示すように、ビア孔311aの底部に露出したシード膜104をシードとして、電解めっき液108を用いて、めっきを行い、めっき膜140を成長させる。これにより、図12（b）、（c）に示すように、ビア孔311aの底部から、シード膜104上にめっき膜140を選択成長させ、凹部311内にめっき膜140を埋め込む。

10

【0118】

このとき、図12（b）のようにビア孔311aが埋まるまでは $0.1\text{ A/dm}^2 \sim 1\text{ A/dm}^2$ 程度のめっき電流値とし、ビア孔311aが埋まった以降は $1\text{ A/dm}^2 \sim 10\text{ A/dm}^2$ 程度のめっき電流値とする。通常、Ti（カバーメタル膜106）のめっき成膜はCu（シード膜104）に比べて高電圧が必要である。そのため、 $0.1\text{ A/dm}^2 \sim 1\text{ A/dm}^2$ 程度のめっき電流値として低電圧とすると、ビア孔311aの底部のみ成膜することができる。その後、電圧を高くし $1\text{ A/dm}^2 \sim 10\text{ A/dm}^2$ 程度の高電圧とすると、Ti上にもめっき成長が生じる。

20

【0119】

次に、上記第1の実施形態で説明した第一の熱処理、CMP処理、第二の熱処理と同様の処理を行う。以下簡単に説明する。

【0120】

まず、第一の熱処理を施す。そこで、シード膜104とめっき膜140は再結晶化により一体化し、めっき膜140aとなる。また、カバーメタル膜106に含まれるTiが、めっき膜140a中に拡散し、めっき膜140a表面に、キャップ膜106aが形成される（図13（b）参照）。さらに、カバーメタル膜106を構成する元素濃度が周辺の元素よりも高い領域106bが形成される。本実施形態において、領域106bはTi濃度が周辺のTi濃度よりも高い。

30

【0121】

図13（c）に示すように、キャップ膜106a、めっき膜140a、及びバリアメタル膜102を、CMP法により選択的に除去して表面を平坦化し、凹部111内のみをめっき膜140aを残す。これにより、ビア305a、Cu配線305bが形成される。

【0122】

次に、第二の熱処理を施す。これにより、Cu配線105中に微量に残留したカバーメタル膜106のTiなどの原子は、ビア305a、Cu配線305bの表面にそれぞれに偏析し、キャップ膜106cを形成する（図14）。また、カバーメタル膜106のTiはより均一に拡散する。図14に示すように、領域106bのカバーメタル膜106を構成する元素濃度はさらに低くなり、領域106dとなる。なお、領域106dは、カバーメタル膜106を構成する元素濃度が周辺の元素よりも高い領域である。

40

【0123】

本実施形態における効果を説明する。

本実施形態では、ビア孔311a内でのめっき成長が、配線溝311bよりも優先的におこなわれるため、ビア孔311aの開口部でのボイドの発生がより抑制できる。また、ビア孔311aが埋設されてアスペクト比が低くなるため、微細パターンでボトムアップ性が低くてもボイドの発生を抑制できる。その他の効果は、上記第1の実施形態と同様である。

【0124】

本発明による半導体装置は、上記実施形態に限定されるものではなく、様々な変形が可能である。

50

上記実施形態では、半導体基板 10 上の絶縁膜に凹部を形成する場合について説明したが、絶縁膜を形成せず、基板の一面に凹部を形成し、その一面の表面及び凹部の側面に、絶縁材料を塗布するなどして絶縁膜を形成してもよい。この場合も、上記実施形態で説明したのと同様にして、凹部内をめっき膜で埋め込むことができる。

【0125】

(第6の実施形態)

第1の実施形態は、ダマシン配線構造を有する半導体装置について説明したのに対し、第6の実施形態は、TSV構造を有する半導体装置を用いた例である。

【0126】

本実施形態において半導体装置は、基板 500 と、基板 500 に埋設された貫通シリコンビア 505 と、を備え貫通シリコンビア 505 は、貫通シリコンビア 505 の側面部から中心部に向かって 1 nm 以上 20 nm 以下の領域で、Cu 以外の金属元素濃度の値が最大となり、また、基板 500 と、貫通シリコンビア 505 の側面部との間に絶縁膜 502 を有する。

10

【0127】

本実施形態において、記載は省略しているが、基板 500 は、半導体基板やトランジスタ等の半導体素子や層間膜を含む多層配線層を含むものとする。

【0128】

図 15 ~ 図 17 を参照しつつ、第6の実施形態に係る半導体装置の製造工程の一例について説明する。

20

【0129】

本実施形態の半導体装置の製造方法において、凹部 511 を有し、凹部 511 の底部にシード膜 104 が露出した基板 500 を準備する工程は、基板 500 に、凹部 511 を形成する工程と、凹部 511 内に絶縁膜 502 を形成する工程と、凹部 511 内の絶縁膜 502 上にシード膜 104 を形成する工程と、を含む。以下、詳細に説明する。

【0130】

図 15 (a) に示すように、基板 500 の片側の面に凹部 511 を形成する。つづけて、凹部 511 内に絶縁膜 502 を形成する。絶縁膜 502 は、絶縁材料からなる。

【0131】

図 15 (b) に示すように、基板 500 及び凹部 511 上の絶縁膜 502 上に、シード膜 104 を順に形成する。絶縁膜 502 及びシード膜 104 の形成には、例えば、スパッタ成膜法のような物理気相成長法、CVD 法や ALD 法のような化学気相成長法、液相成長法、超臨界流体成長法を用いてもよい。但し、凹部 511 の開口部でなるべく厚膜化しない条件での成膜が好ましい。また、絶縁膜 502 の堆積後、シード膜 104 の堆積前にバリアメタル膜を堆積してもよい。

30

【0132】

図 15 (c) に示すように、シード膜 104 上に、カバーメタル膜 106 を形成する。カバーメタル膜 106 は、例えば、イオン化スパッタ成膜法を用いて、凹部 511 の底部及び側面部、及び絶縁膜 502 上に形成される。本実施形態において、カバーメタル膜 106 は、シード膜 204 よりもめっき成長しにくい導電性膜である。

40

【0133】

図 16 (a) に示すように、選択的エッチングをおこなうことにより、凹部 511 の底部のカバーメタル膜 106 を除去して、シード膜 104 を露出する。このとき、例えば RF バイアスを印加する等の手法を用いて、プラズマから凹部 511 の底部へ向かうイオンを加速させる等して、凹部 511 の底部のカバーメタル膜 106 を除去し、凹部 511 の側面部と、基板 500 上の凹部 511 以外の領域 (フィールド部 131) に形成されたシード膜 104 の上面には、カバーメタル膜 106 を残留させる。

【0134】

次に、図 16 (b) に示すように、凹部 511 の底部に露出したシード膜 104 をシードとして、電解めっき液 108 を用いて、めっきを行い、めっき膜 140 を成長させる。

50

これにより、図16(c)に示すように、凹部511の底部からシード膜104上にめっき膜140を選択成長させ、凹部511内にめっき膜140を埋め込む。

【0135】

めっき条件は、上記実施形態で説明したのと同様にして行うことができる。

【0136】

次に、第一の熱処理を施す。そこで、シード膜104とめっき膜140は再結晶化により一体化してめっき膜140aとなる。また、カバーメタル膜106に含まれるTiが、めっき膜140a中に拡散し、めっき膜140a表面に、キャップ膜106aが形成される(図17(a)参照)。さらに、カバーメタル膜106を構成する元素濃度が周辺の元素よりも高い領域106bが形成される。本実施形態において、領域106bはTi濃度が周辺のTi濃度よりも高い。

10

【0137】

つづけて、図17(b)に示すように、キャップ膜106a、めっき膜140a、及び絶縁膜502を、CMP法により選択的に除去して表面を平坦化し、凹部111内のみにめっき膜140aを残す。

【0138】

さらに、図17(c)に示すように、基板500の凹部511が形成された面とは反対側の面から、CMP法により基板500を選択的に除去し、貫通シリコンビア505を形成する。これにより、TSV構造を有する半導体装置が得られる。

【0139】

本実施形態における効果も、上記第1の実施形態と同様にして得られる。

20

【0140】

上記実施形態においては、カバーメタル膜106の材料としてTiを用いた場合について説明したが、Cuを主成分としない材料であればよく、また、100~400の熱処理により成分がめっき膜中に拡散できる材料がより好ましい。

【0141】

(第7の実施形態)

凹部111に形成されるカバーメタル膜106において、上記実施形態では単一層である場合について説明したが、第7の実施形態は多層構造となっている。

【0142】

本実施形態における半導体装置の製造方法は、上記第1実施形態で図1(c)~図2(a)を用いて説明したカバーメタル膜106の形成工程以外は同様であるため、以下凹部111内に、カバーメタル膜106を形成する工程について説明し、他の工程は省略する。

30

【0143】

図18、図19は、本実施形態に係る半導体装置の製造工程の一例を示す断面図である。本実施形態において、凹部111内に形成されたカバーメタル膜106は、凹部111の底部を含む第1領域と、凹部111の開口部を含む第2領域とを有し、第1領域におけるカバーメタル膜106(カバーメタル膜116a)と、第2領域におけるカバーメタル膜106(カバーメタル膜116b)とは異なる材料から形成される。

40

【0144】

まず、図18に示すように、絶縁膜100及び凹部111上に、例えば、スパッタ成膜法を用いて、カバーメタル膜116aを形成する。つづけて、カバーメタル膜116aとは異なる材料を用いて、カバーメタル膜116a上にカバーメタル膜116bを積層する。カバーメタル膜106は、凹部111の底部を含む第1領域111aと、凹部111の開口部を含む第2領域111bとを有する。

【0145】

次に、図19(a)に示すように、凹部111の側面のカバーメタル膜116bのうち底面側を選択的に除去して、凹部111の底部側にカバーメタル膜116aを露出する。これにより、第1領域111aにカバーメタル膜116a、第2領域111bにカバーメ

50

タル膜 116b が露出したカバーメタル膜 106 が得られる。このようなカバーメタル膜 106 の構造は、カバーメタル膜 106 の成膜条件や、用いられる金属材料を最適化することで、適宜調整される。

【0146】

つづけて、凹部 111 の底部のカバーメタル膜 116a 及びカバーメタル膜 116b を除去して、凹部 111 の底部にシード膜 104 を露出する(図 19(b))。その後、上記実施形態と同様にして、シード膜 104 を用いてめっきを行い、所望の半導体装置を得る。

【0147】

本実施形態において、カバーメタル膜 116b は選択性に優れた金属膜、カバーメタル膜 116a は密着性に優れた金属膜となっている。これにより、カバーメタル膜 106 と、めっき成長しためっき膜との密着性が改善し、また Cuめっきの選択性が向上できる。

【0148】

ここで、密着性に優れる金属膜で凹部の内部、すなわち凹部の底部、側面、及び開口部付近を被覆した場合、凹部の底部から選択的にめっき成長することができるが、凹部の開口部付近で選択破れが生じてボイドが発生することがあった。これに対し、本実施形態のカバーメタル膜 106 は、凹部 111 の底部近傍と開口部近傍とで異なる材料から形成されている。本実施形態において、開口部近傍には選択性に優れた金属膜 116b が形成されているため、上記のような選択破れによるボイドの発生を抑制できる。他の効果は、上記第 1 の実施形態と同様にして得られる。

【0149】

なお、カバーメタル膜 106 は、図 18、19 に示された形態に限定されるものではなく、様々な変形が可能である。例えば、第 1 領域 111a が少なくとも凹部 111 の底部を含み、第 2 領域 111b が少なくとも凹部 111 の開口部を含むものであってもよい。

【0150】

また、カバーメタル膜 106 は、二層構造に限定されず、さらに異なる材料から形成される多層構造であってもよい。この場合、カバーメタル膜 106 の除去領域が各層で異なってもよい。また、少なくとも一つの層で凹部 111 の側壁が底面近傍まで被覆されていればよい。この場合も、上記と同様の効果が得られる。

【0151】

本発明による半導体装置は、上記実施形態に限定されるものではなく、様々な変形が可能である。

【0152】

上記実施形態においては、カバーメタル膜 106 は凹部 111 内壁のほぼ全面を被覆する場合について説明したが、連続的な被覆に限られず、断続的な被覆であってもよく、また凹部内壁の一部のみの被覆でもよい。ただし、この場合、凹部のアスペクト比は 1 以下であることが好ましい。これにより、ボイド抑制効果を得つつ、めっき成長の時間短縮が可能となる。一方、カバーメタル膜 106 が凹部内壁のほぼ全面を被覆する場合は、めっき成長の時間が相対的に長くなるが、より高いボイド抑制効果が得られる。

【0153】

上記実施形態では、図 2(a) に示すように、凹部 111 の底部のカバーメタル膜 106 を除去して、シード膜 104 を露出し、凹部 111 側面のカバーメタル膜 106 が除去されていない場合について説明したが、これに限られない。例えば、図 20 に示すように、凹部 111 の底部だけでなく、底部側の側面に形成されたカバーメタル膜 106 が除去され、シード膜 104 が露出してもよい。すなわち、カバーメタル膜 106 が凹部 111 内において凹部 111 の底部側が薄く、開口部側が厚くなってもよい。

【0154】

上記実施形態においては、カバーメタル膜 106 の材料として Ti を用いた場合について説明したが、Cu を主成分としない材料であればよい。また、100~400 に熱処理することで成分がめっき膜中に拡散できる材料がより好ましい。

10

20

30

40

50

【0155】

カバーメタル膜106の材料としては、例えば、Cu、Ta、Al、Sn、Mn、Ru、またはIrのうち少なくとも一つを含むものが挙げられる。

【0156】

上記実施形態においては、第一、及び第二の熱処理雰囲気は、酸素や水分を含む雰囲気で行う場合について説明したが、カバーメタル膜106が、Ta、Cu、Ti、Al、Sn、またはMnのうち少なくとも一つを含む場合は、第一の熱処理を施す工程は、窒素、酸素、水またはアンモニアのうち少なくとも一つを含む雰囲気下でおこなってもよい。これにより、カバーメタル膜106に含まれる金属成分がめっき膜中により拡散できる。

以下、参考形態の例を付記する。

1. 凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程と、
前記凹部内に、前記シード膜よりもめっき成長しにくい導電性膜を形成する工程と、
前記導電性膜を選択的に除去して、前記凹部の底部に前記シード膜を露出させる工程と
、
前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめ
っき膜を成長させる工程と、
を含むことを特徴とする半導体装置の製造方法。

2. 1に記載の半導体装置の製造方法において、
前記凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程は、
前記基板に、前記凹部を形成する工程と、
前記凹部内に前記シード膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

3. 1に記載の半導体装置の製造方法において、
前記凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程は、
前記基板上に第一の絶縁層を形成する工程と、
前記第一の絶縁層中にシード膜を埋め込む工程と、
前記第一の絶縁層上に第二の絶縁層を形成する工程と、
前記第二の絶縁層を選択的に除去して前記凹部を形成し、前記凹部の底部に前記シ
ード膜を露出させる工程と、
を含むことを特徴とする半導体装置の製造方法。

4. 1または2に記載の半導体装置の製造方法において、
前記凹部を有し、前記凹部の底部にシード膜が露出した基板を準備する工程は、
前記基板に、前記凹部を形成する工程と、
前記凹部内に絶縁膜を形成する工程と、
前記凹部内の前記絶縁膜上に前記シード膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

5. 1乃至4いずれかに記載の半導体装置の製造方法において、
前記シード膜は、Cuを含むことを特徴とする半導体装置の製造方法。

6. 1乃至5いずれかに記載の半導体装置の製造方法において、
前記導電性膜は、Ta、Ti、Al、Sn、Mn、Ru、またはIrのうち少なくとも
一つを含むことを特徴とする半導体装置の製造方法。

7. 1乃至6いずれかに記載の半導体装置の製造方法において、
前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめ
っき膜を成長させる工程の後に、
前記導電性膜に含まれる金属元素が、前記めっき膜内に拡散するように、第一の熱処理
を施す工程、
をさらに含むことを特徴とする半導体装置の製造方法。

8. 1乃至7いずれかに記載の半導体装置の製造方法において、
前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめ
っき膜を成長させる工程の後に、

10

20

30

40

50

前記めっき膜を化学機械研磨して、前記凹部内にのみ前記めっき膜を残す工程と、
前記導電性膜に含まれる金属元素が、前記めっき膜の表面近傍に偏析するように、第二の熱処理を施す工程と、

をさらに含むことを特徴とする半導体装置の製造方法。

9. 1乃至8いずれかに記載の半導体装置の製造方法において、

前記導電性膜を選択的に除去して、前記凹部の底部に前記シード膜を露出させる工程は、RFバイアス印加を利用して前記導電性膜を除去することを特徴とする半導体装置の製造方法。

10. 1乃至9いずれかに記載の半導体装置の製造方法において、

前記凹部の底部に露出された前記シード膜をシードとして、前記凹部内を埋め込むめっき膜を成長させる工程は、

前記めっき膜が前記凹部の開口部上に凸部を形成し、前記凸部の高さが1nm以上100nm以下であることを特徴とする半導体装置の製造方法。

11. 1乃至10いずれかに記載の半導体装置の製造方法において、

前記凹部内に、前記シード膜よりもめっき成長しにくい導電性膜を形成する工程において、

前記凹部内に形成された前記導電性膜は、前記凹部の底部を含む第1領域と、前記凹部の開口部を含む第2領域とを有し、

前記第1領域における前記導電性膜と、前記第2領域における前記導電性膜とは異なる材料から形成されることを特徴とする半導体装置の製造方法。

12. 1又は2、あるいは4乃至11いずれかに記載の半導体装置の製造方法において

前記凹部は、デュアルダマシン法により形成されるデュアルダマシン構造のビアホールおよび配線溝であって、

前記導電性膜を選択的に除去して、前記凹部の底部に前記シード膜を露出させる工程は、前記ビアホールおよび/または前記配線溝の底部の前記シード膜を露出させる工程であることを特徴とする半導体装置の製造方法。

13. 基板と、

前記基板に埋設された導電体と、
を備え、

前記導電体は、前記導電体の側面部から中心部に向かって1nm以上20nm以下の領域で、前記導電体の構成元素以外の金属元素濃度の値が最大となることを特徴とする半導体装置。

14. 13に記載の半導体装置は、

前記基板と、前記導電体の側面部との間に導電性膜または絶縁膜を有することを特徴とする半導体装置。

15. 13または14に記載された半導体装置において、

前記導電体はCu配線であって、前記Cu配線の上面は、前記Cu配線よりもCu濃度が低い膜で覆われていることを特徴とする半導体装置。

16. 15に記載された半導体装置において、

前記Cu配線よりもCu濃度が低い膜は、Ti、Al、Sn、またはMnのうち少なくとも一つを含むことを特徴とする半導体装置。

17. 13乃至16いずれかに記載の半導体装置において、

前記半導体装置がデュアルダマシン構造であることを特徴とする半導体装置。

【符号の説明】

【0157】

10 半導体基板

30 半導体基板

51 半導体基板

52 絶縁膜

10

20

30

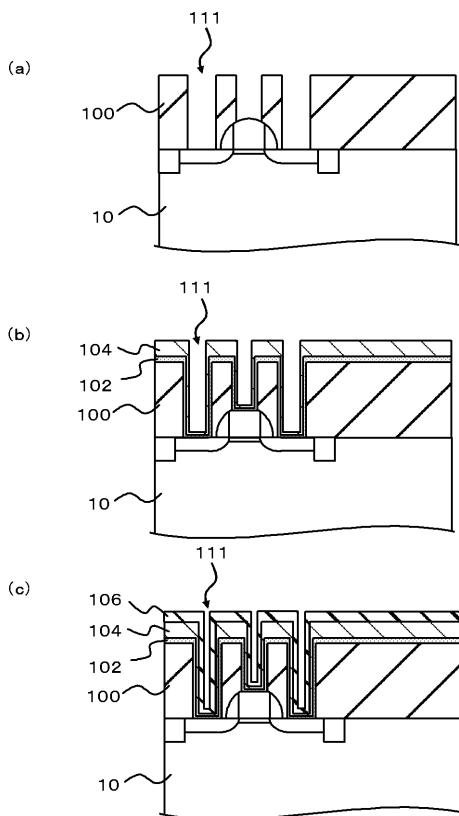
40

50

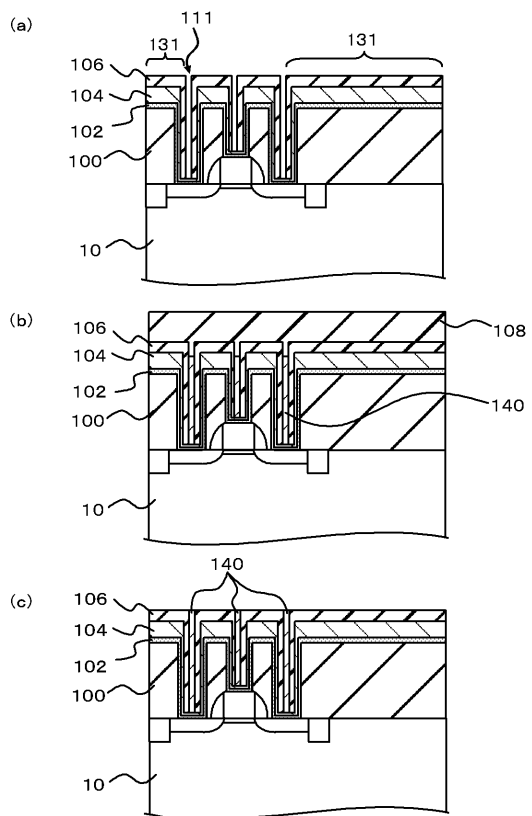
5 3	凹部	
6 1	基板	
6 2	絶縁膜	
6 3	バリアメタル	
6 4	C u 膜	
6 5	C u めっき膜	
6 6	凹部	
1 0 0	絶縁膜	
1 0 2	バリアメタル膜	
1 0 4	シード膜	10
1 0 5	C u 配線	
1 0 6	カバーメタル膜	
1 0 6 a	キャップ膜	
1 0 6 b	領域	
1 0 6 c	キャップ膜	
1 0 6 d	領域	
1 0 7	バリアメタル膜兼カバーメタル膜	
1 0 8	電解めっき液	
1 1 1	凹部	
1 1 1 a	領域	20
1 1 1 b	領域	
1 1 6 a	カバーメタル膜	
1 1 6 b	カバーメタル膜	
1 3 1	フィールド部	
1 4 0	めっき膜	
1 4 0 a	めっき膜	
1 4 0 b	めっき膜	
2 0 0	絶縁膜	
2 0 1	絶縁膜	
2 0 2	絶縁膜	30
2 0 3	バリアメタル膜	
2 0 4	シード膜	
2 0 5	C u 配線	
2 0 6	カバーメタル膜	
2 0 6 a	キャップ膜	
2 0 6 b	領域	
2 0 6 c	キャップ膜	
2 0 6 d	領域	
2 2 1	絶縁膜	
2 4 0	めっき膜	40
2 4 0 a	めっき膜	
3 0 0	絶縁膜	
3 0 1	絶縁膜	
3 0 2	絶縁膜	
3 0 4	C u 配線	
3 0 5 a	ビア	
3 0 5 b	C u 配線	
3 1 1	凹部	
3 1 1 a	ビア孔	
3 1 1 b	配線溝	50

- 3 1 2 バリアメタル膜
- 3 1 4 Cuシード膜
- 3 4 0 電解めっき膜
- 5 0 0 基板
- 5 0 2 絶縁膜
- 5 0 5 貫通シリコンビア
- 5 1 1 凹部

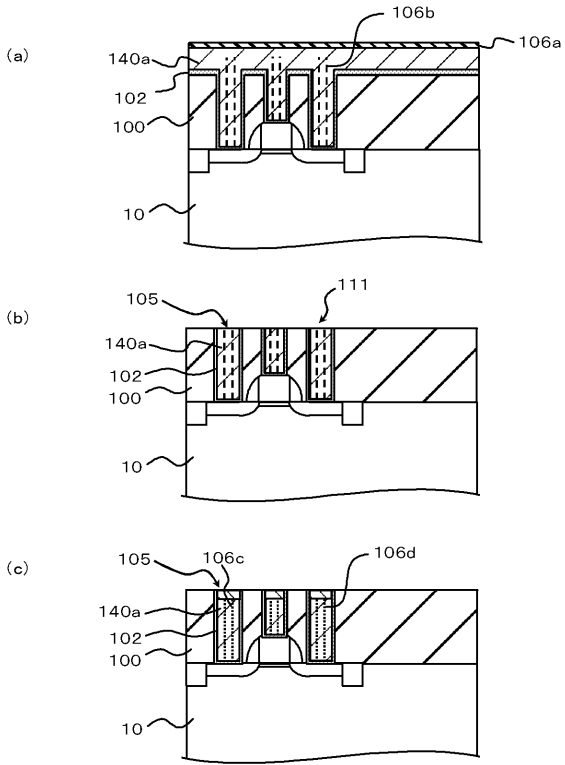
【図1】



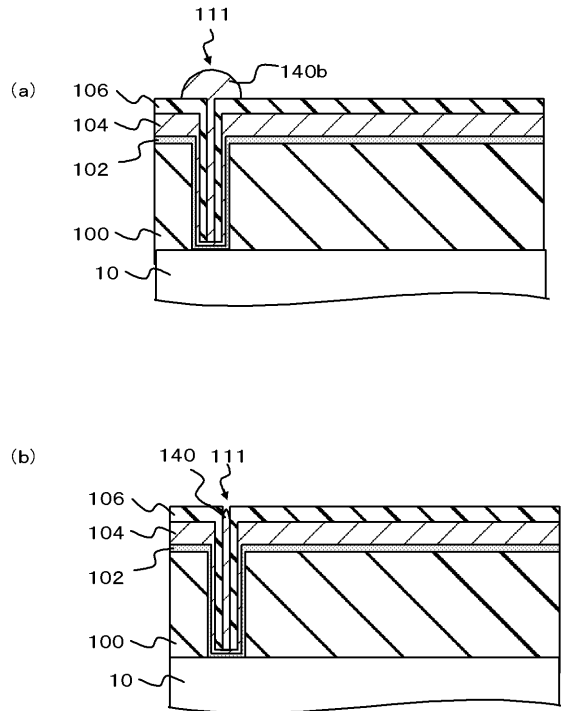
【図2】



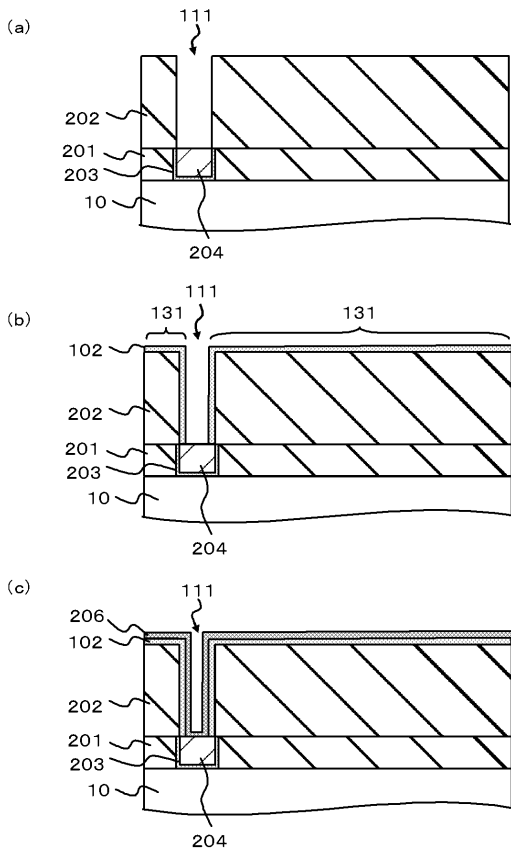
【図3】



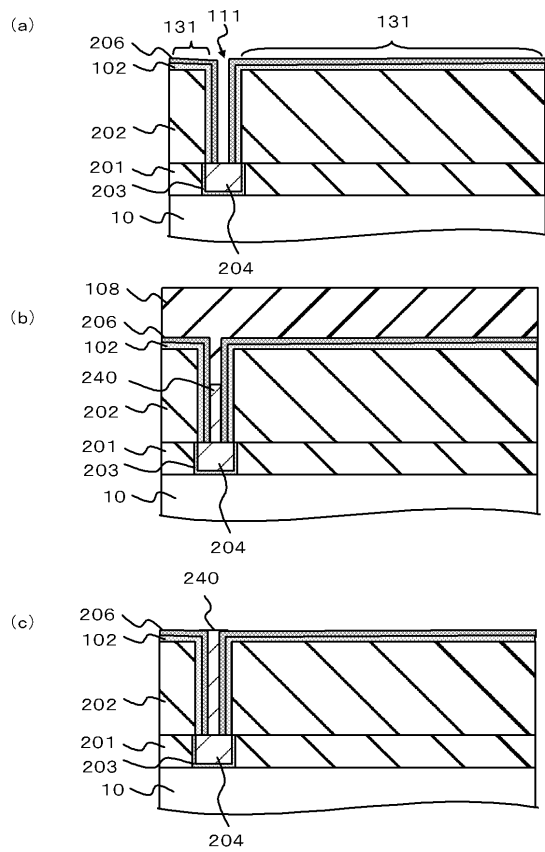
【図4】



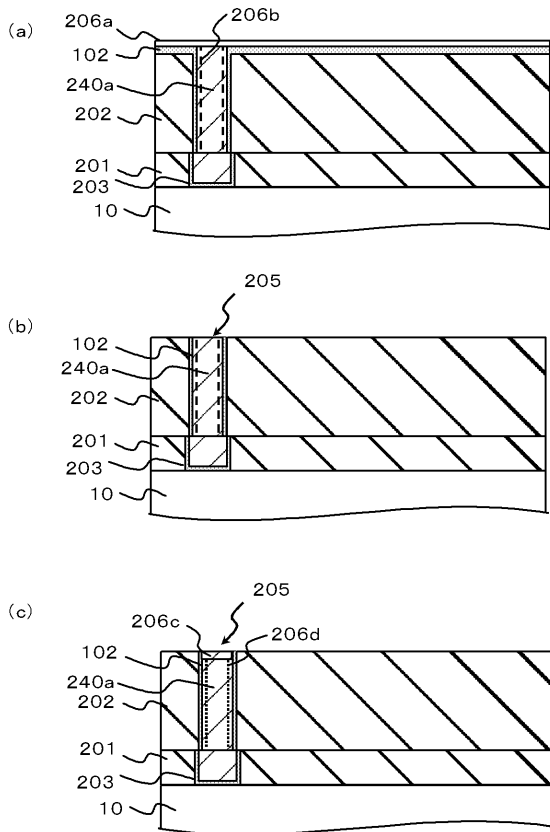
【図5】



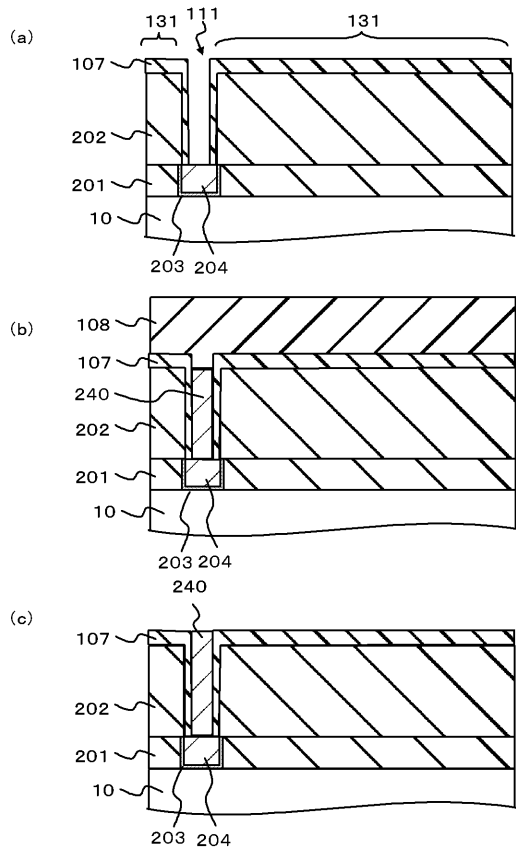
【図6】



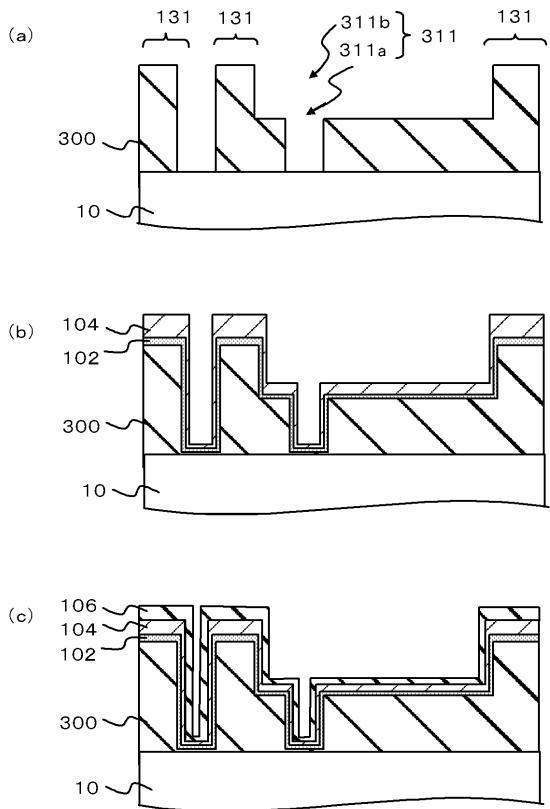
【図 7】



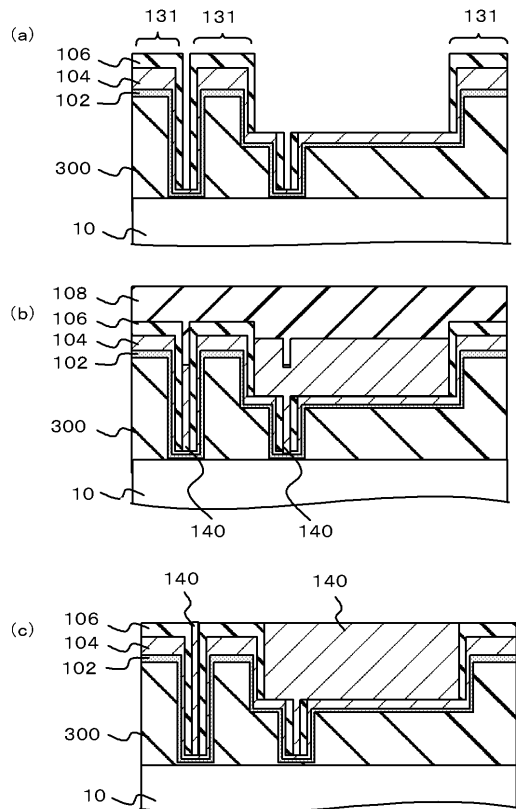
【図 8】



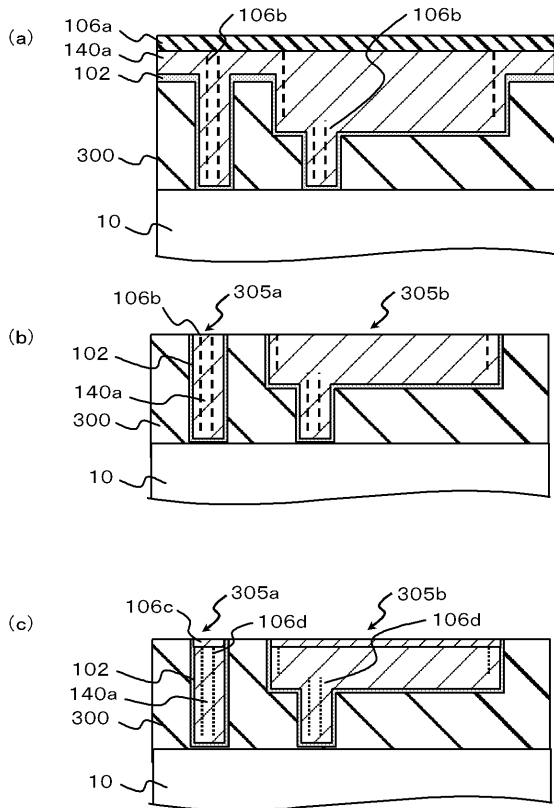
【図 9】



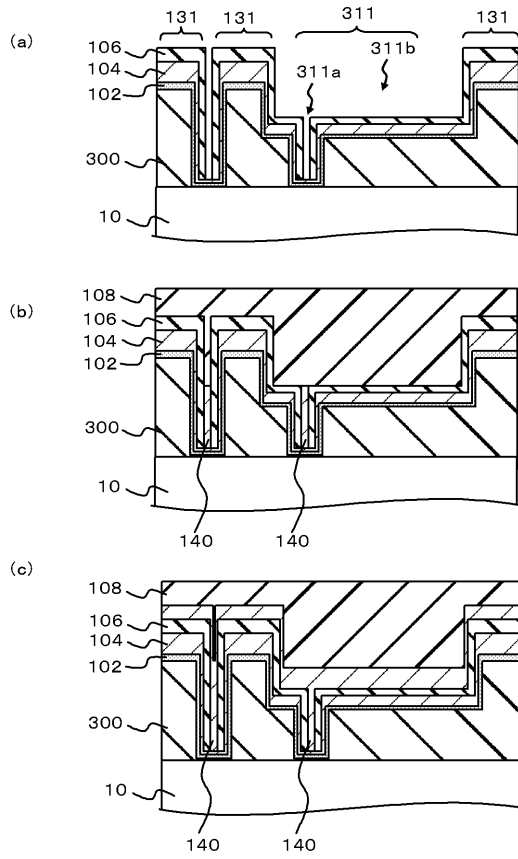
【図 10】



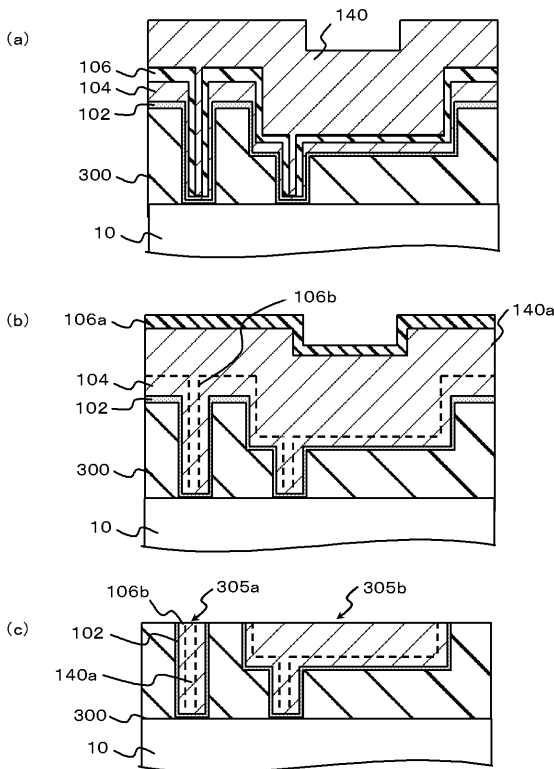
【図 1 1】



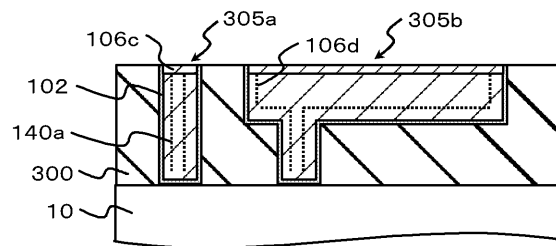
【図 1 2】



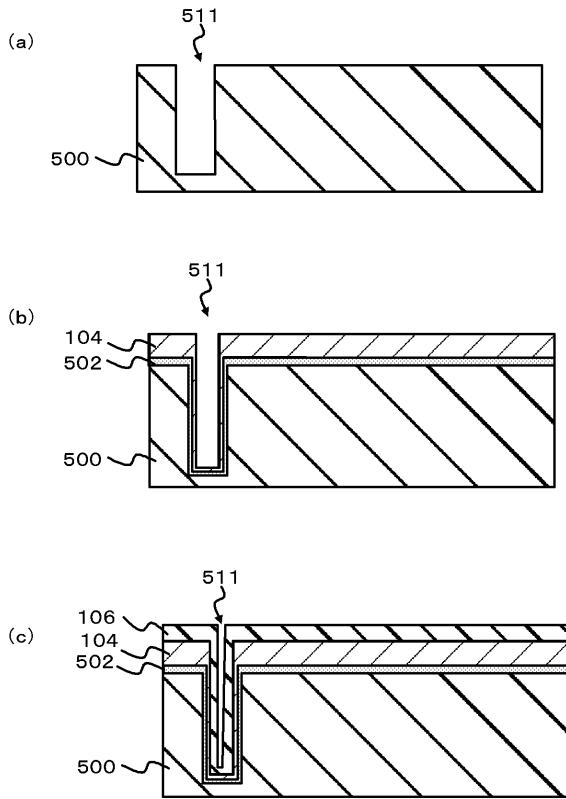
【図 1 3】



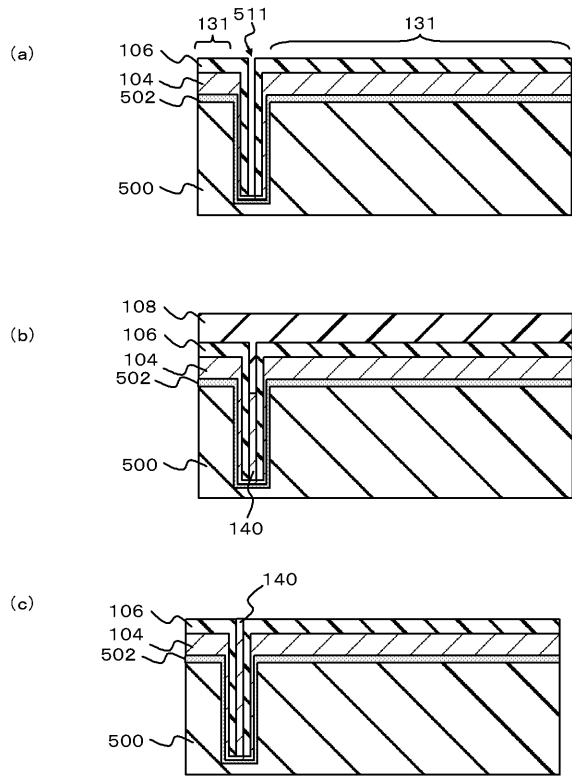
【図 1 4】



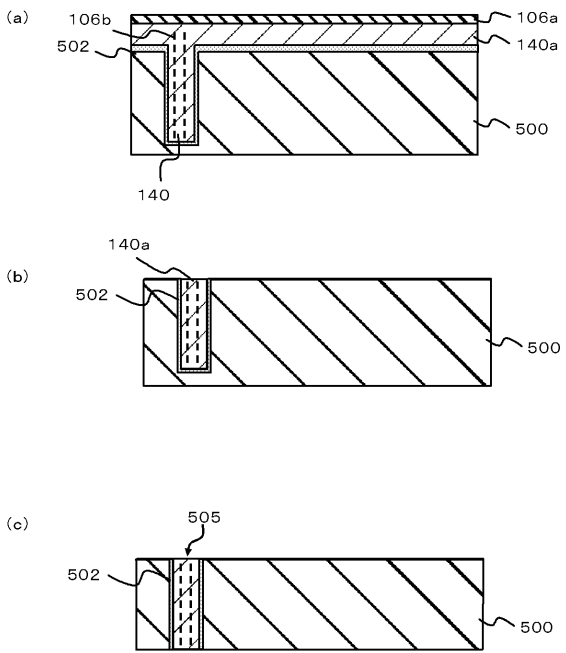
【図15】



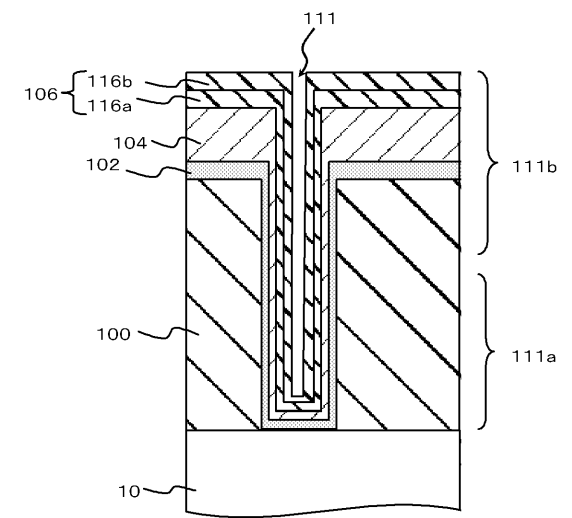
【図16】



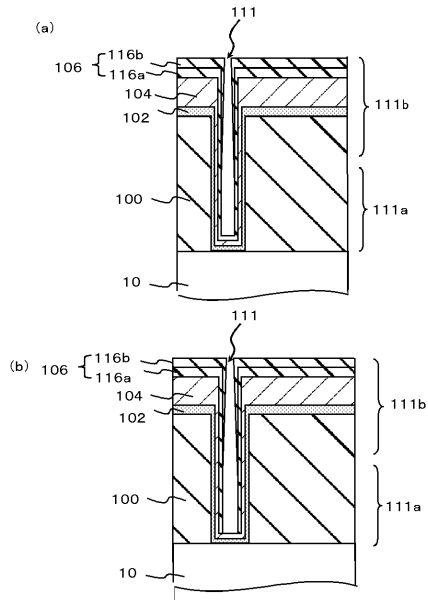
【図17】



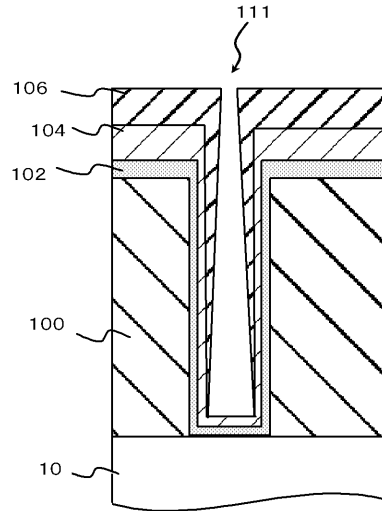
【図18】



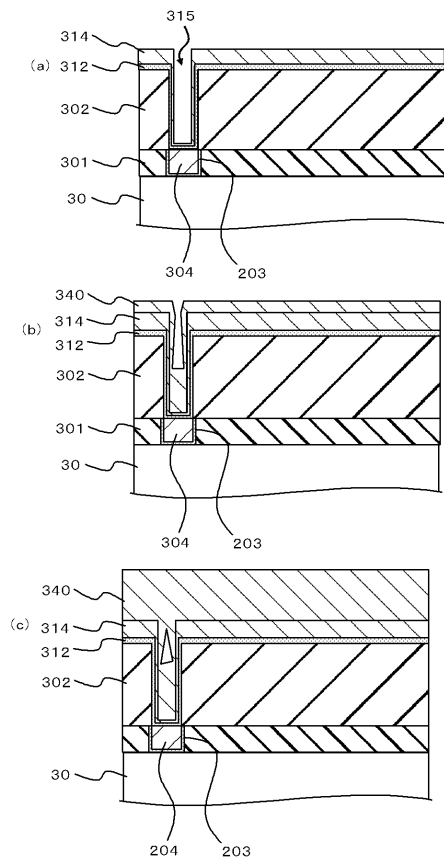
【図19】



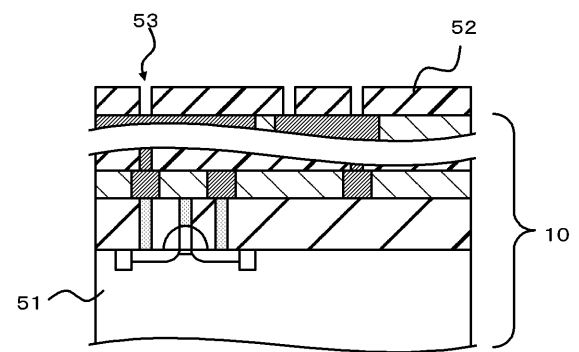
【図20】




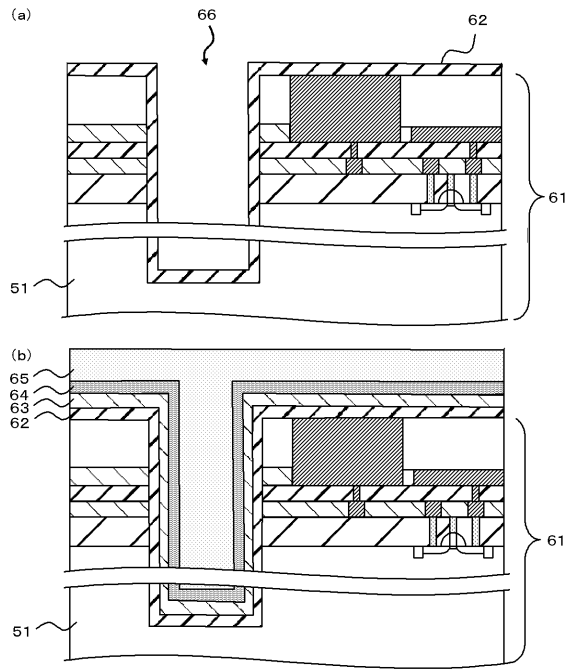
【図21】



【図22】



【 2 3】



フロントページの続き

(56)参考文献 特開2001-023925(JP,A)
特開平07-201988(JP,A)
特開2004-356315(JP,A)
特開2006-269860(JP,A)
特開2000-340593(JP,A)
特開2010-080525(JP,A)
特開2001-319930(JP,A)
特開平05-029315(JP,A)
国際公開第98/040910(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H01L 21/768