

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4521643号  
(P4521643)

(45) 発行日 平成22年8月11日(2010.8.11)

(24) 登録日 平成22年6月4日(2010.6.4)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 A
	HO 1 L 29/78 6 5 8 G
	HO 1 L 29/78 6 5 2 F
	HO 1 L 29/78 6 5 3 A

請求項の数 11 (全 12 頁)

(21) 出願番号	特願平9-540067	(73) 特許権者	シリコンックス・インコーポレイテッド アメリカ合衆国カリフォルニア州9505 4・サンタクララ・ローレルウッドロード 2201
(86) (22) 出願日	平成9年5月7日(1997.5.7)	(74) 代理人	弁理士 大島 陽一
(65) 公表番号	特表2001-508595(P2001-508595A)	(72) 発明者	シイエ、フウーイユアン アメリカ合衆国カリフォルニア州9507 0・サラトガ・セビラレイン 20768
(43) 公表日	平成13年6月26日(2001.6.26)	(72) 発明者	ホー、ユエーシー アメリカ合衆国カリフォルニア州9408 6・サニーベイル・アイリスアベニュー 735
(86) 国際出願番号	PCT/US1997/007476		
(87) 国際公開番号	W01997/042663		
(87) 国際公開日	平成9年11月13日(1997.11.13)		
審査請求日	平成16年4月30日(2004.4.30)		

最終頁に続く

(54) 【発明の名称】 側壁スペーサを用いる高密度トレンチ形DMOSの製造

(57) 【特許請求の範囲】

【請求項1】

トランジスタセルを形成する方法であって、  
半導体基板の主面から延在する第1の導電型のエピタキシャル層を有する前記基板を設ける過程と、  
前記エピタキシャル層上に第1の酸化物層を形成する過程と、  
前記セルの深いボディエリアを画定するために前記第1の酸化物層をパターンニングする過程と、  
前記深いボディエリア内に前記第1の導電型の拡散防止領域を形成する過程と、  
前記パターンニングされた第1の酸化物層と前記深いボディエリアとの上に第2の酸化物層を形成する過程と、  
前記ボディエリアの中央部分を露出するために前記第2の酸化物層の一部を除去し、前記拡散防止領域の周囲を覆うために酸化物側壁スペーサ及び前記パターンニングされた第1の酸化物層を残す過程と、  
前記露出した深いボディエリア内に第2の導電型のドーパントを導入する過程と、  
前記導入されたドーパントを拡散し、それにより深いボディ拡散領域を形成する過程と、  
前記エピタキシャル層内において、前記セルの角部を画定するように互いに交差する少なくとも2つのトレンチを形成する過程であって、前記少なくとも2つのトレンチが前記深いボディ拡散領域と交差することなく形成され、前記少なくとも2つのトレンチが互いに交差する部分が前記セルの角部となる、該過程と、

10

20

前記トレンチの内側を覆うように絶縁層を形成する過程と、  
 前記絶縁層に覆われた前記トレンチ内に導電性ゲート電極を形成する過程と、  
 前記エピタキシャル層内に、前記第2の導電型からなり、前記少なくとも2つのトレンチ  
 と並んで前記エピタキシャル層内に延在する浅いボディ拡散領域を形成する過程であって  
、浅いボディ拡散領域は、前記深いボディ拡散領域を取り囲み、一体となってボディ拡散  
領域を形成する、該過程と、

前記第1の導電型からなり、前記少なくとも2つのトレンチと並んで前記主面から前記エ  
 ピタキシャル層内に延在するソース領域を形成する過程であって、ソース領域は、前記浅  
 いボディ拡散領域内に、前記浅いボディ拡散領域より浅く形成する、該過程とを有し、  
 前記拡散防止領域の前記周囲が前記深いボディ拡散領域の横方向拡散を防止することを特  
 徴とするトランジスタセルを形成する方法。

10

【請求項2】

前記第2の酸化物層を除去する過程の後に、前記深いボディエリアの前記露出した中央部  
 分をエッチングする過程が実行されることを特徴とする請求項1に記載の方法。

【請求項3】

前記エッチング過程がドライエッチングを用いて行われることを特徴とする請求項2に記  
 載の方法。

【請求項4】

前記ソース領域を形成する前記過程の前に、  
 前記エピタキシャル層上にマスク層を形成し、前記角部において前記エピタキシャル  
 層を覆う過程をさらに有し、  
 前記ソース領域の範囲が前記マスク層により画定され、また前記ソース領域がそれ  
 により前記角部から離れて配置されることを特徴とする請求項1に記載の方法。

20

【請求項5】

前記拡散防止領域を形成する過程が前記エピタキシャル層内にイオンを注入する過程を含  
 むことを特徴とする請求項1に記載の方法。

【請求項6】

前記拡散防止領域を形成する過程が、前記第2の導電型のドーパントを導入する前に、前  
 記エピタキシャル層内に前記第1の導電型のドーパントの注入を行う過程を含むことを特  
 徴とする請求項1に記載の方法。

30

【請求項7】

前記トレンチを形成する前記過程の後に、  
 前記トレンチの前記側壁上に酸化物の層を熱により成長させる過程と、  
 前記酸化物の層を剥離し、それにより前記側壁を滑らかにし、前記トレンチの底部に丸  
 みをつける過程とをさらに有することを特徴とする請求項1に記載の方法。

【請求項8】

前記絶縁層を形成する前記過程の前に、  
 前記トレンチの前記側壁を等方性ドライエッチングし、それにより前記側壁を滑らかにし  
 、前記トレンチの上側及び下側部分に丸みをつける過程をさらに有することを特徴とする  
 請求項1に記載の方法。

40

【請求項9】

マスク層を形成する前記過程が、前記セルの各角部において長方形のマスク部分を画  
 定する過程を含むことを特徴とする請求項4に記載の方法。

【請求項10】

前記絶縁層を形成する前記過程の前に、  
 前記トレンチの前記側壁上に酸化物の層を熱により成長させる過程と、  
 前記酸化物の層を剥離し、それにより前記側壁を滑らかにし、前記トレンチの前記底部に  
 丸みをつける過程とをさらに有することを特徴とする請求項1に記載の方法。

【請求項11】

前記第2の酸化物層を除去する前記過程の後に、前記深いボディ領域の前記露出した中央

50

部分をエッチングする過程を実行することを特徴とする請求項 1 に記載の方法。

【発明の詳細な説明】

関連出願の相互参照

本出願の譲受人は、同時出願の、並びに関連する特許出願を所有する。

1. 1994年6月3日出願の「Trench DMOS Transistor With Channel Block at Cell Trench Corners」というタイトルの特許出願第08/253,527号(特許査定済み)

2. 「Trenched DMOS Transistor Fabrication Using Seven Masks and Having Thick Termination Oxide」というタイトルの特許出願第08/290,323号

3. 「High Voltage Transistor Having Edge Termination」というタイトルの特許出願第07/918,996号

4. 「Structure and Fabrication of Power MOSFETS, Including Termination Structure」というタイトルの特許出願第08/096,135号

また本発明は「Low On-Resistance Power MOS Technology」というタイトルの米国特許第5,304,831号及び「Trench DMOS Power Transistor With Field-Shaped Body Profile and Three-Dimensional Geometry」というタイトルの米国特許第5,027,266号にも関連する。上記明細書は、

背景

発明の分野

本発明はトレンチ形トランジスタ(FET及びバイポーラ両方)に関連し、より詳細にはトレンチ形DMOSTランジスタに関連する。

関連技術の説明

二重拡散形MOS(DMOS)トランジスタは、拡散部がアクティブトランジスタ領域を形成するMOSFETの一種である。トランジスタゲート構造を形成するために、薄い酸化層と共に配列され、導電性ポリシリコンを満たされたトレンチを用いてシリコン基板内にそのようなトランジスタを形成することが知られている。これらのトランジスタは一般に、高電流スイッチングアプリケーションといったパワーアプリケーションのために用いられる。

第1図は従来の六角形に成形されたトレンチ形DMOS構造体21を示す。構造体21はN+基板23を備え、その基板23上に所定の厚さ $d_{epi}$ の軽くドーブされたエピタキシャル層(N)25が成長する。エピタキシャル層25の内部には、反対の導電型(P、P+)のボディ領域27が設けられる。後に議論される中央領域内を除いて、Pボディ領域27は概ね平坦であり、エピタキシャル層27の上面下、距離 $d_{min}$ に位置する。概ねボディ領域25の上側をなす別の被覆層28(N+)は、構造体21のソースとして機能する。

六角形に成形されたトレンチ29はエピタキシャル層25内に設けられており、上側に向かって開放され、所定の深さ $d_{tr}$ を有している。トレンチ29は酸化層絶縁層30と共に配列され、ドーブドポリシリコンを満たされる。トランジスタセルに関連するトレンチ29は、同じく水平方向断面において六角形に成形されたセル領域31を画定する。セル領域31の内部では、ボディ領域がエピタキシャル層25の上側表面まで隆起し、セル領域の上面で水平方向断面の露出パターン33を形成する。

ボディ領域の中央露出パターン33は、ボディ領域の概ね平坦な残りの部分より重くドーブされている(P+)。さらにこのボディ領域の中央部分(すなわち深い拡散領域27C)は、エピタキシャル層25の表面下のトレンチ深さ $d_{tr}$ より深い深さ $d_{max}$ まで延在する。これは、いかなるソース-ドレイン間電圧ブレークダウンもトレンチ表面(例えばボディ領域27に隣接するゲート酸化層30の部分)から離れ、N+基板23のバルク内で

強制的に生じさせるため非常に重要である。従って、深い拡散領域 27C はゲート酸化物誘電体の破壊的ブレイクダウンを防ぐ。

上で議論したように、深い拡散領域 27C を用いることにより、ゲート酸化物を保護するに当たって十分な利点をもたらされる。しかしながら、拡散部を深くするほど、隣接構造体の拡散部からの横方向の侵入の範囲も広くなる。従って深い拡散部は、大量のダイ領域を必要とし、無効なデバイス領域を挿入し、デバイスコストは上昇させる。それゆえ、十分な深さを有する深い拡散領域を設けるために必要とされる領域を最小化すると同時に、深い拡散領域を有するトレンチ形 DMOS トランジスタの利点を実現する構造体が必要とされる。

#### 概要

本発明は、半導体基板の主面上において最低限の領域を占め、それゆえ有効にデバイス領域を挿入することができるようになる、深いボディ領域を有するトレンチ形 DMOS トランジスタを目指すものである。さらに本発明はそのようなトランジスタを製造する方法にも向けられる。

本発明に従って、半導体基板は基板の主面から延在する第 1 の導電型のエピタキシャル層を設けられる。第 1 の酸化物層はエピタキシャル層上に形成され、かつパターン化され、エピタキシャル層の深いボディエリアが画定され、その下に深いボディ領域が形成されることになる。

第 1 の導電型の拡散防止領域が深いボディエリア内に形成され、その後深いボディエリアを覆う第 2 の酸化物層及び第 1 の酸化物層の残りの部分が形成される。その後第 2 の酸化物層部分は、拡散防止領域の中央部を露出するために除去され、第 1 の酸化物層及び第 2 の酸化物層からの酸化物側壁スペーサが拡散防止領域の周囲を覆うために残される。

次に第 2 の導電型の深いボディ拡散が実行され、その結果側壁スペーサ間のエピタキシャル層内に深いボディ領域が形成される。第 1 及び第 2 の酸化物層の残り部分により覆われる拡散防止領域の周囲は、深さ方向拡散をあまり抑制せずに、深いボディ領域拡散部の横方向拡散を防止する。こうして本発明は深いボディ拡散部を設けるために必要とされる表面積を最小化し、従ってその結果生じる深いボディ領域により占有される表面積を最小化する。

#### 【図面の簡単な説明】

第 1 図は従来の六角形に成形されたトレンチ形 DMOS 構造体 21 を示す。

第 2 図は本発明に従ったトランジスタの一部の斜視図を示す。

第 3 図から第 10 a 図及び第 11 図から第 16 図は、本発明に従った（断面において示される）トランジスタを形成するための一連のステップを示す。

第 10 b 図は第 10 a 図に示される処理ステップの平面図を示す。

#### 発明の詳細な説明

第 2 図は本発明に従ったマルチセル DMOS トレンチ形トランジスタの斜視図（断面図及び平面図を組み合わせている）を示す。この図はそのようなトランジスタの一部からなり、その中にいくつかのセルを示している。さらにトランジスタ基板及び関連するドーパされた領域のみが、トレンチと共に示される。すなわち上側をなす絶縁層、ゲート構造体並びに導電性相互接続部は簡単にするために示していない。その 3 つは後の図面において示される。

第 2 図では、N - ドープドエピタキシャル層 104 が、従来通りの N + ドープド基板 100 上に形成される。以下に示すように、従来のエッチング技術を用いて形成される 2 つの（典型的な）トレンチ 124 a 及び 124 b は、エピタキシャル層 104 内に形成される。酸化物絶縁層 130 は、各トレンチ 124 a、124 b に沿って配列される。各トレンチ 124 a、124 b はドーパドポリシリコン構造体、それぞれ 134 d、134 e を満たされる。エピタキシャル層 104 の主面は 106 で示される。さらに他のトレンチが、直角にトレンチ 124 a、124 b を横切り、それにより間をなすセルを画定する。これらの隣接する交差トレンチの端部は 108 a 及び 108 b を付されている。

第 2 図は、以下に示すように、上側をなす相互接続部により従来通りに電氣的に相互接続

10

20

30

40

50

されるトランジスタの2つのセルを示す。第1のセルは、トレンチ124a、Pドーブドボディ領域116a、N+ドーブドソース領域141a並びにP+ドーブド深いボディ領域138aを備える。P+ドーブド深いボディ領域138aは、領域138aが隣接交差トレンチの端部108bと交差しないように第2図の構造体内において離れて配置されるため、P+ドーブド深いボディ領域138aの下側部分は破線を用いて描かれる。(これらの領域のドーピングレベル及び深さは詳細には以下に記載される)。第2のセルはPドーブドボディ領域116b、N+ドーブドソース領域141b、141c並びにP+ドーブド深いボディ領域138bを備える。第3のセルは、Pドーブドボディ領域116c、N+ドーブドソース領域141d、並びにP+ドーブド深いボディ領域138cを備える。

10

第2図に示される構造体は、P+ドーブド深いボディ領域138a、138b並びに138cの(平面図内及び断面図内の両方の)形状を除いて、同時係属の特許出願「Trenched DMOS Transistor With Channel Block at Cell Trench Corners」の第2図の構造体と同じものである。本発明に従って、これらの領域は以下に詳細に記載されるように形成され、主面106上において最小限の面積を占めるようになる。トランジスタのためのドレイン電極は、下側をなす基板100の後側表面(図示せず)上に従来通りに形成されることは言うまでもない。

第3図は第2図に示されるようなトレンチ形DMOS電解効果トランジスタを形成するための第1の処理ステップを断面図において示す。このプロセスは例示であり、最終的なトランジスタ構造体を製造するために他のプロセスを用いてもよいということ言うまでもない。

20

第2図の基板100(第3図には示されない)は、従来通りにN+ドーブドされており、基板の表面上に成長したN-ドーブドエピタキシャル層104を有する。エピタキシャル層104は約5~10ミクロン( $10^{-6}$ m)厚さである。

エピタキシャル層104の主面106は、約1ミクロン厚の二酸化シリコン層110を形成するために従来通りに酸化される。二酸化シリコン層110は、N+領域102a、102b並びに102dを画定するためにフォトレジスト及びマスクを用いて従来通りにパターン化される(端子構造体は第2図には示されないので、第3図~第10a図及び第11図~第16図は、第2図には厳密には対応しないということを注意されたい)。

30

N+注入ステップは、典型的には $5 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ のドーズ量を用いて60KEVのエネルギーレベルでリンを注入することにより実行される。その後、第4図において、酸化物層(図示せず)が全主面106上に従来通りに堆積する。1つの実施例では、酸化物層は、従来通りのテトラエチルオルトシリケート(TEOS)反応を用いて形成される二酸化シリコンである。この酸化物層はその後異方性エッチングされ、酸化物側壁スペーサ103が残される。酸化物側壁スペーサ103は約0.2~0.5ミクロン幅からなることが好ましい。

第5a図は、 $2 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ のドーズ量を用いて60KEVのエネルギーレベルでほう素を注入することにより実行されるP+注入ステップの結果を示す。これは、P+ドーパントが2時間、1100で拡散される従来の拡散ステップと組み合わせられ、P+ドーブド領域138a、138b並びに138dを形成する(トランジスタ端子構造体の一部であるため、領域138dは機能的には深いボディ領域ではない)。約0.5ミクロン(5000オングストローム)厚の酸化物層112は、この拡散中に成長する。P+深いボディ領域の最終的な深さは、1.5~3.5ミクロンである。

40

第4図及び第5a図に示されるように、N+領域102a、102b並びに102dの端部は酸化物側壁スペーサ103により上記のほう素注入から保護される。この保護を行った結果として、N+領域102a、102b、並びに102dの一部は横方向拡散防止領域105として残される。横方向拡散防止領域105は、P+ドーブド領域138a、138b並びに138dの横方向拡散を防止する。P+領域138d及びその右側をなすトランジスタ構造体の全部分は集積回路ダイの端子部分(端部)であり、さらに右側にある

50

垂直線はダイのスクライブ線であるということ言うまでもない。ここに開示される端子構造体は例示であり、限定するものではない。

別の実施例では、横方向拡散防止領域 105 の効果は、第 4 図に示されるステップにおいて側壁スペース 103 を形成すると同時に、露出した N+ 領域 102 a、102 b、並びに 102 d をドライエッチングすることにより高められる。このステップでは、N+ 領域は反応性イオンエッチング (RIE) により約 0.1 ~ 0.3 ミクロンの典型的な深さまでエッチングされる。

第 5 b 図は第 5 a 図の一部の拡大図であり、P+ 領域 138 b の一部を示している。破線 139 は、P+ 領域 138 b と同じものであるが、P+ 領域 138 b の横方向拡散を防止するために横方向拡散防止領域 105 を用いずに形成された従来の P+ 注入物の概略の形状を示す。

第 6 図では、アクティブ領域マスク層がフォトレジスト層で主面 106 を覆うことにより形成され、その後フォトレジスト層は、アクティブマスク部分 120 a、120 b 並びに 120 c を残すためにマスクを用いて従来通りに露光及びパターン化される。

その後、第 7 図において、300 オングストローム厚のキャップ酸化物層 (図示せず) が低温酸化物アンドロップド (LTO) 層からの外方拡散を防止するために成長した後、LTO 層 (図示せず) が全主面 106 上に堆積する。この LTO 層は、パターン化される際に、トレンチの位置を画定するためのエッジマスクとして用いられる。その後 LTO 層はトレンチ 124 a 及び 124 b の位置を画定する開口部を形成するためにフォトレジストを用いて従来通りにパターン化される。トレンチ 124 a 及び 124 b は、終了時には、典型的に 0.5 ~ 1.5 ミクロン幅を有し、5 ~ 10 ミクロン (中心線間) だけ離される。その後トレンチ 124 a 及び 124 b は反応性イオンエッチング (RIE) により、1.5 ミクロン (典型的な範囲は 0.5 ~ 10 ミクロン) の典型的な深さまでマスク開口部を通してドライエッチングされ、LTO 層はバッファード酸化物エッチングにより剥離される。別法では、従来のフォトレジストマスクが、キャップ酸化物を成長させたり、或いは LTO 層を堆積させたりすることなくトレンチ領域を画定するために直接適用される。そのプロセスは所望のトレンチ深さ及びトレンチエッチング技術に依存する。

次に、トレンチ側壁 126 からシリコンの薄い層 (約 500 ~ 1000 オングストローム厚) を除去するために、まず化学ドライエッチングを用いて各トレンチ 124 a、124 b の側壁 126 が平滑化される。この除去された薄い層は、以前に行われた反応性イオンエッチングにより生ずる損傷をなくす。さらに、エッチングステップにより、トレンチの上側及び下側部分は丸みをつけられる。さらにその後、犠牲酸化物ステップがトレンチ側壁 126 を平滑化する。二酸化シリコンの層 (図示せず) は約 200 ~ 2000 オングストロームの厚さに、トレンチの側壁 126 上に従来通りに熱的に成長する。この犠牲酸化物層は、トレンチ側壁 126 をできるだけ滑らかに残すように、バッファ酸化物エッチング或いは HF エッチングの何れかにより除去される。

第 7 図に示されるように、ゲート酸化物層 130 は、トレンチ側壁 126 を画定し、約 100 ~ 1000 オングストローム厚で主面 106 上に延在するように成長する。

その後、第 8 a 図に示されるように、多結晶シリコン (ポリシリコン) 層が、例えば約 1.5 ミクロン (典型的な範囲は 0.5 ~ 1.5 ミクロン) の厚さに堆積し、トレンチ 124 a、124 b を満たす。次に、ポリシリコン層の平坦化が行われ、その後ブランケットエッチングすることによりポリシリコン厚を最適化し、0.5 ミクロン (5000 オングストローム) の厚さのみを残す。従ってポリシリコンの 1 ミクロン厚 (10000 オングストローム) は、この様なエッチングにより除去される。

その後、多結晶シリコン層 (N-チャンネルトランジスタのための) は、リン塩化物 (POCl<sub>3</sub>) をドーブされるか、或いは約 15 ~ 30 / の抵抗率までひ素或いはりんを注入される。その後多結晶シリコン層は構造体 134 a、134 b、134 c 並びにゲート電極 134 d、134 e を形成するためにパターン化される。このパターン化には、露光及びマスクパターン化されるフォトレジスト層を用いる。第 8 a 図の右側部分にある多結晶シリコン構造体 134 a、134 b、134 c はトランジスタのゲートコンタクト及

10

20

30

40

50

び端子部分の一部である。例えば、シリコン構造体 134c は、スクライブ後、基板 104 に短絡される等電位リングの一部である。

第 8b 図は、ポリシリコン構造体 134b の領域における第 8a 図の部分の拡大図であり、酸化物、すなわちそれぞれ酸化物層 130, 112 並びに 110 の 3 つの下側を成す厚さに起因するポリシリコン構造体 134b の階段形状を示す。また第 8b 図及び第 11b 図は、第 9 図 ~ 16 図の構造体内にも存在する。

次に、第 9 図では、P ボディ領域 116a、116b が注入及び拡散される。ボディ領域注入マスクは存在しないので、P ボディ注入物 116a、116b はウエハに渡って一樣になる。ボディマスクの代わりに、以前に形成されたアクティブマスク層 120a、120b により、P ボディ注入物が端子領域にドーブされるのを防ぐ。P ボディ領域 116a 及び 116b は、 $2 \times 10^{13} \sim 2 \times 10^{14} / \text{cm}^2$  のドーズ量を用いて 40 ~ 60 K E V でほう素注入される。拡散後、P ボディ領域 116a 及び 116b の深さは約 0.5 ~ 2.0 ミクロンである。

次に、第 10a 図に示されるように、N+ ドープドソース領域 140a 及び 140b が、パターン化されたマスキング層 142 を伴うフォトレジストマスキングプロセスを用いて注入及び拡散される。ソース領域 140a 及び 140b は、典型的に  $5 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$  のドーズ量を用いて 80 K E V で注入される N+ ひ素注入物である。第 3 ~ 第 10a 図及び第 11 図 ~ 第 16 図の断面図は、第 2 図の P+ 領域 138a、138b の中央部分から取り出されており、従って N+ ソース領域 140a 及び 140b の切出し形状を示さない。

第 10b 図は第 10a 図に示されるステップの平面図であるが、構造体の付加部分を示している。第 10b 図では、いくつかのトランジスタのセルが示される。しかしながら、第 10a 図の右側部分に示される端子構造体は、第 10b 図では示されない。そのかわりに、アクティブ領域のみ、すなわち第 10a 図の左側部分のみが示される。第 10b 図に示されるのは、トレンチ 124a、124b 及び付加的なトレンチ 124c、並びに次列のセルに画定するトレンチ (例えばトレンチ 124e、124f、124g 並びに 124h) である。また第 2 図に示されるような交差トレンチ 108a、108b 並びに付加的な交差トレンチ 108c も示される。これらのトレンチはそこに示される正方形セルを画定する。

また第 10b 図に示されるのは、第 10a 図に示されるブロッキングマスク層 142 であり、N+ ソース領域の横方向範囲を画定する。このブロッキングマスク層は第 10b 図において、多数の小さな斜線が入った四角形領域により示される。各セルの中央部にあるその小さな四角形領域 (例えば 142a、142b 並びに 142c) は、下側をなす P+ 深いボディ上側コンタクト領域 138a、138b 並びに 138c を画定する。第 10b 図において、上側の列のセルの対応する構造は番号を付していないが同様である。

この構造体部分は概ね従来通りである。しかしながら、ブロッキングマスク 142 のかなりの部分は、それぞれ 142a-1、142a-2、142b-1、142b-2、並びに 142c-1、143c-2 を付される (第 10b 図における第 1 列のセルのための) 付加的な四角形のマスキング層部分である。第 10b 図を第 2 図と比較するとわかるように、これは第 2 図の平面図に示される N+ 領域切出し部分を画定する。各小さな四角形のマスク部分、例えば部分 142a-1 の寸法は (b) x (e) であり、例えば (b) は 3.5 ミクロンであり、(e) は 1.7 ミクロンである。第 1 列のセルのためのトレンチは、1 つの実施例では従来通りに第 10b 図の第 2 列のセルのトレンチからオフセットされるが、これは本発明においては本質的ではない。

第 11 図において、マスク層 142 は従来通りに剝離され、N+ ドープドソース領域 140a 及び 140b は約 900 ~ 1000 の範囲の温度で約 0.2 ~ 0.5 ミクロンの深さに拡散される。その後、BPSG 層 144 が、全主面 106 上並びにポリシリコン構造体 134a、134b、134c、134d 及び 134e 上に約 0.5 ~ 1.5 ミクロンの厚さに形成される。BPSG 層 144 は、露光後にパターン化されるフォトレジスト層 (図示せず) で覆われる。その後下側をなす BPSG 層 144 及び酸化物層 112 は、B

10

20

30

40

50

P S G 領域 1 4 4 a、1 4 4 b、1 4 4 c、1 4 4 d 並びに 1 4 4 e を残すようにエッチングされ、その間でトランジスタコンタクト領域が画定される。N + ドープドソース領域 1 4 0 a 及び 1 4 0 b は、N + ドープドソース領域 1 4 1 a 及び 1 4 1 b を形成するためにそれぞれの横方向拡散防止領域 1 0 5 と融合されているように示される。

第 1 2 図に示されるステップでは、リフローステップにより、B P S G 層構造体 1 4 4 a、1 4 4 b、1 4 4 c、1 4 4 d 並びに 1 4 4 e の角部が滑らかにされる。

第 1 3 a 図に示されるように、少量のシリコンを従来通りに合金されたアルミニウムの層を用いて全主面 1 0 6 を覆うステップを伴う、従来通りの相互接続金属マスキングステップが実行される。その後このアルミニウム層は、金属被覆領域 1 5 4 a、1 5 4 b 並びに 1 5 4 c を画定するためにマスクを用いて従来通りにパターン化される。これらの金属被覆領域は、それぞれアクティブ(ソース・ボディ)コンタクト 1 5 4 a、ゲートフィンガコンタクト 1 5 4 b 並びにフィールドプレート 1 5 4 c である。

深いボディ領域 1 3 8 a 及び 1 3 8 b は、それぞれコンタクトエリア 1 5 5 a 及び 1 5 5 b でソース・ボディコンタクト 1 5 4 a と接触する。横方向拡散防止領域 1 0 5 は P + ドープド領域 1 3 8 a 及び 1 3 8 b の横方向拡散を防止するため、深いボディ領域 1 3 8 a 及び 1 3 8 b の最大水平方向断面積(第 1 3 a 図における(X))はそれぞれのコンタクト領域 1 5 5 a 及び 1 5 5 b より大きくなる。第 1 3 a 図及び第 1 3 - 1 5 図に示されるように、これにより深いボディ領域 1 3 8 a 及び 1 3 8 b は「洋なし型」垂直断面を有するようになる。当然のことながら、図は縮尺を示すために描かれているわけではないため、深いボディ領域 1 3 8 a 及び 1 3 8 b の「洋なし型」形状は、例えば横方向拡散防止領域 1 0 5 並びに深いボディ領域 1 3 8 a 及び 1 3 8 b のドーパント濃度及び拡散深さに依存して著しく変化するかもしれない。

第 1 3 b 図は(第 8 b 図と同様に)第 1 3 a 図の一部の拡大図であり、ポリシリコンフィールドプレート 1 3 4 b 及びフィールドプレートコンタクト 1 5 4 c の下側をなす階段状酸化物構造体 1 1 0、1 1 2 を示している。

次のステップは、第 1 4 図で示されるようにパッドマスキングである。このステップは、例えば全構造体上に堆積し、その後従来通りにマスクされる窒化物或いは P S G (りんけい酸ガラス) 層 1 6 0 を用いる表面パッシレーションを含む。層 1 6 0 部分は、その後第 1 4 図において示されるように除去され、ボンディングワイヤを、以前に形成されたアクティブ金属被覆コンタクト 1 5 4 a 及び必要に応じて他の金属被覆領域に接続するためのパッドエリアを開口する。第 1 2 図 ~ 第 1 4 図に関連して上に示されたステップは従来通りである。

第 1 5 図は、第 1 4 図において示されるものとほとんど同じ構造体ではあるが、セルの異なる部分における断面を示しており、この中央部分におけるポリシリコンゲートランナ接続部 1 3 4 f をよりわかりやすく示している。ゲートランナ接続部 1 3 4 f は典型的にはダイ周辺に配置される。ゲートランナ 1 3 4 f は、従来通りに全ゲートを電氣的に接続する。ゲートランナ 1 3 4 f の位置では、第 1 5 図の断面は、その平面図(図示せず)においては「L形」(ドックレッグ)に沿っており、そのトレンチの長さに沿って延在するゲートランナ 1 3 4 f をよりわかりやすく示している。

第 1 6 図は端子の他の部分を示しているさらに別の断面を示す。この場合フィールドプレート 1 5 4 c は、パワートランジスタのために従来通りに設けられた端子導電性構造体であり、端子領域内の B P S G 絶縁層 1 4 4 上を横切る金属交差部 1 5 4 e によりソース・ボディ領域金属コンタクト 1 5 4 a と、フィールドプレートコンタクト 1 5 4 c 及びフィールドプレート 1 3 4 b と結合する。

また本発明に従って、ゲートフィンガに隣接する各セルはダミー(チャネルを持たないことにより非アクティブな)セルである。従って、全セル列(例えばゲートフィンガ 1 3 4 a に隣接する第 1 4 図の 1 3 4 e)はダミーセルからなる。この構造体は、第 1 0 a 図におけるブロッキング注入マスクと同じマスクにより実現され、N + ソース注入物がポリシリコントレンチ充填物 1 3 4 e に隣接して形成されないようにする。従って、ダミーセルは、アクティブ領域を持たず、それゆえダミーセル部分として機能するように、1 2 4 b

10

20

30

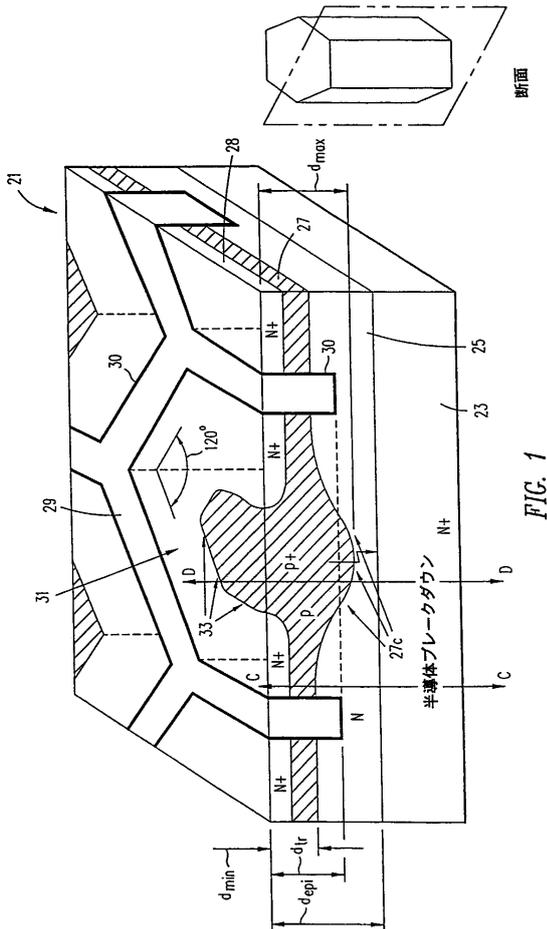
40

50

のすぐ右側をなすドープ領域を設けることにより実現される。ダミーセルは、信頼性及びデバイスの耐久性を改善することがわかっている。これらのダミーセルは他の実施例では省略している。

上に記載した内容は例示であり、限定するものではない。例えば、同じステップを、反対の導電型の種々の半導体領域と共に用いて、本発明に従ったトランジスタを形成してもよい。他の変更例は、本開示内容を考慮すれば当業者には明らかであり、添付の請求の範囲の観点に含まれるものと考えられる。

【図1】



【図2】

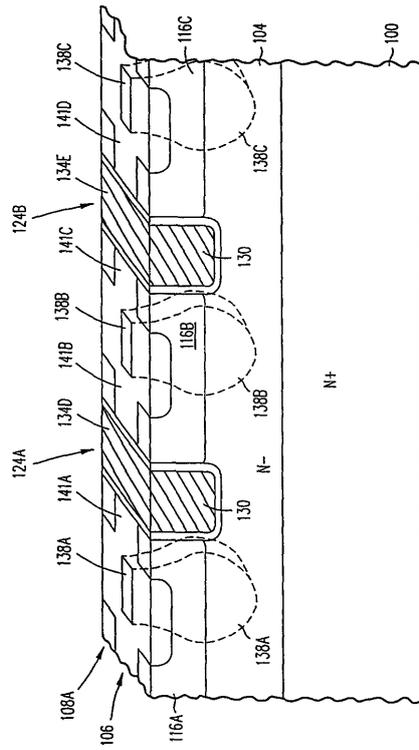


FIG. 2

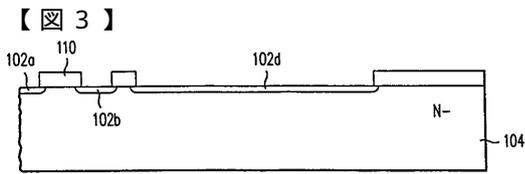


FIG. 3

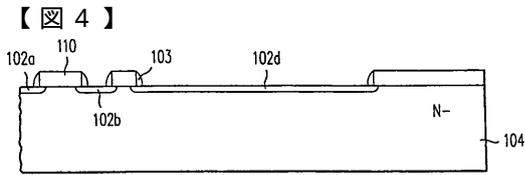


FIG. 4

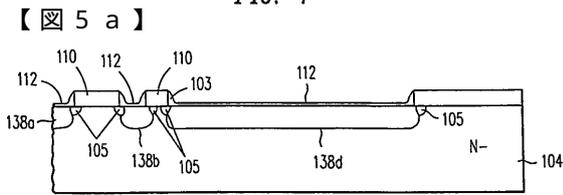


FIG. 5a

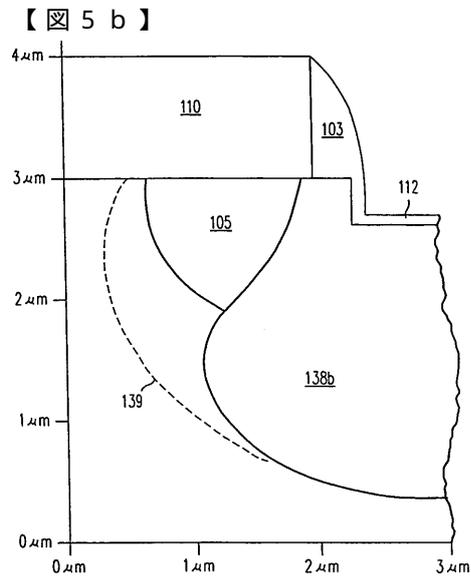


FIG. 5b

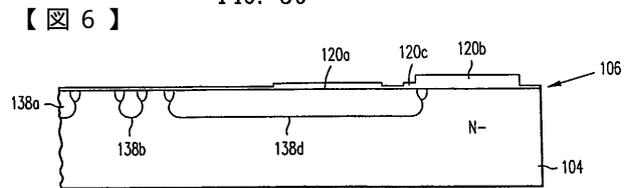


FIG. 6

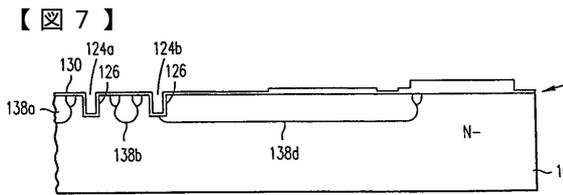


FIG. 7

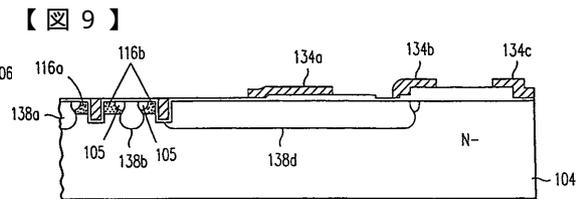


FIG. 9

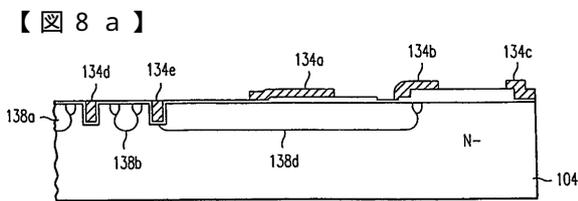


FIG. 8a

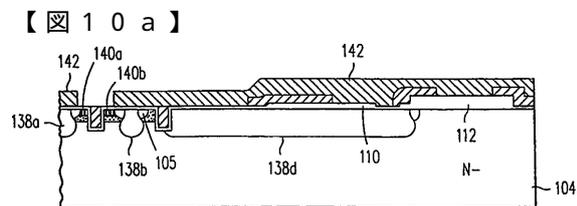


FIG. 10a

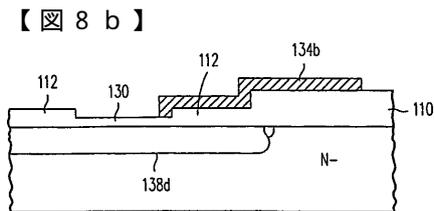


FIG. 8b

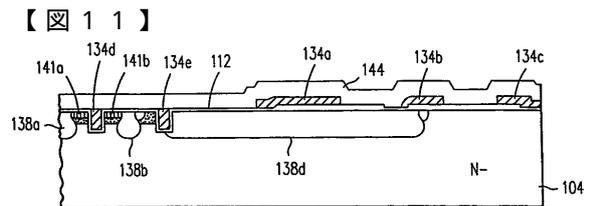


FIG. 11

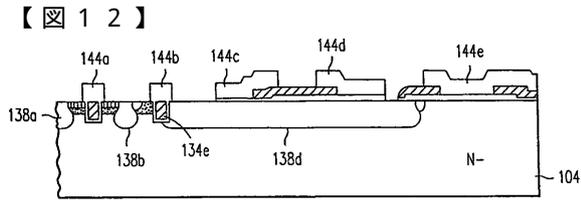


FIG. 12

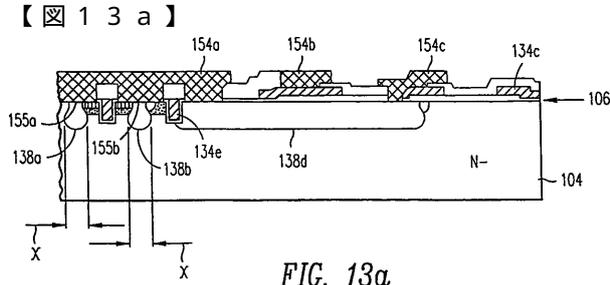


FIG. 13a

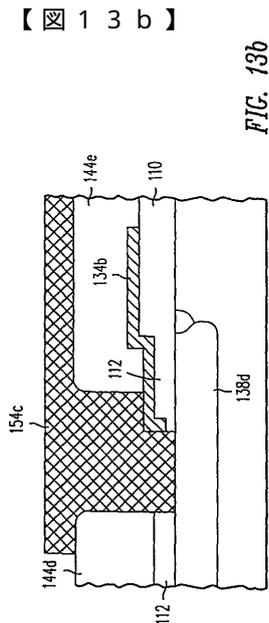


FIG. 13b

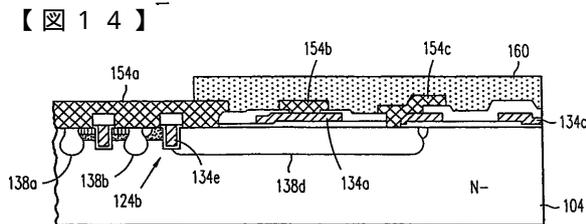


FIG. 14

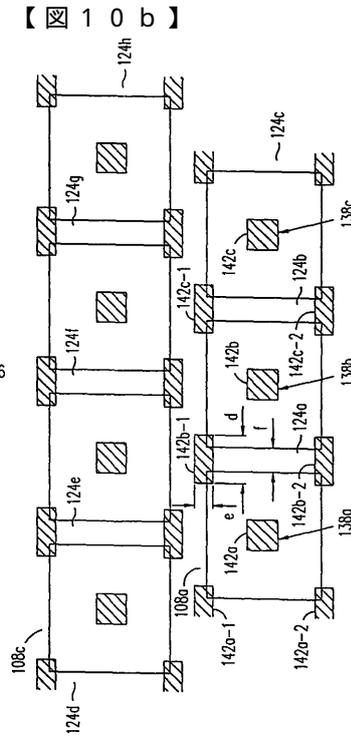


FIG. 10b

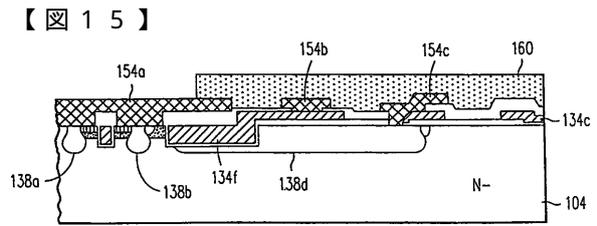


FIG. 15

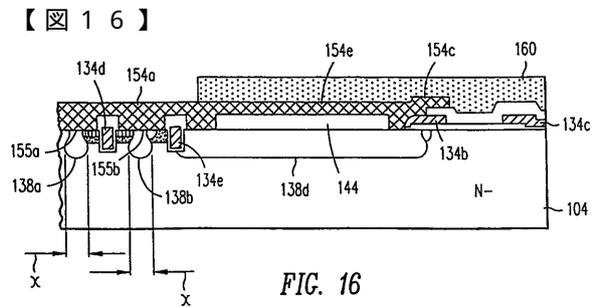


FIG. 16

---

フロントページの続き

- (72)発明者 ラン、ボスコ  
アメリカ合衆国カリフォルニア州 9 4 5 5 5 ・ フリモント・パチェチヨドライブ 3 3 6 6 6
- (72)発明者 ダン、ジョウエイ  
アメリカ合衆国カリフォルニア州 9 5 1 2 7 ・ サンノゼ・メイベリーロード 3 1 7 1

審査官 後谷 陽一

- (56)参考文献 特表平 0 9 - 5 0 0 2 4 1 ( J P , A )  
特開平 0 2 - 1 4 4 9 7 1 ( J P , A )  
特表平 0 6 - 5 0 4 8 8 2 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
H01L 29/78  
H01L 21/336