

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4356029号
(P4356029)

(45) 発行日 平成21年11月4日(2009.11.4)

(24) 登録日 平成21年8月14日(2009.8.14)

(51) Int.Cl.		F I			
HO4N	1/41	(2006.01)	HO4N	1/41	B
HO3M	7/30	(2006.01)	HO3M	7/30	A
HO4N	7/30	(2006.01)	HO4N	7/133	Z

請求項の数 10 (全 45 頁)

(21) 出願番号	特願2007-131285 (P2007-131285)	(73) 特許権者	000002185
(22) 出願日	平成19年5月17日(2007.5.17)		ソニー株式会社
(65) 公開番号	特開2008-288834 (P2008-288834A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年11月27日(2008.11.27)	(74) 代理人	100082131
審査請求日	平成20年7月4日(2008.7.4)		弁理士 稲本 義雄
		(72) 発明者	福原 隆浩
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	田中 祐樹
			神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社
		審査官	松永 隆志

最終頁に続く

(54) 【発明の名称】 情報処理装置および方法

(57) 【特許請求の範囲】

【請求項1】

分析フィルタ処理により階層的に複数の周波数帯域に分割された画像データの、互いに同じ階層の周波数帯域を合成する合成フィルタ処理を水平方向および垂直方向に行う合成フィルタ処理手段と、

前記合成フィルタ処理手段による前記合成フィルタ処理により合成されて得られる1つ下位の階層の周波数帯域の周波数成分であって、さらに前記合成フィルタ処理が可能な周波数成分を保持する周波数成分保持手段と、

前記合成フィルタ処理手段による前記合成フィルタ処理により復元された前記画像データを保持する画像データ保持手段と、

前記合成フィルタ処理手段を制御し、前記周波数成分保持手段により保持されている前記周波数成分を用いて前記合成フィルタ処理を前記画像データが復元されるまで再帰的に行わせ、各合成フィルタ処理により得られる周波数成分のうち、一部の周波数成分を、前記周波数成分保持手段に保持させて前記合成フィルタ処理に用い、他の一部の周波数成分を、前記画像データ保持手段に保持させてから前記周波数成分保持手段に保持させる制御手段と

を備える情報処理装置。

【請求項2】

前記制御手段は、

前記合成フィルタ処理により前記画像データが復元されなかった場合、前記合成フィ

10

20

ルタ処理により得られる一部の周波数成分を前記周波数成分保持手段に保持させるとともに、他の一部の周波数成分を前記画像データ保持手段に保持させ、さらに、前記合成フィルタ処理手段を制御して、前記一部の周波数成分を用いて前記合成フィルタ処理を実行させ、

前記合成フィルタ処理により前記画像データが復元された場合、前記合成フィルタ処理により得られる前記画像データを前記画像データ保持手段に保持させるとともに、前記画像データ保持手段に保持されている前記他の一部の周波数成分を読み出して前記周波数成分保持手段に保持させ、さらに、前記合成フィルタ処理手段を制御して、前記他の一部の周波数成分を用いて前記合成フィルタ処理を実行させる

請求項 1 に記載の情報処理装置。

10

【請求項 3】

前記制御手段は、前記合成フィルタ処理手段に、前記周波数成分保持手段により保持されている前記周波数成分を優先的に前記合成フィルタ処理を行わせる

請求項 1 に記載の情報処理装置。

【請求項 4】

前記制御手段は、前記合成フィルタ処理手段に、前記周波数成分保持手段により保持されている前記周波数成分のうち、より下位の階層の周波数成分を優先的に前記合成フィルタ処理を行わせる

請求項 1 に記載の情報処理装置。

【請求項 5】

前記合成フィルタ処理手段は、互いに同じ階層の周波数帯域の周波数成分を 1 ラインずつ合成して 1 つ下位の階層の周波数成分を 2 ライン生成し、

前記制御手段は、前記合成フィルタ処理手段により生成される前記 2 ラインのうち、一方の 1 ラインを前記周波数成分保持手段に保持させ、他方の 1 ラインを前記画像データ保持手段に保持させる

請求項 1 に記載の情報処理装置。

20

【請求項 6】

前記制御手段は、前記合成フィルタ処理手段による前記合成フィルタ処理により最終的に生成される前記画像データ 2 ラインのうち、一方の 1 ラインを外部に出力させ、他方の 1 ラインを次の出力タイミングまで前記画像データ保持手段に保持させる

請求項 5 に記載の情報処理装置。

30

【請求項 7】

前記制御手段は、前記画像データが保持されていない期間に、前記合成フィルタ処理手段により生成される周波数成分の前記他方の 1 ラインを前記画像データ保持手段に保持させ、さらに、前記合成フィルタ処理手段により生成される前記ベースラインの画像データの前記他方の 1 ラインを保持させるタイミングに合わせて、そのとき保持している前記周波数成分を読み出して前記周波数成分保持手段に移動させる

請求項 6 に記載の情報処理装置。

【請求項 8】

前記画像データ保持手段は、

データの書き込みと読み出しを 1 系統で行う、前記データを保持する保持手段と、

連続して供給される複数のデータを連結し、1 つのデータとして前記保持手段に書き込んで保持させるデータ連結手段と、

前記保持手段より読み出した 1 つのデータを複数に分割し、複数のデータとして連続して出力するデータ分割手段と

を備え、

前記制御手段は、前記データ連結手段および前記データ分割手段に、前記保持手段に対する前記データの読み出しおよび書き込みを所定のデータ単位毎に交互に行わせる

請求項 1 に記載の情報処理装置。

40

【請求項 9】

50

前記周波数成分保持手段は、前記周波数成分を、前記周波数成分の階層毎に互いに独立して保持する

請求項 1 に記載の情報処理装置。

【請求項 10】

情報処理装置の情報処理方法であって、

分析フィルタ処理により階層的に複数の周波数帯域に分割された画像データの、互いに同じ階層の周波数帯域を合成する合成フィルタ処理を水平方向および垂直方向に行い、

前記合成フィルタ処理により合成されて得られる 1 つ下位の階層の周波数成分であって、さらに合成フィルタ処理可能な周波数成分を周波数成分保持部に保持させ、

前記合成フィルタ処理により復元された前記画像データを画像データ保持部に保持させ

10

、前記周波数成分保持部に保持された周波数成分を用いて前記合成フィルタ処理を前記画像データが復元されるまで再帰的に行い、

各合成フィルタ処理により得られる周波数成分のうち、一部の周波数成分を、前記周波数成分保持部に保持させて前記合成フィルタ処理に用い、他の一部の周波数成分を、前記画像データ保持部に保持させてから前記周波数成分保持部に保持させる

ステップを含む情報処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、情報処理装置および方法に関し、特に、ウェーブレット逆変換処理においてデータ保持するバッファメモリとして必要なメモリ容量を低減することができるようにした情報処理装置および方法に関する。

【背景技術】

【0002】

従来の代表的な画像圧縮方式として、ISO (International Standards Organization) によって標準化された JPEG (Joint Photographic Experts Group) や JPEG 2000 がある。これは離散コサイン変換 (Discrete Cosine Transform ; DCT) を用い、比較的高いビットが割り当てられる場合には、良好な符号化画像および復号画像を供することが知られている。

30

【0003】

近年では画像をフィルタバンクと呼ばれるハイパス・フィルタとローパス・フィルタとを組み合わせたフィルタによって複数の帯域に分割し、帯域毎に符号化を行う方式の研究が盛んになっている。その中でも、ウェーブレット変換符号化は、DCT 変換で問題になる高圧縮でのブロック歪みが無いことから、DCT に代わる新たな技術として有力視されている。

【0004】

2001 年 1 月に国際標準化が完了した JPEG 2000 は、このウェーブレット変換に高能率なエントロピ符号化 (ビットプレーン単位のビット・モデリングと算術符号化) を組み合わせた方式を採用しており、JPEG に比べて符号化効率の大きな改善を実現している。

40

【0005】

ウェーブレット変換処理 (例えば特許文献 1 参照) は基本的に画像データを入力して、水平方向のフィルタリングと垂直方向のフィルタリングを行いながら、低域成分を階層的に分割する手段を用いる。

【0006】

このウェーブレット変換処理により画像データが変換された係数データ (周波数成分) を、元の画像データに変換するウェーブレット逆変換処理は、最高レベルから最低レベルまで高域成分と低域成分を合成フィルタリングしながら、最終的に画像を復元する処理を行う。

【0007】

50

このウェーブレット逆変換処理においては、処理途中の係数データや、最終的に得られる画像データがバッファメモリに一時的に保持される。

【0008】

【特許文献1】特開平10-283342号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、メモリ容量の増大は装置の製造コストの増大に繋がる恐れがあるため、このバッファメモリにおいても小容量化が求められる。

【0010】

また、バッファメモリメモリ容量が増大すると、ウェーブレット逆変換を行う演算処理部に設けられる高速動作可能な小容量のキャッシュメモリでは容量が不足し、低速で動作する外部メモリをバッファメモリとして使用しなければならなくなることも考えられる。ウェーブレット逆変換処理においては、このようなバッファメモリに対するデータの読み出しや書き込みが頻繁に行われるため、低速の外部メモリをバッファメモリとして使用することにより、ウェーブレット逆変換処理の処理速度が低下してしまう恐れがあった。

【0011】

本発明は、このような従来の実情に鑑みて提案されたものであり、バッファメモリの使用効率を向上させることにより、ウェーブレット逆変換処理においてデータ保持するバッファメモリとして必要なメモリ容量を低減することができるようにするものである。

【課題を解決するための手段】

【0012】

本発明の一側面は、分析フィルタ処理により階層的に複数の周波数帯域に分割された画像データの、互いに同じ階層の周波数帯域を合成する合成フィルタ処理を水平方向および垂直方向に行う合成フィルタ処理手段と、前記合成フィルタ処理手段による前記合成フィルタ処理により合成されて得られる1つ下位の階層の周波数帯域の周波数成分であって、さらに前記合成フィルタ処理が可能な周波数成分を保持する周波数成分保持手段と、前記合成フィルタ処理手段による前記合成フィルタ処理により復元された前記画像データを保持する画像データ保持手段と、前記合成フィルタ処理手段を制御し、前記周波数成分保持手段により保持されている前記周波数成分を用いて前記合成フィルタ処理を前記画像データが復元されるまで再帰的に行わせ、各合成フィルタ処理により得られる周波数成分のうち、一部の周波数成分を、前記周波数成分保持手段に保持させて前記合成フィルタ処理に用い、他の一部の周波数成分を、前記画像データ保持手段に保持させてから前記周波数成分保持手段に保持させる制御手段とを備える情報処理装置である。

【0013】

前記制御手段は、前記合成フィルタ処理により前記画像データが復元されなかった場合、前記合成フィルタ処理により得られる一部の周波数成分を前記周波数成分保持手段に保持させるとともに、他の一部の周波数成分を前記画像データ保持手段に保持させ、さらに、前記合成フィルタ処理手段を制御して、前記一部の周波数成分を用いて前記合成フィルタ処理を実行させ、前記合成フィルタ処理により前記画像データが復元された場合、前記合成フィルタ処理により得られる前記画像データを前記画像データ保持手段に保持させるとともに、前記画像データ保持手段に保持されている前記他の一部の周波数成分を読み出して前記周波数成分保持手段に保持させ、さらに、前記合成フィルタ処理手段を制御して、前記他の一部の周波数成分を用いて前記合成フィルタ処理を実行させることができる。

【0014】

前記制御手段は、前記合成フィルタ処理手段に、前記周波数成分保持手段により保持されている前記周波数成分を優先的に前記合成フィルタ処理を行わせることができる。

【0015】

前記制御手段は、前記合成フィルタ処理手段に、前記周波数成分保持手段により保持されている前記周波数成分のうち、より下位の階層の周波数成分を優先的に前記合成フィル

10

20

30

40

50

タ処理を行わせることができる。

【0016】

前記合成フィルタ処理手段は、互いに同じ階層の周波数帯域の周波数成分を1ラインずつ合成して1つ下位の階層の周波数成分を2ライン生成し、前記制御手段は、前記合成フィルタ処理手段により生成される前記2ラインのうち、一方の1ラインを前記周波数成分保持手段に保持させ、他方の1ラインを前記画像データ保持手段に保持させることができる。

【0017】

前記制御手段は、前記合成フィルタ処理手段による前記合成フィルタ処理により最終的に生成される前記画像データ2ラインのうち、一方の1ラインを外部に出力させ、他方の1ラインを次の出力タイミングまで前記画像データ保持手段に保持させることができる。

10

【0018】

前記制御手段は、前記画像データが保持されていない期間に、前記合成フィルタ処理手段により生成される周波数成分の前記他方の1ラインを前記画像データ保持手段に保持させ、さらに、前記合成フィルタ処理手段により生成される前記ベースラインの画像データの前記他方の1ラインを保持させるタイミングに合わせて、そのとき保持している前記周波数成分を読み出して前記周波数成分保持手段に移動させることができる。

【0019】

前記画像データ保持手段は、データの書き込みと読み出しを1系統で行う、前記データを保持する保持手段と、連続して供給される複数のデータを連結し、1つのデータとして前記保持手段に書き込んで保持させるデータ連結手段と、前記保持手段より読み出した1つのデータを複数に分割し、複数のデータとして連続して出力するデータ分割手段とを備え、前記制御手段は、前記データ連結手段および前記データ分割手段に、前記保持手段に対する前記データの読み出しおよび書き込みを所定のデータ単位毎に交互に行わせることができる。

20

【0020】

前記周波数成分保持手段は、前記周波数成分を、前記周波数成分の階層毎に互いに独立して保持することができる。

【0021】

本発明の一側面はまた、情報処理装置の情報処理方法であって、分析フィルタ処理により階層的に複数の周波数帯域に分割された画像データの、互いに同じ階層の周波数帯域を合成する合成フィルタ処理を水平方向および垂直方向に行い、前記合成フィルタ処理により合成されて得られる1つ下位の階層の周波数成分であって、さらに合成フィルタ処理可能な周波数成分を周波数成分保持部に保持させ、前記合成フィルタ処理により復元された前記画像データを画像データ保持部に保持させ、前記周波数成分保持部に保持された周波数成分を用いて前記合成フィルタ処理を前記画像データが復元されるまで再帰的にを行い、各合成フィルタ処理により得られる周波数成分のうち、一部の周波数成分を、前記周波数成分保持部に保持させて前記合成フィルタ処理に用い、他の一部の周波数成分を、前記画像データ保持部に保持させてから前記周波数成分保持部に保持させるステップを含む情報処理方法である。

30

40

【0022】

本発明の一側面においては、分析フィルタ処理により階層的に複数の周波数帯域に分割された画像データの、互いに階層の周波数帯域を合成する合成フィルタ処理が水平方向および垂直方向に行われ、合成フィルタ処理により合成されて得られる1つ下位の階層の周波数成分であって、さらに合成フィルタ処理可能な周波数成分が周波数成分保持部に保持され、合成フィルタ処理により復元された画像データが画像データ保持部に保持され、周波数成分保持部に保持された周波数成分を用いて合成フィルタ処理が、画像データが復元されるまで再帰的に行われ、各合成フィルタ処理により得られる周波数成分のうち、一部の周波数成分が、周波数成分保持部に保持されて合成フィルタ処理に用いられ、他の一部の周波数成分が、画像データ保持部に保持されてから周波数成分保持部に保持される。

50

【発明の効果】

【0023】

本発明によれば、ウェーブレット逆変換処理を行うことができる。特に、ウェーブレット逆変換処理においてデータ保持に必要なメモリの容量を低減することができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態について説明する。

【0030】

最初に、ウェーブレット変換処理について説明する。

【0031】

ウェーブレット変換処理は、分析フィルタを用いて、画像データを空間周波数の高い帯域と低い帯域とに分割する処理である。分析フィルタには、画像データに対して画面水平方向に分析フィルタ処理を行う水平分析フィルタと、画面垂直方向に分析フィルタ処理を行う垂直分析フィルタとがあり、各方向に対して1回ずつ分析フィルタ処理が行われることにより、画像データは4つの帯域（サブバンド）に分割される。ウェーブレット変換処理では、分析フィルタ処理結果の、水平方向および垂直方向のいずれにおいても空間周波数の低い帯域に対して、上述した水平方向および垂直方向の分析フィルタ処理が再帰的に繰り返される（つまり階層的に繰り返される）。

【0032】

図1は、分析フィルタ処理が4回繰り返された場合の例を概略的に示す図である。図1の例では、水平方向および垂直方向の分析フィルタ処理が再帰的に4回繰り返されることにより、1ピクチャの画像データの周波数成分が、13個の階層的なサブバンドに分割されている。このときの各サブバンドのデータ、つまり、ベースバンドの画像データの各周波数成分を係数データと称する。

【0033】

図1において、実線の四角および点線の角丸四角のそれぞれは、分析フィルタ処理により生成されるサブバンドを示しており、各サブバンドに表記される数字は、そのサブバンドの階層のレベルを示す。つまり、ベースバンドの画像データに対して何回分析フィルタ処理することにより得られるサブバンドであるかを示している。また、各サブバンドに表記される「L」および「H」は、それぞれ低域成分および高域成分を表しており、左側が水平方向の分析フィルタ処理結果、右側が垂直方向の分析フィルタ処理結果を示している。

【0034】

図1の例では、ベースバンドの画像データに対して1回目の分析フィルタ処理が行われて、分割レベル1の4つのサブバンド（1LL、1LH、1HL、および1HH）が生成され、そのサブバンドのうち、水平方向および垂直方向の両方に対して低域成分であるサブバンド「1LL」に対して2回目の分析フィルタ処理が行われ、分割レベル2の4つのサブバンド（2LL、2LH、2HL、および2HH）が生成され、その水平方向および垂直方向の両方に対して低域成分であるサブバンド「2LL」に対して3回目の分析フィルタ処理が行われ、分割レベル3の4つのサブバンド（3LL、3LH、3HL、および3HH）が生成され、その水平方向および垂直方向の両方に対して低域成分であるサブバンド「3LL」に対して、4回目の分析フィルタ処理が行われ、分割レベル4の4つのサブバンド（4LL、4LH、4HL、および4HH）が生成されている。

【0035】

このように、低域成分に対して繰り返し変換および分割を行うのは、図2に示されるように、より上位（低域成分）のサブバンドほど、画像のエネルギーが低域成分に集中しているためである。このように分析フィルタ処理を再帰的に処理を行い、階層的なサブバンドを生成し、空間周波数の低い帯域のデータをより小さな領域に追い込んでいくことで、エントロピ符号化を行う際に効率的な圧縮符号化を可能とする。

【0036】

なお、以下において、分析フィルタ処理により生成される4つのサブバンドのうち、再度分析フィルタ処理が行われる、水平方向および垂直方向の両方に対して低域成分であるサブバンド「LL」を低域サブバンドと称し、それ以上分析フィルタ処理が行われないその他のサブバンド「LH」、「HL」、および「HH」を高域サブバンドと称する。

【0037】

このようなウェーブレット変換処理をピクチャ全体に対してまとめて行う方法もあるが、1ピクチャの画像データを数ライン毎に分割し、それぞれについてウェーブレット変換処理を互いに独立して行う方法もある。前者の場合よりも後者の場合の方が、1回のウェーブレット変換処理で処理される画像データのデータ量が少ないので、ウェーブレット変換処理の処理結果の出力開始タイミングをより早くすることができる。つまり、ウェーブレット変換処理による遅延時間を短縮することができる。

10

【0038】

なお、この場合のウェーブレット変換処理の処理単位となるライン数は、ウェーブレット変換処理の、予め定められた分割レベルにおいて、最上位レベルのサブバンドの係数データ1ラインを得るために必要なライン数に基づく。

【0039】

分析フィルタ処理により、データは4分割されるので、図2に示されるようにライン数は半減する。つまり、図2の例のように、分割レベル3のウェーブレット変換処理の場合、最上位レベルのサブバンド(3LL、3LH、3HL、および3HH)の係数データを1ライン得るためには、8ラインのベースバンドの画像データが必要になる。従ってこの場合、ウェーブレット変換処理は、ベースバンドの画像データ8ライン以上を処理単位としてウェーブレット変換処理が行われる。図1の例のように分割レベルが4である場合、ベースバンドの画像データは、16ライン必要になる。

20

【0040】

このように、最上位レベルの低域サブバンド「LL」の係数データを1ライン生成するために必要なベースバンドの画素データの集合をプレシント(Precinct)(またはラインブロック)と称する。なお、プレシントは、この最上位レベルの低域サブバンド「LL」の係数データを1ライン生成するために必要なベースバンドの画素データの集合と実質的に同一な、1プレシント分の画素データをウェーブレット変換して得られる、全サブバンドの係数データの集合のことを示す場合もある。

30

【0041】

なお、1プレシントのライン数はピクチャ内において、各プレシントで互いに同一でなくてもよい。

【0042】

このようなウェーブレット変換処理の分析フィルタとしては、例えば、JPEG2000規格でも採用される 5×3 フィルタや 9×7 フィルタがある。このようなフィルタを用いる分析フィルタ処理における演算方法で最も一般的な演算方法は、畳み込み演算と呼ばれる方法である。この畳み込み演算は、デジタルフィルタの最も基本的な実現手段であり、フィルタのタップ係数に、実際の入力データを畳み込み乗算するものである。しかしながら、この畳み込み演算では、タップ長が長いとその分、計算負荷が増えてしまう場合もある。

40

【0043】

これに対応する方法として、論文「W.Swelden, "The lifting scheme :A custom-design construction of Biorthogonal wavelets.", Appl. Comput. Harmon. Anal., vol3, no.2, pp.186-200, 1996」で紹介されたウェーブレット変換のリフティング技術が知られている。

【0044】

図3は、 9×7 フィルタのリフティング構成を示す模式図である。図3の例において、1段目(最上段)は、入力画像のサンプル群(画素列)を示し、2, 3段目は、それぞれステップA1およびステップA2の処理で生成される成分(係数)を示す。また、4段目

50

は、ステップA3の処理で生成される高域成分出力を示し、5段目は、ステップA4の処理で生成される低域成分出力を示している。最上段部は、入力画像のサンプル群に限らず、前の分析フィルタ処理で得られた係数であってもよい。ここでは、最上段部が入力画像のサンプル群であるものとし、四角印()が偶数番目のサンプルまたはライン、丸印()が奇数番目のサンプルまたはラインとする。

【0045】

つまり、この場合、ステップA3の処理で高域成分が得られ、ステップA4の処理で低域成分が得られる。なお、ステップA1乃至ステップA4の処理は、次の式(1)乃至式(4)で表される。

【0046】

$$\text{stepA1} : d_i^1 = d_i^0 + (s_i^0 + s_{i+1}^0) \cdots (1)$$

$$\text{stepA2} : s_i^1 = s_i^0 + (d_{i-1}^1 + d_i^1) \cdots (2)$$

$$\text{stepA3} : d_i^2 = d_i^1 + (s_i^1 + s_{i+1}^1) \cdots (3)$$

$$\text{stepA4} : s_i^2 = s_i^1 + (d_{i-1}^2 + d_i^2) \cdots (4)$$

【0047】

ただし、

$$= -1.586134342$$

$$= -0.05298011857$$

$$= 0.8829110755$$

$$= 0.4435068520$$

【0048】

このように、リフティング技術を適用した分析フィルタ処理においては、ステップA1およびA2の処理が行われ、ステップA3で、高域成分の係数が生成された後に、ステップA4で、低域成分の係数が生成される。この際に用いられるフィルタバンクは、式(1)乃至式(4)に示されるように、加算とシフト演算のみで実現できる。したがって、計算量を大幅に低減することができる。

【0049】

このようなウェーブレット変換処理が施されて得られた係数データは、例えば、エンタロピ符号化されて符号化データに変換される。この符号化データは、利用時に、エンタロピ復号され、上述したウェーブレット変換処理に対応するウェーブレット逆変換処理により元のベースバンドの画像データが復元される。

【0050】

つまり、図4に示されるように、ウェーブレット逆変換処理は、ウェーブレット変換処理の逆変換処理であり、ウェーブレット変換処理によってベースバンドの画像データが変換されたウェーブレット係数を、元のベースバンドの画像データに変換(逆変換)する処理である。従って、図4に示されるように、分割レベル4のウェーブレット変換処理が行われた場合、ウェーブレット逆変換処理も分割レベル4で行われる。また、図4に示されるように、例えば入力ベースバンド画像データ16ラインを1プレシントとして、ウェーブレット変換処理がそのプレシント毎に行われた場合、ウェーブレット逆変換処理も、そのプレシント毎に行われ、1プレシントの係数データよりベースバンド画像データ16ラインを復元する。

【0051】

以下に、このウェーブレット逆変換処理においてバッファとして必要なメモリ量を低減させる方法について説明する。

【0052】

図5は、本発明を適用したウェーブレット逆変換装置の構成例を示すブロック図である。図5に示されるように、ウェーブレット逆変換装置100は、分割レベル4でウェーブレット変換された係数データを入力し、それらを合成する合成フィルタ処理を行う帯域合成装置である。図5のウェーブレット逆変換装置100は、制御部101、セクタ111、垂直合成フィルタ部112、途中計算用バッファ部113、水平合成フィルタ部11

10

20

30

40

50

4、セクタ115、出力バッファ部116、セクタ117、およびレベル別バッファ部120を有する。

【0053】

制御部101は、セクタ111乃至レベル別バッファ部120の各部の動作を制御する。セクタ111は、制御部101に制御されて、垂直合成フィルタ部112の入力として、外部入力(D10)、またはレベル別バッファ部120内の各分割レベル用のバッファ部の出力(D19、D22、およびD25)のいずれかを選択する。垂直合成フィルタ部112は、制御部101に制御されて、セクタ111により選択されたバッファ部または外部入力より、処理対象の分割レベルの4つのサブバンドの係数データを実質的に1ラインずつ取得する(D11)。

10

【0054】

垂直合成フィルタ部112は、制御部101に制御されて、途中計算用バッファ部113より読み出した途中計算用の係数を利用して、取得した係数データに対して、ベースバンドの画像データの画像垂直方向の周波数成分について合成フィルタ処理を行う。

【0055】

詳細については後述するが、垂直合成フィルタ部112は、合成フィルタ処理として行う合成フィルタ演算により生成される係数を途中計算用バッファ部113に書き込む(D12)と同時に、次の合成フィルタ演算で必要な係数を途中計算用バッファ部113より読み出し(D13)ながら、合成フィルタ演算を繰り返すことにより合成フィルタ処理を行う。この垂直方向の合成フィルタ処理により、垂直方向の低域成分と高域成分が合成され、水平方向の低域成分と高域成分が2ラインずつ生成される。

20

【0056】

入力された係数データに対する合成フィルタ処理が終了すると、垂直合成フィルタ部112は、途中計算用バッファ部113に保持されている水平方向の低域成分と高域成分を、合成フィルタ処理結果として、所定の順序で、例えばライン毎に画面左から右に向かう順に1つずつ交互に、読み出して水平合成フィルタ部114に供給する(D14)。

【0057】

水平合成フィルタ部114は、制御部101に制御され、垂直合成フィルタ部112より供給される係数データに対して、ベースバンドの画像データの画像水平方向の周波数成分について合成フィルタ処理を行う。

30

【0058】

この水平方向の合成フィルタ処理により、1つ下位レベルの垂直方向および水平方向に低域成分のサブバンドである低域サブバンドの係数データ(またはベースバンドの画像データ)が2ライン生成される。水平合成フィルタ部114は、その低域サブバンドの係数データ(またはベースバンドの画像データ)2ラインをセクタ115に出力する(D15)。

【0059】

以上のように、垂直合成フィルタ部112および水平合成フィルタ部114は、1回の垂直方向および水平方向の合成フィルタ処理により、実質的に、処理対象の分割レベルの各サブバンドの、互いに同じ位置の係数データ1ラインを合成し、1つ下位レベルの低域サブバンドの係数データ、またはベースバンドの画像データを2ライン生成する。

40

【0060】

つまり、図6に示されるように、1プレシントがNラインの画像データより構成されるとすると、垂直合成フィルタ部112および水平合成フィルタ部114は、例えば、分割レベル2の4つのサブバンドの係数データを実質的にN/4ライン合成し、分割レベル1の低域サブバンドの係数データをN/2ライン生成する。

【0061】

垂直合成フィルタ部112および水平合成フィルタ部114は、処理対象の分割レベルを適宜変更しながらこのような合成フィルタ処理を繰り返すことにより、プレシント単位でウェーブレット変換された係数データを全てベースバンドの画像データに変換する。

50

そして、垂直合成フィルタ部 1 1 2 および水平合成フィルタ部 1 1 4 は、全プレシントおよび全ピクチャについて合成処理を同様に繰り返す。このようにプレシント単位で合成フィルタ処理を行うことにより、画像全体を対象として合成フィルタ処理を行う場合よりも、一度に処理するデータのデータ量が低減されるので、ウェーブレット逆変換装置 1 0 0 は、ウェーブレット逆変換による遅延時間を低減させることができる。また、上述したようにライン単位で合成フィルタ処理を行うことにより、より詳細に制御可能になるので、ウェーブレット逆変換装置 1 0 0 は、ウェーブレット逆変換処理をより最適化し、より遅延時間を低減させることができる。

【 0 0 6 2 】

図 5 に戻り、セレクタ 1 1 5 は、制御部 1 0 1 に制御されて、水平合成フィルタ部 1 1 4 のデータ出力先を選択し、合成フィルタ処理により生成される係数データのうち、一部の係数データをレベル別バッファ部 1 2 0 に供給して保持させ、他の一部の係数データを出力バッファ部 1 1 6 に供給して保持させる。例えば、セレクタ 1 1 5 は、水平合成フィルタ部 1 1 4 より供給される低域サブバンドの係数データ 2 ラインのうち、一方の 1 ラインを出力バッファ部 1 1 6 に供給して保持させ (D 1 6)、他方の 1 ラインをレベル別バッファ部 1 2 0 に供給し、レベル別バッファ部 1 2 0 の、その係数データの分割レベル用のバッファ部に保持させる (D 1 7 , D 2 0、および D 2 3)。

10

【 0 0 6 3 】

なお、水平合成フィルタ部 1 1 4 より供給されるデータがベースバンドの画像データである場合、セレクタ 1 1 5 は、その画像データ 2 ラインを出力バッファ部 1 1 6 に供給し (D 1 6)、一方の 1 ラインを保持させ、他方の 1 ラインを外部に出力させる。

20

【 0 0 6 4 】

出力バッファ部 1 1 6 は、制御部 1 0 1 に制御されて、セレクタ 1 1 5 より供給される係数データや画像データを、必要に応じて保持し、保持しているデータを必要に応じて読み出してセレクタ 1 1 7 に出力する。例えば、セレクタ 1 1 5 よりサブバンドの係数データが 1 ライン供給された場合、出力バッファ部 1 1 6 は、その係数データを保持する。また、例えば、合成フィルタ処理により最終的に生成されたベースバンドの画像データ 2 ラインがセレクタ 1 1 5 より供給された場合、出力バッファ部 1 1 6 は、その一方の 1 ラインを外部に出力する (D 2 6) とともに、他方の 1 ラインを、次の出力タイミングまで保持する。このベースバンドの画像データを保持するとき、出力バッファ部 1 1 6 は、内蔵するメモリに保持している係数データを読み出してセレクタ 1 1 7 に出力しながら (D 2 6)、ベースバンドの画像データを内蔵するメモリに書き込む。

30

【 0 0 6 5 】

セレクタ 1 1 7 は、制御部 1 0 1 に制御されて、出力バッファ部 1 1 6 のデータ出力先を制御する。例えば、出力バッファ部 1 1 6 より係数データが供給された場合、セレクタ 1 1 7 は、その係数データを、レベル別バッファ部 1 2 0 に供給し (D 2 8 , D 2 9、および D 3 0)、レベル別バッファ部 1 2 0 の、その係数データの分割レベル用のバッファ部に保持させる。また、例えば、出力バッファ部 1 1 6 よりベースバンドの画像データが供給された場合、セレクタ 1 1 7 は、そのベースバンドの画像データを外部に出力する (D 2 7)。

40

【 0 0 6 6 】

レベル別バッファ部 1 2 0 は、制御部 1 0 1 に制御されて、セレクタ 1 1 5 やセレクタ 1 1 7 より供給される係数データや外部より供給された、再度合成フィルタ処理可能な係数データを、再度合成フィルタ処理が行われるまで、その係数データの分割レベル用のバッファ部に保持する。レベル別バッファ部 1 2 0 は、必要に応じて、保持している係数データをセレクタ 1 1 1 に供給する。

【 0 0 6 7 】

レベル別バッファ部 1 2 0 は、レベル 3 バッファ部 1 2 1、レベル 2 バッファ部 1 2 2、およびレベル 1 バッファ部 1 2 3 を有する。

【 0 0 6 8 】

50

レベル3バッファ部121は、制御部101に制御されて、分割レベル3の係数データのセクタ111（セクタ111を介して垂直合成フィルタ部112）への供給を制御する。例えば、レベル3バッファ部121は、セクタ115やセクタ117より供給された（D17およびD28）分割レベル3の低域サブバンドの係数データ（3LL）や、外部より供給された（D18）分割レベル3の高域サブバンド（3LH、3HL、および3HH）の係数データを内蔵するメモリに保持する。そして、レベル3バッファ部121は、所定のタイミングで、内蔵するメモリに保持している分割レベル3の各サブバンドの係数データを多重化し、セクタ111を介して垂直合成フィルタ部112に供給する（D19）。

【0069】

10

レベル2バッファ部122は、制御部101に制御されて、分割レベル2の係数データのセクタ111（セクタ111を介して垂直合成フィルタ部112）への供給を制御する。例えば、レベル2バッファ部122は、セクタ115やセクタ117より供給された（D20およびD29）分割レベル2の低域サブバンドの係数データ（2LL）や、外部より供給された（D21）分割レベル2の高域サブバンド（2LH、2HL、および2HH）の係数データを内蔵するメモリに保持する。そして、レベル2バッファ部122は、所定のタイミングで、内蔵するメモリに保持している分割レベル2の各サブバンドの係数データを多重化し、セクタ111を介して垂直合成フィルタ部112に供給する（D22）。

【0070】

20

レベル1バッファ部123は、制御部101に制御されて、分割レベル1の係数データのセクタ111（セクタ111を介して垂直合成フィルタ部112）への供給を制御する。例えば、レベル1バッファ部123は、セクタ115やセクタ117より供給された（D23およびD30）分割レベル1の低域サブバンドの係数データ（1LL）や、外部より供給された（D24）分割レベル1の高域サブバンド（1LH、1HL、および1HH）の係数データを内蔵するメモリに保持する。そして、レベル1バッファ部123は、所定のタイミングで、内蔵するメモリに保持している分割レベル1の各サブバンドの係数データを多重化し、セクタ111を介して垂直合成フィルタ部112に供給する（D25）。

【0071】

30

なお、図5に示されるレベル別バッファ部120の構成は、ウェーブレット逆変換装置100において分割レベル4のウェーブレット逆変換処理が行われる場合の例である。レベル別バッファ部120の構成は、最上位レベル以外の分割レベルの係数データを互いに独立して保持するように、ウェーブレット逆変換装置100が行うウェーブレット逆変換処理の分割レベルに応じて設定される。つまり、レベル別バッファ部120は、最上位レベル以外の分割レベルのそれぞれについて、レベル3バッファ部121乃至レベル1バッファ部123のような専用のバッファ部を有する。

【0072】

また、図5において、垂直合成フィルタ部112、途中計算用バッファ部113、水平合成フィルタ部114、およびセクタ115は合成フィルタ処理に関する処理部であり、これらをまとめてフィルタ部131とも称する。また、出力バッファ部116およびセクタ117は、基本的に画像データ出力に関する処理部であり、これらをまとめて出力制御部132とも称する。

40

【0073】

次に、垂直合成フィルタ部112および水平合成フィルタ部114により実行される合成フィルタ処理の演算方法について説明する。図3を参照して上述した分析フィルタ処理の場合と同様に、効率的にフィルタ処理を実行することができることから、ウェーブレット逆変換の合成フィルタ処理においても、同様にリフティング技術を用いることが好ましい。

【0074】

50

図7は、JPEG2000規格でも採用されている9×7合成フィルタのリフティング構成を示している。通常の畳み込み演算と異なり、リフティング手段による方法では、以下のステップB1乃至ステップB4までの4個のステップを経て、偶数成分と奇数成分を算出する。

【0075】

図7の例において、1段目（最上段）は、ウェーブレット変換により生成された係数であり、丸印（○）が高域成分の係数を示し、四角印（□）が低域成分の係数を示す。2、3段目は、それぞれステップB1およびステップB2の処理で生成される成分（係数）を示す。また、4段目は、ステップB3の処理で生成される偶数成分出力を示し、5段目は、ステップB4の処理で生成される奇数成分出力を示している。

10

【0076】

9×7合成フィルタリングにおいては、ステップB3の処理で偶数成分が得られ、ステップB4の処理で奇数成分が得られる。なお、ステップB1乃至ステップB4の処理は、次の式（5）乃至式（8）で表される。

【0077】

$$\text{stepB1: } s_i^1 = s_i^2 - (d_{i-1}^2 + d_i^2) \quad \dots (5)$$

$$\text{stepB2: } d_i^1 = d_i^2 - (s_{i-1}^1 + s_{i+1}^1) \quad \dots (6)$$

$$\text{stepB3: } s_i^0 = s_i^1 - (d_{i-1}^1 + d_i^1) \quad \dots (7)$$

$$\text{stepB4: } d_i^0 = d_i^1 - (s_i^0 + s_{i+1}^0) \quad \dots (8)$$

【0078】

ただし、

$$= -1.586134342$$

$$= -0.05298011857$$

$$= 0.8829110755$$

$$= 0.4435068520$$

20

【0079】

このように、リフティング技術を適用した合成フィルタリングにおいては、ステップB1およびステップB2の処理が行われ、ステップB3で、偶数成分の係数が生成された後に、ステップB4で、奇数成分の係数が生成される。この際に用いられるフィルタバンクは、式（5）乃至式（8）に示されるように、除算とシフト演算のみで実現できる。したがって、計算量を大幅に低減することができる。

30

【0080】

垂直合成フィルタ部112により実行される垂直合成フィルタ処理の処理について具体的に説明する。図8は、垂直方向の係数データ群に対しての垂直合成フィルタ処理を、図7のリフティング構成により実行する場合の例を示している。

【0081】

図8の例においては、垂直方向の係数データに対して、図7で上述した4つのステップ（ステップB1乃至ステップB4）の処理を経て、偶数番目の係数データ（以下、偶数係数とも称する）と奇数番目の係数データ（以下、奇数係数とも称する）が生成される例が示されており、リフティングのステップの方向は、図中左から右に進む。

40

【0082】

また、垂直方向の係数データの左側に示される数字は、ライン番号を示しており、左から1列目のハッチが付された丸および四角は、それぞれ、画面垂直方向の高域成分の入力である高域入力、および、画面垂直方向の低域成分の入力である低域入力を表している。さらに、2列目以降の丸および四角は、それぞれ、リフティング演算の過程で生成される高域係数および低域係数を表しており、その中でも、黒丸および黒四角は、それぞれ、リフティング演算の結果である、ライン番号が奇数のラインの係数データである奇数係数、およびライン番号が偶数のラインの係数データである偶数係数を表している。

【0083】

以下、動作について左から順に説明する。図8の左側には、垂直方向にライン番号4乃

50

至6の3ラインの係数が入力されて、垂直方向のリフティング構成による演算（すなわち、垂直リフティング演算）が行われる場合の例が示されている。なお、いまの場合、最上段の偶数係数は、奇数係数と組みになっていないのでその説明を省略する。

【0084】

この垂直リフティング演算のステップB3において1番目の偶数係数を求め、ステップB4において1番目の奇数係数を求めるためには、ライン番号0乃至5の6ラインの係数が必要である。

【0085】

その後、2番目の偶数係数と奇数係数を求めるためには、太線実線で示される3つの係数と、丸数字で示されるライン番号6および7の2ラインの係数が必要であり、さらに、ステップB2のQ1が示される係数を算出するためには、丸数字で示されるライン番号5の係数も必要である。

【0086】

太線実線で示される3つの係数は、1番目の偶数係数および奇数係数を求めるための垂直リフティング演算（以下、1番目の垂直リフティング演算と称する）の過程で生成される係数のうちの一部である。

【0087】

したがって、2番目の偶数係数と奇数係数を求めるためには、結局、丸数字で示されるライン番号5乃至7の3ラインの係数の入力が必要である。ただし、ここでライン番号5の係数は再入力される係数なので、実質的に2ライン（ライン番号6および7）の係数の追加入力となる。この垂直方向の3ラインの係数データ（実質的に2ラインの係数データ）は、図5のレベル別バッファ部120の対応するレベルのバッファ部から、レベル毎に読み出される。すなわち、現在のウェーブレット変換の分割レベルが2であれば、レベル2バッファ部122から係数データが読み出される。

【0088】

さらに、2番目の偶数係数と奇数係数を求めるためには、1番目の偶数係数と奇数係数を求めるための垂直リフティング演算の過程において生成される太線実線で示される3つの係数が必要になる。これらの係数は、2番目の偶数係数と奇数係数が求められた後に途中計算用バッファ部113に保持されるので、その途中計算用バッファ部113より読み出される。

【0089】

つまり、1番目の垂直リフティング演算で途中計算用バッファ部113に記憶されていた太線実線で示される3つの係数と、対応するレベルのバッファ部から読み出され入力されるライン番号5乃至7の3ラインの係数が用いられて垂直リフティング演算が行われることにより、2番目の偶数係数と奇数係数を含めた4つの係数（太線点線で示される）が得られる。これらの係数は、1番目の垂直リフティング演算の場合と同様に、途中計算用バッファ部113に記憶される。このとき、これらの係数の書き込みと同時に、次の垂直リフティング演算に利用する係数を途中計算用バッファ部113より読み出す。図8の左側の例の場合、途中計算用バッファ部113に記憶された係数のうち、一点鎖線で示される3つの係数が3番目の偶数係数と奇数係数を求めるために必要な係数であるので、途中計算用バッファ部113より読み出される。

【0090】

ライン番号7の係数の読み出しの後、2ラインの係数が追加して読み出される場合、すなわち、垂直方向にライン番号7乃至9の3ラインの係数が入力されて、垂直リフティング演算が行われる場合の例が、図8の右側に示されている。

【0091】

2番目の場合と同様に、3番目の偶数係数と奇数係数を求めるためには、太線実線で示される3つの係数と、丸数字で示されるライン番号8および9の2ラインの係数が必要であり、さらに、ステップB2のQ2が示される係数を算出するためには、丸数字で示されるライン番号7の係数も必要である。

10

20

30

40

50

【 0 0 9 2 】

なお、右側の太線実線で示される3つの係数は、左側の太線点線で示されるように、2番目の垂直リフティング演算で途中計算用バッファ部113に記憶されている。

【 0 0 9 3 】

したがって、2番目の垂直リフティング演算で記憶されていた太線実線で示される3つの係数と、対応するレベルのバッファから読み出されて入力されるライン番号7乃至9の3ラインの係数がいられて垂直リフティング演算が行われることにより、3番目の偶数係数と奇数係数を含めた4つの係数（太線点線で示される）が得られる。これらの係数は、途中計算用バッファ部113に記憶される。このとき、これらの係数の書き込みと同時に、次の垂直リフティング演算に利用する係数を途中計算用バッファ部113より読み出す。図8の右側の例の場合、途中計算用バッファ部113に記憶された係数のうち、一点鎖線で示される3つの係数が3番目の偶数係数と奇数係数を求めるために必要な係数であるので、途中計算用バッファ部113より読み出される。

10

【 0 0 9 4 】

以上のようにして、入力された係数データと、途中計算用バッファ部113に保持されている係数を利用して垂直リフティング演算が、画面の最下位のラインまで実行されることで、垂直方向の合成フィルタ処理が完了される。

【 0 0 9 5 】

次に、水平合成フィルタ部114により実行される水平合成フィルタ処理について具体的に説明する。図9は、垂直方向の合成フィルタリングの結果を水平方向に並べて、水平合成フィルタリングを、図7のリフティング構成により実行する様子の例を示している。

20

【 0 0 9 6 】

図9の例においては、水平方向の係数に対して、図7を参照して上述した4つのステップ（ステップB1乃至ステップB4）の処理を経て、奇数係数と偶数係数が生成される例が示されており、リフティングのステップの方向は、図中上から下に進む。

【 0 0 9 7 】

また、水平方向の係数の上に示される数字は、列（コラム）番号を示しており、上から1段目のハッチが付された丸および四角は、それぞれ、高域入力および低域入力を表しており、2段目以降の丸および四角は、それぞれ、リフティング演算の過程で生成される高域係数および低域係数を表しており、その中でも、黒丸および黒四角は、それぞれ、リフティング演算の結果である奇数係数および偶数係数を表している。

30

【 0 0 9 8 】

以下、動作について上から順に説明する。図9の上段には、水平方向にコラム番号5乃至7の3コラムの係数が入力されて水平方向のリフティング構成による演算（以下、水平リフティング演算と称する）が行われる場合の例が示されている。なお、いまの場合、最左側の偶数係数は奇数係数と組みになっていないのでその説明を省略する。

【 0 0 9 9 】

この水平リフティング演算のステップB3において1番目の偶数係数を求め、ステップB4において1番目の奇数係数を求めるためには、コラム番号0乃至5の6コラムの係数が必要である。

40

【 0 1 0 0 】

その後、2番目の奇数係数と偶数係数を求めるためには、太線実線で示される3つの係数と、丸数字で示されるコラム番号6および7の2コラムの係数が必要であり、さらに、ステップB2のQ1が示される係数を算出するためには、丸数字で示されるコラム番号5の係数も必要である。

【 0 1 0 1 】

太線実線で示される3つの係数は、1番目の奇数係数および偶数係数を求めるための水平リフティング演算（以下、1番目の水平リフティング演算とも称する）の過程で生成される係数のうちの一部である。

【 0 1 0 2 】

50

すなわち、2番目の奇数係数と偶数係数を求めるためには、結局、丸数字で示されるコラム番号5乃至7の3コラムの係数の入力が必要であり、さらに、1番目の水平リフティング演算の過程において生成される太線実線で示される3つの係数を、ラッチしておく必要がある。実際には、高々3つの係数であるので、水平合成フィルタ部114に、ラッチとしてよく用いられるフリップフロップを内蔵することで対応できる。

【0103】

したがって、1番目の水平リフティング演算でラッチされていた太線実線で示される3つの係数と、入力されたコラム番号5乃至7の3コラムの係数が用いられて水平リフティング演算が行われることにより、その演算過程および終了時においては、2番目の奇数係数と偶数係数を含めた4つの係数（太線点線で示される）が得られる。このうち、一点鎖線
10
で示される3つの係数は、3番目の奇数係数と偶数係数を求めるために必要な係数であるので、内蔵されるフリップフロップにラッチされる。

【0104】

コラム番号7の係数の入力の後、水平方向に2コラムの係数が追加入力される場合、すなわち、水平方向にコラム番号7乃至9の3コラムの係数が入力されて、水平リフティング演算が行われる場合の例が、図9の下段に示されている。

【0105】

2番目の場合と同様に、3番目の奇数係数と偶数係数を求めるためには、太線実線で示される3つの係数と、丸数字で示されるコラム番号8および9の2コラムの係数が必要であり、さらに、ステップB2のQ2が示される係数を算出するためには、丸数字で示される
20
コラム番号7の係数も必要である。

【0106】

なお、下段の太線実線で示される3つの係数は、上段の一点鎖線で示されるように、2番目の水平リフティング演算でラッチされている。

【0107】

したがって、2番目の水平リフティング演算でラッチされていた太線実線で示される3つの係数と、新たに入力されるコラム番号7乃至9の3コラムの係数が用いられて水平リフティング演算が行われることにより、3番目の奇数係数と偶数係数を含めた4つの係数（太線点線で示される）が得られる。このうち、一点鎖線で示される3つの係数は、4番
30
目の奇数係数と偶数係数を求めるために必要な係数であるので、内蔵されるフリップフロップにラッチされる。

【0108】

以上のようにして、3コラム分の係数を順次入力しながら、途中計算用の3つの係数を保持しながら、水平リフティング演算が、画面の最右端のコラムまで実行されることで、水平方向の合成フィルタリングが完了される。

【0109】

以上に説明した途中計算用バッファ部113にはどのようなメモリを用いるようにしても良いが、途中計算用バッファ部113に保持される係数の一部は、後のリフティング演算に使用されるために再度読み出される。つまり、途中計算用バッファ部113への係数の書き込みや読み出しは頻繁に行われる。
40

【0110】

そこで、途中計算用バッファ部113において、係数読み出しと係数書き込みを並行して行うことができるようにし、係数の書き込みや読み出しによる遅延時間を短縮させるのが望ましい。図10は、途中計算用バッファ部113の構成例を示すブロック図である。

【0111】

図10に示されるように、途中計算用バッファ部113は、データ連結部141、1ポートSRAM（Static Random Access Memory）142、およびデータ分割部143を有する。

【0112】

データ連結部141は、垂直合成フィルタ部112より連続的に供給される2つの16
50

ビットのデータを連結して32ビットのデータを生成し、1ポートSRAM142に供給する。データ連結部141は、セクタ151、遅延部152、およびパッキング部153を有する。

【0113】

セクタ151は、連続して供給される16ビットのデータ2つを1組とし、先に供給される一方を遅延部152に供給し、後に供給される他方をパッキング部153に振り分ける。遅延部152は、供給された16ビットのデータのタイミングを1サイクル分(次のデータ供給タイミングまで)遅延させてからパッキング部153に供給する。つまり、パッキング部153には、2つの16ビットデータが同時に供給される。パッキング部153は、それら2つの16ビットデータを連結させて1つの32ビットデータを生成し、その32ビットデータを1ポートSRAM142に供給して保持させる。

10

【0114】

データ分割部143は、1ポートSRAM142より32ビットデータを読み出し、1つの32ビットデータを2つの16ビットデータに分割して出力する。データ分割部143は、16ビット分離部154、遅延部155、およびセクタ156を有する。

【0115】

16ビット分離部154は、1ポートSRAM142より読み出された32ビットデータを上位16ビットと下位16ビットで分離し、2つの16ビットデータを生成し、上位16ビットの16ビットデータをセクタ156に供給し、下位16ビットの16ビットデータを遅延部155に供給する。遅延部155は、16ビット分離部154より供給された下位16ビットの16ビットデータのタイミングを1サイクル分遅延させてからセクタ156に供給する。セクタ156は、1サイクル毎に、入力を16ビット分離部154または遅延部155に交互に切り換える。これにより2つの16ビットデータは連続的に順次出力される。

20

【0116】

1ポートSRAM142は、データの書き込みと読み出しを1系統で行う記憶媒体であり、制御部101に制御されて、データ連結部141のパッキング部153より供給される32ビットデータを記憶し、記憶している32ビットデータをデータ分割部143の16ビット分離部154に出力する。

【0117】

データ記憶に使われるメモリの中でRAM(Random Access Memory)は、データの読み書きを電气的に行うため、動作が高速であるが、単位面積当たりの価格が高いため、大量には使いにくいという欠点がある。RAMの一種に、記憶素子としてフリップフロップ回路を用いるSRAMがある。SRAMは、記憶保持のための動作を必要とせず、高速動作が利点だが、回路が複雑になるので集積度が低減する恐れがある。つまり、集積度を向上させるためには、SRAMの容量をいかに少なくすることができるかが重要なポイントになる。

30

【0118】

一般に、SRAMには、データの入出力を同時に行うことができない1ポートSRAMと、データ入出力が同時に実行可能な2ポートSRAMの2つがあり、それぞれ、図11Aまたは図11Bのような入出力端子を有する。

40

【0119】

つまり、1ポートSRAMは、図11Aに示されるように、一般的に、クロック信号「CLK」が入力される端子、チップイネーブル信号「CEN」が入力される端子、データ入出力を制御するイネーブル信号「EN」が入力される端子、32ビットデータを書き込むアドレス、または、32ビットデータを読み出すアドレスを指定するアドレス情報「ADR」が入力される端子、書き込み用の32ビットデータ「WD」が入力される端子、および、読み出された32ビットデータ「RD」が出力される端子を有する。

【0120】

これに対して、2ポートSRAMは、図11Bに示されるように、一般的に、書き込み用のクロック信号「WCLK」が入力される端子、書き込み制御用のイネーブル信号「WEN」が入

50

力される端子、32ビットデータを書き込むアドレスを指定する書き込み用のアドレス情報「WADR」が入力される端子、書き込み用の32ビットデータ「WD」が入力される端子、読み出し用のクロック信号「RCLK」が入力される端子、読み出し制御用のイネーブル信号「REN」が入力される端子、32ビットデータを読み出すアドレスを指定する読み出し用のアドレス情報「RADR」が入力される端子、および、読み出された32ビットデータ「RD」が出力される端子を有する。

【0121】

図11Aに示される1ポートSRAMの場合、チップイネーブル信号「CEN」は、読み出し動作と書き込み動作を切り替える信号であり、イネーブル信号「EN」とアドレス情報「ADR」の2つの信号は、読み出し動作と書き込み動作で共有されている。例えば、チップイネーブル信号「CEN」が読み出し動作を指定する場合、イネーブル信号「EN」は読み出し動作タイミングを制御する信号となり、アドレス情報「ADR」は読み出すデータのアドレスを指定する信号となる。逆に、チップイネーブル信号「CEN」が書き込み動作を指定する場合、イネーブル信号「EN」は書き込み動作タイミングを制御する信号となり、アドレス情報「ADR」はデータを書き込むアドレスを指定する信号となる。つまり、1ポートSRAMは、読み出し動作と書き込み動作を同時に行うことができない。

10

【0122】

これに対して、図11Bに示される2ポートSRAMの場合、書き込み動作を制御する信号と読み出し動作を制御する信号が、互いに完全に独立している。つまり、2ポートSRAMは、自由なタイミングで読み出し動作および書き込み動作が可能であり、読み出し動作と書き込み動作を並行して行うこともできる。

20

【0123】

図12は、1ポートSRAMと2ポートSRAMで、4つのデータの書き込みを行い、さらに、すぐにそれらのデータを読み出す場合のタイミングチャートを示す模式図である。図12Aは、1ポートSRAMの場合のタイミングチャートの例を示し、図12Bは、2ポートSRAMの場合のタイミングチャートの例を示す。

【0124】

図12Aに示されるように、1ポートSRAMの場合、イネーブル信号「EN」に従って、4つのデータが連続的に書き込まれ(4サイクル)、SRAMのレイテンシ(遅延)により1サイクル経過後、書き込まれた4つのデータが、連続的に読み出される(4サイクル)。従って、1ポートSRAMは、4つのデータの書き込みおよび読み出しの処理に、合計9サイクルの時間を必要とする。なお、「サイクル」は、処理の同期タイミング、つまり、時分割の単位となる時間を示している。例えば、ここではデータの書き込みまたは読み出しのタイミング(またはその周期)を示している。

30

【0125】

これに対して、図12Bに示されるように、2ポートSRAMの場合、書き込み制御用のイネーブル信号「WEN」、および、読み出し制御用のイネーブル信号「REN」の両方が存在するので、4つのデータの読み出し動作と書き込み動作は並列化することが出来る。従って図12Bに示されるように、2ポートSRAMは、読み出し動作および書き込み動作が4サイクルで実行可能であり、1サイクルのレイテンシと合わせて合計5サイクルで処理を終了することができる。

40

【0126】

HDTV(High Definition Television)の場合、1ラインの水平サイズは1920画素であるので、その1ライン分の係数を1ポートSRAMに書き込み、さらに読み出すと、 $1920 \times 2 = 3840$ サイクル必要になってしまう。つまり、合成フィルタ処理において途中計算用バッファ部113として1ポートSRAMを単純に適用すると、遅延時間が増大してしまう恐れがある。

【0127】

このサイクル数を減らすためには、1ポートSRAMの代わりに2ポートSRAMを用いるようにすればよいが、2ポートSRAMは、内部に1ポートSRAMの構成を2つ有するのと略等価で

50

あり、製造コストが高価であり、かつ、回路面積が略2倍になる。通常の場合、メモリの回路規模は、LSI (Large Scale Integration) チップの中での占有率が高く、メモリ面積の増大はそのままチップ面積の増大に繋がる恐れがある。

【0128】

そこで、途中計算用バッファ部113として1ポートSRAMを適用し、図10に示されるようにデータ連結部141を用いて1ポートSRAM142に書き込むデータを連結して32ビット化し、また、1ポートSRAM142よりデータを32ビット単位で読み出し、データ分割部143を用いてその32ビットデータを2つの16ビットデータに分離することにより、1ポートSRAM142に対するデータの読み出しと書き込みを並行して動作することができるようにする。

10

【0129】

図13のタイミングチャートを参照して、図10の途中計算用バッファ部113の各部の動作の流れについて説明する。

【0130】

図13の上から4段目に示されるように、最初のサイクルにおいて供給される16ビットの書き込み用データ(WD16bit)「0」が供給されると、データ連結部141のセクタ151は、そのデータ「0」を、遅延部152を介して1サイクル遅延させてパッキング部153に供給する。そして、2番目のサイクルにおいて供給される16ビットの書き込み用データ「1」が供給されると、データ連結部141のセクタ151は、そのデータ「1」をパッキング部153に供給する。パッキング部153は、2サイクル目において、それらのデータ「0」および「1」を連結して32ビットの書き込み用データ(WD32bit)「0,1」を生成し、図13の上から1段目乃至3段目に示される書き込み指示に従って、そのデータ「0,1」をアドレス「0」に書き込む。

20

【0131】

また、データ連結部141のセクタ151は、図13の上から4段目に示されるように、3番目のサイクルにおいて16ビットの書き込み用データ(WD16bit)「2」が供給されると、そのデータ「2」を、遅延部152を介して1サイクル遅延させてパッキング部153に供給する。つまりこの3サイクル目においては、1ポートSRAM142への書き込みは行われない。

【0132】

従って、データ分割部143の16ビット分離部154は、その3サイクル目において、図13の上から1段目乃至3段目に示される読み出し指示に従って、アドレス「0」に書き込まれた32ビットデータを読み出し、その読み出したデータ(RD32bit) (「0,1」)を、2つの16ビットデータ(データ「0」およびデータ「1」)に分離する。16ビット分離部154は、分離した一方のデータ「0」をセクタ156に供給するとともに、他方のデータ「1」を、遅延部155を介して1サイクル遅延させてセクタ156に供給する。セクタ156は、それらのデータ「0」およびデータ「1」を順次出力する(RD16bit)。

30

【0133】

上述したように3サイクル目において遅延されてパッキング部153に供給されたデータ「2」は、4サイクル目においてデータ連結部141のセクタ151より遅延部152を介さずにパッキング部153に供給された16ビットの書き込み用データ「3」と、4サイクル目において連結され、32ビットの書き込み用データ(WD32bit)「2,3」が生成される。パッキング部153は、4サイクル目において、図13の上から1段目乃至3段目に示される書き込み指示に従って、そのデータ「2,3」をアドレス「1」に書き込む。

40

【0134】

3サイクル目と同様に、データ分割部143の16ビット分離部154は、5サイクル目において、図13の上から1段目乃至3段目に示される読み出し指示に従って、アドレス「1」に書き込まれた32ビットデータを読み出し、その読み出したデータ(RD32bi

50

t) (「2, 3」)を、2つの16ビットデータ(データ「2」およびデータ「3」)に分離する。16ビット分離部154は、分離した一方のデータ「2」をセクタ156に供給するとともに、他方のデータ「3」を、遅延部155を介して1サイクル遅延させてセクタ156に供給する。セクタ156は、それらのデータ「2」およびデータ「3」を順次出力する(RD16bit)。

【0135】

以上のように、2つの16ビットデータを32ビットデータとして1ポートSRAMに対して読み出しおよび書き込みを行うことにより、途中計算用バッファ部113は、データ連結部141による書き込み、およびデータ分割部143による読み出しを、時分割により、同時並行的に行うことができ、合計5サイクルで4つのデータを1ポートSRAM142に書き込み、さらに、読み出すことができる。なお、ここで「同時並行的」とは、書き込みの開始から終了までの時間と読み出しの開始から終了までの時間が互いに重なっていることを示すものであり、厳密に言えばこれらの読み出しと書き込みの作業は「同時」に行われず、また「並行」して行われない(時分割されて交互に実行される)。

10

【0136】

このようにすることにより、ウェーブレット逆変換装置100は、途中計算用バッファ部113の回路規模の増大を抑制するとともに、途中計算用バッファ部113を高速に動作させることができ、ウェーブレット逆変換における遅延時間の増大を抑制することができる。

【0137】

なお、以上においては1ポートSRAM142が32ビット単位でデータの入出力を行うように説明したが、1ポートSRAM142に対するデータ入出力のデータ単位は任意である。また、途中計算用バッファ部113へのデータの入出力は16ビット単位で行われるように説明したが、途中計算用バッファ部113に対するデータ入出力のデータ単位も任意である。つまり、図10に示されるデータ連結部141およびデータ分割部143の構成は一例であり、実際には、1ポートSRAM142に対するデータ入出力のデータ単位と、途中計算用バッファ部113に対するデータ入出力のデータ単位によって決定される。

20

【0138】

しかしながら基本的な構造は図10の例と同様である。つまり、データ連結部141は、途中計算用バッファ部113に輸入される所定のデータ単位の複数のデータを連結して、1ポートSRAM142のデータ入力単位のデータを、1つまたは複数生成し、そのデータを1ポートSRAM142に供給して保持させる。また、データ分割部143は、1ポートSRAM142より、1ポートSRAM142のデータ出力単位のデータを読み出し、そのデータを、途中計算用バッファ部113のデータ出力単位の複数のデータに分離し、途中計算用バッファ部113より出力させる。1ポートSRAM142は、データ入出力単位でデータの読み出しと書き込みを交互に行う。

30

【0139】

また、図5の出力バッファ部116においても同様に1ポートSRAMを利用する。これにより、制御部101は、水平合成フィルタ部114より出力されたベースバンドの画像データを出力バッファ部116に記憶させると同時に、出力バッファ部116に保持されている係数データをレベル別バッファ部120に供給させることができる。

40

【0140】

図14は、図5の出力バッファ部116の内部の構成例を示すブロック図である。図14に示されるように、出力バッファ部116は、制御部171、セクタ172、データ連結部173、1ポートSRAM174、およびデータ分割部175を有する。

【0141】

制御部171は、セクタ172乃至データ分割部175の各部の動作を制御する。セクタ172は、制御部171に制御されて、水平合成フィルタ部114(図5)より供給されるデータの供給先を決定する。例えば、セクタ172は、水平合成フィルタ部114より供給されるサブバンドの係数データをデータ連結部173に供給する。また、セ

50

レクタ172は、水平合成フィルタ部114より供給されるベースバンドの画像データの2ラインのうち、一方をセクタ117(図5)に供給し、他方をデータ連結部173に供給する。

【0142】

データ連結部173は、図10のデータ連結部141に対応し、データ連結部141と同様の構成を有し、同様に動作する。1ポートSRAM174は、1ポートSRAM142と同様の構成を有し、同様に動作する。データ分割部175は、図10のデータ分割部143に対応し、データ分割部143と同様の構成を有し、同様に動作する。

【0143】

つまり、データ連結部173は、セクタ151と同様のセクタ181、遅延部152と同様の遅延部182、並びに、パッキング部153と同様のパッキング部183を有し、図15に示されるように、2サイクルに渡ってセクタ172より供給される2つの16ビットデータを連結して32ビットデータを生成し、それを1サイクルで、1ポートSRAM174に供給して記憶させる。

10

【0144】

また、データ分割部175は、16ビット分離部154と同様の16ビット分離部184、遅延部155と同様の遅延部185、並びに、セクタ156と同様のセクタ186を有し、図15に示されるように、1ポートSRAM174より32ビットデータを1サイクルで読み出し、その32ビットデータを分離して2つの16ビットデータを生成し、それを2サイクルかけて外部に出力させる。このように、出力バッファ部116の1ポートSRAM174に対するデータの読み出しと書き込みは、図15に示されるように、1サイクル毎に交互に繰り返され、32ビットデータが読み書きされる。従って、読み出しと書き込みが同時並行的に行われる。

20

【0145】

つまり、図14の点線で囲まれる部分は、図10に示される途中計算用バッファ部113の構成と同様である。

【0146】

このような構成により、出力バッファ部116は、ベースバンドの画像データを1ポートSRAM174に記憶させると同時並行的に、1ポートSRAM174に記憶されている係数データを読み出してレベル別バッファ部120に供給することができる。

30

【0147】

次に、各処理の流れについて説明する。図16のフローチャートを参照して、図5のウェーブレット逆変換装置100によるウェーブレット逆変換処理の流れの例を説明する。ウェーブレット逆変換処理が開始されると、制御部101は、ステップS101において処理対象プレシントを初期化する。ステップS102において、制御部101は、所定のタイミングであるか否かを判定し、所定のタイミングであると判定するまで待機する。ステップS102において所定のタイミングであると判定された場合、処理はステップS103に進む。ステップS103において、垂直合成フィルタ部112および水平合成フィルタ部114は、1つ下位の分割レベルの係数データ1ライン、または、ベースバンドの画像データ1ラインを生成する、ライン単位ウェーブレット逆変換処理を実行する。このライン単位ウェーブレット逆変換処理の詳細については後述する。

40

【0148】

ライン単位ウェーブレット逆変換処理が終了すると処理はステップS104に進む。ステップS104において、制御部101は、プレシント内の全ての係数データを処理したか否かを判定する。処理していないと判定された場合、処理はステップS102に戻り、それ以降の処理が繰り返される。また、ステップS104において、プレシント内の全ての係数データを処理したと判定された場合、処理はステップS105に進む。

【0149】

ステップS105において、制御部101は、ピクチャ内の全てのプレシントを処理したか否かを判定する。未処理のプレシントが存在すると判定された場合、処理はステ

50

ップS 1 0 6に進む。ステップS 1 0 6において、制御部1 0 1は、処理対象プレシントを更新し、次のプレシントを処理対象とする。ステップS 1 0 6の処理が終了されると、処理はステップS 1 0 2に戻りそれ以降の処理が繰り返される。

【0 1 5 0】

また、ステップS 1 0 5において、ピクチャ内の全てのプレシントを処理したと判定された場合、ウェーブレット逆変換処理は終了される。なお、このウェーブレット逆変換処理はピクチャ毎に実行される。

【0 1 5 1】

次に、図1 6のステップS 1 0 3において実行されるライン単位ウェーブレット逆変換処理の流れの例を図1 7および図1 8のフローチャートを参照して説明する。

10

【0 1 5 2】

ライン単位ウェーブレット逆変換処理が開始されると、制御部1 0 1は、ステップS 1 2 1において、出力バッファ部1 1 6にベースバンドの画像データが存在するか否かを判定する。後述するように、ライン単位ウェーブレット逆変換処理が1 回行われる毎にベースバンド画像データが2 ライン生成される。生成されたベースバンド画像データは1 ラインずつ出力するので、残りの1 ラインは出力バッファ部1 1 6に蓄積され、次の所定のタイミング(図1 6のステップS 1 0 2において判定されるタイミング) において、つまり、次にライン単位ウェーブレット逆変換処理が実行される際に出力される。

【0 1 5 3】

つまり、ステップS 1 2 1の処理は、前回のライン単位ウェーブレット逆変換処理においてベースバンドの画像データが生成され、出力バッファ部1 1 6に蓄積されているか否かを判定する。

20

【0 1 5 4】

出力バッファ部1 1 6にベースバンドの画像データが蓄積されていないと判定された場合、処理は、ステップS 1 2 2に進む。

【0 1 5 5】

ステップS 1 2 2において、制御部1 0 1は、レベル別バッファ部1 2 0に係数データが存在するか否かを判定する。ウェーブレット逆変換処理においては、繰り返し実行される合成フィルタ処理のそれぞれにおいて、4 つのサブバンドの係数が1 ラインずつ合成されて1 つ下位のレベルの低域サブバンドの係数が2 ライン生成され、そのうち一方は出力バッファ部1 1 6を介してレベル別バッファ部1 2 0に保持される。詳細については後述するが、ライン単位ウェーブレット逆変換処理においては、ベースバンドの画像データを2 ラインずつピクチャの上から順に生成するので、レベル別バッファ部1 2 0に係数が存在する場合、その係数から処理することになる。

30

【0 1 5 6】

ステップS 1 2 2において、レベル別バッファ部1 2 0に係数が存在しないと判定された場合、処理はステップS 1 2 3に進む。ステップS 1 2 3において、制御部1 0 1は、処理対象分割レベルを最上位レベルに設定する。ステップS 1 2 3の処理が終了すると、処理は図1 8のステップS 1 3 1に進む。

【0 1 5 7】

また、図1 7のステップS 1 2 2において、レベル別バッファ部1 2 0に係数が存在すると判定された場合、処理はステップS 1 2 4に進む。ステップS 1 2 4において、制御部1 0 1は、処理対象分割レベルを、係数データが存在する分割レベルのうち、最も下位のレベルに設定する。ステップS 1 2 4の処理が終了すると、処理は図1 8のステップS 1 3 1に進む。

40

【0 1 5 8】

図1 8のステップS 1 3 1において、制御部1 0 1は、処理対象分割レベルが最上位レベルであるか否かを判定する。最上位レベルであると判定された場合、処理はステップS 1 3 2に進む。ステップS 1 3 2において、垂直合成フィルタ部1 1 2は、セクタ1 1 1を介して、処理対象プレシントの最上位レベルの全サブバンドの係数データを外部よ

50

り取得する。係数データが取得されると処理はステップS 1 3 5に進む。また、ステップS 1 3 1において、処理対象分割レベルが最上位レベルでないと判定された場合、処理はステップS 1 3 3に進む。ステップS 1 3 3において、垂直合成フィルタ部1 1 2は、処理対象レベルの低域サブバンドの係数データを、セクタ1 1 1を介して、レベル別バッファ部1 2 0の、処理対象分割レベルのバッファ部より取得する。また、垂直合成フィルタ部1 1 2は、ステップS 1 3 4において、処理対象分割レベルの高域サブバンドの係数データを、セクタ1 1 1を介して外部より取得する。ステップS 1 3 4の処理が終了すると、処理はステップS 1 3 5に進む。

【0 1 5 9】

ステップS 1 3 5において、垂直合成フィルタ部1 1 2は、垂直合成フィルタ処理（垂直合成フィルタリング）を実行する。垂直合成フィルタ処理の詳細については後述する。垂直合成フィルタ処理が終了すると、水平合成フィルタ部1 1 4は、ステップS 1 3 6において、水平合成フィルタ処理（水平合成フィルタリング）を実行する。

10

【0 1 6 0】

ステップS 1 3 7において、制御部1 0 1は、ステップS 1 3 6の水平フィルタ処理により、ベースバンドの画像データが生成されたか否かを判定する。生成されたのは途中レベルの係数データであると判定された場合、処理はステップS 1 3 8に進む。ステップS 1 3 8において、水平合成フィルタ部1 1 4は、セクタ1 1 5を介して、生成した1つ下位のレベルの低域サブバンドの係数データ2ラインのうち、後の1ラインを出力バッファ部1 1 6に保存する。

20

【0 1 6 1】

ステップS 1 3 9において、水平合成フィルタ部1 1 4は、生成した1つ下位のレベルの低域サブバンドの係数データ2ラインのうち、先の1ラインをレベル別バッファ部1 2 0の1つ下位のレベルのバッファ部に保存する。ステップS 1 4 0において、制御部1 0 1は、処理対象分割レベルを1つ下位の分割レベルに変更する。ステップS 1 4 0の処理が終了すると処理はステップS 1 3 1に戻りそれ以降の処理が繰り返される。

【0 1 6 2】

つまり、ウェーブレット逆変換装置1 0 0は、ベースバンドの画像データ2ラインを生成するまで、ステップS 1 3 1乃至ステップS 1 4 0の処理を繰り返し、処理対象分割レベルを1つずつ下位のレベルに遷移させながら各レベルにおいて合成フィルタ処理を行う。

30

【0 1 6 3】

そして、分割レベル1において合成フィルタ処理が行われ、ステップS 1 3 7において、ベースバンドの画像データが生成されたと判定された場合、処理はステップS 1 4 1に進む。ステップS 1 4 1において、出力バッファ部1 1 6は、水平合成フィルタ部1 1 4において生成された画像データ2ラインを取得し、後述するバッファ入出力処理を実行し、後の1ラインを内蔵する1ポートSRAM 1 7 4に書き込むと同時に、1ポートSRAM 1 7 4に記憶されている係数データを読み出す。

【0 1 6 4】

出力バッファ部1 1 6は、ステップS 1 4 2において、読み出した係数データを、セクタ1 1 7を介して、レベル別バッファ部1 2 0の、それぞれに対応する分割レベルのバッファ部に書き込む。ステップS 1 4 3において、出力バッファ部1 1 6は、水平合成フィルタ部1 1 4において生成された画像データ2ラインのうち、先の1ラインを、セクタ1 1 7を介して外部に出力する。ステップS 1 4 3の処理が終了すると、ライン単位ウェーブレット逆変換処理は終了され、図1 6のステップS 1 0 3に処理が戻され、ステップS 1 0 4以降の処理が実行される。

40

【0 1 6 5】

また、図1 7のステップS 1 2 1において、出力バッファ部1 1 6にベースバンドの画像データが1ライン存在すると判定された場合、処理は、ステップS 1 2 5に進む。出力バッファ部1 1 6は、ステップS 1 2 5において、内蔵する1ポートSRAM 1 7 4よりその

50

ベースバンドの画像データ1ラインを読み出し、セレクタ117を介して外部に出力する。画像データが出力されると、ライン単位ウェーブレット逆変換処理は終了され、図16のステップS103に処理が戻され、ステップS104以降の処理が実行される。

【0166】

このように、合成フィルタ処理により2ラインずつ生成されるので、1ラインは出力バッファ部116に蓄積するようにし、出力バッファ部116にベースバンドの画像データが存在する場合は、その画像データを出力し、存在しない場合は、合成フィルタリング処理を行うことにより画像データを生成するようにしている。このようにすることにより、ウェーブレット逆変換装置100は、ライン単位ウェーブレット逆変換処理を実行する度に、ベースバンドの画像データを所定のタイミングで1ラインずつ出力させることができる。

10

【0167】

次に、図18のステップS135において実行される垂直合成フィルタ処理の詳細な流れの例を、図19のフローチャートを参照して説明する。

【0168】

垂直フィルタ処理を開始すると、垂直合成フィルタ部112は、ステップS161において、図7および図8を参照して説明したような垂直方向の合成リフティング演算（垂直合成リフティング演算）を行い、ステップS162において、バッファ入出力処理を行い、途中計算用バッファ部113に対して、ステップS161の垂直合成リフティング演算により算出された係数を書き込むとともに、次の演算に必要な係数を読み出す。このデータの入力と出力を同時並行的に行うバッファ入出力処理の詳細については後述する。

20

【0169】

バッファ入出力処理が終了すると、垂直合成フィルタ部112は、ステップS163において、垂直合成フィルタ処理を終了するか否かを判定する。今回取得した全係数データについて垂直リフティング演算が終了しておらず、まだ未処理の係数が存在すると判定された場合、処理は、ステップS161に戻り、それ以降の処理が繰り返される。つまり、ステップS161およびステップS162の処理が繰り返し実行されることにより、取得した全ての係数に対して垂直リフティング演算が行われる。そして、ステップS163において、処理を終了すると判定された場合、つまり、今回取得された全ての係数に対して垂直リフティング演算が行われたと判定した場合、垂直合成フィルタ処理が終了される。

30

【0170】

次に、図10の途中計算用バッファ部113により、図19のステップS162において実行されるバッファ入出力処理の詳細の流れの例を図20のフローチャートを参照して説明する。

【0171】

バッファ入出力処理が開始されると、データ分割部143は、ステップS181において、垂直合成フィルタ部112より指定された32ビットデータを、バッファ、すなわち、1ポートSRAM142より読み出し、ステップS182において、読み出した32ビットデータを2つの16ビットデータに分割して外部、すなわち垂直合成フィルタ部112に出力する。ステップS183において、データ連結部141は、外部、すなわち垂直合成フィルタ部112より供給される書き込み用の2つの16ビットデータを連結して1つの32ビットデータにまとめ、ステップS184において、その書き込み用の32ビットデータをバッファ、すなわち、1ポートSRAM142に書き込む。

40

【0172】

ステップS185においてデータ連結部141およびデータ分割部143は、データの読み出しおよび書き込みが全て終了したか否かを判定し、まだ読み出していないデータまたはまだ書き込んでいないデータが存在すると判定した場合、処理をステップS181に戻し、それ以降の処理を繰り返す。ステップS185において、データの読み出しおよび書き込みが全て終了されたと判定した場合、バッファ入出力処理が終了される。

【0173】

50

以上のように処理することにより、途中計算用バッファ部 113 は、図 13 を参照して説明したように、読み出しと書き込みの処理を交互に行い、両処理を全体として同時並行的に実行することができる。

【0174】

なお、図 14 を参照して説明したように、出力バッファ部 116 も図 10 の途中計算用バッファ部 113 と同様の構成を有しており、ベースバンドの画像データ 1 ラインの書き込みと、係数データの読み出しとを同時並行的に実行することができる。つまり、図 18 のステップ S141 において実行されるバッファ入出力処理も、図 20 のフローチャートを参照して説明した途中計算用バッファ部 113 の場合と同様に行われる。従って、図 20 のフローチャートを用いて行った説明は、図 18 のステップ S141 において実行されるバッファ入出力処理にも適用することができる。ただし、1ポートSRAM 174 に書き込まれるベースバンドの画像データは、セレクタ 115 を介して水平合成フィルタ部 114 より供給され、1ポートSRAM 174 より読み出された各分割レベルの係数データは、セレクタ 117 を介してレベル別バッファ部 120 に供給される。

【0175】

以上のような、ライン単位ウェーブレット逆変換処理の流れの具体的な例を図 21 に模式的に示す。図 21 においては、各分割レベルにおける処理と各バッファの入出力について、係数データの遷移の様子が示されている。なおここでは、係数データの分割レベルは 4 とする。つまり、最上位レベルは 4 である。

【0176】

図 21 の左上に示されるように、ライン単位ウェーブレット逆変換処理が開始されたとき処理対象分割レベルは最上位レベルに設定されるので、最初に分割レベル 4 のサブバンド HH の係数 1 ラインとサブバンド LH の係数 1 ラインよりなるデータ 4 HH / LH、および、サブバンド HL の係数 1 ラインとサブバンド LL の係数 1 ラインよりなるデータ 4 HL / LL が外部、例えば、ウェーブレット逆変換装置 100 の前段の処理部や記憶部等（いずれも図示せず）より垂直合成フィルタ部 112 に供給される（データ 201 およびデータ 202）。つまり、垂直合成フィルタ部 112 には、分割レベル 4 の各サブバンドの係数が 1 ラインずつ入力される。

【0177】

垂直合成フィルタ部 112 および水平合成フィルタ部 114 は、これらの係数に対して合成フィルタ処理を行い、1つ下位の分割レベルの低域サブバンドの係数 1 ラインであるデータ 3 LL - 1（データ 203）およびデータ 3 LL - 2（データ 204）を生成する。つまり、垂直合成フィルタ部 112 および水平合成フィルタ部 114 は、合成フィルタ処理により、1つ下位の分割レベル（分割レベル 3）の低域サブバンドの係数を 2 ライン生成する。

【0178】

それらの内、一方のデータ 3 LL - 1（データ 203）は、セレクタ 115 を介してレベル別バッファ部 120 のレベル 3 バッファ部 121 に供給されて記憶される（データ 205）。他方のデータ 3 LL - 2（データ 204）は、出力バッファ部 116 に書き込まれて保持される（データ 206）。

【0179】

ここで処理対象レベルが 1つ下位のレベル 3 に設定される。垂直合成フィルタ部 112 は、外部より分割レベル 3 の高域サブバンドの係数を 1 ラインずつ取得するとともに、レベル 3 バッファ部 121 に保持されているデータ 3 LL - 1 を読み出して（データ 208）取得する。つまり、垂直合成フィルタ部 112 には、データ 3 HH / LH（データ 207）およびデータ 3 HL / LL（データ 209）のように、分割レベル 3 の各サブバンドの係数が 1 ラインずつ入力される。データ 3 HH / LH は、分割レベル 3 のサブバンド HH の係数 1 ラインとサブバンド LH の係数 1 ラインを示しており、データ 3 HL / LL は、分割レベル 3 のサブバンド HL の係数 1 ラインとサブバンド LL の係数 1 ラインを示している。

10

20

30

40

50

【 0 1 8 0 】

垂直合成フィルタ部 1 1 2 および水平合成フィルタ部 1 1 4 は、これらの係数に対して合成フィルタ処理を行い、1つ下位の分割レベルの低域サブバンドの係数 1 ラインであるデータ 2 L L - 1 (データ 2 1 0) およびデータ 2 L L - 2 (データ 2 1 1) を生成する。つまり、垂直合成フィルタ部 1 1 2 および水平合成フィルタ部 1 1 4 は、合成フィルタ処理により、1つ下位の分割レベル(分割レベル 2)の低域サブバンドの係数を 2 ライン生成する。

【 0 1 8 1 】

それらの内、一方のデータ 2 L L - 1 (データ 2 1 0) は、セクタ 1 1 5 を介してレベル別バッファ部 1 2 0 のレベル 2 バッファ部 1 2 2 に供給されて記憶される(データ 2 1 2)。他方のデータ 2 L L - 2 (データ 2 1 1) は、出力バッファ部 1 1 6 に書き込まれて保持される(データ 2 1 3)。

10

【 0 1 8 2 】

ここでまた処理対象レベルが1つ下位のレベル 2 に設定される。垂直合成フィルタ部 1 1 2 は、外部より分割レベル 2 の高域サブバンドの係数を 1 ラインずつ取得するとともに、レベル 2 バッファ部 1 2 2 に保持されているデータ 2 L L - 1 を読み出して(データ 2 2 2) 取得する。つまり、垂直合成フィルタ部 1 1 2 には、データ 2 H H / L H (データ 2 2 1) およびデータ 2 H L / L L (データ 2 2 3) のように、分割レベル 2 の各サブバンドの係数が 1 ラインずつ入力される。データ 2 H H / L H は、分割レベル 2 のサブバンド H H の係数 1 ラインとサブバンド L H の係数 1 ラインを示しており、データ 2 H L / L L は、分割レベル 2 のサブバンド H L の係数 1 ラインとサブバンド L L の係数 1 ラインを示している。

20

【 0 1 8 3 】

垂直合成フィルタ部 1 1 2 および水平合成フィルタ部 1 1 4 は、これらの係数に対して合成フィルタ処理を行い、1つ下位の分割レベルの低域サブバンドの係数 1 ラインであるデータ 1 L L - 1 (データ 2 2 4) およびデータ 1 L L - 2 (データ 2 2 5) を生成する。つまり、垂直合成フィルタ部 1 1 2 および水平合成フィルタ部 1 1 4 は、合成フィルタ処理により、1つ下位の分割レベル(分割レベル 1)の低域サブバンドの係数を 2 ライン生成する。

【 0 1 8 4 】

それらの内、一方のデータ 1 L L - 1 (データ 2 2 4) は、セクタ 1 1 5 を介してレベル別バッファ部 1 2 0 のレベル 1 バッファ部 1 2 3 に供給されて記憶される(データ 2 2 6)。他方のデータ 1 L L - 2 (データ 2 2 5) は、出力バッファ部 1 1 6 に書き込まれて保持される(データ 2 2 7)。

30

【 0 1 8 5 】

ここでまた処理対象レベルが1つ下位のレベル 1 に設定される。垂直合成フィルタ部 1 1 2 は、外部より分割レベル 1 の高域サブバンドの係数を 1 ラインずつ取得するとともに、レベル 1 バッファ部 1 2 3 に保持されているデータ 1 L L - 1 を読み出して(データ 2 3 2) 取得する。つまり、垂直合成フィルタ部 1 1 2 には、データ 1 H H / L H (データ 2 3 1) およびデータ 1 H L / L L (データ 2 3 3) のように、分割レベル 1 の各サブバンドの係数が 1 ラインずつ入力される。データ 1 H H / L H は、分割レベル 1 のサブバンド H H の係数 1 ラインとサブバンド L H の係数 1 ラインを示しており、データ 1 H L / L L は、分割レベル 1 のサブバンド H L の係数 1 ラインとサブバンド L L の係数 1 ラインを示している。

40

【 0 1 8 6 】

垂直合成フィルタ部 1 1 2 および水平合成フィルタ部 1 1 4 は、これらの係数に対して合成フィルタ処理を行い、それぞれがベースバンドの画像データ 1 ラインを示すベースバンド画像データ - 1 (データ 2 3 4) およびベースバンド画像データ - 2 (データ 2 3 5) を生成する。つまり、垂直合成フィルタ部 1 1 2 および水平合成フィルタ部 1 1 4 は、合成フィルタ処理により、ベースバンドの画像データを 2 ライン生成する。

50

【 0 1 8 7 】

それらの内、一方のベースバンド画像データ - 1 (データ 2 3 4) は、そのまま出力され (データ 2 3 6)、他方のベースバンド画像データ - 2 (データ 2 3 5) は、出力バッファ部 1 1 6 に書き込まれて保持される (データ 2 3 7)。この書き込みと同時並行的に、出力バッファ部 1 1 6 に記憶されていた、分割レベル 3 の低域サブバンドの係数であるデータ 3 L L - 2 (データ 2 3 8) は読み出されてレベル別バッファ部 1 2 0 のレベル 3 バッファ部 1 2 1 に供給されて記憶され (データ 2 3 9)、分割レベル 2 の低域サブバンドの係数であるデータ 2 L L - 2 (データ 2 4 0) は読み出されてレベル別バッファ部 1 2 0 のレベル 2 バッファ部 1 2 2 に供給されて記憶され (データ 2 4 1)、分割レベル 1 の低域サブバンドの係数であるデータ 1 L L - 2 (データ 2 4 2) は読み出されてレベル別バッファ部 1 2 0 のレベル 1 バッファ部 1 2 3 に供給されて記憶される (データ 2 4 3)。

10

【 0 1 8 8 】

図 1 7 および図 1 8 のフローチャートを参照して説明したライン単位ウェーブレット逆変換処理が 1 回行われる毎に、図 2 1 に示されるようにデータが処理される。出力バッファ部 1 1 6 に記憶されたベースバンド画像データ - 2 (データ 2 3 7) は、次のライン単位ウェーブレット逆変換処理において外部に出力される。レベル別バッファ部 1 2 0 の各バッファに蓄積された係数は、さらにその次の回以降において処理される。

【 0 1 8 9 】

以上のように、各分割レベルの合成フィルタ処理により下位の分割レベルの係数が 2 ラインずつ生成されるが、合成フィルタ処理においては 1 ラインずつしか処理されない。つまり、生成された 2 ラインの係数のうち、一方のラインは次の合成フィルタ処理に使用されるが、他方のラインは、次回以降のライン単位ウェーブレット逆変換処理まで不要になる。つまり、生成された 2 ラインを同時にレベル別バッファ部 1 2 0 に蓄積させる必要はない。そこで、ウェーブレット逆変換装置 1 0 0 は、これらの 2 ライン係数の蓄積タイミングを互いにずらし、1 ラインずつレベル別バッファ部 1 2 0 に蓄積させている。このようにすることにより、レベル別バッファ部 1 2 0 に必要な容量を低減させることができる。

20

【 0 1 9 0 】

レベル別バッファ部 1 2 0 は、保持している係数を、頻繁にセレクト 1 1 1 を介して垂直合成フィルタ部 1 1 2 に供給する必要があるため、データの読み書きに共有バスを介する必要がある外部メモリのような低速でのアクセスしかできないメモリで実現すると、合成フィルタ処理の処理速度が極端に低下してしまい、ウェーブレット逆変換処理による遅延時間が増大する恐れがある。そこで、レベル別バッファ部 1 2 0 は、所謂キャッシュメモリのような、合成フィルタ処理が行われる CPU を含む LSI チップ内部に設けられ、共有バスを介さずに高速にアクセスが可能なメモリにより実現するのが望ましい。

30

【 0 1 9 1 】

しかしながら、キャッシュメモリのメモリ容量が増大すると回路規模が増大してしまうため、LSI チップのチップサイズも増大してしまう。つまり、キャッシュメモリの容量の増大は装置の製造コストの増大に繋がる恐れがある。従って、キャッシュメモリの容量には実質的に上限があり、また、コスト低減のためには、小容量であるほど望ましい。

40

【 0 1 9 2 】

そのため、レベル別バッファ部 1 2 0 に蓄積するデータ量が増大すると、小容量のキャッシュメモリでは容量が不足する恐れがある。その場合、低速で動作する外部メモリをバッファメモリとして使用しなければならなくなるが、上述したように、ウェーブレット逆変換処理による遅延時間が増大する恐れがある。また、この場合、キャッシュメモリで発生するミスヒットの処理やデータ退避等により、さらにその遅延時間が増大する恐れがある。

【 0 1 9 3 】

従って、上述したように、合成フィルタ処理により生成された係数を 1 ラインずつレベ

50

ル別バッファ部 1 2 0 に蓄積させるようにし、レベル別バッファ部 1 2 0 に必要な容量を低減させることにより、このような遅延時間の増大や製造コストの増大を低減させることができる。

【 0 1 9 4 】

また、上述したように、ウェーブレット逆変換装置 1 0 0 は、合成フィルタ処理により生成された係数 2 ラインのうち、直ぐにレベル別バッファ部 1 2 0 に蓄積させない方のラインは、出力バッファ部 1 1 6 に蓄積させる。

【 0 1 9 5 】

出力バッファ部 1 1 6 は、本来、ベースバンドの画像データを 1 ラインずつ出力させるために、同時に 2 ライン生成されたベースバンドの画像データの一方のラインを蓄積するバッファである。換言すれば、ベースバンドの画像データが生成されるまでは使用されないため、上述したように、この未使用の期間を利用して、直ぐにレベル別バッファ部 1 2 0 に蓄積させない係数を、レベル別バッファ部 1 2 0 に蓄積させた係数の合成フィルタ処理が終了するまで一時的に蓄積させる。つまり、出力バッファ部 1 1 6 を利用して、レベル別バッファ部 1 2 0 への蓄積タイミングをずらしている。

【 0 1 9 6 】

出力バッファ部 1 1 6 もレベル別バッファ部 1 2 0 と同様に、ウェーブレット逆変換処理による遅延時間を低減させるために、高速動作可能なキャッシュメモリにより実現するのが望ましいが、このように空き時間（ベースバンドの画像データが保持されていない期間に）を利用して係数を記憶させることにより、キャッシュメモリ（出力バッファ部 1 1 6 ）の容量を増大させることなく、合成フィルタ処理により生成された係数を 1 ラインずつレベル別バッファ部 1 2 0 に蓄積させることができる。

【 0 1 9 7 】

つまり、ウェーブレット逆変換装置 1 0 0 は、係数データや画像データをバッファリングするキャッシュメモリの使用効率を向上させることにより、ウェーブレット逆変換処理においてデータ保持するバッファメモリとして必要なメモリ容量を低減することができる。

【 0 1 9 8 】

なお、直ぐにレベル別バッファ部 1 2 0 に蓄積させない係数を外部メモリに退避させることも考えられるが、遅延時間を増大させないようにするためにはタイミング制御が複雑になる恐れがある。上述したように出力バッファ部 1 1 6 を利用することにより、容易に合成フィルタ処理により生成された係数を 1 ラインずつレベル別バッファ部 1 2 0 に蓄積させることができる。

【 0 1 9 9 】

また、図 1 4 のブロック図や図 2 0 のフローチャートを参照して説明したように、出力バッファ部 1 1 6 は、ベースバンドの画像データの書き込みと係数の読み出しを同時並行的に実行することができるようになされている。このようにすることにより、係数を出力バッファ部 1 1 6 からレベル別バッファ部 1 2 0 に移動させることによる遅延時間の増大を抑制することができる。

【 0 2 0 0 】

次に、1 プレシント分のウェーブレット逆変換処理の流れのより具体的な例を、図 2 2 乃至図 2 4 を参照して説明する。図 2 2 乃至図 2 4 において、丸で囲まれた数字は、プレシント内におけるラインの識別番号であり、本明細書においては、この識別番号を囲む丸は省略して説明する。また、ここでは分割レベル 4 でウェーブレット変換された係数に対するウェーブレット逆変換処理について説明する。

【 0 2 0 1 】

図 2 2 に示されるように、1 回目のライン単位ウェーブレット逆変換処理が開始されると、最初に、最上位レベルである分割レベル 4 の各サブバンドの係数 1 ラインずつ（4 L L / H L / L H / H H ）について、合成フィルタ処理が行われる（矢印 S 1 ）。この合成フィルタ処理により、分割レベル 3 の低域サブバンドの 1 ライン目の係数 3 L L 1 と、2

10

20

30

40

50

ライン目の係数 $3L L 2$ が生成される(矢印 $S 2$)。次に、その1ライン目の係数 $3L L 1$ と、新たに入力された分割レベル3の高域サブバンドの係数1ラインずつ($3H L / L H / H H$)について、合成フィルタ処理が行われ(矢印 $S 3$)、分割レベル2の低域サブバンドの1ライン目の係数 $2L L 1$ と、2ライン目の係数 $2L L 2$ が生成される(矢印 $S 4$)。続いて、その1ライン目の係数 $2L L 1$ と、新たに入力された分割レベル2の高域サブバンドの係数1ラインずつ($2H L / L H / H H$)について、合成フィルタ処理が行われ(矢印 $S 5$)、分割レベル1の低域サブバンドの1ライン目の係数 $1L L 1$ と、2ライン目の係数 $1L L 2$ が生成される(矢印 $S 6$)。さらに、その1ライン目の係数 $1L L 1$ と、新たに入力された分割レベル1の高域サブバンドの係数1ラインずつ($1H L / L H / H H$)について、合成フィルタ処理が行われ(矢印 $S 7$)、ベースバンドの1ライン目の画像データBase 1と、2ライン目の画像データBase 2が生成される(矢印 $S 8$)。

10

【0202】

1ライン目の画像データBase 1は直ぐに外部に出力され、2ライン目の画像データBase 2は、一旦出力バッファ部116に保持され、次の出力タイミング(2回目のライン単位ウェーブレット逆変換処理)において出力される。

【0203】

3回目のライン単位ウェーブレット逆変換処理が開始される時、1回目のライン単位ウェーブレット逆変換処理において生成された分割レベル3の低域サブバンドの2ライン目の係数 $3L L 2$ 、分割レベル2の低域サブバンドの2ライン目の係数 $2L L 2$ 、および分割レベル1の低域サブバンドの2ライン目の係数 $1L L 2$ が、レベル別バッファ部120に蓄積されている。従って、3回目のライン単位ウェーブレット逆変換処理では、それらのうち最も下位レベルの係数である分割レベル1の低域サブバンドの2ライン目の係数 $1L L 2$ を処理対象とする。つまり、その分割レベル1の低域サブバンドの2ライン目の係数 $1L L 2$ と、新たに入力された分割レベル1の高域サブバンドの係数1ラインずつ($1H L / L H / H H$)について、合成フィルタ処理が行われ(矢印 $S 9$)、ベースバンドの3ライン目の画像データBase 3と、4ライン目の画像データBase 4が生成される(矢印 $S 10$)。

20

【0204】

3ライン目の画像データBase 3は直ぐに外部に出力され、4ライン目の画像データBase 4は、一旦出力バッファ部116に保持され、次の出力タイミング(4回目のライン単位ウェーブレット逆変換処理)において出力される。

30

【0205】

5回目のライン単位ウェーブレット逆変換処理が開始される時、分割レベル1の低域サブバンドの2ライン目の係数 $1L L 2$ は処理されたので、分割レベル3の低域サブバンドの2ライン目の係数 $3L L 2$ と、分割レベル2の低域サブバンドの2ライン目の係数 $2L L 2$ が、レベル別バッファ部120に蓄積されている。従って、5回目のライン単位ウェーブレット逆変換処理では、それらのうち最も下位レベルの係数である分割レベル2の低域サブバンドの2ライン目の係数 $2L L 2$ を処理対象とする。つまり、その分割レベル2の低域サブバンドの2ライン目の係数 $2L L 2$ と、新たに入力された分割レベル2の高域サブバンドの係数1ラインずつ($2H L / L H / H H$)について、合成フィルタ処理が行われ(矢印 $S 11$)、図23に示されるように、分割レベル1の低域サブバンドの3ライン目の係数 $1L L 3$ と、4ライン目の係数 $1L L 4$ が生成される(矢印 $S 12$)。さらに、その分割レベル1の低域サブバンドの3ライン目の係数 $1L L 3$ と、新たに入力された分割レベル1の高域サブバンドの係数1ラインずつ($1H L / L H / H H$)について、合成フィルタ処理が行われ(矢印 $S 13$)、ベースバンドの5ライン目の画像データBase 5と、6ライン目の画像データBase 6が生成される(矢印 $S 14$)。

40

【0206】

5ライン目の画像データBase 5は直ぐに外部に出力され、6ライン目の画像データBase 6は、一旦出力バッファ部116に保持され、次の出力タイミング(6回目のライン単位ウェーブレット逆変換処理)において出力される。

50

【 0 2 0 7 】

7回目のライン単位ウェーブレット逆変換処理が開始される時、1回目のライン単位ウェーブレット逆変換処理において生成された分割レベル3の低域サブバンドの2ライン目の係数3 L L 2と、5回目のライン単位ウェーブレット逆変換処理において生成された分割レベル1の低域サブバンドの4ライン目の係数1 L L 4が、レベル別バッファ部1 2 0に蓄積されている。従って、7回目のライン単位ウェーブレット逆変換処理では、それらのうち最も下位レベルの係数である分割レベル1の低域サブバンドの4ライン目の係数1 L L 4を処理対象とする。つまり、その分割レベル1の低域サブバンドの4ライン目の係数1 L L 4と、新たに入力された分割レベル1の高域サブバンドの係数1ラインずつ(1 H L / L H / H H)について、合成フィルタ処理が行われ(矢印S 1 5)、ベースバンドの7ライン目の画像データBase 7と、8ライン目の画像データBase 8が生成される(矢印S 1 6)。

10

【 0 2 0 8 】

7ライン目の画像データBase 7は直ぐに外部に出力され、8ライン目の画像データBase 8は、一旦出力バッファ部1 1 6に保持され、次の出力タイミング(8回目のライン単位ウェーブレット逆変換処理)において出力される。

【 0 2 0 9 】

9回目のライン単位ウェーブレット逆変換処理が開始される時、1回目のライン単位ウェーブレット逆変換処理において生成された分割レベル3の低域サブバンドの2ライン目の係数3 L L 2のみが、レベル別バッファ部1 2 0に蓄積されている。従って、9回目のライン単位ウェーブレット逆変換処理では、その分割レベル3の低域サブバンドの2ライン目の係数3 L L 2を処理対象とする。つまり、その分割レベル3の低域サブバンドの2ライン目の係数3 L L 2と、新たに入力された分割レベル3の高域サブバンドの係数1ラインずつ(3 H L / L H / H H)について、合成フィルタ処理が行われ(矢印S 1 7)、分割レベル2の低域サブバンドの3ライン目の係数2 L L 3と、4ライン目の係数2 L L 4が生成される(矢印S 1 8)。さらに、その分割レベル2の低域サブバンドの3ライン目の係数2 L L 3と、新たに入力された分割レベル2の高域サブバンドの係数1ラインずつ(2 H L / L H / H H)について、合成フィルタ処理が行われ(矢印S 1 9)、分割レベル1の低域サブバンドの5ライン目の係数1 L L 5と、6ライン目の係数1 L L 6が生成される(矢印S 2 0)。さらに、その分割レベル1の低域サブバンドの5ライン目の係数1 L L 5と、新たに入力された分割レベル1の高域サブバンドの係数1ラインずつ(1 H L / L H / H H)について、合成フィルタ処理が行われ(矢印S 2 1)、図2 4に示されるように、ベースバンドの9ライン目の画像データBase 9と、10ライン目の画像データBase 1 0が生成される(矢印S 2 2)。

20

30

【 0 2 1 0 】

9ライン目の画像データBase 9は直ぐに外部に出力され、10ライン目の画像データBase 1 0は、一旦出力バッファ部1 1 6に保持され、次の出力タイミング(10回目のライン単位ウェーブレット逆変換処理)において出力される。

【 0 2 1 1 】

11回目のライン単位ウェーブレット逆変換処理が開始される時、9回目のライン単位ウェーブレット逆変換処理において生成された分割レベル2の低域サブバンドの4ライン目の係数2 L L 4および分割レベル1の低域サブバンドの6ライン目の係数1 L L 6が、レベル別バッファ部1 2 0に蓄積されている。従って、11回目のライン単位ウェーブレット逆変換処理では、それらのうち最も下位レベルの係数である分割レベル1の低域サブバンドの6ライン目の係数1 L L 6を処理対象とする。つまり、その分割レベル1の低域サブバンドの6ライン目の係数1 L L 6と、新たに入力された分割レベル1の高域サブバンドの係数1ラインずつ(1 H L / L H / H H)について、合成フィルタ処理が行われ(矢印S 2 3)、ベースバンドの11ライン目の画像データBase 1 1と、12ライン目の画像データBase 1 2が生成される(矢印S 2 4)。

40

【 0 2 1 2 】

50

1 1 ライン目の画像データBase 1 1 は直ぐに外部に出力され、1 2 ライン目の画像データBase 1 2 は、一旦出力バッファ部 1 1 6 に保持され、次の出力タイミング（1 2 回目のライン単位ウェーブレット逆変換処理）において出力される。

【0 2 1 3】

1 3 回目のライン単位ウェーブレット逆変換処理が開始されるとき、分割レベル 1 の低域サブバンドの 6 ライン目の係数 1 L L 6 は処理されたので、分割レベル 2 の低域サブバンドの 4 ライン目の係数 2 L L 4 がレベル別バッファ部 1 2 0 に蓄積されている。従って、1 3 回目のライン単位ウェーブレット逆変換処理では、その分割レベル 2 の低域サブバンドの 4 ライン目の係数 2 L L 4 を処理対象とする。つまり、その分割レベル 2 の低域サブバンドの 4 ライン目の係数 2 L L 4 と、新たに入力された分割レベル 2 の高域サブバンドの係数 1 ラインずつ（2 H L / L H / H H）について、合成フィルタ処理が行われ（矢印 S 2 5）、分割レベル 1 の低域サブバンドの 7 ライン目の係数 1 L L 7 と、8 ライン目の係数 1 L L 8 が生成される（矢印 S 2 6）。さらに、その分割レベル 1 の低域サブバンドの 7 ライン目の係数 1 L L 7 と、新たに入力された分割レベル 1 の高域サブバンドの係数 1 ラインずつ（1 H L / L H / H H）について、合成フィルタ処理が行われ（矢印 S 2 7）、ベースバンドの 1 3 ライン目の画像データBase 1 3 と、1 4 ライン目の画像データBase 1 4 が生成される（矢印 S 2 8）。

10

【0 2 1 4】

1 3 ライン目の画像データBase 1 3 は直ぐに外部に出力され、1 4 ライン目の画像データBase 1 4 は、一旦出力バッファ部 1 1 6 に保持され、次の出力タイミング（1 4 回目のライン単位ウェーブレット逆変換処理）において出力される。

20

【0 2 1 5】

1 5 回目のライン単位ウェーブレット逆変換処理が開始されるとき、1 3 回目のライン単位ウェーブレット逆変換処理において生成された分割レベル 1 の低域サブバンドの 8 ライン目の係数 1 L L 8 が、レベル別バッファ部 1 2 0 に蓄積されている。従って、1 5 回目のライン単位ウェーブレット逆変換処理では、その分割レベル 1 の低域サブバンドの 8 ライン目の係数 1 L L 8 を処理対象とする。つまり、その分割レベル 1 の低域サブバンドの 8 ライン目の係数 1 L L 8 と、新たに入力された分割レベル 1 の高域サブバンドの係数 1 ラインずつ（1 H L / L H / H H）について、合成フィルタ処理が行われ（矢印 S 2 9）、ベースバンドの 1 5 ライン目の画像データBase 1 5 と、1 6 ライン目の画像データBase 1 6 が生成される（矢印 S 3 0）。

30

【0 2 1 6】

1 5 ライン目の画像データBase 1 5 は直ぐに外部に出力され、1 6 ライン目の画像データBase 1 6 は、一旦出力バッファ部 1 1 6 に保持され、次の出力タイミング（1 6 回目のライン単位ウェーブレット逆変換処理）において出力される。

【0 2 1 7】

以上のように 1 6 回ライン単位ウェーブレット逆変換処理を繰り返すことにより、1 プレシント分のベースバンドの画像データ（1 6 ライン）が生成され出力される。次のプレシントについては、上述したのと同様に処理が繰り返される（矢印 S 3 1）。

【0 2 1 8】

このように、ウェーブレット逆変換装置 1 0 0 は、ライン単位ウェーブレット逆変換処理を繰り返し実行することにより、ベースバンドの画像データを上から順に 2 ラインずつ生成して 1 ラインずつ出力するように処理対象を選択しながら、合成フィルタ処理を繰り返す。これにより、ウェーブレット逆変換装置 1 0 0 は、ベースバンドの画像データを所定のタイミング毎に出力させることができる。

40

【0 2 1 9】

また、ウェーブレット逆変換装置 1 0 0 は、ベースバンドの画像データを 2 ラインずつ生成するが、その際、上述したように、その 2 ラインの生成に必要な合成フィルタ処理のみを実行する。つまり、ウェーブレット逆変換装置 1 0 0 は、合成フィルタ処理により生成された係数 2 ラインのうち、一方の 1 ラインを出力バッファに保持させるとともに、他

50

方の1ラインをレベル別バッファ部120に保持させ、そのレベル別バッファ部120に保持した1ラインを優先的に再度合成フィルタ処理し、2ラインの係数を生成する。ウェーブレット逆変換装置100は、ベースバンドの画像データを2ライン生成するまでこれを繰り返す。そして、ベースバンドの画像データが生成され、レベル別バッファ部120に保持している係数が全て処理されると、ウェーブレット逆変換装置100は、出力バッファ部116に保持させた係数を読み出してレベル別バッファ部120に保持させ、その係数について、分割レベルがより下位のレベルの係数から優先的に合成フィルタ処理を行う。その際もウェーブレット逆変換装置100は、上述したように合成フィルタ処理を繰り返す。

【0220】

このようにすることにより、ウェーブレット逆変換装置100は、ベースバンドの画像データを上から順に2ラインずつ生成することができるだけでなく、ベースバンドの画像データの各2ラインを生成するための負荷を低減させることができ、さらに、例えば合成フィルタ処理により生成された係数データやベースバンドの画像データ等、保持しなければならないデータのデータ量を低減させることができ、バッファに必要なメモリ容量を低減させることができる。これにより製造コストを低減させることもできる。

【0221】

さらに、付言するに、ウェーブレット逆変換装置100は、ベースバンドの画像データの2ラインを生成する際に、その2ラインの生成に必要な合成フィルタ処理のみを行うので、ベースバンドの画像データの各2ラインの生成間隔を低減させることができる。つまり、ウェーブレット逆変換装置100は、より短い間隔でベースバンドの画像データを1ラインずつ出力させることができる。

【0222】

ウェーブレット逆変換装置100が処理する画像データは、例えばテレビジョン信号等がある。上述したようにウェーブレット逆変換装置100は1ラインずつベースバンドの画像データを出力するが、この間隔をテレビジョン信号の水平同期タイミングに合わせることで、ウェーブレット逆変換装置100が、テレビジョン信号をリアルタイムに(即時的に)生成するようにすることができる。つまり、この場合、ウェーブレット逆変換装置100は、例えばバッファリング無しに出力画像データをモニタに表示させることができるように、入力された係数データをリアルタイムにウェーブレット逆変換することができる。なお、ここでリアルタイムとは、例えばテレビジョン信号等の水平同期タイミングに合わせてベースバンドの画像データを1ラインずつ出力させることができることを示しており、ウェーブレット変換処理による遅延時間がゼロであることを示すものではない。

【0223】

図25は、SMPTE(Society of Motion Picture and Television Engineers)規格292MのHD-SDI(High Definition Serial Digital Interface)信号(1.5Gbps)で定義されている解像度1920×1080、YCbCr4:2:2フォーマット、各サンプル10ビットの多重化されたデータ形式を示す模式図である。このデータ形式においては、SAV(Start of Active Video)とEAV(End of Active Video)の間に1920画素のベースバンドのデータがY(輝度)と、Cb,Cr(色差)とに多重化されて配置される。EAVと次のSAVの間には水平ブランキング期間を示すラインブランキングが配置される。

【0224】

このようなデータ形式でベースバンドの画像データをリアルタイムに生成するためには、ウェーブレット逆変換装置100は、SAVから次のSAVの間に、ベースバンドの画像データを生成する必要がある。上述したように、ウェーブレット逆変換装置100は、ベースバンドの画像データの2ラインを生成する際に、その2ラインの生成に必要な合成フィルタ処理のみを行うので、より短い間隔でベースバンドの画像データを1ラインずつ出力させることができ、容易に、このSAV毎にベースバンドの画像データを1ラインずつ出力させることができる。

10

20

30

40

50

【0225】

なお実際には、上述したウェーブレット変換やウェーブレット逆変換などの処理は、例えば画像データの転送システムや記録再生システム等に適用され、エントロピ符号化およびエントロピ復号等の他の処理とともに利用されることが多い。

【0226】

以下にウェーブレット逆変換装置100の適用例について説明する。図26は、本発明を適用したウェーブレット逆変換装置100を用いた画像伝送システムの構成例を示すブロック図である。

【0227】

図26に示される画像伝送システム300は、図25に示されるデータ形式の画像データを符号化して伝送するシステムであり、伝送元となる符号化装置301と、伝送先の復号装置302を有する。

10

【0228】

符号化装置301は、外部より入力された画像データを符号化し、その符号化データを復号装置302に伝送させる装置であり、ウェーブレット変換部311、係数並び替え用バッファ部313、係数並び替え部314、量子化部315、およびエントロピ符号化部316を有する。

【0229】

符号化装置301の外部より入力された画像データは、ウェーブレット変換部311において、図1乃至図4を参照して説明したように、ウェーブレット逆変換装置100によるウェーブレット逆変換処理に対応する方法でウェーブレット係数に変換され、係数並び替え用バッファ部313に格納される。係数並び替え用バッファ部313に格納された係数データは、係数並び替え部314により、ウェーブレット逆変換処理において処理される順に読み出され、量子化部315において量子化され、エントロピ符号化部316において符号化され、符号化データに変換される。エントロピ符号化部316において生成された符号化データは、復号装置302に供給される。

20

【0230】

復号装置302は、符号化装置301より伝送された符号化データを復号し、逆ウェーブレット変換することにより、ベースバンドの画像データを復元して出力する装置であり、エントロピ復号部321、逆量子化部322、およびウェーブレット逆変換部323を有する。つまり、符号化装置301より供給された符号化データは、エントロピ復号部321において復号され、逆量子化部322において逆量子化され、ウェーブレット逆変換部323においてウェーブレット逆変換されることにより、ベースバンドの画像データに変換されて復号装置302の外部に出力される。

30

【0231】

このウェーブレット逆変換部323は、上述したウェーブレット逆変換装置100に対応しており、基本的に同様の構成を有し、同様の処理を行う。従って、ウェーブレット逆変換部323は、水平同期タイミングに合わせて1ラインずつ画像データを出力するようにウェーブレット逆変換処理を行うことができる。

【0232】

エントロピ復号部321は、制御部331、符号入力部341、復号部342、および係数出力部343を有する。エントロピ復号部321に供給された符号化データは、符号入力部341において受け付けられ、復号部342において復号され、係数データに変換される。生成された係数データは、係数出力部343より逆量子化部322に出力される。制御部331は、復号部342の入出力、すなわち、符号入力部341および係数出力部343を制御することにより、復号部342により実行される復号処理の実行タイミングを制御する。また、制御部331は、逆量子化部322およびウェーブレット逆変換部323に、画像データの水平同期タイミングを示すクロック信号を供給する。

40

【0233】

復号部342、逆量子化部322、およびウェーブレット逆変換部323は、この制御

50

部 3 3 1 による制御に基づいて各処理を実行し、水平同期タイミングに合わせてベースバンドの画像データを 1 ラインずつ出力するように、入力された符号化データを復号し、逆量子化し、ウェーブレット逆変換する。

【 0 2 3 4 】

このような、復号装置 3 0 2 により実行される復号処理の流れの例を図 2 7 のフローチャートを参照して説明する。この復号処理はピクチャ毎に繰り返し実行される。

【 0 2 3 5 】

復号処理が開始されると、制御部 3 3 1 は、ステップ S 2 0 1 において、処理対象プレシントを初期化し、ステップ S 2 0 2 において、水平ランキング期間（水平同期タイミング）に対応する所定のタイミングであるか否かを判定し、所定のタイミングになるまで待機する。

10

【 0 2 3 6 】

ステップ S 2 0 2 において所定のタイミングであると判定された場合、処理はステップ S 2 0 3 に進む。

【 0 2 3 7 】

ステップ S 2 0 3 において、ウェーブレット逆変換部 3 2 3 の出力バッファ部にベースバンドの画像データが存在するか否かを判定する。出力バッファ部にベースバンドの画像データが存在しないと判定された場合、処理はステップ S 2 0 4 に進む。ステップ S 2 0 4 において、復号部 3 4 2 は、制御部 3 3 1 に制御される符号入力部 3 4 1 を介して符号化データを取得し、その符号化データをエントロピ復号して係数データに変換する。復号部 3 4 2 は、生成した係数データを、制御部 3 3 1 に制御される係数出力部 3 4 3 を介して逆量子化部 3 2 2 に供給する。ステップ S 2 0 5 において、逆量子化部 3 2 2 は、その係数データを逆量子化し、逆量子化された係数データをウェーブレット逆変換部 3 2 3 に供給する。

20

【 0 2 3 8 】

ステップ S 2 0 5 の処理が終了すると処理はステップ S 2 0 6 に進む。また、ステップ S 2 0 3 において、出力バッファ部にベースバンドの画像データが存在すると判定された場合、その出力バッファ部の画像データを出力させることが優先され、ステップ S 2 0 4 およびステップ S 2 0 5 の処理が省略され、処理はステップ S 2 0 6 に進む。

【 0 2 3 9 】

ステップ S 2 0 6 において、ウェーブレット逆変換部 3 2 3 は、制御部 3 3 1 より供給される制御タイミングに応じて、図 1 7 および図 1 8 のフローチャートを参照して説明したようにライン単位ウェーブレット逆変換処理を実行し、ベースバンドの画像データ 2 ラインを生成して出力する。

30

【 0 2 4 0 】

ステップ S 2 0 7 において、制御部 3 3 1 は、プレシント内の全ての係数データを処理したか否かを判定し、未処理のデータが存在すると判定した場合、処理をステップ S 2 0 2 に戻し、それ以降の処理を繰り返させる。また、ステップ S 2 0 7 において、プレシント内の全ての係数データを処理したと判定された場合、処理はステップ S 2 0 8 に進む。

40

【 0 2 4 1 】

ステップ S 2 0 8 において、制御部 3 3 1 は、ピクチャ内の全てのプレシントを処理したか否かを判定する。未処理のプレシントが存在すると判定された場合、処理はステップ S 2 0 9 に進む。ステップ S 2 0 9 において、制御部 3 3 1 は、処理対象プレシントを次のプレシントに更新し、処理をステップ S 2 0 2 に戻す。そして、ステップ S 2 0 8 において、ピクチャ内の全てのプレシントを処理したと判定した場合、制御部 3 3 1 は、そのピクチャに対する復号処理を終了する。

【 0 2 4 2 】

以上のように、復号装置 3 0 2 においては、制御部 3 3 1 の制御に従って、ライン単位ウェーブレット逆変換処理が、所定のタイミング、すなわち、水平同期タイミングに応じ

50

て繰り返し実行される。

【0243】

このようにすることにより、復号装置302は、水平同期タイミングに合わせて1ラインずつ出力させることができる。つまり、復号装置302は、リアルタイムに符号化データを復号しベースバンドの画像データを復元させることができる。

【0244】

図28は、その場合のベースバンドの画像データの出力の様子を示す模式図である。図28に示されるようにベースバンドの画像データ(ベースバンド画像データ-1およびベースバンド画像データ-2)は、水平同期タイミング(H-Sync)毎に1ラインずつ出力される。ただし、図28に示されるように、このベースバンドの画像データは2ラインずつ生成される(ベースバンド画像データ-1およびベースバンド画像データ-2)。つまり、生成された2ラインのうち、一方の1ラインが(A)のように、生成されたときの水平同期タイミングにおいて直接出力され、他方の1ラインは、(B)のように出力バッファ部116に書き込まれ、次の水平同期タイミングにおいて、(C)のように出力バッファ部116より読み出されて出力される。

10

【0245】

従って、図28に示されるように、エントロピ復号処理(VLD)、逆量子化処理(IQ)、およびウェーブレット逆変換処理(IDWT)を水平同期タイミング間に行う必要がある。ウェーブレット逆変換部323(ウェーブレット逆変換装置100)は、上述したような順序で合成フィルタ処理を進めることにより、ベースバンドの画像データの生成間隔をより短くすることができるので、図28のようなタイミングでのリアルタイムな復号処理を容易に実現することができる。

20

【0246】

以上においては画像データの伝送システムについて説明したが、本発明を適用したウェーブレット逆変換装置100は、その他のシステムにも適用することができる。ただし、遅延時間の増大による不利益が大きく、より遅延時間の低減が求められるシステムほど、その効果は大きい。

【0247】

以上においては、ウェーブレット逆変換装置100において、合成フィルタ処理により生成された係数データの一部を、ベースバンドの画像データが蓄積されていないときに、出力バッファ部116に保持させるように説明した。これにより、出力バッファ部116に同時に記憶されるデータ量を増大させずに、レベル別バッファ部120に同時に記憶されるデータ量を低減させることができる。つまり、ウェーブレット逆変換装置100は、係数データや画像データをバッファリングするキャッシュメモリの使用効率を向上させることにより、ウェーブレット逆変換処理においてデータ保持するバッファメモリとして必要なメモリ容量を低減することができる。また、これにより、ウェーブレット逆変換装置100は、キャッシュメモリより係数データや画像データが溢れる(係数データや画像データが外部メモリに退避されてしまう)ことも抑制することができ、製造コストを増大させずに、容易に、より高速にウェーブレット逆変換処理を実行することができる。

30

【0248】

つまり、このような効果を得るためには、ウェーブレット逆変換装置100に出力バッファ部116を設け、合成フィルタ処理により生成された係数データの一部を、ベースバンドの画像データが蓄積されていないときに、その出力バッファ部116に保持させればよく、それ以外の構成や処理手順等の適用は任意である。例えば、最上位レベルから最下位レベルに向かって、分割レベル毎に合成フィルタ処理を行うようにしてもよい。ただし、ベースバンドの画像データを2ラインずつ生成するように合成フィルタ処理を行う場合の方が、保持するデータ量をより低減させることができる。また、以上においてはプレシント単位でウェーブレット変換や符号化、または、復号やウェーブレット逆変換が行われるように説明したが、ピクチャ全体を単位としてウェーブレット変換や符号化、または、復号やウェーブレット逆変換が行われるようにしてももちろんよい。ただし、その場合

40

50

、プレシント単位で行う場合の方が、ウェーブレット逆変換処理の遅延時間を低減させることができ、係数の保持に必要なバッファのメモリ量も低減させることができる。これと同様に、例えば、出力バッファ部 1 1 6 の構成を図 1 4 に示されるような構成にする等、上述した他の構成や処理を適用することにより、それぞれについて説明した効果を得ることができる。

【 0 2 4 9 】

また、以上においては、ウェーブレット逆変換装置 1 0 0 が、合成フィルタ処理により得られた 2 ラインの係数データのうち、一方の 1 ラインを保持しておき、他方の 1 ラインについてさらに合成フィルタ処理を行うように、最上位レベルから最下位レベルまで合成フィルタ処理を繰り返し、さらに、保持した係数データについては、より下位レベルの係数データから優先的に合成フィルタ処理を行うようにすることにより、ベースバンドの画像データを 2 ラインずつ生成するように説明した。このようにすることにより、保持する係数データのデータ量を低減させたり、ウェーブレット逆変換を低遅延かつ高速に行うようにしたり、より短い間隔でベースバンドの画像データを 1 ラインずつ出力させたり、コストの増大を抑制したりすることができる。

【 0 2 5 0 】

つまり、このような効果を得るためには、ウェーブレット逆変換装置 1 0 0 が、合成フィルタ処理により得られた 2 ラインの係数データのうち、一方の 1 ラインを保持しておき、他方の 1 ラインについてさらに合成フィルタ処理を行うように、最上位レベルから最下位レベルまで合成フィルタ処理を繰り返し、さらに、保持した係数データについては、より下位レベルの係数データから優先的に合成フィルタ処理を行うようにすることにより、ベースバンドの画像データを 2 ラインずつ生成するにすればよく、それ以外の構成や処理手順等の適用は任意である。例えば、出力バッファ部 1 1 6 に係数データを保持させないようにしてもよい。ただし、出力バッファ部 1 1 6 に係数データを保持させる場合の方が、キャッシュメモリのメモリ容量の増大、または、キャッシュメモリより係数データや画像データが溢れることを抑制することができ、製造コストを増大させずに、容易に、より高速にウェーブレット逆変換処理を実行することができる。これと同様に、例えば、出力バッファ部 1 1 6 の構成を図 1 4 に示されるような構成にする等、上述した他の構成や処理を適用することにより、それぞれについて説明した効果を得ることができる。

【 0 2 5 1 】

上述した一連の処理は、ハードウェアにより実行させることもできるし、ソフトウェアにより実行させることもできる。この場合、例えば、図 2 9 に示されるようなパーソナルコンピュータとして構成されるようにしてもよい。

【 0 2 5 2 】

図 2 9 において、パーソナルコンピュータ 4 0 0 の CPU (Central Processing Unit) 4 0 1 は、ROM (Read Only Memory) 4 0 2 に記憶されているプログラム、または記憶部 4 1 3 から RAM (Random Access Memory) 4 0 3 にロードされたプログラムに従って各種の処理を実行する。RAM 4 0 3 にはまた、CPU 4 0 1 が各種の処理を実行する上において必要なデータなども適宜記憶される。

【 0 2 5 3 】

CPU 4 0 1、ROM 4 0 2、および RAM 4 0 3 は、バス 4 0 4 を介して相互に接続されている。このバス 4 0 4 にはまた、入出力インタフェース 4 1 0 も接続されている。

【 0 2 5 4 】

入出力インタフェース 4 1 0 には、キーボード、マウスなどよりなる入力部 4 1 1、CRT (Cathode Ray Tube)、LCD (Liquid Crystal Display) などよりなるディスプレイ、並びにスピーカなどよりなる出力部 4 1 2、ハードディスクなどより構成される記憶部 4 1 3、モデムなどより構成される通信部 4 1 4 が接続されている。通信部 4 1 4 は、例えばインターネットに代表されるネットワークを介しての通信処理を行う。

【 0 2 5 5 】

入出力インタフェース 4 1 0 にはまた、必要に応じてドライブ 4 1 5 が接続され、磁気

10

20

30

40

50

ディスク、光ディスク、光磁気ディスク、或いは半導体メモリなどのリムーバブルメディア421が適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じて記憶部413にインストールされる。

【0256】

上述した一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、ネットワークや記録媒体からインストールされる。

【0257】

この記録媒体は、例えば、図29に示されるように、装置本体とは別に、ユーザにプログラムを配信するために配布される、プログラムが記録されている磁気ディスク（フレキシブルディスクを含む）、光ディスク（CD-ROM(Compact Disk-Read Only Memory)、DVD(Digital Versatile Disk)を含む）、光磁気ディスク（MD(Mini-Disk)（登録商標）を含む）、もしくは半導体メモリなどよりなるリムーバブルメディア421により構成されるだけでなく、装置本体に予め組み込まれた状態でユーザに配信される、プログラムが記録されているROM402や、記憶部413に含まれるハードディスクなどで構成される。

【0258】

なお、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0259】

また、本明細書において、システムとは、複数のデバイス（装置）により構成される装置全体を表すものである。

【0260】

なお、以上において、1つの装置として説明した構成を分割し、複数の装置として構成するようにしてもよい。逆に、以上において複数の装置として説明した構成をまとめて1つの装置として構成されるようにしてもよい。また、各装置の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置の構成の一部を他の装置の構成に含めるようにしてもよい。

【産業上の利用可能性】

【0261】

以上説明した本発明は、複数の端末間で画像を圧縮して伝送、受信して伸長して画像を出力するシステム、特に低遅延で実現する必要性が高いプロダクツ・アプリケーションに好適である。具体的には、放送局で多用するデジタルトライアックスシステム、ライブ映像配信システム、TV会議システム、監視カメラ・レコーダシステム、医用遠隔医療診断、生徒と教師間のインタラクティブ通信、ビデオゲーム等に応用が可能である。また、画像データが圧縮符号化された符号化データが記録された記録媒体よりその符号化データを読み出して復号し画像データを再生する装置（記録再生装置も含む）やシステム等にも適用可能である。

【図面の簡単な説明】

【0262】

【図1】ウェーブレット変換について概略的に説明するための略線図である。

【図2】ウェーブレット変換について概略的に説明するための略線図である。

【図3】9×7分析フィルタのリフティング構成の例を説明する図である。

【図4】ウェーブレット変換およびウェーブレット逆変換の関係について概略的に説明するための略線図である。

【図5】本発明を適用したウェーブレット逆変換装置の構成例を示すブロック図である

【図6】合成フィルタリングについて概略的に説明するための略線図である。

【図7】9×7合成フィルタのリフティング構成の例を説明する図である。

【図8】垂直合成フィルタリングの様子を説明する図である。

【図9】水平合成フィルタリングの様子を説明する図である。

【図10】図5の途中計算用バッファ部の詳細な構成例を示すブロック図である。

【図 1 1】一般的な 1 ポートSRAMおよび 2 ポートSRAMの入出力端子の構成例を示す図である。

【図 1 2】一般的な 1 ポートSRAMおよび 2 ポートSRAMによるデータ入出力のタイミングの例を示す図である。

【図 1 3】図 1 0 の 1 ポートSRAMによるデータ入出力のタイミングの例を示す図である。

【図 1 4】図 5 の出力バッファ部の詳細な構成例を示すブロック図である。

【図 1 5】図 1 4 の 1 ポートSRAMによるデータ入出力のタイミングの例を示す図である。

【図 1 6】ウェーブレット逆変換処理の流れの例を説明するフローチャートである。

【図 1 7】ライン単位ウェーブレット逆変換処理の流れの例を説明するフローチャートである。

10

【図 1 8】ライン単位ウェーブレット逆変換処理の流れの例を説明する、図 1 7 に続くフローチャートである。

【図 1 9】垂直合成フィルタ処理の流れの例を説明するフローチャートである。

【図 2 0】バッファ入出力処理の流れの例を説明するフローチャートである。

【図 2 1】ライン単位ウェーブレット逆変換処理の流れの例を説明する模式図である。

【図 2 2】1 プレシント分のライン単位ウェーブレット逆変換処理の流れの例を説明する模式図である。

【図 2 3】1 プレシント分のライン単位ウェーブレット逆変換処理の流れの例を説明する、図 2 2 に続く模式図である。

【図 2 4】1 プレシント分のライン単位ウェーブレット逆変換処理の流れの例を説明する、図 2 3 に続く模式図である。

20

【図 2 5】HDTV規格の輝度と色差信号のデータ配列の例を説明する図である。

【図 2 6】本発明を適用したウェーブレット逆変換装置 1 0 0 を用いた画像伝送システムの構成例を示すブロック図である。

【図 2 7】復号処理の流れの例を説明するフローチャートである。

【図 2 8】処理実行タイミングの例を説明する模式図である。

【図 2 9】本発明を適用したパーソナルコンピュータの構成例を示す図である。

【符号の説明】

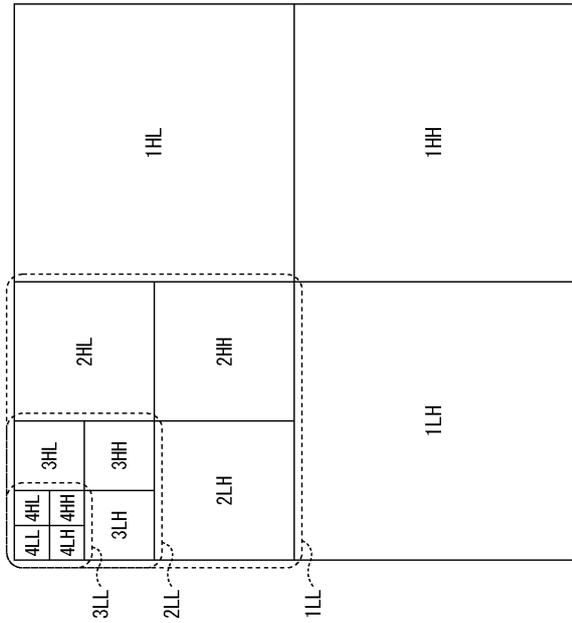
【0 2 6 3】

1 0 0 ウェーブレット逆変換装置, 1 0 1 制御部, 1 1 1 セレクタ, 1 1 2 垂直合成フィルタ部, 1 1 3 途中計算用バッファ部, 1 1 4 水平合成用フィルタ部, 1 1 5 セレクタ, 1 1 6 出力バッファ部, 1 1 7 セレクタ, 1 2 0 レベル別バッファ部, 1 2 1 レベル 3 バッファ部, 1 2 2 レベル 2 バッファ部, 1 2 3 レベル 1 バッファ部, 1 3 1 フィルタ部, 1 3 2 出力制御部, 1 4 1 データ連結部, 1 4 2 1 ポートSRAM, 1 4 3 データ分割部, 1 5 1 セレクタ, 1 5 2 遅延部, 1 5 3 パッキング部, 1 5 4 1 6 ビット分離部, 1 5 5 遅延部, 1 5 6 セレクタ, 1 7 1 制御部, 1 7 2 セレクタ, 1 7 3 データ連結部, 1 7 4 1 ポートSRAM, 1 7 5 データ分割部, 1 8 1 セレクタ, 1 8 2 遅延部, 1 8 3 パッキング部, 1 8 4 1 6 ビット分離部, 1 8 5 遅延部, 1 8 6 セレクタ, 3 0 2 復号装置, 3 2 1 エントロピ復号部, 3 2 3 ウェーブレット逆変換部, 3 3 1 制御部

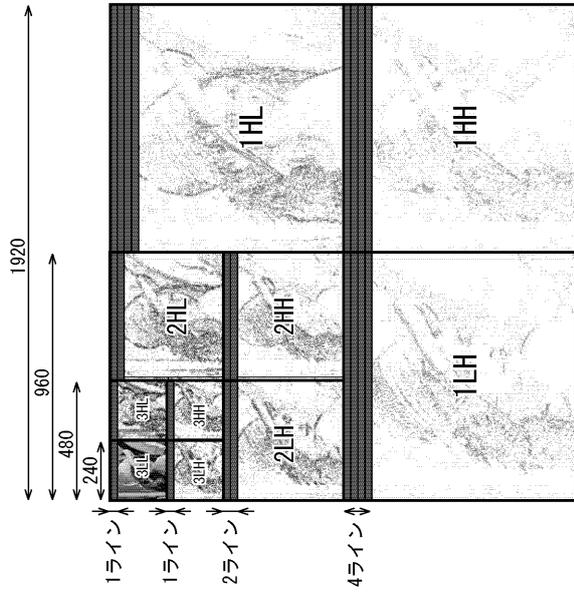
30

40

【図 1】

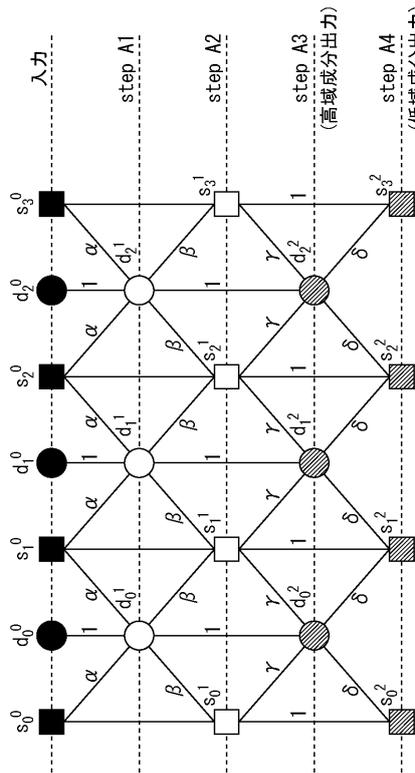


【図 2】



【図 3】

図3

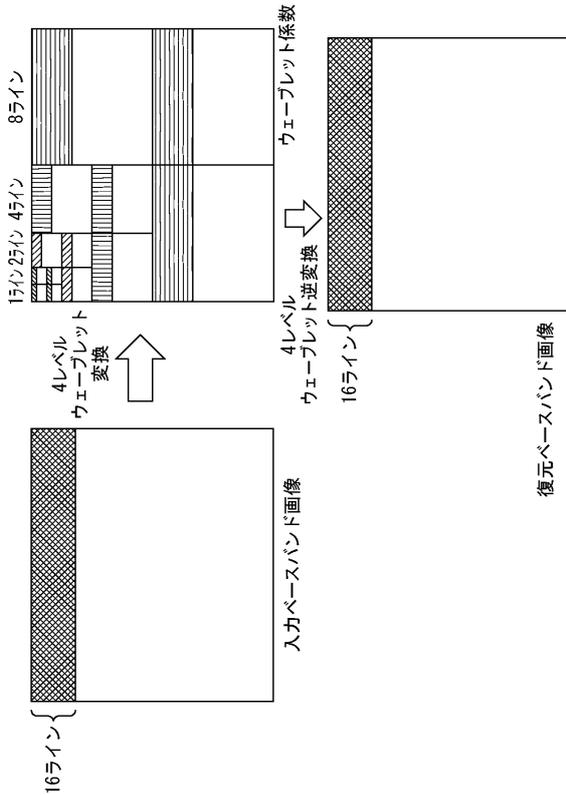


step A1: $d_1^1 = d_1^0 + \alpha (s_1^0 + s_{1+1}^0)$
 step A2: $s_1^1 = s_1^0 + \beta (d_{1-1}^1 + d_1^1)$
 step A3: $d_2^2 = d_1^1 + \gamma (s_1^1 + s_{1+1}^1)$
 step A4: $s_2^2 = s_1^1 + \delta (d_{1-1}^2 + d_1^2)$

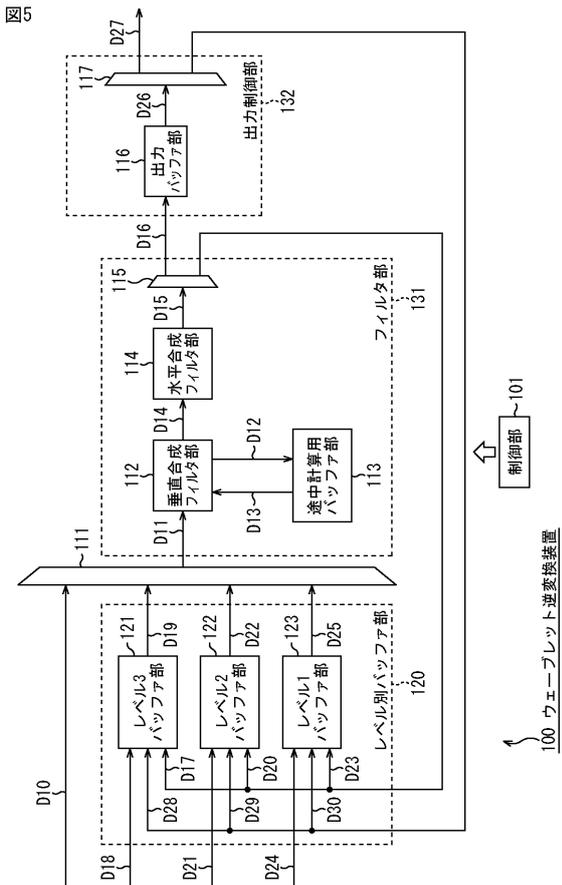
$\alpha = -1.586134342$
 $\beta = -0.05298011857$
 $\gamma = 0.8829110755$
 $\delta = 0.4435068520$

【図 4】

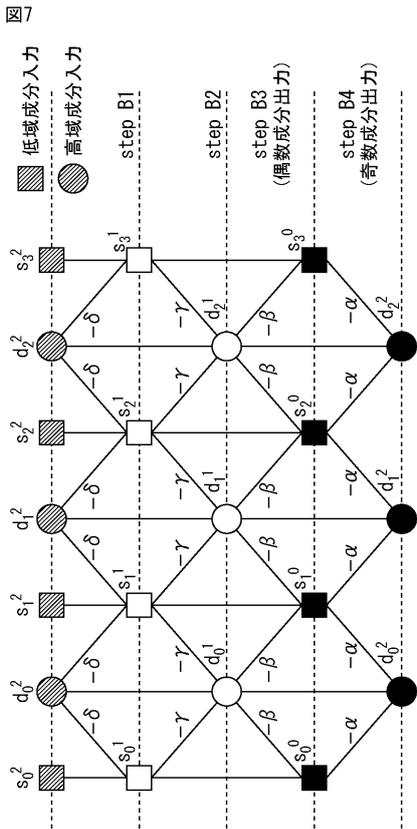
図4



【図5】

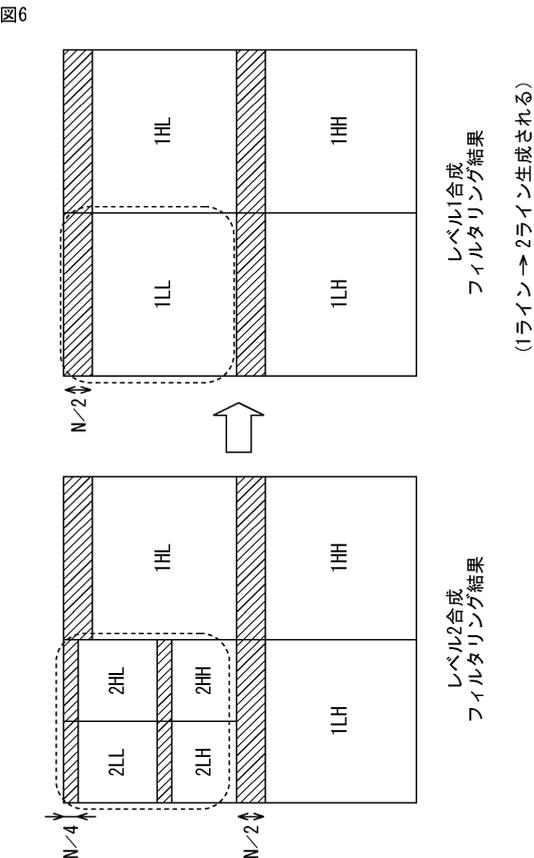


【図7】

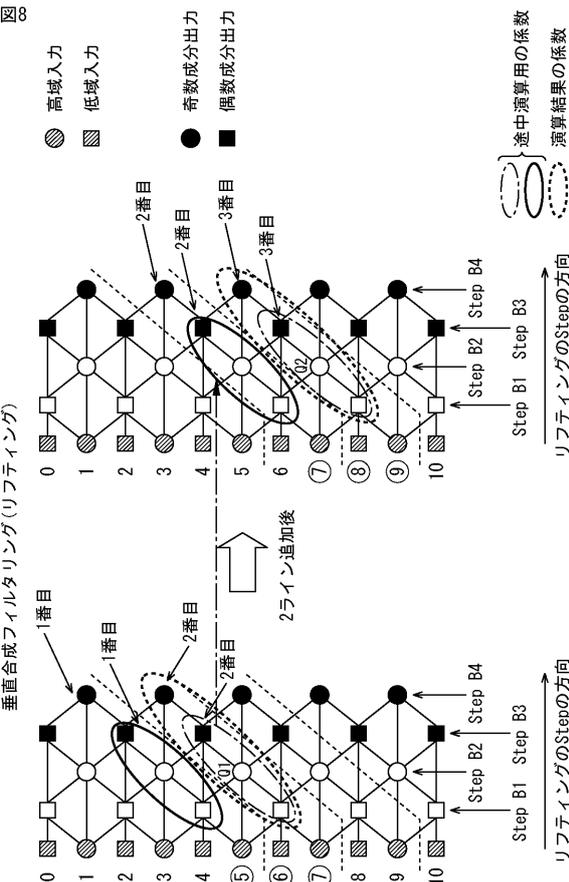


$\alpha = -1.586134342$ step B1: $s_i^1 = s_i^0 - \delta (d_{i-1}^2 + d_i^2)$
 $\beta = -0.05298011857$ step B2: $d_i^1 = d_i^2 - \gamma (s_{i-1}^1 + s_{i+1}^1)$
 $\gamma = 0.8829110755$ step B3: $s_i^0 = s_i^1 - \beta (d_{i-1}^1 + d_i^1)$
 $\delta = 0.4435068520$ step B4: $d_i^0 = d_i^1 - \alpha (s_i^0 + s_{i+1}^0)$

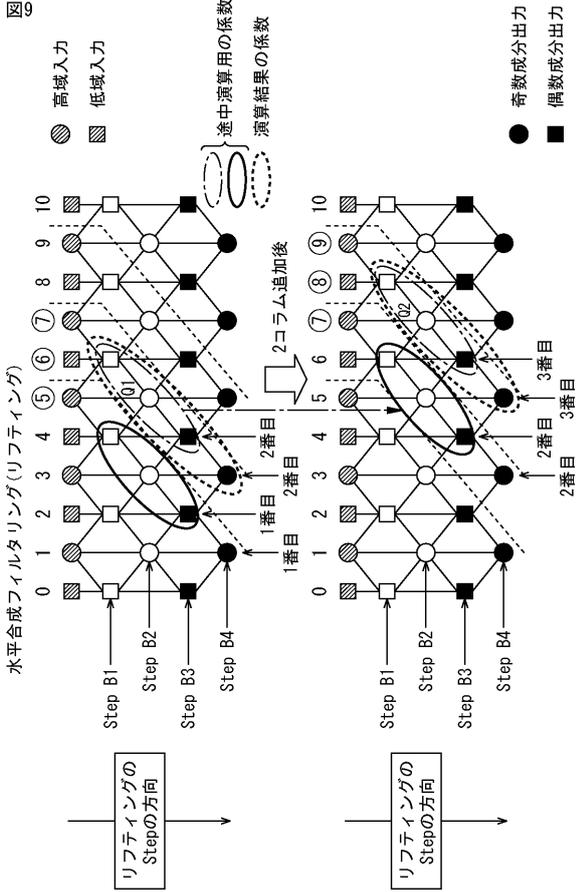
【図6】



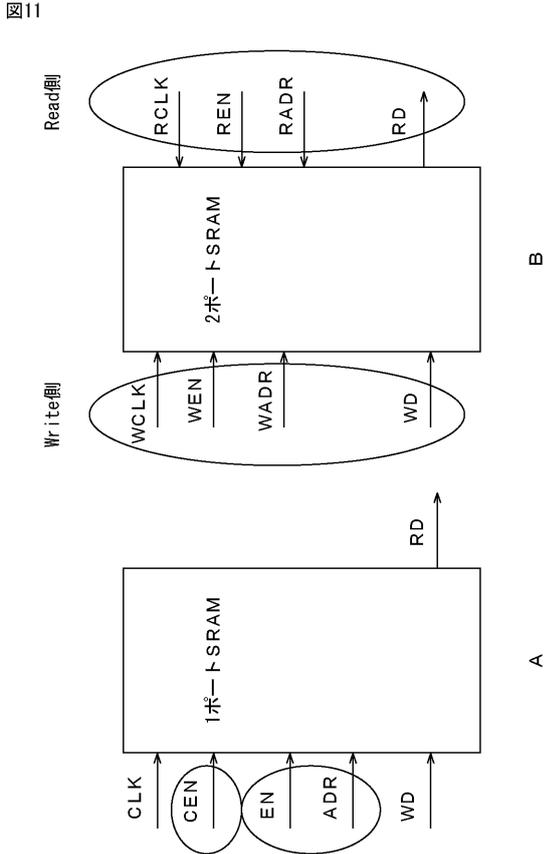
【図8】



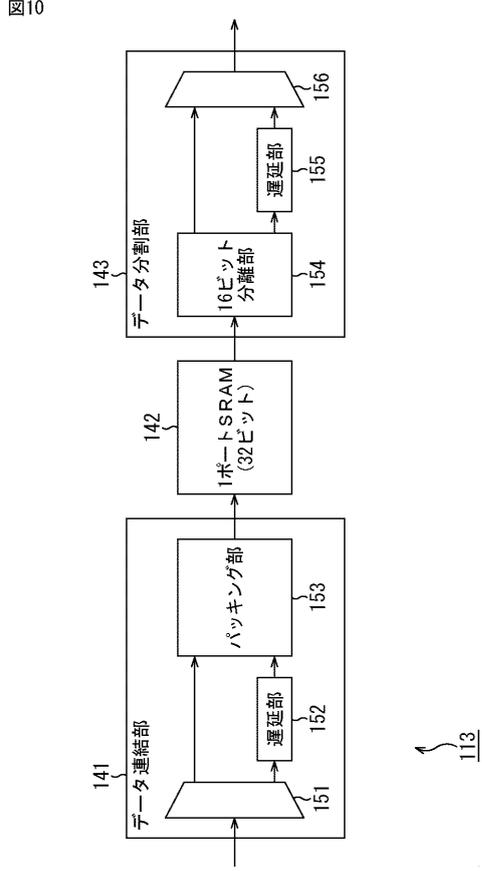
【図9】



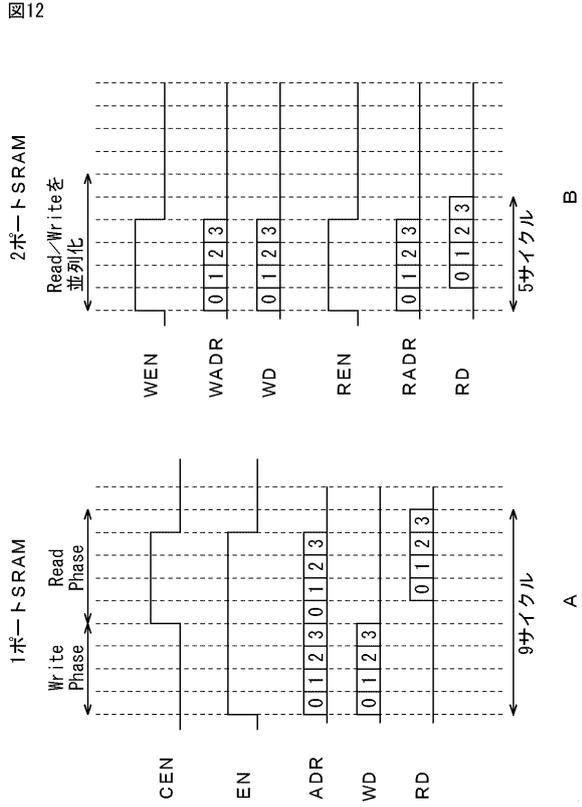
【図11】



【図10】

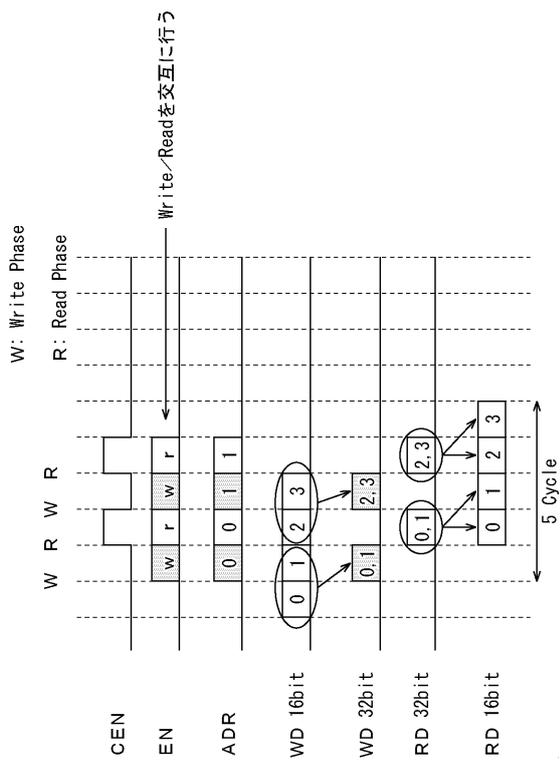


【図12】



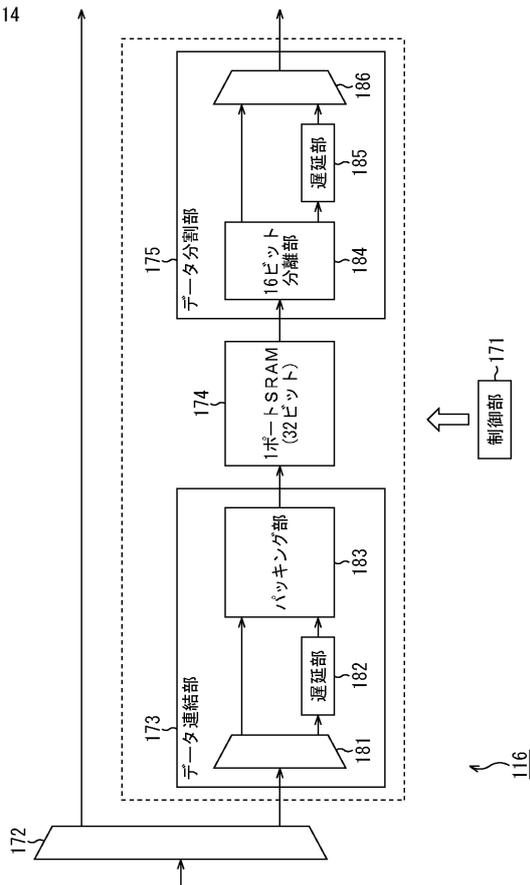
【図13】

図13



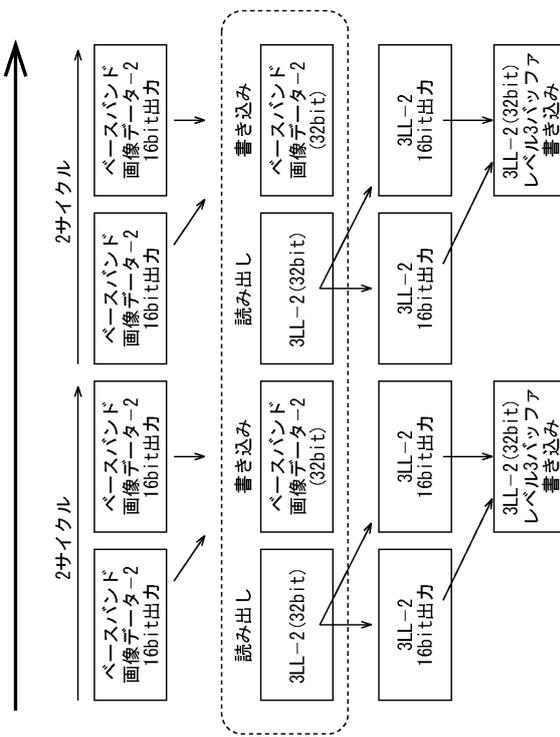
【図14】

図14



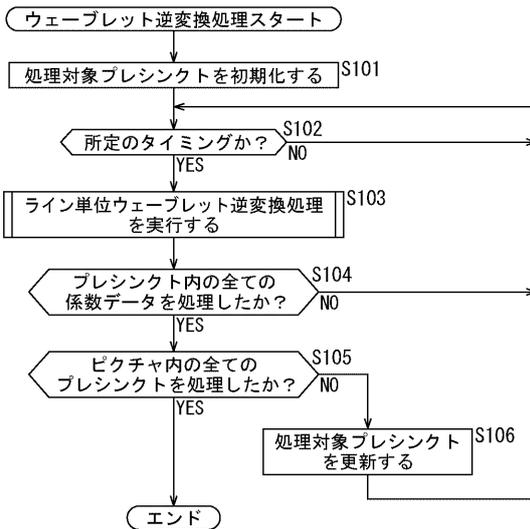
【図15】

図15



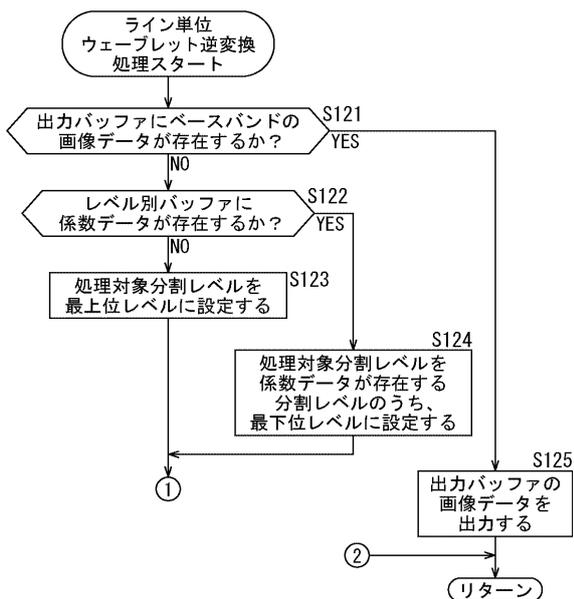
【図16】

図16



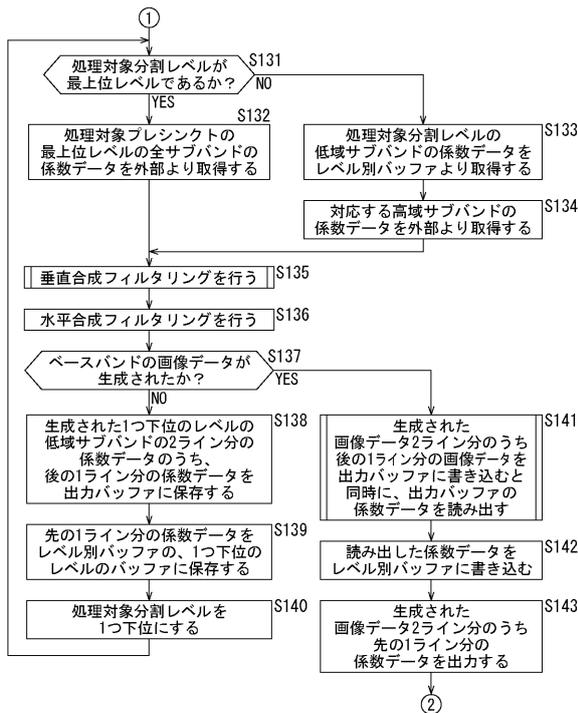
【図17】

図17



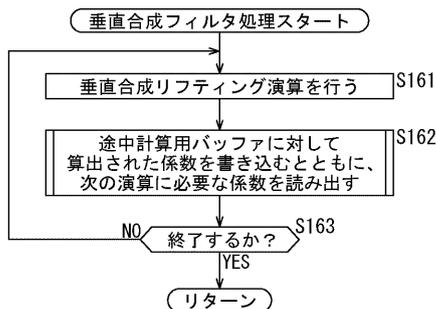
【図18】

図18



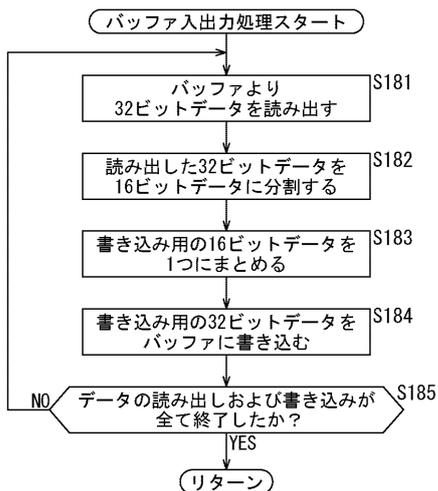
【図19】

図19



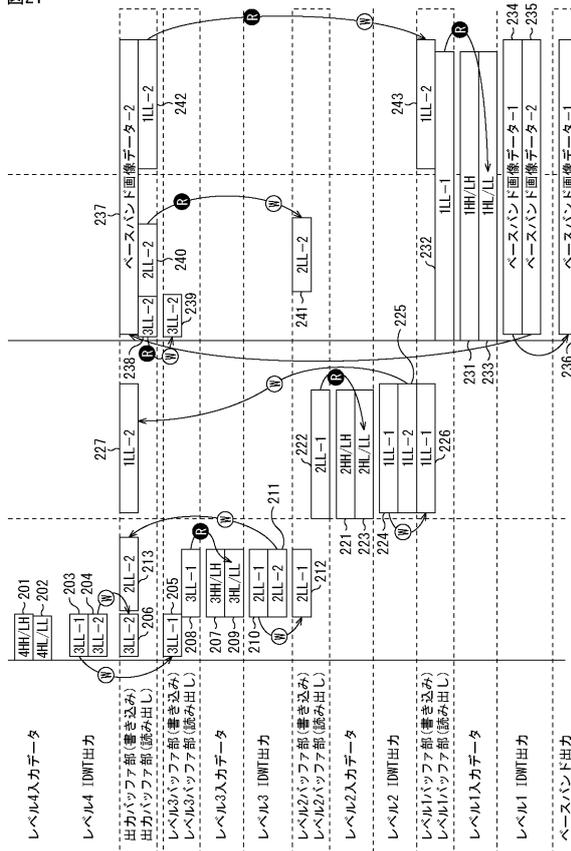
【図20】

図20

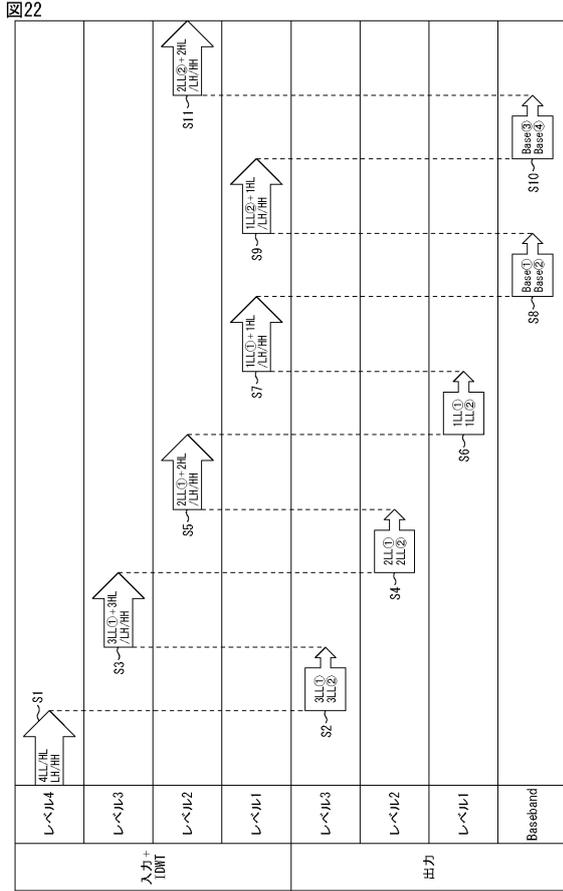


【図21】

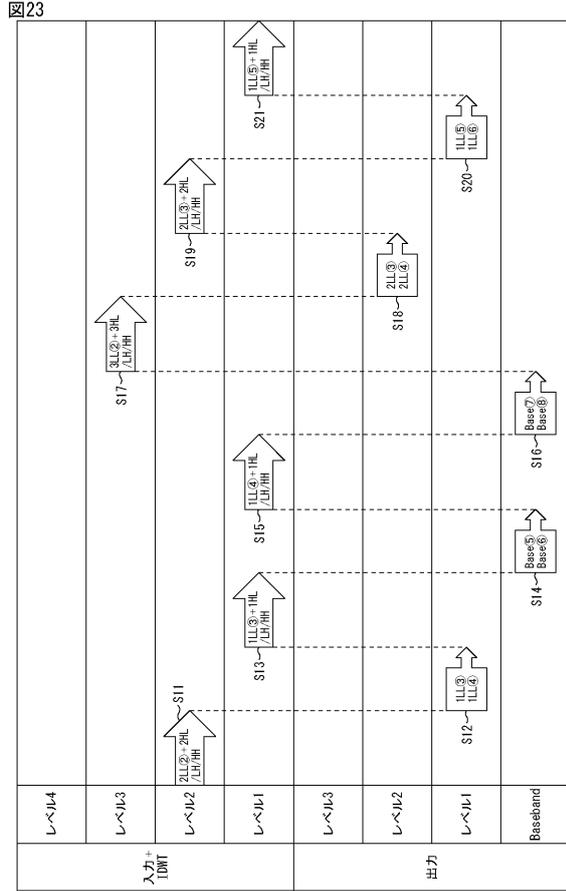
図21



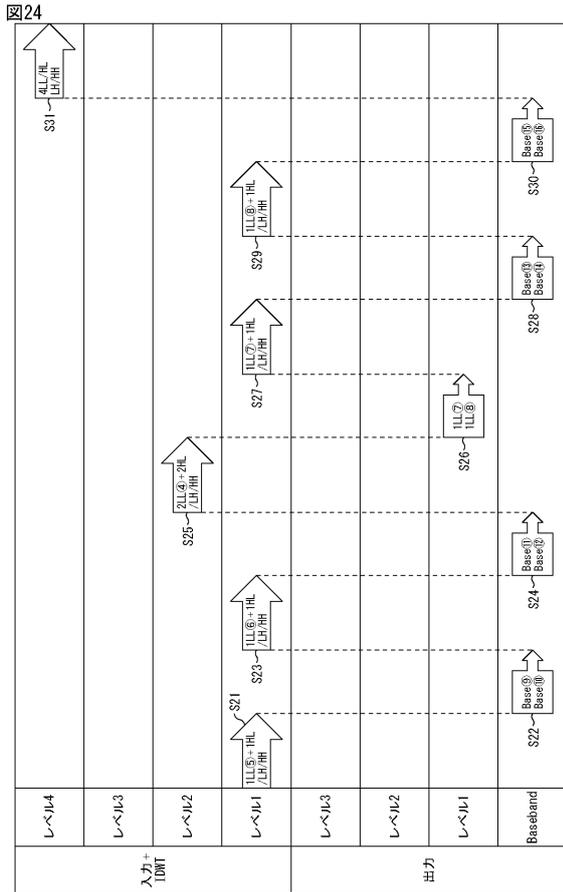
【 2 2 】



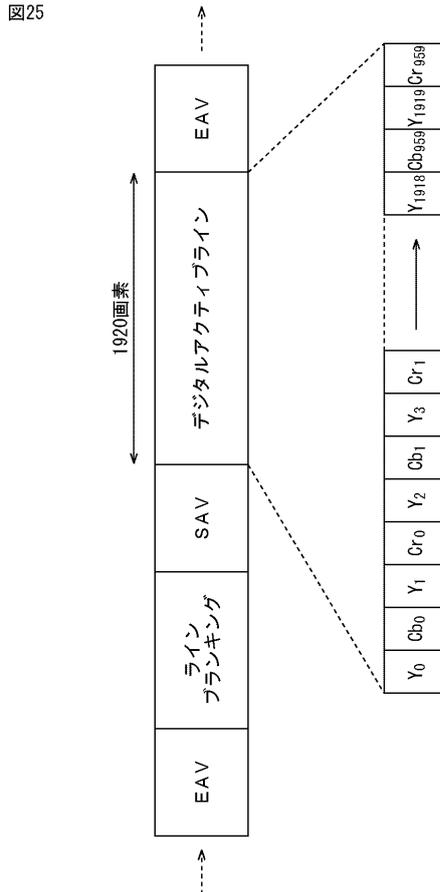
【 2 3 】



【 2 4 】

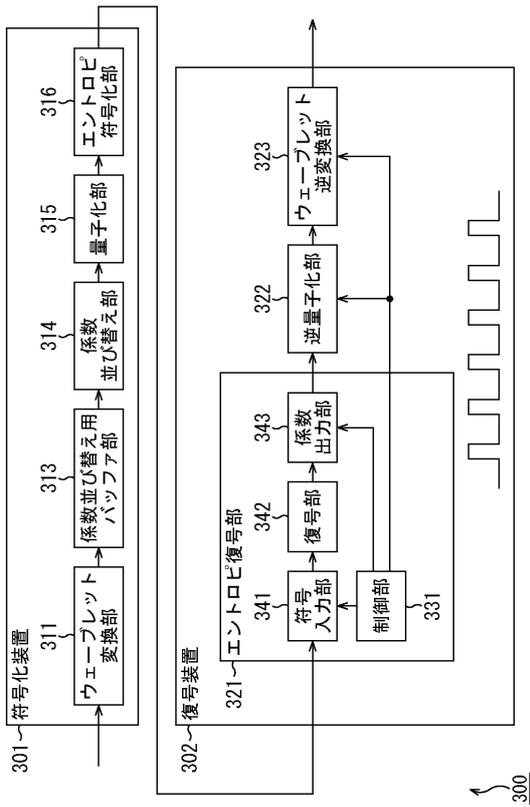


【 2 5 】



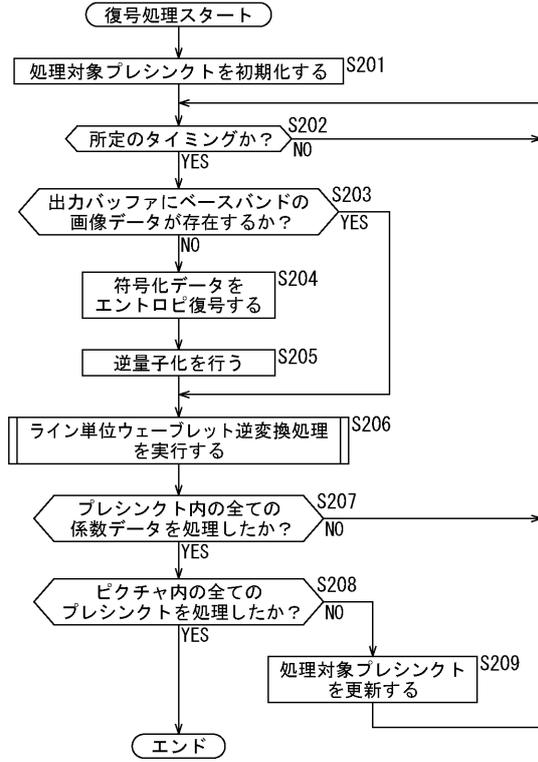
【図 26】

図26



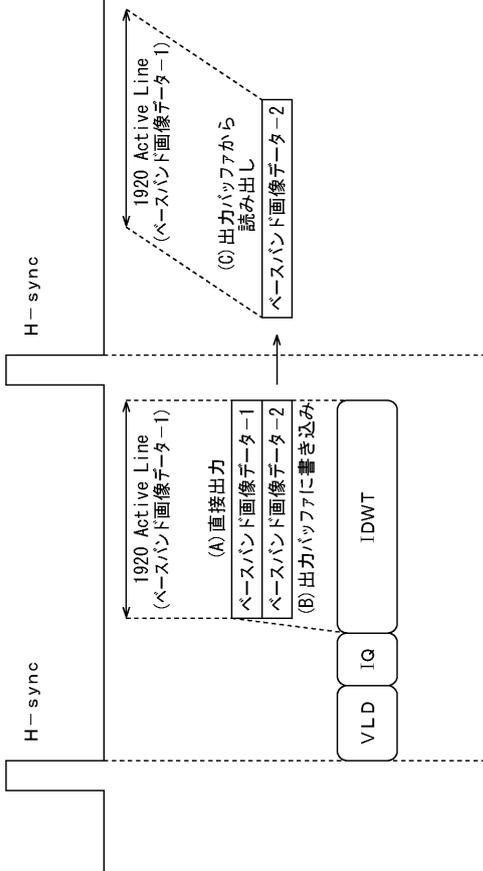
【図 27】

図27



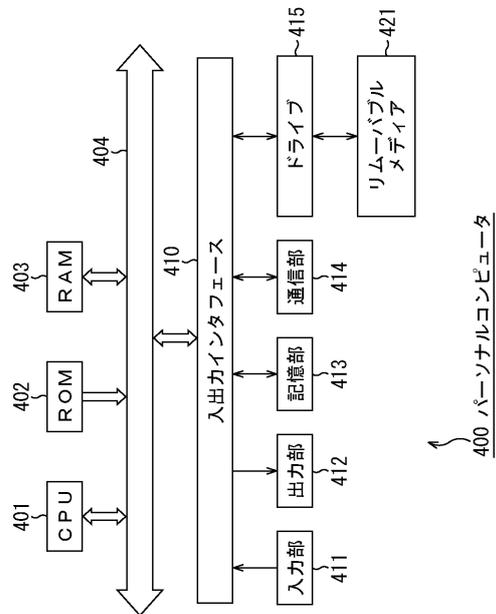
【図 28】

図28



【図 29】

図29



フロントページの続き

(56)参考文献 特開平11-239060(JP,A)
特開2002-101310(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	1/41
H03M	7/30
H04N	7/30