



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월08일
(11) 등록번호 10-1187641
(24) 등록일자 2012년09월26일

(51) 국제특허분류(Int. Cl.)
G11C 16/00 (2006.01) HO1L 27/115 (2006.01)
(21) 출원번호 10-2011-0019511
(22) 출원일자 2011년03월04일
심사청구일자 2011년03월04일
(65) 공개번호 10-2012-0100537
(43) 공개일자 2012년09월12일
(56) 선행기술조사문헌
KR100816123 B1
KR100632953 B1
전체 청구항 수 : 총 18 항

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이남재
충청북도 청주시 흥덕구 두꺼비로 53, 대우 푸르
지오아파트 103동 1301호 (산남동)
(74) 대리인
특허법인 신성

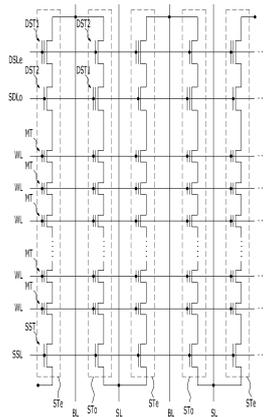
심사관 : 한선경

(54) 발명의 명칭 비휘발성 메모리 장치, 그 제조 방법, 및 그 동작 방법

(57) 요약

비휘발성 메모리 장치, 그 제조 방법, 및 그 동작 방법이 제공된다. 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는, 서로 평행하면서 교대로 배열되는 비트라인 및 소스라인; 및 상기 비트라인 및 상기 소스라인 사이에 교대로 배열되면서, 각각 드레인 선택 트랜지스터, 메모리 트랜지스터 및 소스 선택 트랜지스터를 포함하는 이븐 스트링 및 오드 스트링을 포함하고, 상기 드레인 선택 트랜지스터는, 상기 메모리 트랜지스터와 동일한 구조의 제1 드레인 선택 트랜지스터 및 상기 소스 선택 트랜지스터와 동일한 구조의 제2 드레인 선택 트랜지스터를 포함하고, 상기 이븐 스트링의 제1 및 제2 드레인 선택 트랜지스터의 위치와, 상기 오드 스트링의 제1 및 제2 드레인 선택 트랜지스터 위치는 상반되고, 한 쌍의 인접한 이븐 스트링 및 오드 스트링은 사이에 배치된 하나의 비트라인을 공유하고, 서로 다른 쌍의 인접한 이븐 스트링 및 오드 스트링은 사이에 배치된 하나의 소스라인을 공유한다.

대표도 - 도2



특허청구의 범위

청구항 1

서로 평행하면서 교대로 배열되는 비트라인 및 소스라인; 및

상기 비트라인 및 상기 소스라인 사이에 교대로 배열되면서, 각각 드레인 선택 트랜지스터, 메모리 트랜지스터 및 소스 선택 트랜지스터를 포함하는 이븐 스트링 및 오드 스트링을 포함하고,

상기 드레인 선택 트랜지스터는, 상기 메모리 트랜지스터와 동일한 구조의 제1 드레인 선택 트랜지스터 및 상기 소스 선택 트랜지스터와 동일한 구조의 제2 드레인 선택 트랜지스터를 포함하고,

상기 이븐 스트링의 제1 및 제2 드레인 선택 트랜지스터의 위치와, 상기 오드 스트링의 제1 및 제2 드레인 선택 트랜지스터 위치는 상반되고,

한 쌍의 인접한 이븐 스트링 및 오드 스트링은 사이에 배치된 하나의 비트라인을 공유하고, 서로 다른 쌍의 인접한 이븐 스트링 및 오드 스트링은 사이에 배치된 하나의 소스라인을 공유하는

비휘발성 메모리 장치.

청구항 2

제1 항에 있어서,

상기 이븐 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제2 드레인 선택 트랜지스터의 게이트 전극에 연결되는 이븐 드레인 선택 라인; 및

상기 오드 스트링의 제1 드레인 선택 트랜지스터의 게이트 전극 및 상기 이븐 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극에 연결되는 오드 드레인 선택 라인을 더 포함하는

비휘발성 메모리 장치.

청구항 3

제2 항에 있어서,

상기 메모리 트랜지스터의 제어 게이트 전극에 연결되면서 상기 비트라인 및 소스라인과 교차하는 방향으로 연장되는 워드라인; 및

상기 소스 선택 트랜지스터의 게이트 전극에 연결되면서 상기 비트라인 및 소스라인과 교차하는 방향으로 연장되는 소스 선택 라인을 더 포함하는

비휘발성 메모리 장치.

청구항 4

제1 항의 비휘발성 메모리 장치의 동작 방법으로서,

상기 이븐 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 오드 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 이븐 스트링에 속하는 프로그램 대상 메모리 트랜지스터를 프로그램하는 이븐 페이지 프로그램 단계; 및

상기 오드 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 이븐 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 오드 스트링에 속하는 프로그램 대상 메모리 트랜지스터를 프로그램하는 오드 페이지 프로그램 단계를 포함하는

비휘발성 메모리 장치의 동작 방법.

청구항 5

제4 항에 있어서,
 상기 이븐 페이지 프로그램 단계 또는 상기 오드 페이지 프로그램 단계 전에,
 상기 제1 드레인 선택 트랜지스터에 저장된 데이터를 소거하는 단계를 더 포함하는
 비휘발성 메모리 장치의 동작 방법.

청구항 6

제4 항에 있어서,
 상기 이븐 페이지 프로그램 단계는,
 상기 이븐 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극에 교대로 연결된 이븐 드레인 선택 라인에 상기 제1 드레인 선택 트랜지스터의 제1 턴온 전압을 인가하고, 상기 이븐 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극에 교대로 연결된 오드 드레인 선택 라인에 상기 제2 드레인 선택 트랜지스터를 턴온시키면서 상기 제1 턴온 전압보다 높은 제2 턴온 전압을 인가하는 단계를 포함하
 고,

상기 오드 페이지 프로그램 단계는,
 상기 이븐 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극에 교대로 연결된 오드 드레인 선택 라인에 상기 제1 드레인 선택 트랜지스터의 제1 턴온 전압을 인가하고, 상기 이븐 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극에 교대로 연결된 이븐 드레인 선택 라인에 상기 제2 드레인 선택 트랜지스터를 턴온시키면서 상기 제1 턴온 전압보다 높은 제2 턴온 전압을 인가하는 단계를 포함하
 는

비휘발성 메모리 장치의 동작 방법.

청구항 7

제4 항에 있어서,
 상기 이븐 페이지 프로그램 단계에서, 한 쌍의 인접한 이븐 스트링 및 오드 스트링 중 이븐 스트링만이 공유하
 는 비트라인에 전기적으로 연결되고,

상기 오드 페이지 프로그램 단계에서, 한 쌍의 인접한 이븐 스트링 및 오드 스트링 중 오드 스트링만이 공유하
 는 비트라인에 전기적으로 연결되는
 비휘발성 메모리 장치의 동작 방법.

청구항 8

제1 항의 비휘발성 메모리 장치의 동작 방법으로서,
 상기 이븐 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 오드 스트링의 제2 드레인 선택 트
 랜지스터는 턴오프시킨 상태에서 상기 이븐 스트링에 속하는 리드 대상 메모리 트랜지스터를 리드하는 이븐 페
 이지 리드 단계; 및

상기 오드 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 이븐 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 오드 스트링에 속하는 리드 대상 메모리 트랜지스터를 리드하는 오드 페이지 리드 단계를 포함하는

비휘발성 메모리 장치의 동작 방법.

청구항 9

제8 항에 있어서,

상기 이븐 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 오드 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 이븐 스트링에 속하는 프로그램 대상 메모리 트랜지스터를 프로그램하는 이븐 페이지 프로그램 단계; 및

상기 오드 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 이븐 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 오드 스트링에 속하는 프로그램 대상 메모리 트랜지스터를 프로그램하는 오드 페이지 프로그램 단계를 더 포함하고,

상기 이븐 페이지 리드 단계는, 상기 이븐 페이지 프로그램 단계 후에 수행되고,

상기 오드 페이지 리드 단계는, 상기 오드 페이지 프로그램 단계 후에 수행되는

비휘발성 메모리 장치의 동작 방법.

청구항 10

제8 항에 있어서,

상기 이븐 페이지 리드 단계는,

상기 이븐 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극에 교대로 연결된 이븐 드레인 선택 라인에 상기 제1 드레인 선택 트랜지스터의 제1 턴온 전압을 인가하고, 상기 이븐 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극에 교대로 연결된 오드 드레인 선택 라인에 상기 제2 드레인 선택 트랜지스터를 턴온시키면서 상기 제1 턴온 전압보다 높은 제2 턴온 전압을 인가하는 단계를 포함하고,

상기 오드 페이지 리드 단계는,

상기 이븐 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극에 교대로 연결된 오드 드레인 선택 라인에 상기 제1 드레인 선택 트랜지스터의 제1 턴온 전압을 인가하고, 상기 이븐 스트링의 제1 드레인 선택 트랜지스터의 제어 게이트 전극 및 상기 오드 스트링의 제2 드레인 선택 트랜지스터의 제어 게이트 전극에 교대로 연결된 이븐 드레인 선택 라인에 상기 제2 드레인 선택 트랜지스터를 턴온시키면서 상기 제1 턴온 전압보다 높은 제2 턴온 전압을 인가하는 단계를 포함하는

비휘발성 메모리 장치의 동작 방법.

청구항 11

제8 항에 있어서,

상기 이븐 페이지 리드 단계에서, 한 쌍의 인접한 이븐 스트링 및 오드 스트링 중 이븐 스트링만이 공유하는 비트라인에 전기적으로 연결되고,

상기 오드 페이지 리드 단계에서, 한 쌍의 인접한 이븐 스트링 및 오드 스트링 중 오드 스트링만이 공유하는 비트라인에 전기적으로 연결되는

비휘발성 메모리 장치의 동작 방법.

청구항 12

제8 항에 있어서,

제1 항의 비휘발성 메모리 장치의 동작 방법으로서,

상기 이븐 페이지 리드 단계는, 상기 이븐 스트링의 일단에 연결된 비트라인 및 상기 이븐 스트링의 타단에 연결된 소스라인 사이의 전류를 센싱하는 방식으로 수행되고,

상기 오드 페이지 리드 단계는, 상기 오드 스트링의 일단에 연결된 비트라인 및 상기 오드 스트링의 타단에 연결된 소스라인 사이의 전류를 센싱하는 방식으로 수행되는

비휘발성 메모리 장치의 동작 방법.

청구항 13

소자분리막에 의해 정의되고, 일 방향을 따라 연장되는 복수의 제1 영역과 상기 제1 영역 사이에서 상기 제1 영역을 연결시키면서 서로 다른 위치에 빈갈아 배치되는 제2 및 제3 영역을 포함하는 활성영역을 갖는 기판;

상기 기판 상에 배치되고, 상기 제2 및 제3 영역 사이의 상기 제1 영역을 가로지르도록 연장되는 소스 선택 라인, 워드라인 및 제1 및 제2 드레인 선택 라인;

제2 및 제3 영역 상에 각각 배치된 제1 및 제2 콘택; 및

상기 제1 및 제2 콘택과 각각 연결되면서 서로 평행하게 연장되는 제1 및 제2 배선을 포함하고,

상기 제1 및 제2 드레인 선택 라인은 각각 터널 절연막, 플로팅 게이트, 게이트간 절연막 및 제어 게이트의 적층 구조물을 포함하되, 상기 제1 드레인 선택 라인과 중첩되는 제1 영역 중 홀수번째의 제1 영역 상의 게이트간 절연막 일부와, 상기 제2 드레인 선택 라인과 중첩되는 제1 영역 중 짝수번째의 제1 영역 상의 게이트간 절연막 일부는 제거된

비휘발성 메모리 장치.

청구항 14

제13 항에 있어서,

상기 소스 선택 라인은 터널 절연막, 플로팅 게이트, 게이트간 절연막 및 제어 게이트의 적층 구조물을 포함하되, 게이트간 절연막의 일부가 제거되고,

상기 워드라인은 터널 절연막, 플로팅 게이트, 게이트간 절연막 및 제어 게이트의 적층 구조물을 포함하는

비휘발성 메모리 장치.

청구항 15

제13 항에 있어서,

상기 제2 영역은 상기 소스 선택 라인의 일측에 배치되고, 상기 제3 영역은 상기 드레인 선택 라인의 일측에 배치되고,

상기 제2 및 제3 영역에는 각각 소스 및 드레인 영역이 배치되고,

상기 제1 배선은 비트라인이고, 상기 제2 배선은 소스라인인

비휘발성 메모리 장치.

청구항 16

기관에 소자분리막을 형성하여, 일 방향을 따라 연장되는 복수의 제1 영역과 상기 제1 영역 사이에서 상기 제1 영역을 연결시키면서 서로 다른 위치에 번갈아 배치되는 제2 및 제3 영역을 포함하는 활성영역을 정의하는 단계;

상기 기관 상에 상기 제2 및 제3 영역 사이의 상기 제1 영역을 가로지르도록 연장되는 소스 선택 라인, 워드라인 및 제1 및 제2 드레인 선택 라인을 형성하는 단계;

상기 소스 선택 라인, 워드라인 및 제1 및 제2 드레인 선택 라인을 덮는 절연층을 형성하는 단계;

상기 절연층을 관통하여 상기 제2 및 제3 영역과 각각 연결되는 제1 및 제2 콘택을 형성하는 단계; 및

상기 절연층 상에 상기 제1 및 제2 콘택과 각각 연결되면서 서로 평행하게 연장되는 제1 및 제2 배선을 형성하는 단계를 포함하고,

상기 제1 및 제2 드레인 선택 라인은 각각 터널 절연막, 플로팅 게이트, 게이트간 절연막 및 제어 게이트의 적층 구조물을 포함하되, 상기 제1 드레인 선택 라인과 중첩되는 제1 영역 중 홀수번째의 제1 영역 상의 게이트간 절연막 일부와, 상기 제2 드레인 선택 라인과 중첩되는 제1 영역 중 짝수번째의 제1 영역 상의 게이트간 절연막 일부는 제거된

비휘발성 메모리 장치의 제조 방법.

청구항 17

제16 항에 있어서,

상기 워드라인, 상기 소스 선택 라인 및 상기 제1 및 제2 드레인 선택 라인 형성 단계는,

상기 기관 상에 상기 터널 절연막, 플로팅 게이트용 도전막 및 상기 게이트간 절연막을 순차적으로 형성하는 단계;

상기 제1 드레인 선택 라인과 중첩되는 제1 영역 중 홀수번째의 제1 영역 상의 상기 게이트간 절연막 일부와, 상기 제2 드레인 선택 라인과 중첩되는 제1 영역 중 짝수번째의 제1 영역 상의 게이트간 절연막 일부와, 상기 소스 선택 라인과 중첩하는 게이트간 절연막의 일부를 제거하는 단계; 및

상기 게이트간 절연막 일부가 제거된 결과물 상에 제어 게이트용 도전막을 형성하는 단계를 포함하는

비휘발성 메모리 장치의 제조 방법.

청구항 18

제16 항에 있어서,

상기 소스 선택 라인, 워드라인 및 제1 및 제2 드레인 선택 라인 형성 단계 후에,

소스/드레인 이온 주입 공정을 수행하여 상기 소스 선택 라인 일측에 배치되는 상기 제2 영역에 소스 영역을 형성하고, 상기 제1 및 제2 드레인 선택 라인 일측에 배치되는 상기 제3 영역에 드레인 영역을 형성하는 단계를 더 포함하는

비휘발성 메모리 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 비휘발성 메모리 장치, 그 제조 방법 및 그 동작 방법에 관한 것이다.

배경기술

[0002] 비휘발성 메모리 장치는 전원공급이 차단되더라도 저장된 데이터가 그대로 유지되는 메모리 장치이다. 현재 다양한 비휘발성 메모리 장치로 예컨대, NAND형 플래쉬 메모리 등이 널리 이용되고 있다.

[0003] 도 1은 종래의 비휘발성 메모리 장치를 나타내는 회로도이다.

[0004] 도 1을 참조하면, 종래의 비휘발성 메모리 장치는 열 방향으로 연장되면서 서로 평행하게 배열되는 복수의 비트라인(BL)과, 행 방향으로 연장되는 소스라인(SL)을 포함한다. 여기서, 비트라인(BL)은 서로 교대로 배열되는 이븐 비트라인(BLe) 및 오드 비트라인(BLo)을 포함한다.

[0005] 각 비트라인(BL)과 소스라인(SL) 사이에는 드레인 선택 트랜지스터(DST), 복수의 메모리 트랜지스터(MT), 및 소스 선택 트랜지스터(SST)가 직렬로 연결된 스트링이 배치된다.

[0006] 드레인 선택 라인(DSL)은 드레인 선택 트랜지스터(DST)의 게이트 전극에 연결되면서 행 방향으로 연장된다. 워드라인(WL)은 메모리 트랜지스터(MT)의 제어 게이트 전극에 연결되면서 행 방향으로 연장된다. 소스 선택 라인(SSL)은 소스 선택 트랜지스터(SST)의 게이트 전극에 연결되면서 행 방향으로 연장된다.

[0007] 위와 같은 구조의 비휘발성 메모리 장치에서 데이터 프로그램과 데이터 리드 동작은 페이지 단위로 수행된다. 특히, 이븐 비트라인(BLe)에 연결된 스트링 중 어느 한 셀을 프로그램하는 이븐 페이지 프로그램과 오드 비트라인(BLo)에 연결된 스트링 중 어느 한 셀을 프로그램하는 오드 페이지 프로그램은 각각 별개로 수행된다. 이븐 페이지의 리드 및 오드 페이지의 리드 동작도 이와 마찬가지로이다.

[0008] 그런데, 종래의 비휘발성 메모리 장치는 다음과 같은 문제를 갖는다.

[0009] 종래의 비휘발성 메모리 장치에서 비트라인(BL)과 소스라인(SL)은 서로 다른 방향으로 연장되기 때문에 동일한 층에 배치될 수 없다. 즉, 비트라인(BL)과 소스라인(SL)은 별개의 공정에 의하여 서로 다른 층에 형성되어야 한다. 이러한 경우, 비트라인(BL)과 소스라인(SL) 형성을 위하여 각각 마스크 및 식각 공정 등이 별도로 요구되므로, 공정이 복잡한 문제가 있다.

[0010] 또한, 종래의 비휘발성 메모리 장치에서 소스라인(SL)은 모든 스트링에 공통적으로 연결된다. 따라서, 리드 동작시 각 비트라인(BL)의 전압 변화를 감지하는 방식이 이용되어야 한다. 그러나, 이는 센싱 노이즈를 증가시키는 문제가 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명이 해결하려는 과제는, 제조 공정의 단순화가 가능하고 동작 특성을 향상시킬 수 있는 비휘발성 메모리 장치, 그 제조 방법, 및 그 동작 방법을 제공하는 것이다.

과제의 해결 수단

[0012] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 비휘발성 메모리 장치는, 서로 평행하면서 교대로 배열되는 비트라인 및 소스라인; 및 상기 비트라인 및 상기 소스라인 사이에 교대로 배열되면서, 각각 드레인 선택 트랜지스터, 메모리 트랜지스터 및 소스 선택 트랜지스터를 포함하는 이븐 스트링 및 오드 스트링을 포함하고, 상기 드레인 선택 트랜지스터는, 상기 메모리 트랜지스터와 동일한 구조의 제1 드레인 선택 트랜지스터 및 상기 소스 선택 트랜지스터와 동일한 구조의 제2 드레인 선택 트랜지스터를 포함하고, 상기 이븐 스트링의 제1 및 제2 드레인 선택 트랜지스터의 위치와, 상기 오드 스트링의 제1 및 제2 드레인 선택 트랜지스터 위치는 상반되고, 한 쌍의 인접한 이븐 스트링 및 오드 스트링은 사이에 배치된 하나의 비트라인을 공유하고, 서로 다른 쌍의 인접한

이븐 스트링 및 오드 스트링은 사이에 배치된 하나의 소스라인을 공유한다.

[0013] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 동작 방법은, 상기 비휘발성 메모리 장치의 동작 방법으로서, 상기 이븐 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 오드 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 이븐 스트링에 속하는 프로그램 대상 메모리 트랜지스터를 프로그램하는 이븐 페이지 프로그램 단계; 및 상기 오드 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 이븐 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 오드 스트링에 속하는 프로그램 대상 메모리 트랜지스터를 프로그램하는 오드 페이지 프로그램 단계를 포함한다.

[0014] 또한, 상기 과제를 해결하기 위한 본 발명의 다른 일 실시예에 따른 비휘발성 메모리 장치의 동작 방법은, 상기 비휘발성 메모리 장치의 동작 방법으로서, 상기 이븐 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 오드 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 이븐 스트링에 속하는 리드 대상 메모리 트랜지스터를 리드하는 이븐 페이지 리드 단계; 및 상기 오드 스트링의 제1 및 제2 드레인 선택 트랜지스터는 턴온시키고 상기 이븐 스트링의 제2 드레인 선택 트랜지스터는 턴오프시킨 상태에서 상기 오드 스트링에 속하는 리드 대상 메모리 트랜지스터를 리드하는 오드 페이지 리드 단계를 포함한다.

[0015] 또한, 상기 과제를 해결하기 위한 본 발명의 다른 일 실시예에 따른 3차원 구조의 비휘발성 메모리 장치는, 소자분리막에 의해 정의되고, 일 방향을 따라 연장되는 복수의 제1 영역과 상기 제1 영역 사이에서 상기 제1 영역을 연결시키면서 서로 다른 위치에 번갈아 배치되는 제2 및 제3 영역을 포함하는 활성영역을 갖는 기판; 상기 기판 상에 배치되고, 상기 제2 및 제3 영역 사이의 상기 제1 영역을 가로지르도록 연장되는 소스 선택 라인, 워드라인 및 제1 및 제2 드레인 선택 라인; 제2 및 제3 영역 상에 각각 배치된 제1 및 제2 콘택; 및 상기 제1 및 제2 콘택과 각각 연결되면서 서로 평행하게 연장되는 제1 및 제2 배선을 포함하고, 상기 제1 및 제2 드레인 선택 라인은 각각 터널 절연막, 플로팅 게이트, 게이트간 절연막 및 제어 게이트의 적층 구조물을 포함하되, 상기 제1 드레인 선택 라인과 중첩되는 제1 영역 중 홀수번째의 제1 영역 상의 게이트간 절연막 일부와, 상기 제2 드레인 선택 라인과 중첩되는 제1 영역 중 짝수번째의 제1 영역 상의 게이트간 절연막 일부는 제거된다.

[0016] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 3차원 구조의 비휘발성 메모리 장치의 제조 방법은, 기판에 소자분리막을 형성하여, 일 방향을 따라 연장되는 복수의 제1 영역과 상기 제1 영역 사이에서 상기 제1 영역을 연결시키면서 서로 다른 위치에 번갈아 배치되는 제2 및 제3 영역을 포함하는 활성영역을 정의하는 단계; 상기 기판 상에 상기 제2 및 제3 영역 사이의 상기 제1 영역을 가로지르도록 연장되는 소스 선택 라인, 워드라인 및 제1 및 제2 드레인 선택 라인을 형성하는 단계; 상기 소스 선택 라인, 워드라인 및 제1 및 제2 드레인 선택 라인을 덮는 절연층을 형성하는 단계; 상기 절연층을 관통하여 상기 제2 및 제3 영역과 각각 연결되는 제1 및 제2 콘택을 형성하는 단계; 및 상기 절연층 상에 상기 제1 및 제2 콘택과 각각 연결되면서 서로 평행하게 연장되는 제1 및 제2 배선을 형성하는 단계를 포함하고, 상기 제1 및 제2 드레인 선택 라인은 각각 터널 절연막, 플로팅 게이트, 게이트간 절연막 및 제어 게이트의 적층 구조물을 포함하되, 상기 제1 드레인 선택 라인과 중첩되는 제1 영역 중 홀수번째의 제1 영역 상의 게이트간 절연막 일부와, 상기 제2 드레인 선택 라인과 중첩되는 제1 영역 중 짝수번째의 제1 영역 상의 게이트간 절연막 일부는 제거된다.

발명의 효과

[0017] 본 발명의 비휘발성 메모리 장치, 그 제조 방법, 및 그 동작 방법에 의하면, 제조 공정의 단순화가 가능하고 동작 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0018] 도 1은 종래의 비휘발성 메모리 장치를 나타내는 회로도이다.

도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 회로도이다.

도 3은 도 2의 장치의 동작 방법을 설명하기 위한 도면이다.

도 4a 내지 도 8b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치 및 그 제조 방법을 설명하기 위한 평면도 및 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하에서는, 본 발명의 가장 바람직한 실시예가 설명된다. 도면에 있어서, 두께와 간격은 설명의 편의를 위하여 표현된 것이며, 실제 물리적 두께에 비해 과장되어 도시될 수 있다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무관한 공지의 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.
- [0020] 이하, 도 2 및 도 3을 참조하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치 및 그 동작 방법을 설명하기로 한다. 도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 회로도이고, 도 3은 도 2의 장치의 동작 방법을 설명하기 위한 도면이다.
- [0021] 도 2를 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는 일 방향 예컨대, 열 방향으로 연장되는 복수의 비트라인(BL) 및 소스라인(SL)을 포함한다. 여기서, 비트라인(BL) 및 소스라인(SL)은 서로 평행하게 배치되고, 교대로 배열된다.
- [0022] 이러한 비트라인(BL)과 소스라인(SL) 사이마다 한 쌍의 드레인 선택 트랜지스터(DST1, DST2 참조), 복수의 메모리 트랜지스터(MT), 및 소스 선택 트랜지스터(SST)가 직렬로 연결된 스트링(STe, STo 참조)이 배치된다.
- [0023] 여기서, 한 쌍의 드레인 선택 트랜지스터(DST1, DST2)는 메모리 트랜지스터(MT)와 동일한 구조 즉, 플로팅 게이트 전극과 컨트롤 게이트 전극의 적층 구조를 포함하는 제1 드레인 선택 트랜지스터(DST1)와, 통상적인 트랜지스터 구조 예컨대, 소스 선택 트랜지스터(SST)와 동일한 구조를 갖는 제2 드레인 선택 트랜지스터(DST2)를 포함한다.
- [0024] 또한, 스트링(STe, STo)은 비트라인(BL) 및 소스라인(SL) 사이에서 교대로 배열되는 이븐 스트링(STe)과 오드 스트링(STo)을 포함하는데, 이러한 이븐 스트링(STe)과 오드 스트링(STo)은 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2)의 상대적인 위치에 따라 구분될 수 있다. 즉, 이븐 스트링(STe)에서의 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2)의 위치와 오드 스트링(STo)에서의 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2)의 위치는 상반된다. 예컨대, 이븐 스트링(STe)에서는, 제1 드레인 선택 트랜지스터(DST1)가 일 단에 배치되어 제1 드레인 선택 트랜지스터(DST1)의 일 노드가 비트라인(BL)에 연결되고, 제2 드레인 선택 트랜지스터(DST2)는 제1 드레인 선택 트랜지스터(DST1)와 메모리 트랜지스터(MT) 사이에 배치될 수 있다. 반면, 오드 스트링(STo)에서는, 제2 드레인 선택 트랜지스터(DST2)가 일 단에 배치되어 제2 드레인 선택 트랜지스터(DST2)의 일 노드가 비트라인(BL)에 연결되고, 제1 드레인 선택 트랜지스터(DST1)는 제2 드레인 선택 트랜지스터(DST2)와 메모리 트랜지스터(MT) 사이에 배치될 수 있다.
- [0025] 상기 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2)를 제어하기 위하여 한 쌍의 드레인 선택 라인(DSLe, DSLo 참조)이 제1 드레인 선택 트랜지스터(DST1)의 제어 게이트 전극 또는 제2 드레인 선택 트랜지스터(DST2)의 게이트 전극에 연결되면서 행 방향으로 연장된다. 보다 구체적으로, 드레인 선택 라인(DSLe, DSLo)은 이븐 드레인 선택 라인(DSLe)과 오드 드레인 선택 라인(DSLo)을 포함한다. 이븐 드레인 선택 라인(DSLe)은 이븐 스트링(STe)의 제1 드레인 선택 트랜지스터(DST1)의 제어 게이트 전극과 오드 스트링(STo)의 제2 드레인 선택 트랜지스터(DST2)의 게이트 전극을 연결하면서 행 방향으로 연장될 수 있다. 또한, 오드 드레인 선택 라인(DSLo)은 이븐 스트링(STe)의 제2 드레인 선택 트랜지스터(DST2)의 게이트 전극과 오드 스트링(STo)의 제1 드레인 선택 트랜지스터(DST1)의 제어 게이트 전극을 연결하면서 행 방향으로 연장될 수 있다.
- [0026] 메모리 트랜지스터(MT)를 제어하기 위한 워드라인(WL)은 메모리 트랜지스터(MT)의 제어 게이트 전극에 연결되면서 행 방향으로 연장될 수 있다.
- [0027] 또한, 소스 선택 트랜지스터(SST)를 제어하기 위한 소스 선택 라인(SSL)은 소스 선택 트랜지스터(SST)의 게이트 전극에 연결되면서 행 방향으로 연장될 수 있다.

- [0028] 여기서, 서로 인접한 이븐 스트링(STe) 및 오드 스트링(STo)은 하나의 비트라인(BL)을 공유한다. 또한, 하나의 비트라인(BL)을 공유하는 이븐 스트링(STe) 및 오드 스트링(STo)을 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STo)이라 할 때, 서로 다른 쌍에 속하면서 서로 인접한 이븐 스트링(STe) 및 오드 스트링(STo)은 하나의 소스 라인(SL)을 공유한다. 즉, 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STo)에서, 이븐 스트링(STe)의 제1 드레인 선택 트랜지스터(DST1)의 일 노드와 오드 스트링(STo)의 제2 드레인 선택 트랜지스터(DST2)의 일 노드가 동일한 비트라인(BL)에 연결된다. 또한, 서로 다른 쌍의 서로 인접한 이븐 스트링(STe) 및 오드 스트링(STo)에서, 이븐 스트링(STe)의 소스 선택 트랜지스터(SST)의 일 노드와 오드 스트링(STo)의 소스 선택 트랜지스터(SST)의 일 노드가 동일한 소스라인(SL)에 연결된다.
- [0029] 예컨대, 도시된 바와 같이, 이븐 및 오드 스트링(STe, STo), 비트라인(BL) 및 소스라인(SL)을 좌측에서부터 차례대로 첫번째, 두번째 ... 로 칭하기로 할 때, 첫번째 이븐 스트링(STe) 및 오드 스트링(STo)의 쌍은 첫번째 비트라인(BL)을 공유한다. 두번째 이븐 스트링(STe) 및 오드 스트링(STo)의 쌍은 두번째 비트라인(BL)을 공유한다. 첫번째 오드 스트링(STo) 및 두번째 이븐 스트링(STe)은 첫번째 소스라인(SL)을 공유한다. 두번째 오드 스트링(STo) 및 세번째 이븐 스트링(STe)은 두번째 소스라인(SL)을 공유한다. 이러한 구조는 반복하여 배열된다.
- [0030] 위와 같은 구조의 비휘발성 메모리 장치에서 데이터를 프로그램하는 방법 및 그 데이터를 리드하는 방법을 도 2 및 도 3을 함께 참조하여 설명하면 아래와 같다.
- [0031] 우선, 프로그램을 위한 초기화 단계로서 소거 동작을 수행한다. 즉, 복수의 메모리 트랜지스터(MT)에 저장된 데이터, 예컨대 복수의 메모리 트랜지스터(MT)의 플로팅 게이트 전극에 저장된 전하를 소거한다. 이때, 메모리 트랜지스터(MT)와 동일한 구조를 갖는 제1 드레인 선택 트랜지스터(DST1)의 플로팅 게이트 전극에 저장된 전하를 함께 소거한다.
- [0032] 이를 위하여, 이븐 및 오드 드레인 선택 라인(DSLe, DSLo)과 워드라인(WL)에 저전압 예컨대, 0V의 전압을 인가하고, 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2), 메모리 트랜지스터(MT) 등이 배치된 기판 바디(미도시됨)에 고전압 예컨대, 20V의 전압을 인가할 수 있다. 비트라인(BL) 및 소스라인(SL)은 플로팅시킬 수 있다.
- [0033] 다음으로, 프로그램 동작을 수행한다. 프로그램 동작은 페이지(PAGE) 단위로 수행되되, 이븐 페이지의 프로그램과 오드 페이지의 프로그램으로 구별되어 수행된다.
- [0034] 구체적으로, 하나의 워드라인(WL)에 연결된 복수의 메모리 트랜지스터(MT)가 하나의 페이지(PAGE)를 구성한다고 할 때, 하나의 선택된 워드라인(WL)에 연결된 페이지(PAGE)에 속하는 복수의 메모리 트랜지스터(MT) 중 이븐 스트링(STe)에 속하는 프로그램 대상 메모리 트랜지스터(MT)의 프로그램을 이븐 페이지의 프로그램이라 하고, 하나의 선택된 워드라인(WL)에 연결된 페이지(PAGE)에 속하는 복수의 메모리 트랜지스터(MT) 중 오드 스트링(STo)에 속하는 프로그램 대상 메모리 트랜지스터(MT)의 프로그램을 오드 페이지의 프로그램이라 한다. 이들 이븐 페이지의 프로그램 및 오드 페이지의 프로그램은 시간 간격을 두고 별개로 수행된다.
- [0035] 여기서, 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STo)이 하나의 비트라인(BL)을 공유함은 전술하였다. 따라서, 아래와 같은 방법으로 이븐 페이지의 프로그램 및 오드 페이지의 프로그램이 각각 수행된다.
- [0036] 이븐 페이지의 프로그램을 수행하기 위해서는, 하나의 선택된 워드라인(WL)에 프로그램 전압 예컨대, 18V를 인가하고 나머지 비선택된 워드라인(WL)에 프로그램 전압보다 낮은 패스 전압 예컨대, 10V를 인가하고, 소스 선택 라인(SSL)에 소스 선택 트랜지스터(SST)의 턴 오프 전압 예컨대, 0V를 인가한 상태에서, 이븐 드레인 선택 라인(DSLe)에 제1 드레인 선택 트랜지스터(DST1)의 턴온 전압 예컨대, 0V 인가하고 오드 드레인 선택 라인(DSLo)에 제2 드레인 선택 트랜지스터(DST2)의 턴온 전압 예컨대, 전원 전압(Vcc)를 인가한다. 여기서, 제1 드레인 선택 트랜지스터(DST1)의 턴온 전압이 0V로서 상대적으로 제2 드레인 선택 트랜지스터(DST2)의 턴온 전압보다 낮은 것은, 제1 드레인 선택 트랜지스터(DST1)가 소거 상태에 있기 때문이다.
- [0037] 이러한 경우, 이븐 스트링(STe)의 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2)는 모두 턴온 상태에 있는 반면, 오드 스트링(STo)의 제2 드레인 선택 트랜지스터(DST2)는 턴오프 상태에 있게 된다. 따라서, 하나의 비트라인(BL)을 공유하는 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STo) 중에서, 이븐 스트링(STe)만이 비트라인(BL)에 연결되고 오드 스트링(STo)은 비트라인(BL)에 연결되지 않는다. 즉, 이븐 페이지의 프로그램 동작에서, 상기 하나의 비트라인(BL)은 이븐 페이지의 비트라인으로 이용될 수 있다.
- [0038] 이와 같은 상태에서, 이븐 스트링(STe) 각각의 선택된 워드라인(WL)의 메모리 트랜지스터(MT)에 원하는 데이터

를 저장하는 프로그램이 수행될 수 있다. 즉, 이븐 스트링(STe)에 연결된 비트라인(BL)에 원하는 데이터 예컨대, '0' 데이터 또는 '1' 데이터를 저장하기 위한 소정 전압 예컨대, 0V 또는 전원 전압(Vcc)를 각각 인가할 수 있다.

[0039] 반면, 오드 페이지의 프로그램을 수행하기 위해서는, 하나의 선택된 워드라인(WL)에 프로그램 전압 예컨대, 18V를 인가하고 나머지 비선택된 워드라인(WL)에 프로그램 전압보다 낮은 패스 전압 예컨대, 10V를 인가하고, 소스 선택 라인(SSL)에 소스 선택 트랜지스터(SST)의 턴 오프 전압 예컨대, 0V를 인가한 상태에서, 오드 드레인 선택 라인(DSLo)에 제1 드레인 선택 트랜지스터(DST1)의 턴온 전압 예컨대, 0V 인가하고 이븐 드레인 선택 라인(DSLe)에 제2 드레인 선택 트랜지스터(DST2)의 턴온 전압 예컨대, 전원 전압(Vcc)를 인가한다. 즉, 이븐 및 오드 드레인 선택 라인(DSLe, DSLo)에 이븐 페이지 프로그램 동작에서 인가되는 전압과 상반되는 전압을 인가한다.

[0040] 이러한 경우, 오드 스트링(STo)의 제1 및 제2 드레인 선택 트랜지스터(DTS1, DST2)는 모두 턴온 상태에 있는 반면, 이븐 스트링(STe)의 제2 드레인 선택 트랜지스터(DST2)는 턴오프 상태에 있게 된다. 따라서, 하나의 비트라인(BL)을 공유하는 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STe) 중에서, 오드 스트링(STo)만이 비트라인(BL)에 연결되고 이븐 스트링(STe)은 비트라인(BL)에 연결되지 않는다. 즉, 오드 페이지의 프로그램 동작에서, 상기 하나의 비트라인(BL)은 오드 페이지의 비트라인으로 이용될 수 있다.

[0041] 이와 같은 상태에서, 오드 스트링(STo) 각각의 선택된 워드라인(WL)의 메모리 트랜지스터(MT)에 원하는 데이터를 저장하는 프로그램이 수행될 수 있다. 즉, 오드 스트링(STo)에 연결된 각 비트라인(BL)에 원하는 데이터 예컨대, '0' 데이터 또는 '1' 데이터를 저장하기 위한 소정 전압 예컨대, 0V 또는 전원 전압(Vcc)을 각각 인가할 수 있다.

[0042] 요약하자면, 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STe)은 하나의 비트라인(BL)을 공유하고, 이븐 및 오드 드레인 선택 라인(DSLe, DSLo) 각각에 인가되는 전압을 제어함으로써 하나의 비트라인(BL)을 이븐 페이지의 비트라인(BL) 또는 오드 페이지의 비트라인(BL)으로 선택적으로 이용할 수 있다.

[0043] 다음으로, 프로그램된 데이터의 리드 동작을 수행한다. 리드 동작은 프로그램 동작과 마찬가지로 이븐 페이지의 리드 동작과 오드 페이지의 리드 동작으로 구별될 수 있다.

[0044] 구체적으로, 하나의 워드라인(WL)에 연결된 복수의 메모리 트랜지스터(MT)가 하나의 페이지(PAGE)를 구성한다고 할 때, 하나의 선택된 워드라인(WL)에 연결된 페이지(PAGE)에 속하는 복수의 메모리 트랜지스터(MT) 중 이븐 스트링(STe)에 속하는 리드 대상 메모리 트랜지스터(MT)의 리드를 이븐 페이지의 리드라 하고, 하나의 선택된 워드라인(WL)에 연결된 페이지(PAGE)에 속하는 복수의 메모리 트랜지스터(MT) 중 오드 스트링(STo)에 속하는 리드 대상 메모리 트랜지스터(MT)의 리드를 오드 페이지의 리드라 한다. 이들 이븐 페이지의 리드 및 오드 페이지의 리드는 시간 간격을 두고 별개로 수행된다.

[0045] 여기서, 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STo)이 하나의 비트라인(BL)을 공유함은 전술하였다. 따라서, 아래와 같은 방법으로 이븐 페이지의 리드 및 오드 페이지의 리드 각각 수행된다.

[0046] 이븐 페이지의 리드를 수행하기 위해서는, 하나의 선택된 워드라인(WL)에 리드 전압 예컨대, 0V를 인가하고 나머지 비선택된 워드라인(WL) 및 소스 선택 라인(SSL)에 각각 리드 전압보다 높은 패스 전압 예컨대, 4.5V를 인가한 상태에서, 이븐 드레인 선택 라인(DSLe)에 제1 드레인 선택 트랜지스터(DST1)의 턴온 전압 예컨대, 0V 인가하고 오드 드레인 선택 라인(DSL)에 제2 드레인 선택 트랜지스터(DST2)의 턴온 전압 예컨대, 전원 전압(Vcc)를 인가한다.

[0047] 이러한 경우, 이븐 스트링(STe)의 제1 및 제2 드레인 선택 트랜지스터(DTS1, DST2)는 모두 턴온 상태에 있는 반면, 오드 스트링(STo)의 제2 드레인 선택 트랜지스터(DST2)는 턴오프 상태에 있게 된다. 따라서, 하나의 비트라인(BL)을 공유하는 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STe) 중에서, 이븐 스트링(STe)만이 비트라인(BL)에 연결되고 오드 스트링(STe)은 비트라인(BL)에 연결되지 않는다. 즉, 이븐 페이지의 리드 동작에서, 상기 하나의 비트라인(BL)은 이븐 페이지의 비트라인으로 이용된다.

[0048] 이와 같은 상태에서, 각 이븐 스트링(STe)의 일단에 연결된 비트라인(BL)과 타단에 연결된 소스라인(SL) 사이에 점선 ①로 나타낸 것과 같은 전류 패스가 형성될 수 있는데, 이 전류 패스 ①은 각 이븐 스트링(STe)의 리드 대상 메모리 트랜지스터(MT)에 저장된 데이터에 따라 서로 다른 상태를 갖는다. 예컨대, 각 이븐 스트링(STe)의

리드 대상 메모리 트랜지스터(MT)에 '0' 데이터가 저장된 경우에는 전류 패스 ①이 끊어진 상태이고 '1' 데이터가 저장된 경우에는 전류 패스 ①이 연결된 상태일 수 있다. 따라서, 각 이븐 스트링(STe)의 일단 및 타단에 각각 연결된 비트라인(BL) 및 소스라인(SL) 사이의 전류를 센싱함으로써(도면부호 SE 참조), 각 이븐 스트링(STe)의 리드 대상 메모리 트랜지스터(MT)에 저장된 데이터를 리드할 수 있다.

[0049] 또한, 오드 페이지의 프로그램 후 이에 대한 리드를 수행하기 위해서는, 하나의 선택된 워드라인(WL)에 리드 전압 예컨대, 0V를 인가하고 나머지 비선택된 워드라인(WL) 및 소스 선택 라인(SSL)에 각각 리드 전압보다 높은 패스 전압 예컨대, 4.5V를 인가한 상태에서, 오드 드레인 선택 라인(DSLo)에 제1 드레인 선택 트랜지스터(DST1)의 턴온 전압 예컨대, 0V 인가하고 이븐 드레인 선택 라인(DSLe)에 제2 드레인 선택 트랜지스터(DST2)의 턴온 전압 예컨대, 전원 전압(Vcc)를 인가한다. 즉, 이븐 및 오드 드레인 선택 라인(DSLe, DSLo)에 이븐 페이지 리드 동작에서 인가되는 전압과 상반되는 전압을 인가한다.

[0050] 이러한 경우, 오드 스트링(STo)의 제1 및 제2 드레인 선택 트랜지스터(DTS1, DST2)는 모두 턴온 상태에 있는 반면, 이븐 스트링(STe)의 제2 드레인 선택 트랜지스터(DST2)는 턴오프 상태에 있게 된다. 따라서, 하나의 비트라인(BL)을 공유하는 한 쌍의 이븐 스트링(STe) 및 오드 스트링(STe) 중에서, 오드 스트링(STo)만이 비트라인(BL)에 연결되고 이븐 스트링(STe)은 비트라인(BL)에 연결되지 않는다. 즉, 오드 페이지의 리드 동작에서, 상기 하나의 비트라인(BL)은 오드 페이지의 비트라인으로 이용된다.

[0051] 이와 같은 상태에서, 각 오드 스트링(STo)의 일단에 연결된 비트라인(BL)과 타단에 연결된 소스라인(SL) 사이에 점선 ②로 나타낸 것과 같은 전류 패스가 형성될 수 있는데, 이 전류 패스 ②는 각 오드 스트링(STo)의 리드 대상 메모리 트랜지스터(MT)에 저장된 데이터에 따라 서로 다른 상태를 갖는다. 예컨대, 각 오드 스트링(STo)의 리드 대상 메모리 트랜지스터(MT)에 '0' 데이터가 저장된 경우에는 전류 패스 ②가 끊어진 상태이고 '1' 데이터가 저장된 경우에는 전류 패스 ②가 연결된 상태일 수 있다. 따라서, 각 오드 스트링(STo)의 일단 및 타단에 각각 연결된 비트라인(BL) 및 소스라인(SL) 사이의 전류를 센싱함으로써(도면부호 S0 참조), 각 오드 스트링(STo)의 리드 대상 메모리 트랜지스터(MT)에 저장된 데이터를 리드할 수 있다.

[0052]

[0053] 이하, 도 4a 내지 도 8b를 참조하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치 및 그 제조 방법을 설명하기로 한다. 도 8a 및 도 8b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 평면도 및 단면도이고, 도 4a 내지 도 7b는 도 8a 및 도 8b의 장치를 제조하기 위한 중간 공정 단계를 나타내는 평면도 및 단면도이다. 여기서, 도 8a 및 도 8b에 도시된 장치는 도 2의 장치와 실질적으로 대응한다.

[0054] 이하, 도 4a 내지 도 8b를 참조하여 제조 방법을 먼저 설명하기로 한다.

[0055] 도 4a 내지 도 4c를 참조하면, 기판(100)에 소자분리막(105)을 형성하여 활성 영역(100A)을 정의한다. 기판(100)은 실리콘 기판 등의 반도체 기판일 수 있다. 소자분리막(105)은 STI(Shallow Trench Isolation) 방식에 의하여 형성될 수 있고, 예컨대, 산화막일 수 있다.

[0056] 여기서, 소자분리막(105)은 바 형상을 갖고, 장축이 제1 방향 예컨대, 열 방향과 대응하고 단축이 상기 제1 방향과 교차하는 제2 방향 예컨대, 행 방향과 대응하도록 배치된다. 이러한 소자분리막(105)은 제1 방향 및 제2 방향을 따라 복수개가 배열되는데, 제1 방향을 따라서는 일직선상에 배열되고 제2 방향을 따라서는 지그재그로 배열된다.

[0057] 그에 따라, 활성 영역(100A)은 도시된 것과 같은 형상을 갖는다. 즉, 활성 영역(100A)은 제2 방향으로 배열되는 소자분리막(105) 사이에 배치되어 제1 방향으로 연장되는 제1 영역(100A1)과, 제1 방향으로 배열되는 소자분리막(105) 사이에 배치되어 서로 다른 위치에 번갈아 배치되는 제2 및 제3 영역(100A2, 100A3)을 포함한다. 제1 영역(100A1)은 제2 및 제3 영역(100A2, 100A3)에 의하여 서로 연결된다.

[0058] 여기서, 하나의 제1 영역(100A1) 중에서 제2 및 제3 영역(100A2, 100A3) 사이에 해당하는 영역이 전술한 하나의 스트링(도 2의 STe 또는 STo 참조)이 배치되는 영역이 되며, 이하에서는 설명의 편의상 이 영역을 단위 스트링 영역이라 하기로 한다. 단위 스트링 영역은 제2 방향으로 따라 복수개가 배열된다. 전술한 드레인 선택 라인(DSLe, DSLo), 워드라인(WL) 및 소스 선택 라인(SSL)은 상기 단위 스트링 영역을 가로지르면서 제2 방향으로 연장된다.

[0059] 도 5a 및 도 5b를 참조하면, 소자분리막(105)을 포함하는 기판(100) 상에 터널 절연막(110), 플로팅 게이트 전

극 형성을 위한 제1 도전층(120), 및 플로팅 게이트 전극과 제어 게이트 전극을 서로 절연시키기 위한 게이트간 절연막(130)을 순차적으로 형성한다. 여기서, 터널 절연막(110)은 산화막일 수 있고, 제1 도전층(120)은 폴리실리콘층일 수 있고, 게이트간 절연막(130)은 ONO(Oxide-Nitride-Oxide)막일 수 있다.

- [0060] 이어서, 게이트간 절연막(130) 상에 캡핑층(140)을 형성한다. 캡핑층(140)은 후속 공정에서 게이트간 절연막(130)을 보호하기 위한 것으로서, 예컨대 폴리실리콘을 포함할 수 있다.
- [0061] 이어서, 캡핑층(140) 상에 포토레지스트를 도포하고 노광 및 현상을 수행하여 소정 개구 즉, 제1 홀(H1), 제2 홀(H2) 및 제1 트렌치(T1)를 갖는 마스크 패턴(M1)을 형성한 후, 이 마스크 패턴(M1)을 식각 마스크로 캡핑층(140) 및 게이트간 절연막(130)을 식각함으로써 제1 홀(H1), 제2 홀(H2) 및 제1 트렌치(T1)에 대응하는 영역의 게이트간 절연막(130)을 제거한다.
- [0062] 여기서, 제1 홀(H1)은 전술한 한 쌍의 드레인 선택 라인(DSLe, DSLo) 중 어느 하나 예컨대, 이븐 드레인 선택 라인(DSLe)이 형성될 영역과 중첩하면서 제1 영역(100A1) 상에 배치되되, 제2 방향으로 배열되는 제1 영역(100A1)을 하나씩 건너뛰어 배치된다. 예를 들어, 제1 홀(H1)은 제2 방향으로 배열되는 제1 영역(100A1) 중 홀 수번째의 제1 영역(100A1) 상에 배치될 수 있다. 이러한 제1 홀(H1)은 드레인 선택 라인(DSLe 또는 DSLo)의 폭보다 작은 폭을 가질 수 있다.
- [0063] 또한, 제2 홀(H2)은 전술한 한 쌍의 드레인 선택 라인(DSLe, DSLo) 중 다른 하나 예컨대, 오드 드레인 선택 라인(DSLo)이 형성될 영역과 중첩하면서 제1 영역(100A1) 상에 배치되되, 제1 홀(H1)이 배치되지 않은 제1 영역(100A1) 상에 배치된다. 예를 들어, 제2 홀(H2)은 제2 방향으로 배열되는 제1 영역(100A1) 중 짝수번째의 제1 영역(100A1) 상에 배치될 수 있다. 이러한 제2 홀(H2)은 드레인 선택 라인(DSLe 또는 DSLo)의 폭보다 작은 폭을 가질 수 있다.
- [0064] 제1 트렌치(T1)는 전술한 소스 선택 라인(SSL)이 형성될 영역과 중첩하면서 제2 방향으로 연장되는 라인 형상을 가질 수 있다. 제1 트렌치(T1)의 제1 방향 폭은 소스 선택 라인(SSL)의 제1 방향 폭보다 작을 수 있다.
- [0065] 이와 같은 제1 및 제2 홀(H1, H2)을 형성하는 것은 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2)의 게이트 전극을 형성하기 위함이다. 제1 드레인 선택 트랜지스터(DST1)는 전술한 바와 같이 메모리 트랜지스터(MT)와 동일한 구조를 갖고, 그에 따라 게이트간 절연막(130)에 의하여 분리되는 플로팅 게이트 전극 및 제어 게이트 전극을 갖는다. 반면, 제2 드레인 선택 트랜지스터(DST2)는 전술한 바와 같이 통상적인 선택 트랜지스터 예컨대, 소스 선택 트랜지스터(SST)와 동일한 구조를 갖고, 그에 따라 플로팅 게이트 전극 및 제어 게이트 전극 사이의 게이트간 절연막(130)이 일부 제거되어 서로 연결된 구조의 플로팅 게이트 전극 및 제어 게이트 전극을 갖는다. 본 발명의 실시예에서는 하나의 스트링에 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2)가 포함되되, 서로 인접하는 스트링에서 제1 및 제2 드레인 선택 트랜지스터(DST1, DST2)의 위치는 상반된다. 따라서, 위와 같은 형상 및 배열의 제1 및 제2 홀(H1, H2)을 형성하는 것이다.
- [0066] 또한, 제1 트렌치(T1)를 형성하는 것은 소스 선택 트랜지스터(SST)의 게이트 전극을 형성하기 위함이다. 소스 선택 트랜지스터(SST)는 전술한 바와 같이 플로팅 게이트 전극 및 제어 게이트 전극 사이의 게이트간 절연막(130)이 일부 제거되어 서로 연결된 구조의 플로팅 게이트 전극 및 제어 게이트 전극을 갖는다. 따라서, 위와 같은 형상 및 배열의 제1 트렌치(T1)를 형성하는 것이다.
- [0067] 이어서, 도시되지는 않았으나, 제1 도전층(120)이 단위 스트링 영역 별로 분리되도록 제1 도전층(120)을 패터닝할 수 있다. 패터닝된 제1 도전층(120)은 예컨대, 제1 영역(A1)과 실질적으로 동일한 형상을 가질 수 있다.
- [0068] 도 6a 및 도 6b를 참조하면, 제1 마스크 패턴(M1) 및 캡핑층(140)을 제거한 후, 결과물 상에 제어 게이트 전극 형성을 위한 제2 도전층(150)을 형성한다. 제2 도전층(150)은 저저항을 위하여 자신의 상부에 실리사이드층(미도시됨)을 더 포함할 수도 있다. 이러한 제2 도전층(150)은 폴리실리콘을 포함할 수 있고, 상기 실리사이드층은 금속 실리사이드 예컨대, 코발트 실리사이드를 포함할 수 있다.
- [0069] 이어서, 제1 도전층(120), 게이트간 절연막(130) 및 제2 도전층(150)이 적층된 구조물을 패터닝함으로써, 단위 스트링 영역을 가로질러 제2 방향으로 연장되면서 서로 평행하게 배열되는 한 쌍의 드레인 선택 라인(DSLe, DSLo), 복수의 워드라인(WL), 및 소스 선택 라인(SSL)을 형성한다.
- [0070] 여기서, 이븐 드레인 선택 라인(DSLe)은 제2 방향으로 배열되는 제1 홀(H1)과 중첩되면서 제2 방향으로 연장되고, 오드 드레인 선택 라인(DSLo)은 제2 방향으로 배열되는 제2 홀(H2)과 중첩되면서 제2 방향으로 연장될 수 있다. 소스 선택 라인(SSL)은 제2 방향으로 연장되는 제1 트렌치(T1)와 중첩하면서 제2 방향으로 연장될 수 있

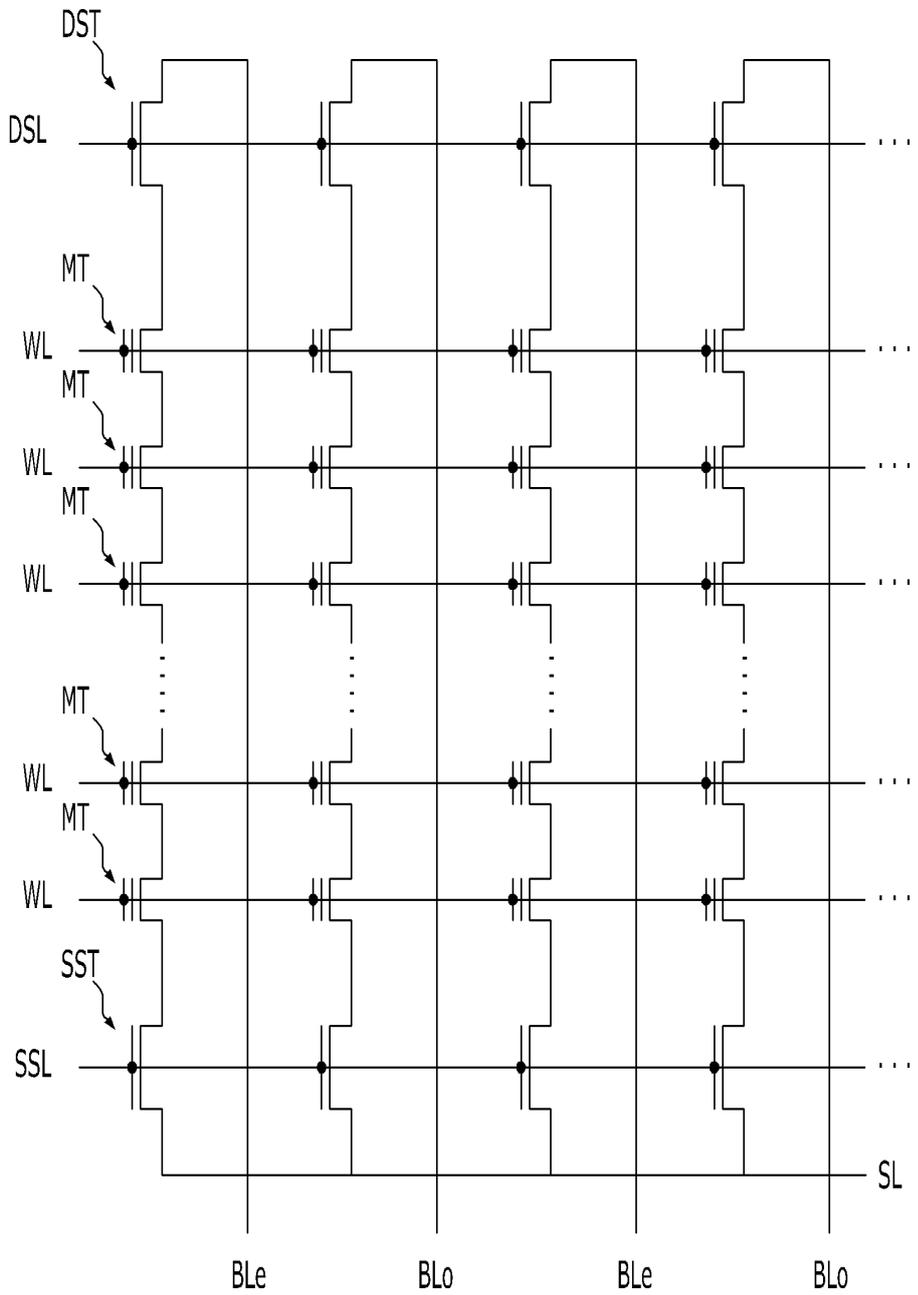
다. 워드라인(WL)은 드레인 선택 라인(DSL_e, DSL_o)과 소스 선택 라인(SSL) 사이에 복수개가 배열된다.

- [0071] 본 공정 결과, 하나의 단위 스트링 영역에는 제1 드레인 선택 트랜지스터(DST1), 제2 드레인 선택 트랜지스터(DST2), 복수의 메모리 트랜지스터(MT) 및 소스 선택 트랜지스터(SST)가 직렬로 연결되어 배치되고, 상기 하나의 단위 스트링 영역과 인접하는 단위 스트링 영역에는 제2 드레인 선택 트랜지스터(DST2), 제1 드레인 선택 트랜지스터(DST1), 복수의 메모리 트랜지스터(MT) 및 소스 선택 트랜지스터(SST)가 직렬로 연결되어 배치된다.
- [0072] 제1 드레인 선택 트랜지스터(DST1) 및 메모리 트랜지스터(MT)는 서로 동일한 구조, 즉, 터널 절연막(110), 제1 도전층(120), 게이트간 절연막(130) 및 제2 도전층(150)의 적층 구조를 포함한다. 제2 드레인 선택 트랜지스터(DST2) 및 소스 선택 트랜지스터(SST)는 서로 동일한 구조, 즉, 터널 절연막(110), 제1 도전층(120), 게이트간 절연막(130) 및 제2 도전층(150)이 적층되어 있으면서, 게이트간 절연막(130)의 적어도 일부가 제거되어 제1 도전층(120)과 제2 도전층(150)이 전기적으로 연결된 구조를 포함한다.
- [0073] 각 단위 스트링 영역에 번갈아 배치되는 제1 드레인 선택 트랜지스터(DST1) 및 제2 드레인 선택 트랜지스터(DST2)의 제2 도전층(150)은 제2 방향으로 연장되어 상기 이븐 드레인 선택 라인(DSL_e)을 구성한다. 각 단위 스트링 영역에 번갈아 배치되는 제2 드레인 선택 트랜지스터(DST2) 및 제1 드레인 선택 트랜지스터(DST1)의 제2 도전층(150)은 제2 방향으로 연장되어 상기 오드 드레인 선택 라인(DSL_o)을 구성한다. 각 단위 스트링 영역에 배치되는 메모리 트랜지스터(MT)의 제2 도전층(150)은 제2 방향으로 연장되어 상기 워드라인(WL)을 구성한다. 각 단위 스트링 영역에 배치되는 소스 선택 트랜지스터(SST)의 제2 도전층(150)은 제2 방향으로 연장되어 상기 소스 선택 라인(SSL)을 구성한다.
- [0074] 이어서, 도시되지는 않았으나, 소스/드레인 영역 형성을 위한 이온주입 공정을 수행함으로써 기관(100)의 활성 영역(100A)에 소스/드레인 영역을 형성한다. 여기서, 드레인 영역은 드레인 선택 라인(DSL_e, DSL_o) 일측의 활성 영역(100A) 특히, 제3 영역(100A3)에 형성되고, 소스 영역은 소스 선택 라인(SSL) 일측의 활성 영역(100A) 특히, 제2 영역(100A2)에 형성된다.
- [0075] 도 7a 및 도 7b를 참조하면, 도 6a 및 도 6b의 공정 결과물을 덮도록 제1 층간 절연막(160A), 캡핑막(165) 및 제2 층간 절연막(160B)을 순차적으로 형성한다. 제1 및 제2 층간 절연막(160A, 160B)은 산화막을 포함할 수 있다. 제1 및 제2 층간 절연막(160A, 160B) 사이에 개재되는 캡핑막(165)은 질화막을 포함할 수 있다.
- [0076] 이어서, 제1 층간 절연막(160A), 캡핑막(165) 및 제2 층간 절연막(160B)의 적층 구조물을 선택적으로 식각하여, 적층 구조물 내에 제3 영역(100A3)을 노출시키는 제1 콘택홀(CH1) 및 제2 영역(100A)을 노출시키는 제2 콘택홀(CH2)을 형성한다.
- [0077] 도 8a 및 도 8b를 참조하면, 제1 및 제2 콘택홀(CH1, CH2) 내부에 금속 등의 도전 물질을 매립함으로써, 제1 및 제2 콘택(170A, 170B)을 형성한다. 제1 및 제2 콘택(170A, 170B)은 제1 및 제2 콘택홀(CH1, CH2)을 포함하는 결과물 상에 도전 물질을 증착한 후, CMP(Chemical Mechanical Polishing) 등의 평탄화 공정을 수행하는 방식으로 형성될 수 있다.
- [0078] 여기서, 전술한 바와 같이 제1 및 제2 콘택홀(CH1, CH2)은 각각 제3 및 제2 영역(100A3, 100A2)을 노출시키도록 형성되며, 제3 및 제2 영역(100A3, 100A2)에는 각각 드레인 및 소스 영역이 형성되어 있다. 따라서, 제1 콘택(170A)은 제3 영역(100A3)의 드레인 영역과 연결되는 드레인 콘택일 수 있고, 제2 콘택(170B)은 제2 영역(100A2)의 소스 영역과 연결되는 소스 콘택일 수 있다.
- [0079] 이어서, 제1 및 제2 콘택(170A, 170B)을 포함하는 결과물 상에 금속 등의 도전 물질을 증착하고 이를 패터닝하여, 제1 콘택(170A) 상에 배치되면서 제1 방향으로 연장되는 제1 배선(180A)과, 제2 콘택(170B) 상에 배치되면서 제1 방향으로 연장되는 제2 배선(180B)을 형성한다. 이때, 제1 배선(180A)은 드레인 콘택과 연결되는 비트라인일 수 있고, 제2 배선(180B)은 소스 콘택과 연결되는 소스라인일 수 있다.
- [0080] 이하, 도 8a 및 도 8b를 다시 참조하여 장치를 설명하기로 한다.
- [0081] 도 8a 및 도 8b를 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는, 소자분리막(105)에 의해 정의되는 활성영역(100A)을 갖는 기관(100)과, 기관(100) 상에 배치되고, 활성 영역(100A)을 가로지르도록 제2 방향으로 연장되는 한 쌍의 드레인 선택 라인(DSL_e, DSL_o), 워드라인(WL) 및 소스 선택 라인(SSL)과, 한 쌍의 드레인 선택 라인(DSL_e, DSL_o), 워드라인(WL) 및 소스 선택 라인(SSL)을 덮는 제1 층간 절연막(160A), 캡핑막(165) 및 제2 층간 절연막(160B)의 적층 구조물과, 상기 적층 구조물을 관통하여 상기 활성 영역(100A) 중 일부

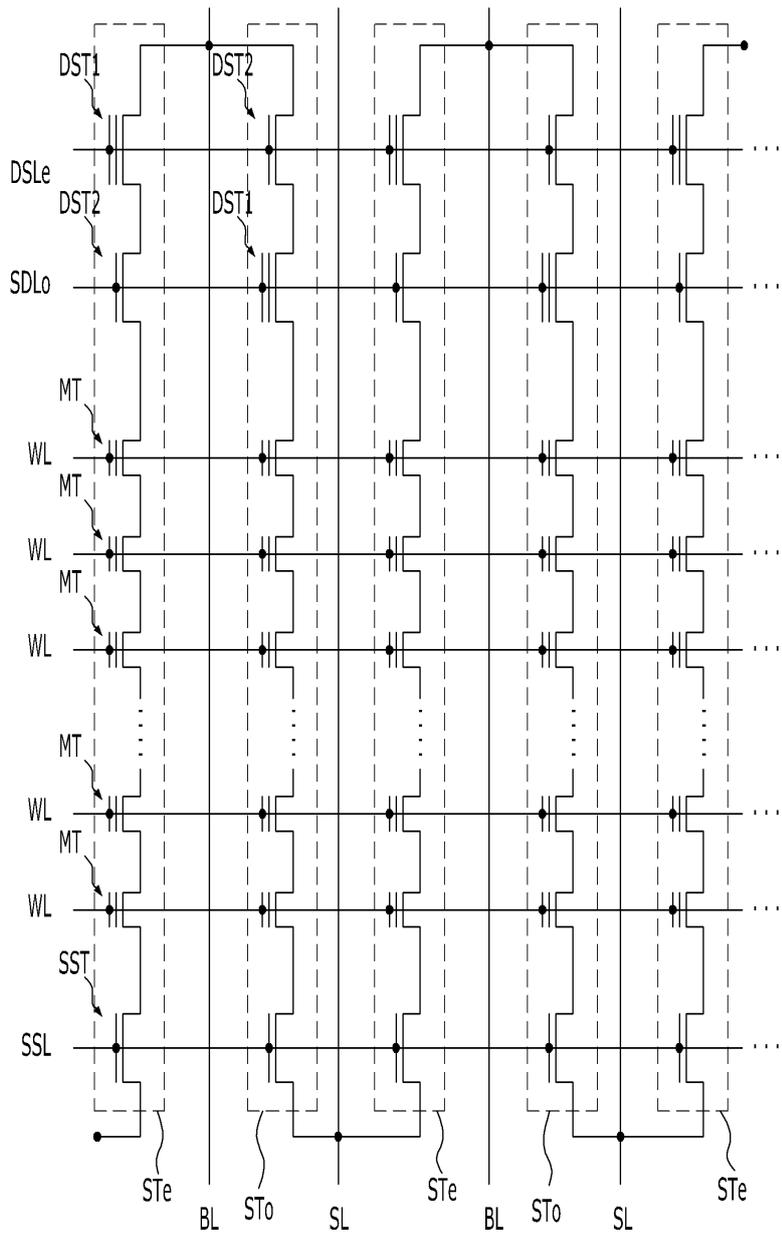
180A, 180B: 제1 및 제2 배선

도면

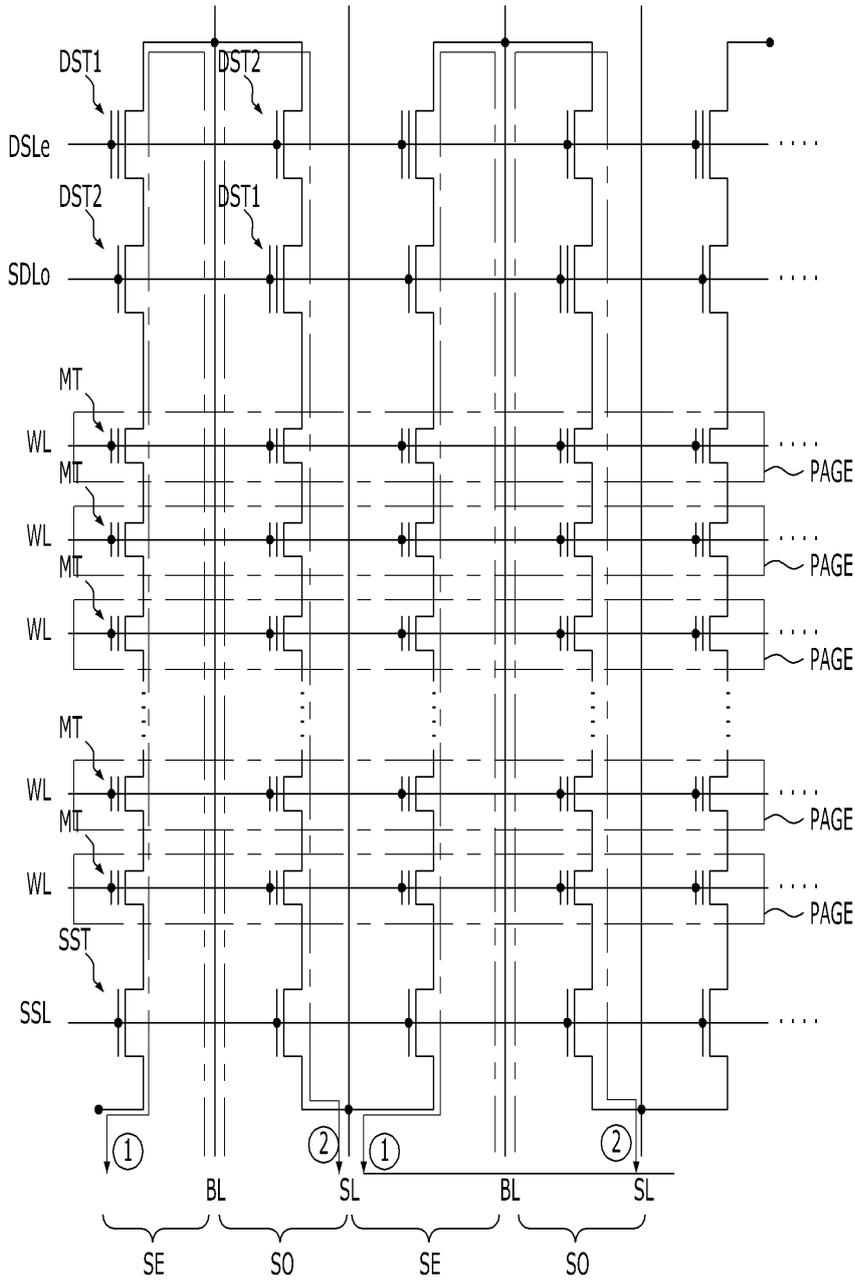
도면1



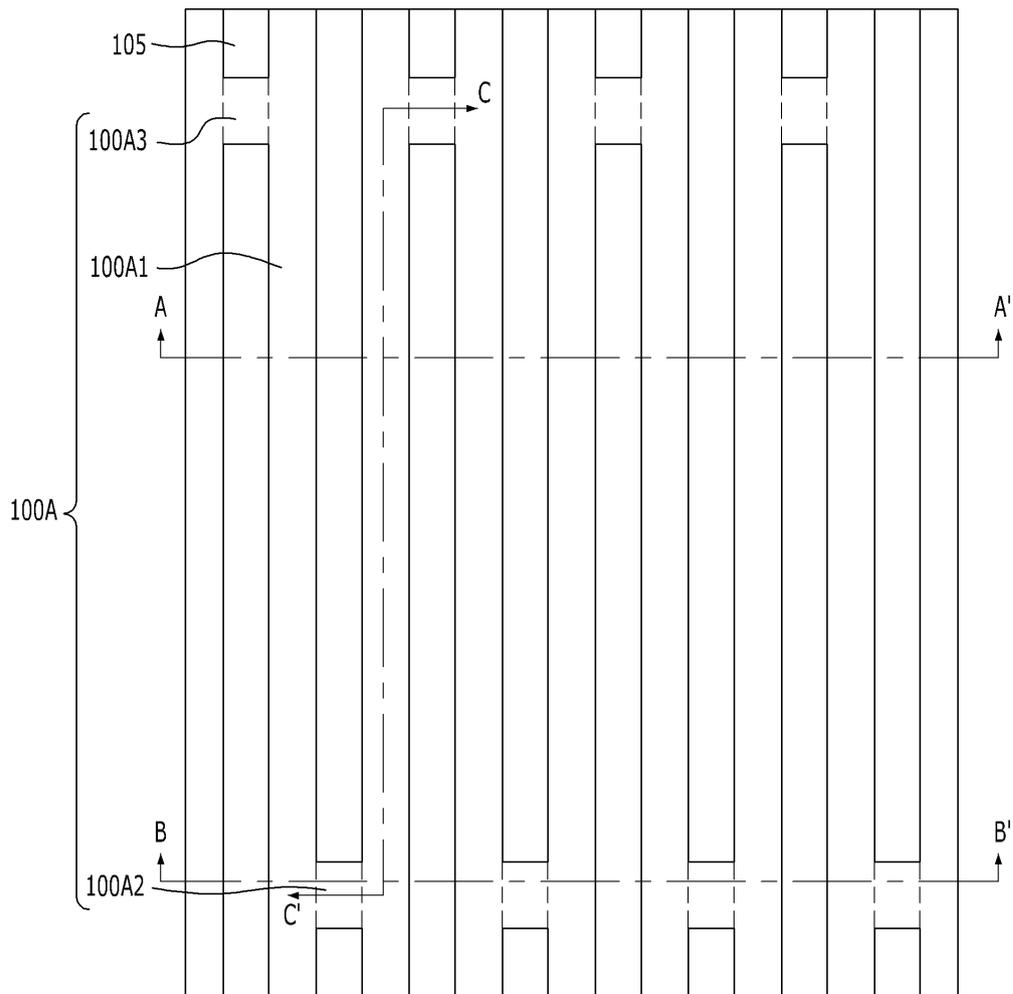
도면2



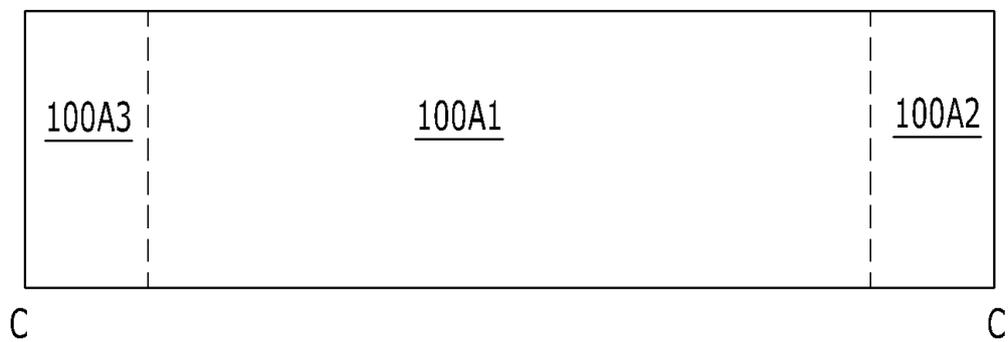
도면3



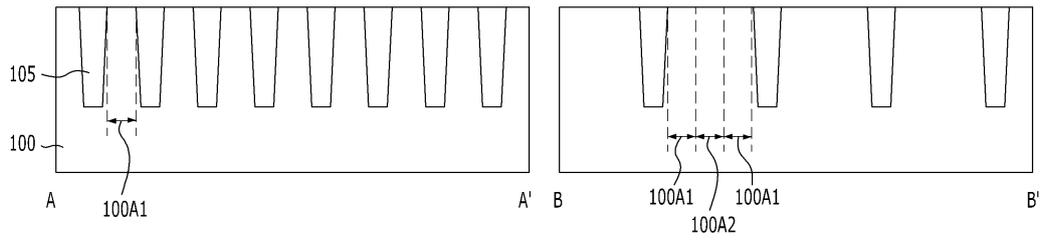
도면4a



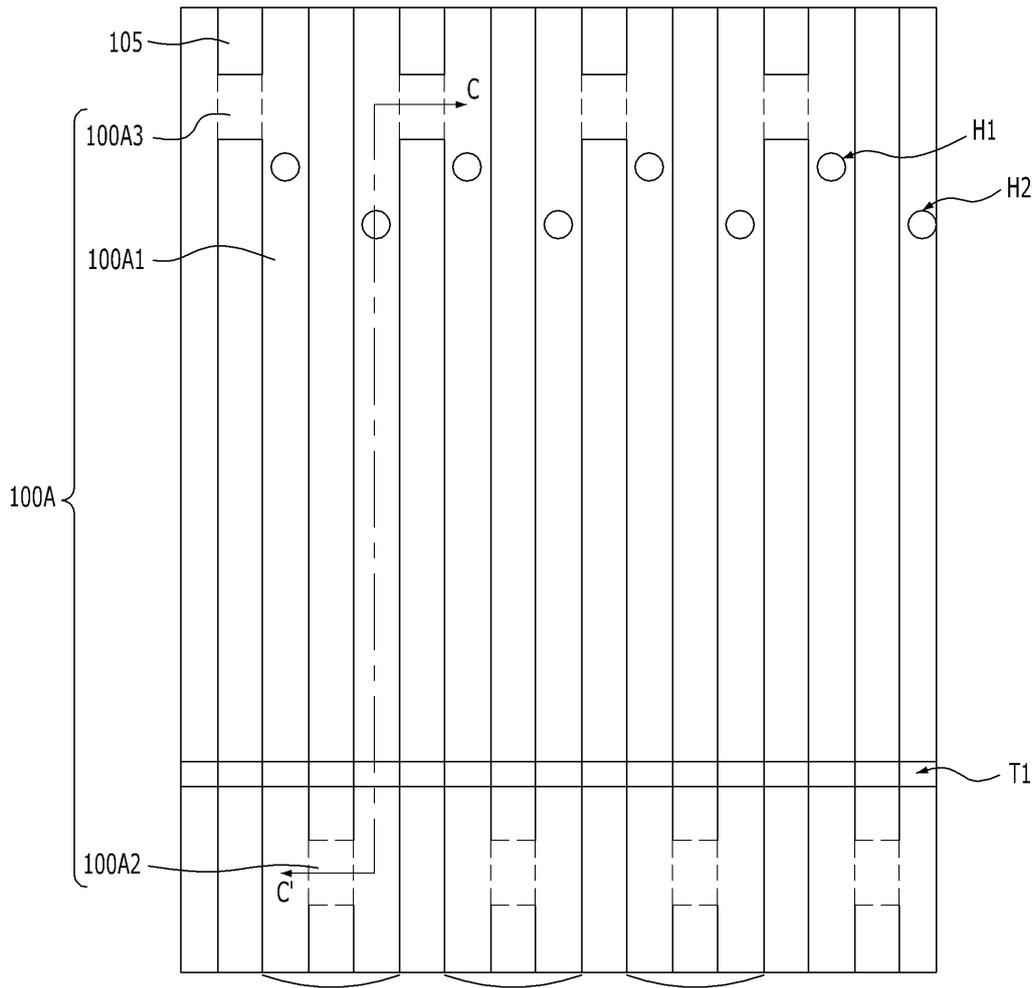
도면4b



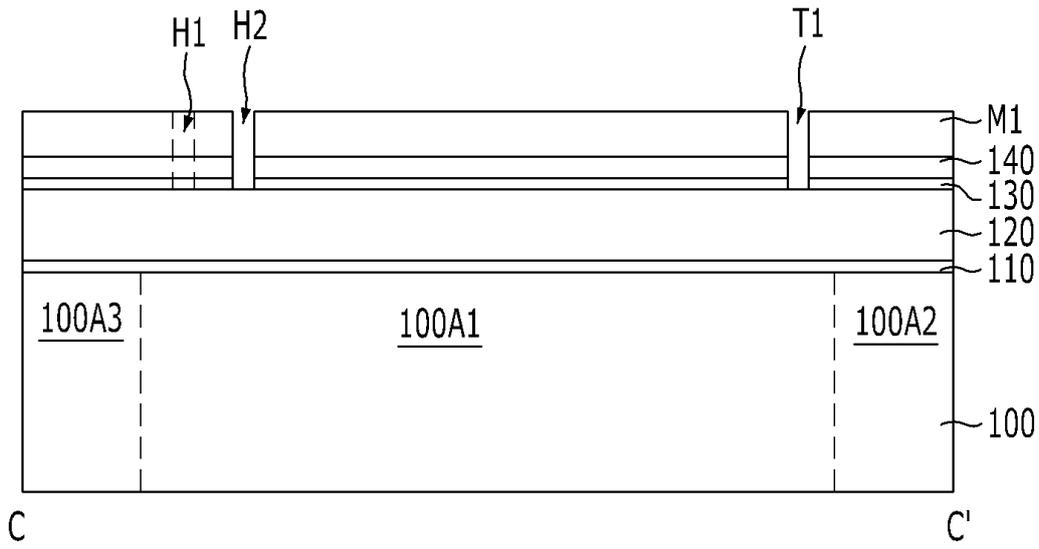
도면4c



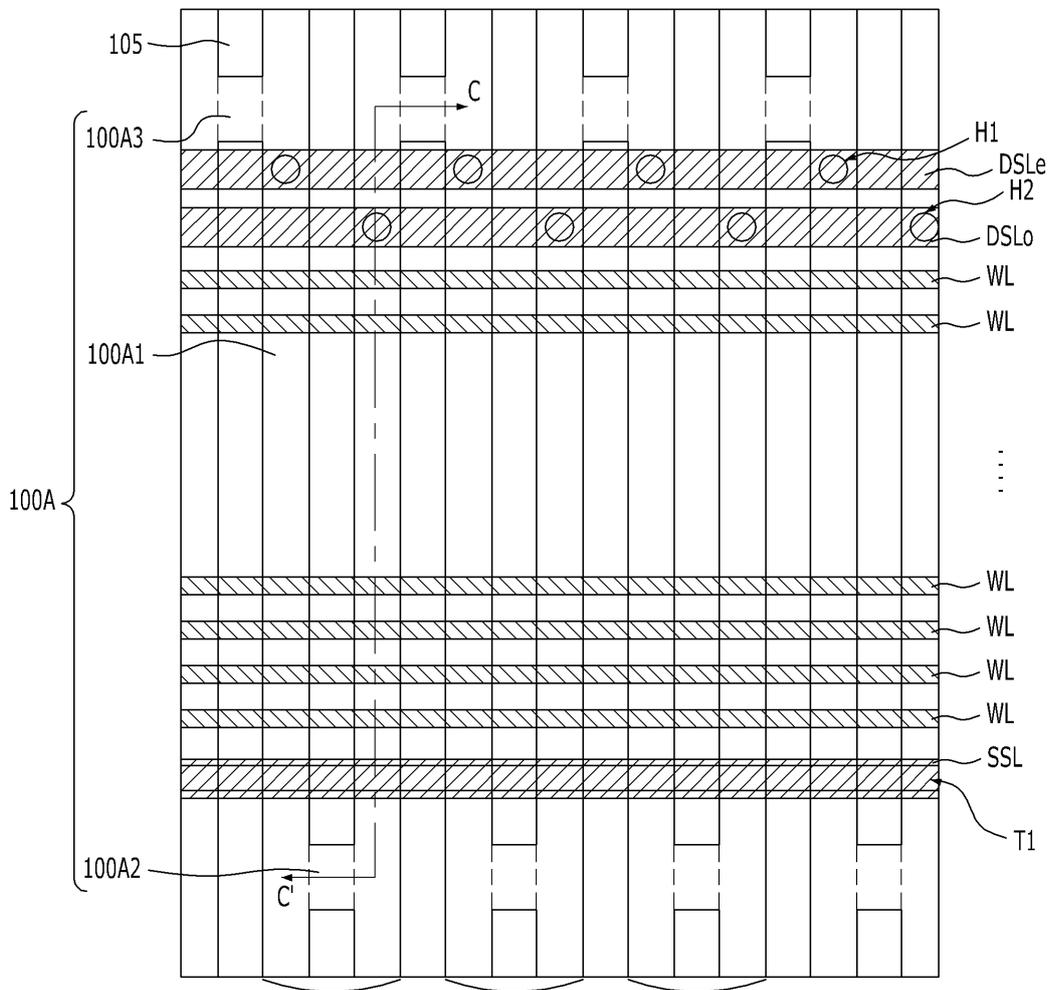
도면5a



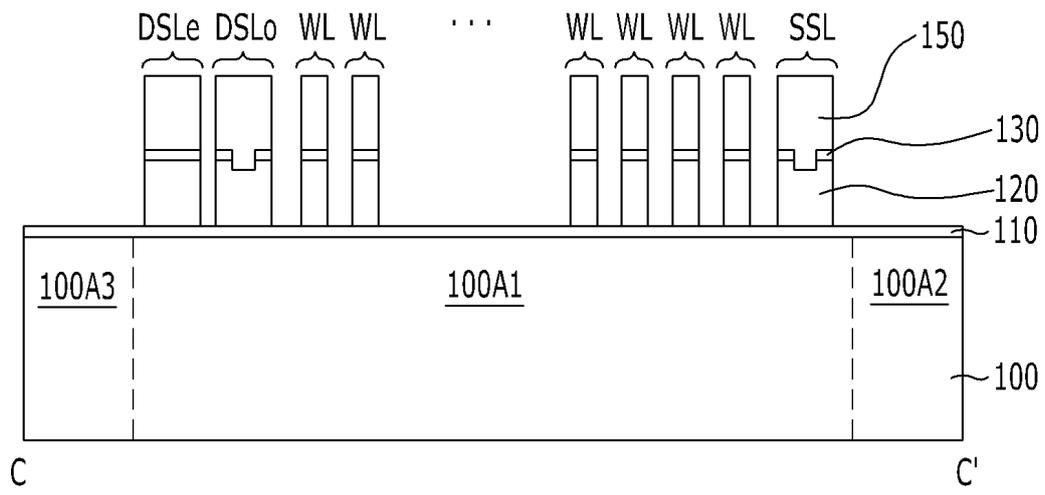
도면5b



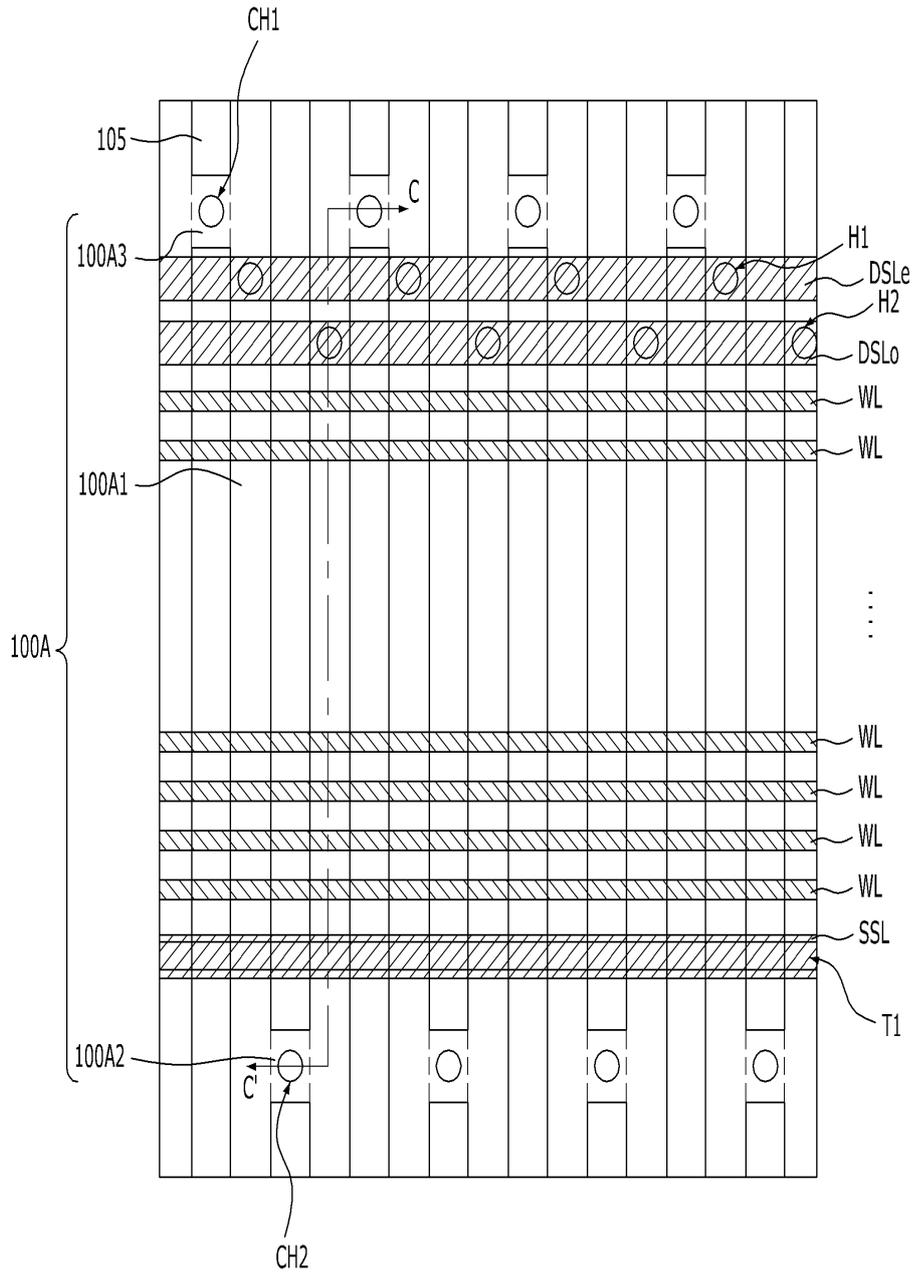
도면6a



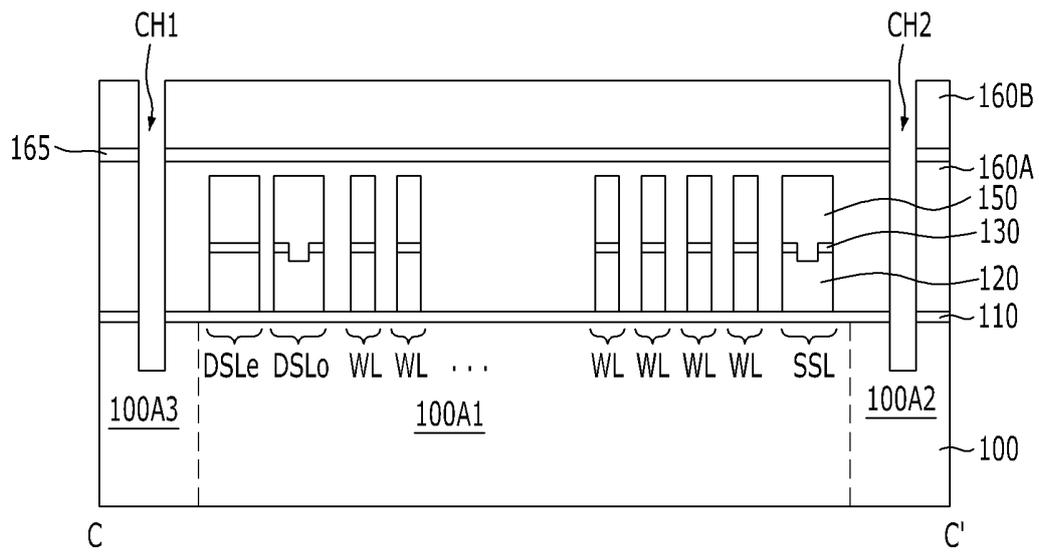
도면6b



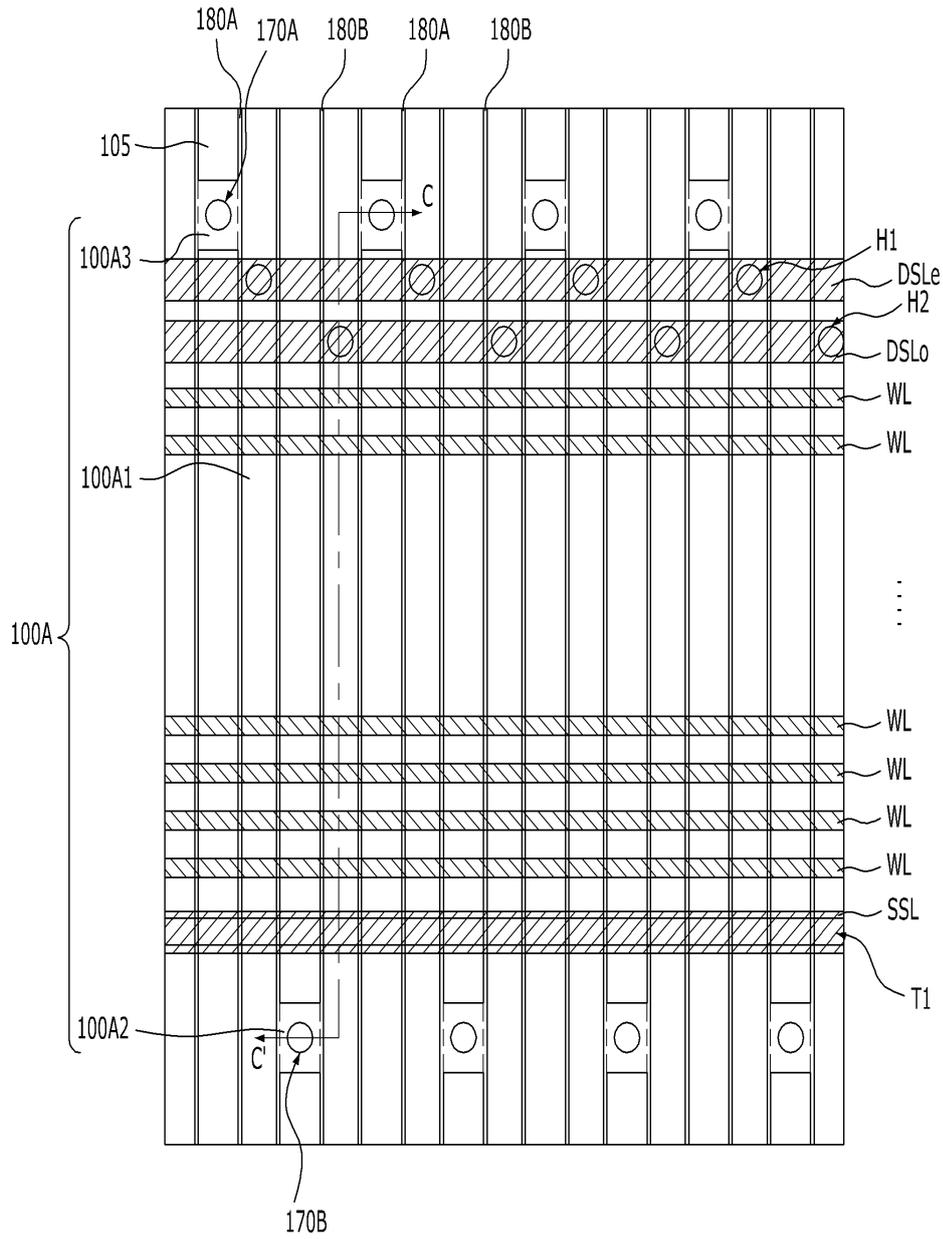
도면7a



도면7b



도면8a



도면8b

