

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-364254  
(P2004-364254A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int. Cl.<sup>7</sup>

H03K 17/22  
H03F 1/30

F I

H03K 17/22  
H03F 1/30

E  
A

テーマコード(参考)

5J055  
5J500

審査請求 未請求 請求項の数 11 O L (全 15 頁)

(21) 出願番号 特願2004-70373 (P2004-70373)  
(22) 出願日 平成16年3月12日(2004.3.12)  
(31) 優先権主張番号 2003-034709  
(32) 優先日 平成15年5月30日(2003.5.30)  
(33) 優先権主張国 韓国(KR)

(71) 出願人 591024111  
株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山13  
6-1  
(74) 代理人 100064724  
弁理士 長谷 照一  
(74) 代理人 100073302  
弁理士 神谷 牧  
(72) 発明者 姜 ▲熙▼福  
大韓民国大田廣域市西区桃馬2洞 慶南ア  
パート109-203  
Fターム(参考) 5J055 AX15 AX57 BX42 CX27 DX22  
EX07 EY25 FX05 FX12 FX28  
GX01 GX06

最終頁に続く

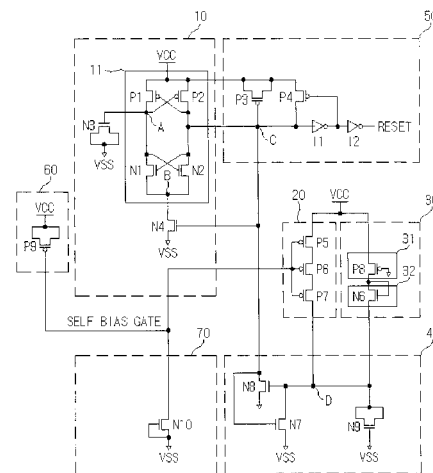
(54) 【発明の名称】 リセット信号発生回路

(57) 【要約】

【課題】本発明はパワーアップスロープの変化と、リセット回路に加えられる温度の変化と係わりなく一定のレベルでリセット信号が発生するようにするリセット信号発生回路を開示する。

【解決手段】本発明に係るリセット信号発生回路は電源感知安定化部、プルアップ駆動部、電圧調整部、フィードバック制御部、プルアップ制御部、セルフプルアップバイアス部及びセルフバイアス部を備え、パワーアップスロープと係わりなく電源電圧が一定レベルに達する場合にのみリセット信号を発生させ、さらに温度補償回路を備えて温度の変化に伴う電圧調整部の動作特性の変化を補償し、温度の変化に伴うリセット信号の発生が不安定になることを最小化する。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

電源電圧の変化を感知し、前記電源電圧が特定レベルに達するまで前記電源電圧の変化に比例する信号を出力する電源感知安定化部、

前記電源電圧を一定水準降下させて出力する電圧調整部、

前記電圧調整部の出力に従って前記電源感知安定化部の出力を制御し、前記電圧調整部の出力が前記特定レベルに達するとき前記電源感知安定化部の出力信号をプルダウンさせてリセット信号を発生させるフィードバック制御部、

セルフバイアスゲート電圧に従い、前記リセット信号の発生後前記電圧調整部の出力を電源電圧の水準までプルアップさせ、前記電源感知安定化部の出力がプルダウン状態を維持するようにするセルフプルアップ駆動部、

前記電源電圧の変化に伴い前記セルフバイアスゲート電圧を出力するセルフプルアップバイアス部、及び

特定セルフバイアスゲート電圧レベルで前記セルフバイアスゲート電圧を降下させるセルフバイアス部を備えるリセット信号発生回路。

10

## 【請求項 2】

動作初期に前記電源感知安定化部の出力をプルアップさせ、前記電源感知安定化部の出力電圧をリセット信号として出力するプルアップ制御部をさらに備えることを特徴とする請求項 1 に記載のリセット信号発生回路。

## 【請求項 3】

前記電圧調整部は、電源電圧を一定電圧単位に降下させる電圧降下部、及び

前記一定単位より小さい単位に前記電圧降下部の出力を調整する電圧微細調整部を備えることを特徴とする請求項 1 又は 2 に記載のリセット信号発生回路。

20

## 【請求項 4】

前記セルフプルアップ駆動部は、前記特定セルフバイアスゲート電圧レベル以前は電流供給を抑制し、前記特定セルフバイアスゲート電圧レベル以後は電流供給を開始して前記電圧調整部の出力をプルアップさせることを特徴とする請求項 1 又は 2 に記載のリセット信号発生回路。

## 【請求項 5】

前記セルフプルアップバイアス部は、電源電圧値を前記セルフバイアスゲート電圧に出力することを特徴とする請求項 4 に記載のリセット信号発生回路。

30

## 【請求項 6】

前記セルフプルアップバイアス部は、MOS キャパシタ又はダイオードのうち何れか 1 つであることを特徴とする請求項 5 に記載のリセット信号発生回路。

## 【請求項 7】

温度変化による前記電圧調整部の出力変化を補償するため、温度変化に伴い大きさが可変する制御信号を前記電圧調整部に印加する温度補償回路をさらに備えることを特徴とする請求項 1 又は 2 に記載のリセット信号発生回路。

## 【請求項 8】

前記電圧調整部は、少なくとも 1 つの MOS トランジスタが並列連結されて構成されることを特徴とする請求項 7 に記載のリセット信号発生回路。

40

## 【請求項 9】

前記温度補償回路は、温度変化に伴い前記 MOS トランジスタ等のゲート電圧を上昇又は降下させることを特徴とする請求項 8 に記載のリセット信号発生回路。

## 【請求項 10】

前記温度補償回路は、前記 MOS トランジスタが PMOS トランジスタであれば、温度変化に比例する出力電圧を前記 PMOS トランジスタ等のゲート端子に印加し、前記 MOS トランジスタが NMOS トランジスタであれば、温度変化に反比例する出力電圧を前記 NMOS トランジスタ等のゲート端子に印加することを特徴とする請求項 9 に記載のリセット信号発生回路。

50

## 【請求項 11】

前記温度補償回路は、温度変化に伴い可变的に電源電圧を降下させて前記電圧調整部に出力する温度感知電圧降下部、

動作初期に前記温度感知電圧降下部の出力を接地させて安定化する電圧安定化部、及びプリチャージ時に前記温度感知電圧降下部の出力をプルダウンさせる電圧プリチャージ部を備えることを特徴とする請求項 10 に記載のリセット信号発生回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明はパワーアップリセット回路に関し、より詳しくはリセット信号がパワーアップスロップの変化と、リセット回路に加えられる温度変化に鈍感にすることにより、動作の安定性を改善させたパワーアップリセット回路に関する。

## 【背景技術】

## 【0002】

一般に、不揮発性強誘電体メモリ、即ち F e R A M ( Ferroelectric Random Access Memory ) はディラム ( D R A M : Dynamic Random Access Memory ) ほどのデータ処理速度を有しながら、電源のオフ時にもデータが保存される特性がある。

## 【0003】

このような F e R A M は、ディラムと殆ど類似する構造を有する記憶素子であり、キャパシタの材料として強誘電体を用いて強誘電体の特性である高い残留分極を利用したものである。このような残留分極特性により、F e R A M は電界を除去してもデータが消失されなくなる。

## 【0004】

前述の F e R A M に関する技術内容は、本発明と同一の発明者により出願された出願番号第 1998 - 14400 号に開示されたことがある。したがって、F e R A M に関する基本的な構成及び動作原理に関する詳しい説明は省略する。

## 【0005】

不揮発性強誘電体メモリを記憶素子に用いるシステムにおいて、システムコントローラがチップイネーブル信号を不揮発性強誘電体メモリチップに出力すれば、メモリチップ内のメモリ装置はチップイネーブル信号に応答してチップのメモリセルを動作させるためのチップ内部コントロール信号を発生させる。データは、このようなチップ内部コントロール信号に応答してメモリセルに書き込まれるか、読み出される。

## 【0006】

不揮発性強誘電体メモリを用いるシステムは、不揮発性強誘電体メモリに最初に電源印加するとき、コードレジスタに格納されたデータを読み出して再びセットアップしなければならない。このようなコードレジスタに対する読出動作は、パワーアップリセット信号を利用するように構成されている。

## 【0007】

従来のリセット回路は、電圧のパワーアップスロップによりリセット信号の発生が大きい影響を受けるように構成されている。したがって、従来のリセット信号波パワーが徐々に増加する場合 ( パワーアップスロップが小さい場合 ) は、基準電圧以下の低い電源電圧でも発生するという問題があった。

## 【0008】

図 1 は、従来技術に係るリセット回路の構成を示す回路図である。

## 【0009】

図 1 に示すリセット回路は、ゲート端子が接地電圧端 V S S に連結された P M O S トランジスタ T 1 及び P M O S トランジスタ T 1 の出力がゲート端子に印加され、ドレインとソースが接地電圧端 V S S に共通に連結される N M O S トランジスタ T 2 を備える。そして、リセット回路は P M O S トランジスタ T 1 の出力を順次反転させるインバータチェー

10

20

30

40

50

ン I N V 1、I N V 2、I N V 3 及びインバータ I N V 2 とラッチを成す P M O S トランジスタ T 3 を備える。

【 0 0 1 0 】

このようリセット回路の出力信号 R E S E T のスロープは、チャンネル抵抗を有するプルアップ電流源の P M O S トランジスタ T 1 と、キャパシタ機能を行う N M O S トランジスタ T 2 との間の R C デイレイ時間により決められる。

【 0 0 1 1 】

したがって、メモリチップが安定的に動作するため、パワーアップは一定時間内になされなければならない。ところが、もしコードレジスタから発生する或る原因によりパワーアップ時間が一定時間を超過すると、コードレジスタに格納されたデータは破壊される。

10

【 0 0 1 2 】

図 2 及び図 3 は、それぞれ電源電圧が急な傾斜で増加する場合と、緩やかな傾斜で増加する場合にリセット信号が発生する形状を示すタイミング図である。

【 0 0 1 3 】

図 2 に示されているように、電源電圧が急な傾斜で接地電圧レベル V S S から電源電圧レベル V C C に上昇すると、一定の電圧以上でリセット信号が発生する。これに反し、図 3 に示されているように電源電圧が緩やかな傾斜で徐々に接地電圧レベル V S S から電源電圧レベル V C C に上昇すると、図 2 の場合により長い時間のあいだ N M O S キャパシタ T 2 がプリチャージされ、これにより N M O S キャパシタ T 2 のセンシングレベルが急速に上昇することにより低い電圧でリセット信号が発生する。

20

【 0 0 1 4 】

このように、電源電圧の変化程度に従いリセット信号の発生が不安定になると、正常電圧より低い電圧でコードレジスタが動作することがある。コードレジスタがあまり低い電圧で動作すると、コードレジスタに格納されたデータが誤って読み出されるか、又は不十分な状態で再格納されてコードレジスタに誤謬を誘発することになる。

【 0 0 1 5 】

さらに、半導体素子等は温度変化に伴いその特性が変化することになるが、これによりリセット信号の発生が不安定になる恐れがある。

【 0 0 1 6 】

図 4 は、N M O S / P M O S トランジスタの温度特性を示す図である。

30

【 0 0 1 7 】

図 4 に示されているように、温度が上昇すると N M O S / P M O S トランジスタのしきい電圧  $V_{tn} (-V_{tp})$  値が減少する。これにより、低い電源電圧でもトランジスタ等がオンされてリセット信号が発生することがある。

【特許文献 1】USP 6,314,016

【特許文献 2】USP 6,301,145

【特許文献 3】USP 6,067,244

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 8 】

前述の問題を解決するための本発明は、電源電圧のパワーアップスロップと係わりなくリセット信号が一定レベルの電源電圧で安定して発生するようにすることに目的がある。

40

【 0 0 1 9 】

本発明は、リセット信号が温度変化に鈍感で安定的に発生するようにすることに他の目的がある。

【課題を解決するための手段】

【 0 0 2 0 】

本発明に係るリセット回路は電源電圧の変化を感知し、前記電源電圧が特定レベルに達するまで前記電源電圧の変化に比例する信号を出力する電源感知安定化部、前記電源電圧を一定水準降下させて出力する電圧調整部、前記電圧調整部の出力に従って前記電源感知

50

安定化部の出力を制御し、前記電圧調整部の出力が前記特定レベルに達するとき前記電源感知安定化部の出力信号をプルダウンさせてリセット信号を発生させるフィードバック制御部、セルフバイアスゲート電圧に従い、前記リセット信号の発生後前記電圧調整部の出力を電源電圧の水準までプルアップさせ、前記電源感知安定化部の出力がプルダウン状態を維持するようにするセルフプルアップ駆動部、前記電源電圧の変化に伴い前記セルフバイアスゲート電圧を出力するセルフプルアップバイアス部、及び特定セルフバイアスゲート電圧レベルで前記セルフバイアスゲート電圧を降下させるセルフバイアス部を備える。

【発明の効果】

【0021】

本発明に係るリセット回路は、パワーアップスロープと係わりなく電源電圧が一定のレベルに達する場合にのみリセット信号を安定的に発生させる。 10

【0022】

さらに、本発明に係るリセット回路は温度補償回路を備え、リセット回路に加えらるる温度の変化によりリセット回路を構成する素子等の動作特性の変化に伴うリセット信号発生の不安定性を最小化させることにより、安定的にリセット信号を発生させる。

【発明を実施するための最良の形態】

【0023】

以下、図面等を参照して本発明に係る好ましい実施の形態を詳しく説明する。

【0024】

図5は、本発明の第1の実施の形態に係るリセット回路の構成を示す回路図である。 20

【0025】

本発明に係るリセット回路は電源感知安定化部10、セルフプルアップ駆動部20、電圧調整部30、フィードバック制御部40、プルアップ制御部50、セルフバイアス部60及びセルフプルアップバイアス部70を備える。

【0026】

電源感知安定化部10は、印加された電源電圧VCCの変化を感知し、電源電圧VCCが一定レベルに達するまで電源電圧と同様に变化する信号を出力する。

【0027】

このような電源感知安定化部10はラッチ回路11、NMOSトランジスタN3、N4を備える。ラッチ回路11は、電源電圧VCCの大きさを一定期間維持する。このようなラッチ回路11は、電源電圧VCCとノードBとの間に直列連結されて各ゲート端子がノードCと連結されるPMOSトランジスタP1とNMOSトランジスタN1、及び電源電圧端VCCとノードBとの間に直列連結されて各ゲート端子がノードAと連結されるPMOSトランジスタP2とNMOSトランジスタN2を備える。NMOSトランジスタN3は、ラッチ回路11の第1のノードAと接地電圧端VSSとの間に連結され、電源印加前に第1のノードAをローレベルに固定させる。NMOSトランジスタN4はラッチイネーブルゲートであり、ラッチ回路11の第2のノードBと接地電圧端VSSとの間に連結され、ゲート端子がラッチ回路11の出力端子である第3のノードCと連結される。 30

【0028】

セルフプルアップ駆動部20は、セルフバイアスゲート電圧に従いノードDへの電流供給を制御し、リセット信号の発生後ノードDの電圧を電源電圧水準にプルアップさせる。すなわち、セルフプルアップ駆動部20はセルフバイアスゲート電圧に従い動作初期、即ち電源電圧VCCが一定レベルに達するまではノードDへの電流供給を抑える。そして、セルフプルアップ駆動部20は電源電圧VCCが一定レベル以上の場合は、ノードDへ電流を供給してノードDの電圧を電源電圧VCC水準までプルアップさせる。 40

【0029】

このようなセルフプルアップ駆動部20は、電源電圧端VCCとノードDとの間に直列連結され、ゲート端子がセルフバイアスゲート電圧と共通に連結される複数のPMOSトランジスタP5、P6、P7を備える。

【0030】

電圧調整部 30 は、電源電圧 VCC を一定水準降下させてノード D に出力されるように調整し、リセット信号が発生する電圧レベルを決める。このような電圧調整部 30 は、電圧微細調整部 31 と電圧降下部 32 を備える。電圧降下部 32 は、電源電圧を一定単位 ( $V_{tn}$ ) に降下させる。電圧微細調整部 31 は、MOS トランジスタのチャンネルの幅と長さの比 ( $W/L$ ) に従い電流の流れを微細調整することにより、電圧降下部 32 による一定単位 ( $V_{tn}$ ) より小さい単位に電圧調整部 30 の出力電圧を微細調整する。

【0031】

このような電圧調整部 30 は、電源電圧端 VCC とノード D との間に直列連結され、ゲート端子がそれぞれ接地電圧端、及びドレイン端子が連結される PMOS トランジスタ P8 及び NMOS トランジスタ N6 を備える。

10

【0032】

フィードバック制御部 40 は、セルフプルアップ駆動部 20 及び電圧調整部 30 の出力電圧に従い電源感知安定化部 10 の出力を制御する。すなわち、フィードバック制御部 40 は電源電圧 VCC が増加して電圧調整部 30 の出力が一定水準に達すると、電源感知安定化部 10 の出力をプルダウンさせてリセット信号を発生させる。そして、フィードバック制御部 40 はセルフプルアップ駆動部 20 の出力電圧により電源感知安定化部 10 の出力を安定的にローレベルに維持させる。

【0033】

このようなフィードバック制御部 40 は、ノード D と接地電圧端 VSS との間に連結されてゲート端子がノード C と連結される NMOS トランジスタ N7、ノード C と接地電圧端 VSS との間に連結されてゲート端子がノード D に連結される NMOS トランジスタ N8、及びドレイン端子とソース端子がノード D に共通に連結されてゲート端子が接地電圧端 VSS に連結される NMOS トランジスタ N8 を備える。

20

【0034】

プルアップ制御部 50 は、動作初期に電源感知安定化部 10 の出力電圧を電源電圧 VCC 水準にプルアップさせ、その出力電圧の変化をリセット信号として出力する。

【0035】

このようなプルアップ制御部 50 は、ドレイン端子とソース端子が電源電圧端 VCC に共通に連結されてゲート端子がノード C と連結される PMOS トランジスタ P3、ノード C の信号を反転・出力するインバータ I1、電源電圧端 VCC とノード C との間に連結されてゲート端子がインバータ I1 の出力端子と連結される PMOS トランジスタ P4、及びインバータ I1 の出力信号を反転させてリセット信号に出力するインバータ I2 を備える。

30

【0036】

セルフプルアップバイアス部 60 はセルフバイアスゲート電圧を出力し、電源電圧 VCC の上昇に従いセルフプルアップ駆動部 20 の共通ゲート端子等の電圧をプルアップさせる。セルフプルアップバイアス部 60 は、電源電圧 VCC の上昇と共にセルフプルアップ駆動部 20 のゲート電圧を上昇させ、電源電圧が特定レベルに達する前までセルフプルアップ駆動部 20 によるノード D への電流供給を遮断させる。

【0037】

このようなセルフプルアップバイアス部 60 は、ソース端子とドレイン端子が電源電圧端 VCC に共通に連結され、ゲート端子はセルフプルアップ駆動部 20 のゲート端子等と連結される。

40

【0038】

セルフバイアス部 70 は、セルフバイアスゲート電圧が特定レベルに達すると、リーク電流を発生させてセルフバイアスゲート電圧を降下させるダイオードの役割を果たす。セルフバイアス部 70 によりセルフバイアスゲート電圧が降下すると、セルフプルアップ駆動部 20 のゲート電圧が降下する。セルフプルアップ駆動部 20 のゲート電圧が降下すると、セルフプルアップ駆動部 20 によるノード D への電流供給が開始されてノード D の電圧が徐々に電源電圧 VCC 水準までプルアップされる。

50

## 【0039】

このようなセルフバイアス部70は、セルフプルアップ駆動部20の共通に連結されたゲート端子と接地電圧端VSSとの間に連結され、ゲート端子がソース端子と共通に連結されたNMOSトランジスタN10を備える。

## 【0040】

図6は、図5に示すリセット信号発生部の動作波形図である。図6を利用して本発明に係るリセット信号発生部の動作をより詳しく説明する。

## 【0041】

動作初期、ノードAはNMOSトランジスタN3によりローレベルに固定される。電源電圧が増加すると、PMOSトランジスタP2によりノードCへの電流の流入が増加してノードCの電圧が上昇することになる。

## 【0042】

ノードCの電圧が上昇してラッチイネーブルゲートのNMOSトランジスタN4がオンされると、ノードAは安定的にローレベルを維持し、ノードCは電源電圧の上昇に伴いハイレベルを維持する。さらに、ノードCのハイレベルによりNMOSトランジスタN7もオンされ、ノードDは安定的にローレベルとなる。

## 【0043】

本発明におけるリセット信号はノードCの電圧の変化により発生し、ノードCの電圧の変化はノードDの電圧により決められる。したがって、本発明では電源電圧がリセット信号を発生させる一定レベルに達するまで、ノードDの電圧を安定的にローレベルに維持させることが重要である。

## 【0044】

ノードDの電圧は、初期にはNMOSトランジスタN9及びN7によりローレベルに維持される。しかし、電源電圧が徐々に増加しながらノードDの電圧の大きさはフィードバック制御部40によりノードDから漏洩される電流と、セルフプルアップ駆動部20及び電圧調整部30によりノードDに流入される電流により決められる。

## 【0045】

電源電圧VCCが徐々に増加すると共に、電圧調整部30によりノードDに流入される電流量が増加することになる。電圧調整部30は、電源電圧VCCの上昇に伴いノードDに電源電圧VCCより一定電圧ほど降下された電圧が形成されるようにする。すなわち、電圧降下調整部31は電源電圧VCCを一定単位Vtnに降下させ、電圧微細調整部31はPMOSトランジスタP8のサイズを調整して一定単位Vtnの間の電圧値になるようノードDの電圧を微細に調整する。

## 【0046】

ところが、電源電圧VCCが一定レベルに達する前まで、ノードDは電圧調整部30による電流のみ供給され、フィードバック制御部40による電流漏洩によりその電圧の大きさはローレベルを維持することになる。ノードDの電圧がローレベルを維持することになると、NMOSトランジスタN8もオフ状態に維持される。

## 【0047】

電源電圧VCCが一定レベル以上になると、セルフプルアップ駆動部20がノードDに電流を供給し始める。電圧調整部30及びセルフプルアップ駆動部20による電流供給がフィードバック制御部40による電流漏洩より多くなると、ノードDの電圧はハイレベルに遷移する。これにより、ノードDの電圧がハイに遷移すると、NMOSトランジスタN8がオンされてノードCの電圧がプルダウンされる。ノードCがプルダウンされることにより、プルアップ制御部50はリセット信号を発生させる。ノードCがプルダウンされると、NMOSトランジスタN7がオフされてNMOSトランジスタN7によるノードDの電流漏洩が遮断される。したがって、ノードDの電圧はより安定的にハイレベルを維持することになる。

## 【0048】

リセット信号が発生した後は、リセット信号の安定化のためノードDの電圧を電源電圧

10

20

30

40

50

水準までプルアップさせる必要があるが、セルフプルアップ駆動部 20 がこの役割を果たす。

【0049】

ところが、動作初期に電源電圧の上昇と共に PMOS トランジスタ P5、P6、P7 によるリーケージ電流によりノード D の電圧が上昇することができるようになる。動作初期にノード D の電圧が上昇して NMOS トランジスタ N8 をオンさせると、低い電源電圧でノード C の電圧がプルダウンされてリセット信号が発生することができるようになる。

【0050】

したがって、動作初期にノード D の電圧を安定的にローレベルに維持させるため、本発明では電源電圧 VCC が一定レベルに達するまでは、電源電圧 VCC が上昇してもセルフプルアップ駆動部 20 によるノード D への電流供給を遮断するため、セルフプルアップバイアス部 60 及びセルフバイアス部 70 を備える。 10

【0051】

セルフプルアップバイアス部 60 は、NMOS キャパシタとして電源電圧 VCC を PMOS トランジスタ P5、P6、P7 のゲート端子に印加する。すなわち、電源電圧 VCC が上昇するとき MOS トランジスタ P5、P6、P7 のゲート電圧も共に上昇させ、PMOS トランジスタ P5、P6、P7 でのリーケージ電流の発生を抑制させてノード D への電流の供給を遮断させる。しかし、電源電圧 VCC が上昇してセルフバイアスゲート電圧が特定レベルに達すると、セルフバイアス部 70 によるリーケージ電流により PMOS トランジスタ P5、P6、P7 のゲート端子等の電圧は徐々にダウンされることになる。これにより、PMOS トランジスタ P5、P6、P7 によるノード D への電流供給が開始され、ノード D の電圧が急速に上昇することになる。これにより NMOS トランジスタ N8 がオンされてノード C の電圧がプルダウンされることにより、リセット信号が発生することになる。さらに、ノード C のプルダウンで NMOS トランジスタ N7 がオフされ、ノード D の電圧はより安定的にハイレベルを維持することになる。 20

【0052】

ノード D は、電源電圧の上昇が開始される前にはロード用 NMOS キャパシタ N9 によりローレベルを維持することになるが、これは NMOS トランジスタ N8 を動作初期にオフさせるためである。

【0053】

図 7 は、本発明の第 2 の実施の形態に係るリセット回路の構成を示す回路図である。 30

【0054】

図 7 は、図 5 に示す構成でセルフプルアップバイアス部 61 及びセルフバイアス部 71 でそれぞれダイオード D1 及び D2 を用いた場合である。その他の構成要素等は図 5 のものと同じで同一の参照番号を用いており、動作原理は図 5 のものと同じであるので、これに対する詳細な説明は省略する。

【0055】

一方、前述の実施の形態によるリセット回路においても、リセット信号は周りの温度変化により素子の温度が高くなると、信号の発生に影響を与えることがある。すなわち、一般に温度が上昇すると、図 4 に示す温度特性のように NMOS / PMOS トランジスタ等のしきい電圧  $V_{tn}$  ( $-V_{tp}$ ) が変化することになる。これにより、電圧調整部 30 によるノード D への電流の供給が多くなり、低い電源電圧でもリセット信号が発生することができるようになる。 40

【0056】

したがって、本発明では温度変化に伴うトランジスタの動作特性の変化を補償する温度補償回路の補完が、製作者の意図に従い選択的に構成することができる。

【0057】

図 8 a 及び図 8 b は、本発明に係る第 3 の実施の形態を示す図である。図示されているように、リセット信号の発生が温度の変化に大きく影響を受けないよう、電圧調整部 30 に温度補償回路が付加される。 50



## 【0058】

ここで、図8aは温度補償回路関連領域だけ(電圧調整部)を示す回路図である。その他の構成要素等は、図5又は図7の該当構成要素と同一である。

## 【0059】

説明の便宜のため、電圧調整部33は電源電圧端とノードDとの間に並列連結される、少なくとも1つのPMOSトランジスタP10、P11で構成される場合で説明する。

## 【0060】

温度補償部80は、温度の変化に伴いPMOSトランジスタP10、P11のゲート電圧を可変させ、温度変化に伴う電圧調整部33によるノードDへの電流供給量の変化が最小化されるようにする。すなわち、温度が上昇してPMOSトランジスタP10、P11のしきい電圧 $V_{tp}$ が高くなると、図8bに示されているように温度補償回路81、82の出力電圧を高めてPMOSトランジスタP10、P11のゲート電圧を上昇させる。

10

## 【0061】

図8aにおいて、電圧調整部33で複数のPMOSトランジスタP10、P11を電源電圧VCCとノードDとの間に並列連結し、温度補償部80で複数の温度補償回路81、82を備えて各PMOSトランジスタP10、P11に対応させることは、パラメータを変化させてより微細な温度調整が行われ得るようにするためである。

## 【0062】

図9は、本発明に係る温度補償回路81の構成を示す回路図である。

## 【0063】

温度補償回路81、82の構成は同一であるので、これらのうち1つに対してのみ説明する。

20

## 【0064】

本実施の形態に係る温度補償回路81は温度感知電圧降下部811、電圧安定化部812及び電圧プリチャージ部813を備える。

## 【0065】

温度感知電圧降下部811は、温度変化に伴い電源電圧VCCを可變的に降下させてノードEに出力する。このような温度感知電圧降下部811は、ゲートとドレインが共通に連結されたNMOSトランジスタN11、N12が電源電圧端VCCとノードEとの間に直列連結される。

30

## 【0066】

電圧安定化部812は、動作初期にノードEを安定的に接地電圧VSSレベルに生成させる。このような電圧安定化部812は、ドレインとソースが共通接地されてゲートがノードEと連結されたNMOSトランジスタN13を備える。

## 【0067】

電圧プリチャージ部813は、プリチャージ時に電源電圧VCCがダウンされ、PMOSトランジスタP10のゲート電圧が接地電圧と同一になればノードEをプルダウンさせる。このような電圧プリチャージ部813は、ノードEと接地電圧VCCとの間に連結され、ゲートが電源電圧VCCと連結されるPMOSトランジスタP13を備える。

## 【0068】

動作初期には電圧安定化部812によりノードEが接地電圧に安定化される。電源電圧が上昇すると、温度感知電圧降下部811は電源電圧VCCを $2V_{tn}$ ほどダウンさせて出力する。ところが、温度が高くなると、図4に示されているようにPMOSトランジスタP10のしきい電圧 $V_{tp}$ が上昇することになり、電圧調整部33によりノードDに供給される電流の量が減少することになる。

40

## 【0069】

しかし、温度の上昇で温度感知電圧降下部811のNMOSトランジスタN11、N12のしきい電圧 $V_{tn}$ も低くなるので、ノードEの電圧、即ちPMOSトランジスタP10のゲート電圧が上昇することになる。すなわち、本発明に係る温度補償回路81は温度の上昇に伴い電圧調整部33のPMOSトランジスタP10のしきい電圧 $V_{tp}$ が上昇す

50

ると、そのゲート電圧も上昇させて温度上昇に伴う電圧調整部 31 の特性変化を補償させることになる。

【0070】

これにより、ノード D の電圧は温度の変化に伴う影響が最少化され、リセット信号を安定的に出力することができるようになる。

【0071】

図 10 a は、本発明の第 4 の実施の形態に係るリセット回路の構成のうち温度補償回路領域だけ（電圧調整部）を示す回路図である。その他の構成要素等は、図 5 又は図 7 の該当構成要素と同様である。

【0072】

本実施の形態では、図 8 a とは別に電圧調整部 34 は少なくとも 1 つの N M O S トランジスタ N 14、N 15 が電源電圧端とノード D との間に並列連結されている場合を説明する。

【0073】

温度が上昇すると、N M O S トランジスタ N 14、N 15 のしきい電圧  $V_{tn}$  が低くなり、低い電源電圧でも電圧調整部 34 によるノード D への電流供給が多くなり、リセット信号が低い電源電圧で発生することができる。

【0074】

この場合、図 10 b に示されているように温度補償回路 91 の出力電圧を低めて N M O S トランジスタ N 14、N 15 のゲート端子に印加する。

【0075】

図 10 a において、温度補償部 90 で複数の温度補償回路 91、92 を備えて並列連結された複数の P M O S トランジスタ P 10、P 11 に対応させるのは、パラメータを変化させてより微細な温度調整が行われ得るようにするためである。

【0076】

図 11 は、本実施の形態に係る温度補償回路 91 の構成を示す回路図である。

【0077】

本実施の形態の温度補償回路 91 は、図 9 において温度感知電圧降下部 811 を P M O S トランジスタ P 14、P 15 で構成したものであり、その他の構成要素等は図 9 のものと同一である。すなわち、本実施の形態に係る温度感知電圧降下部 911 はゲートとドレインが共通に連結された P M O S トランジスタ P 14、P 15 が電源電圧端 V C C とノード F との間に直列連結される。

【0078】

本実施の形態で、温度が上昇して図 4 に示されているように N M O S トランジスタ N 14 のしきい電圧  $V_{tn}$  が低くなると、電圧調整部 34 によりノード D に印加される電流の量が増加することになる。

【0079】

しかし、温度の上昇で温度感知電圧降下部 911 の P M O S トランジスタ P 14、P 15 のしきい電圧  $V_{tp}$  が高くなり、ノード E の電圧、即ち N M O S トランジスタ N 14 のゲート電圧を低める。すなわち、本発明に係る温度補償回路 91 は温度の上昇に伴い電圧調整部 34 の N M O S トランジスタ P 14 のしきい電圧  $V_{tn}$  が低くなると、出力電圧を低めて温度の上昇に伴う素子の特性変化を補償することになる。

【図面の簡単な説明】

【0080】

【図 1】従来技術に係るリセット回路の構成を示す回路図である。

【図 2】電源電圧が急な傾斜で増加する場合にリセット信号が発生する形状を示すタイミング図である。

【図 3】電源電圧が緩やかな傾斜で増加する場合にリセット信号が発生する形状を示すタイミング図である。

【図 4】N M O S / P M O S トランジスタの温度特性を示す図である。

10

20

30

40

50

【図5】本発明の第1の実施の形態に係るリセット回路の構成を示す回路図である。

【図6】図5に示すリセット信号発生部の動作波形図である。

【図7】本発明の第2の実施の形態に係るリセット回路の構成を示す回路図である。

【図8a】本発明の第3の実施の形態に係るリセット回路の構成のうち温度補償回路領域だけを示す回路図である。

【図8b】図8aに示す温度補償回路の温度特性を示す図である。

【図9】本発明に係る温度補償回路の構成を示す回路図である。

【図10a】本発明の第4の実施の形態に係るリセット回路の構成のうち温度補償回路領域だけを示す回路図である。

【図10b】図10aに示す温度補償回路の温度特性を示す図である。

10

【図11】本発明に係る温度補償回路の構成を示す回路図である。

【符号の説明】

【0081】

10 電源感知安定化部

11 ラッチ回路

20 セルフプルアップ駆動部

30、33、34 電圧調整部

31 電圧微細調整部

32 電圧降下部

40 フィードバック制御部

20

50 プルアップ制御部

60、71 セルフバイアス部

61、70 セルフプルアップバイアス部

80、90 温度補償部

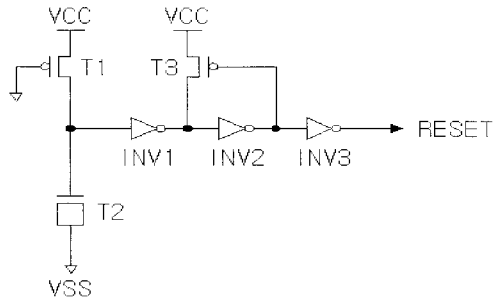
81、82、91、92 温度補償回路

811、911 温度感知電圧降下部

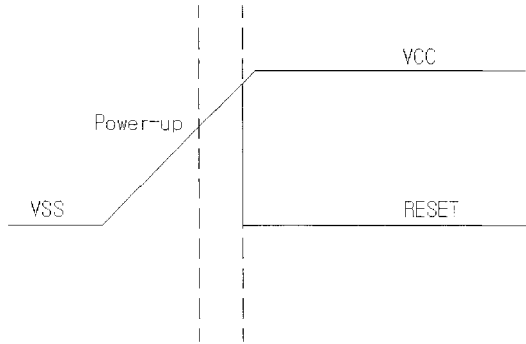
812 電圧安定化部

813 電圧プリチャージ部

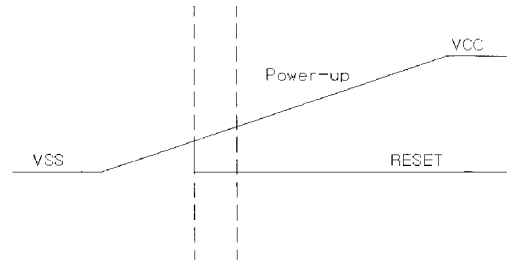
【図1】



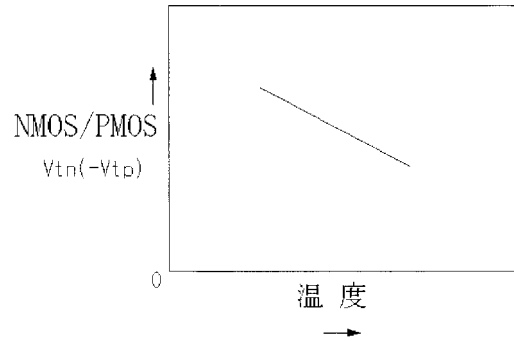
【図2】



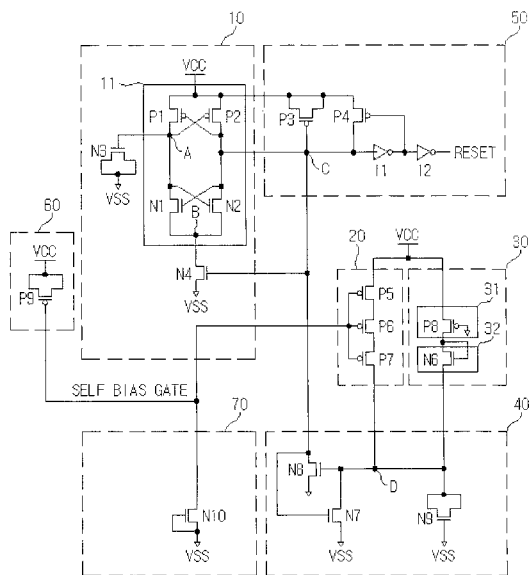
【図3】



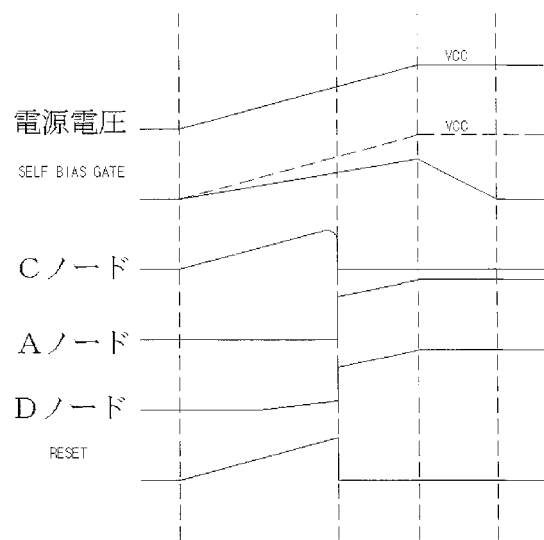
【図4】



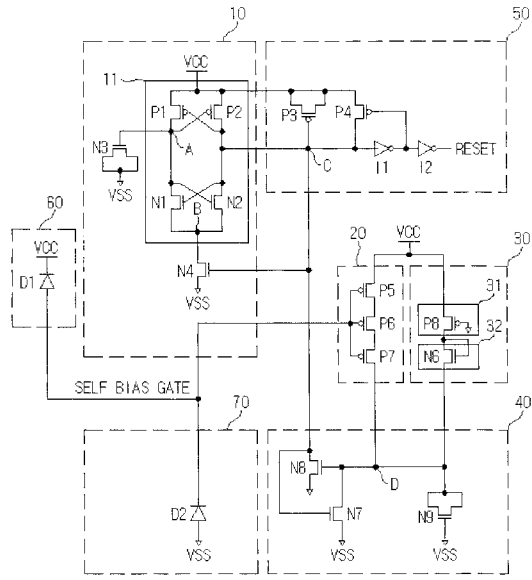
【図5】



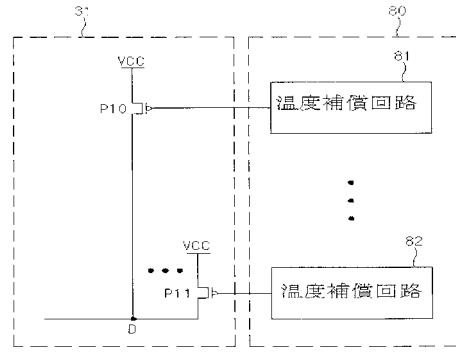
【図6】



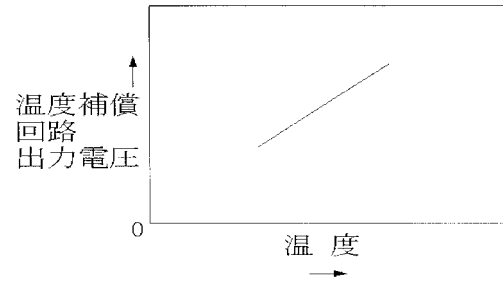
【 図 7 】



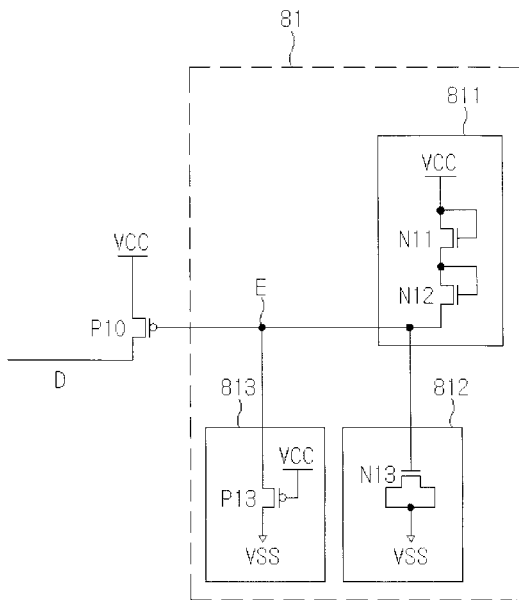
【 図 8 a 】



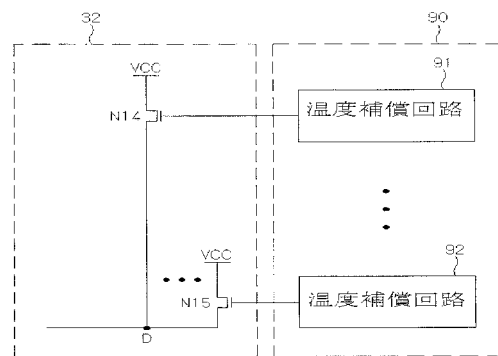
【 図 8 b 】



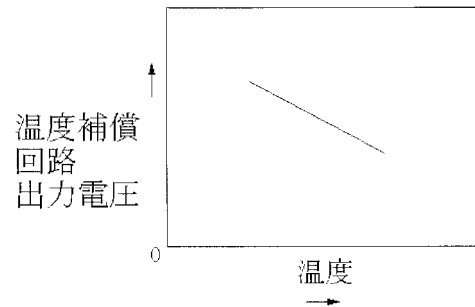
【 図 9 】



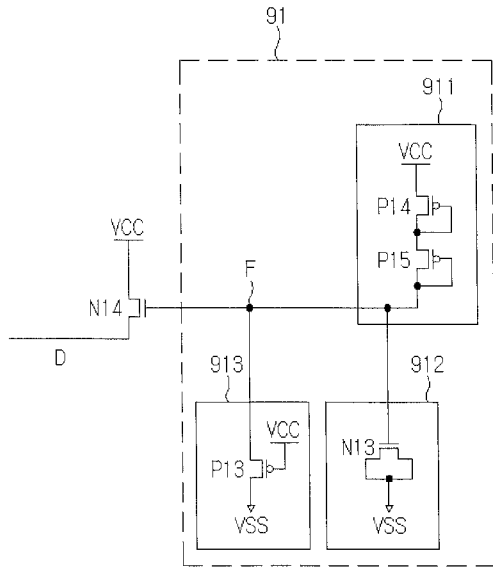
【 図 10 a 】



【 図 10 b 】



【 図 1 1 】



---

フロントページの続き

Fターム(参考) 5J500 AA01 AA12 AC02 AC81 AF02 AF10 AH10 AH17 AH19 AK04  
AM22 AT04 AT06 NC01 NF01 NF03