



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I798804 B

(45) 公告日：中華民國 112 (2023) 年 04 月 11 日

(21) 申請案號：110132322

(22) 申請日：中華民國 110 (2021) 年 08 月 31 日

(51) Int. Cl. : G01S7/495 (2006.01)

G01S7/483 (2006.01)

G01S17/58 (2006.01)

(71) 申請人：陳冠名 (中華民國) CHEN, KUAN MING (TW)

桃園市楊梅區益新一街 128 巷 45 號

(72) 發明人：陳冠名 CHEN, KUAN MING (TW)

(74) 代理人：黃照峯

(56) 參考文獻：

TW 579623A

TW I693424B

TW I704809B

TW M589797U

TW 201518756A

TW 201708840A

CN 107468222A

CN 202102003U

JP S62123360A

US 2021/0021352A1

審查人員：李景松

申請專利範圍項數：9 項 圖式數：8 共 31 頁

(54) 名稱

測速干擾裝置及其實施方法

(57) 摘要

本發明揭露一種測速干擾裝置及其實施方法，透過脈波接發器，可接收由測速裝置，所發送的測速脈波，經由處理器解析後，再由脈波接發器發送干擾脈波，以達到對測速裝置干擾之目的，此外，本發明更具有另一脈波發送器，當脈波接發器進行重新同步而無法發送干擾脈波，此時，係可由脈波發送器在脈波接發器進行重新同步的時間間隙發送干擾脈波，達到有效的測速干擾功效。

A laser jammer and an implementation method thereof are disclosed. A pulse wave transceiver receives speed pulse wave from a speed camera, and then transmits interference pulse wave after analyzing the speed pulse wave, thereby interfering the speed camera. Moreover, another pulse wave transmitter transmits interference pulse wave at the time interval when the pulse wave transceiver is resynchronized so that an effective speed interference function is achieved.

指定代表圖：

1

符號簡單說明：

1:測速干擾裝置

11:處理器

12:脈波接發器

13:脈波發送器

14:用戶操作單元

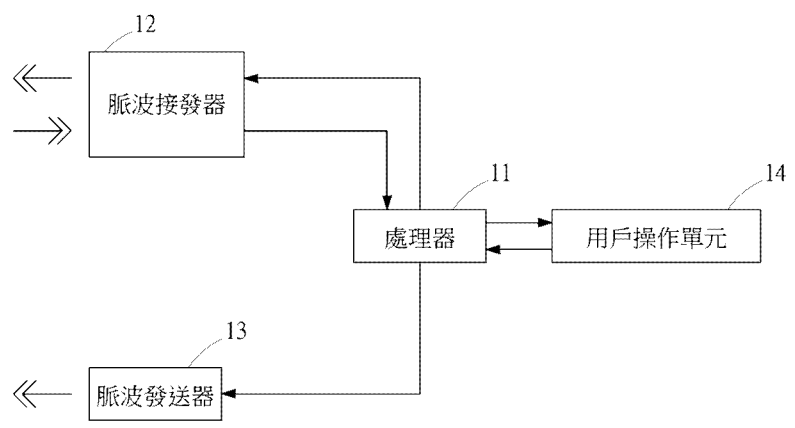


圖1



I798804

【發明摘要】

【中文發明名稱】

測速干擾裝置及其實施方法

【英文發明名稱】

Laser Jammer and Implementation Method
Thereof

【中文】

本發明揭露一種測速干擾裝置及其實施方法，透過脈波接發器，可接收由測速裝置，所發送的測速脈波，經由處理器解析後，再由脈波接發器發送干擾脈波，以達到對測速裝置干擾之目的，此外，本發明更具有另一脈波發送器，當脈波接發器進行重新同步而無法發送干擾脈波，此時，係可由脈波發送器在脈波接發器進行重新同步的時間間隙發送干擾脈波，達到有效的測速干擾功效。

【英文】

A laser jammer and an implementation method thereof are disclosed. A pulse wave transceiver receives speed pulse wave from a speed camera, and then transmits interference pulse wave after analyzing the speed pulse wave, thereby interfering the speed camera. Moreover, another pulse wave transmitter transmits interference

pulse wave at the time interval when the pulse wave transceiver is resynchronized so that an effective speed interference function is achieved.

【指定代表圖】圖（ 1 ）。

【代表圖之符號簡單說明】

1 測速干擾裝置

11 處理器

13 脈波發送器

12 脈波接發器

14 用戶操作單元

【發明說明書】

【中文發明名稱】

測速干擾裝置及其實施方法

【技術領域】

本發明涉及一種測速干擾裝置，尤指一種具有一脈波接發器、及一脈波發送器，除了一般測速情況，更可在脈波接發器進行重新同步時，仍能發送干擾脈波的測速干擾裝置。

【先前技術】

【0001】目前，已有四種常用於測量速度的光達測速裝置，分別為(1)標準速度測量光達、(2)不穩定頻率脈波光達，(3)預編程頻率脈波光達和(4)隨機脈波頻率光達；其中：

(1)標準測速光達具有固定的脈波週期，干擾設備需要測量脈波週期 T ，然後可以直接將該週期用作干擾週期 D ($T=D$)，破壞週期中的多個速度測量脈波，如： $1D$ ， $2D$ ， $3D$ ， $4D$ ，在速度測量信號的第 n 個同步 D 週期。

(2)不穩定頻率脈波光達與標準光達相似，但其不具有固定的脈波序列，每個週期的長度略有不同，干擾裝置需透過學習方可干擾不穩定頻率光達，或者可以通過發送更長的中斷脈波或脈波序列來解決頻率的不穩定性，利用更長的中斷脈波或脈波序列覆蓋所有可能的偏差。

(3) 預編程頻率脈波光達會在各個脈沖之間改變其脈波週期，而週期是根據預存儲的週期序列循環決定的，就像投幣遊戲機一樣，所有時段都是按順序進行的，並在結束後重新開始，如果該週期序列循環是已知的，則干擾裝置可以使用它來預測給定同步事件中下一個週期。

(4) 隨機脈波頻率光達具有隨機重複的脈波頻率，從具有 P 個週期一組的預存儲週期中隨機選擇下一個週期，意即在每一個測速波之後的下一個測速波都有 P 個可能出現的時間點，干擾裝置必須發送 P 個脈波以覆蓋所有可能的週期，而如果在此類中斷事件發生後無法立即進行同步，則它必須發送 P^2 個脈波以覆蓋下一次中斷事件中的所有可能性，否則將無法有效干擾隨機脈波頻率光達，而假若接下來再沒有進行同步，則必須發送的脈波數將以 P^2 個呈指數成長，如： P^4 、 P^8 ... 等，如此，將很快超出干擾器所能實施的上限，而無法對測速裝置進行干擾。

此外，在此特別點出，在對付四種類型的光達測速裝置時，測速干擾裝置皆必須頻繁地進行同步，其中，(1) 標準速度測量光達、(2) 不穩定頻率脈波光達，(3) 預編程頻率脈波光達的測速裝置因為零件精度的限制，在習知測速干擾裝置發送數個干擾波之後，必須切換進行同步，否則累積誤差很快地會使測速干擾裝置失去干擾效果；而(4) 隨機脈波頻率光達更需頻繁進行同步，因為若沒有重新同步，其必須發射的脈波數是呈指數級數增長；然而，由於重新同步的時間間隙中因無干擾波的出現，上述四種類型的光達

測速裝置都有能力在測速干擾裝置進行重新同步的時間間隙中，獲取到真正的測速數據，而得到目標物正確的距離和速度。

【0002】 目前關於測速干擾裝置，有以下專利，如：

(1)美國專利第US6833910B2號描述了一種系統，該系統從測速裝置接收並識別脈波，然後從其資料庫中選擇固定頻率並發送信號以干擾速度監視器，該系統僅適用於標準測速光達；

(2)美國專利第5793476A號描述了一種不需要重新同步的系統，一旦檢測到測速脈波信號，它就會發出間隔一定時間的多個脈波，該時間間隔小於或等於測速脈波從測速裝置傳播到被測速物體並回到測速裝置所需要的時間，然而，這需要發射大量的干擾脈波，即使此系統可以實施，測速光達也會由於接收到大量的干擾脈波，很容易發現其正被干擾；

(3)美國專利號9500744B2描述了一種系統，當遇到測速光達時，該系統將其至少兩個轉發器中的一個切換成僅接收轉發器，將另一個切換成僅發送轉發器；在接收轉發器進行重新同步時，發送轉發器仍可持續發送干擾波，這樣儘管有可能克服無法在重新同步事件中，干擾光達的缺陷，但是僅具有一個脈波接收器和一個脈波發送器將嚴重影響接收和干擾效率；據此，如何能有效的解決在測速干擾裝置進行重新同步時，仍能有效在進行重新同步時間

間隙對測速裝置進行干擾，而不被測速裝置察覺，又在應對(4)隨機脈波頻率光達時，能進行長時間的有效干擾，皆為待須解決之問題。

【發明內容】

【0003】 有鑒於上述的問題，本發明人係依據多年來從事相關行業的經驗，針對測速干擾裝置進行改進；緣此，本發明之主要目的在於提供一種可在測速干擾裝置進行重新同步的一時間間隙中，仍能有效進行測速干擾，同時可對隨機脈波頻率光達進行長時間有效測速干擾目的。

【0004】 為達上述的目的，本發明之測速干擾裝置具有一處理器、至少一脈波接發器、至少一脈波發送器，及一用戶操作單元，其中，處理器供以運行本發明之測速干擾裝置並儲存有各測速脈波資訊及其對應的干擾脈波資訊，脈波接發器用以接收測速裝置所發出的測速脈波，並傳送到處理器進行分析，以取出對應的干擾脈波資訊，再將干擾脈波資訊傳送至脈波接發器，以發送干擾脈波對測速裝置進行干擾，而在脈波接發器進行重新同步時，則由脈波發送器補足此一時間間隙，以達到能有效干擾測速的目的。

【0005】 為使 貴審查委員得以清楚了解本發明之目的、技術特徵及其實施後之功效，茲以下列說明搭配圖示進行說明，敬請參閱。

【圖式簡單說明】**【0006】**

圖1，為本發明之系統示意圖。

圖2A，為本發明之電路示意圖(一)。

圖2B，為本發明之電路示意圖(二)。

圖2C，為本發明之電路示意圖(三)。

圖3，為本發明之實施示意圖(一)。

圖4，為本發明之實施示意圖(二)。

圖5，為本發明之實施示意圖(三)。

圖6，為本發明之實施示意圖(四)。

圖7，為本發明之實施示意圖(五)。

圖8，為本發明之實施示意圖(六)。

【實施方式】

【0007】 請參閱「圖1」，圖1為本發明之系統示意圖，如圖所示，本發明之測速干擾裝置1包含有一處理器11、至少一脈波接發器12、至少一脈波發送器13，及一用戶操作單元14以下對各要件作說明及例示：

(1) 處理器11分別與脈波接發器12、脈波發送器13、及用戶操作單元14呈資訊連結，處理器11儲存有測速裝置所發出的各式測速脈波資訊，測速脈波資訊包含有各測速脈波的頻率、週期、波型、強度等，及發出測速脈波的為何種類型的測速裝置，而由於先進的

測速裝置，其測速脈波具有隨時間改變其脈波的特性，故測速脈波資訊亦包含有測速脈波的序列組合及序列變化等關於脈波的訊息，另，處理器11亦儲存有測速干擾裝置1在解析完測速脈波後，對應各種測速脈波情況的干擾脈波資訊；處理器11供以運行測速干擾裝置1，並且可分析由測速裝置所發出的測速脈波，並且運行該測速干擾裝置，驅動脈波接發器12及脈波發送器13收發訊號；其中，處理器11可例如為晶片ATMEGA328P-PU，但不以此為限，其可使處理器11達到吞吐量接近1兆赫茲每秒百萬指令(MIPS)，並允許測速干擾裝置1之系統設計人員優化功耗與處理速度。

(2) 脈波接發器12包含有一脈波接收單元及一脈波發射單元，其中，脈波接收單元供以接收測速裝置所發出的測速脈波，並將接收到的測速脈波傳送至處理器11進行分析，得出一干擾脈波資訊，所述的結果為處理器11將接收到的測速脈波與所儲存的測速脈波資訊進行比對，以此分析出可干擾測速裝置的一干擾脈波資訊，脈波發射單元進一步基於處理器11所分析出的干擾脈波資訊，發送一第一干擾脈波，可選的，脈波接發器12更可包含為多個脈波接發單元組設於車輛上。

(3) 脈波發送器13供以在脈波接發器12進行重新同步時的一時間間隙，基於處理器11分析出的干擾脈波資

訊，發送干擾脈波，脈波發送器13所發送的干擾脈波即可銜接、填補此時間間隙，而不因時間間隙所被測速裝置察覺、分析出測速脈波正被干擾脈波進行干擾；此外，脈波發送器13可基於干擾脈波資訊，在測速裝置所有可能發送測速脈波的一時距，開始發送干擾脈波，使每一個可能發送測速脈波的時距皆有相對應的干擾脈波發送，並且可在脈波接發器12接收到一下一測速脈波時，使脈波發送器基於下一測速脈波，重新於各時距持續發送干擾脈。

- (4) 用戶操作單元14供一使用者透過其對測速干擾裝置1進行各式操作、命令，如：開機、關機、測速干擾設定、終止測速干擾等，另，用戶操作單元14亦可發出一警報，以提醒使用者正被偵測車速，或提示目前車速、目前速限等；用戶操作單元14可直接組設於測速干擾裝置1，亦可利用使用者的資訊裝置，如：一個人電腦、一筆記型電腦、一智慧型手機、一平板電腦、一智慧手錶、一智慧穿戴裝置之其中一種或其組合，但不以此為限，並透過各式有線無線連接方式與處理器11進行資訊連接。

【0008】 請搭配參閱「圖2A」，為本發明之電路示意圖(一)，並請搭配參閱「圖1」，圖繪示了處理器的電路組成，其中，電源引腳連接到電源和去耦電容器，外部振盪器引腳連接到一晶體，可選的，晶體具有高達20MHz諧振頻

率、高溫度穩定性、及使用小於10ppm的寬容等特性，如此，晶體作為穩定的振盪器源，可確保預先存入處理器11的干擾脈波資訊與測速干擾裝置1所實際發出的干擾脈波不會發生偏差，也不會因干擾產生相位變化；此外，測速干擾裝置1具有可傳輸並輸出多個輸出訊號的一第一驅動電路DRV1到一第六驅動電路DRV6，其中，第一驅動電路DRV1、第二驅動電路DRV2、第三驅動電路DRV3、及第四驅動電路DRV4分別與脈波接發器12呈電性連接，供以將欲輸出的干擾脈波資訊發送到脈波接發器12；第五驅動電路DRV5和第六驅動電路DRV6分別與脈波發送器13呈電性連接，供以將欲輸出的干擾脈波資訊發送到脈波發送器13。

【0009】請參閱「圖2B」，為本發明之電路示意圖(二)，並請搭配參閱「圖2A」，如圖所示，本發明之脈波接發器12具有一第一接發單元121、一第二接發單元122、一第三接發單元123、及一第四接發單元124；本發明之脈波發送器13具有一第一發送單元131及一第二發送單元132；其中，各接發單元及發送單元皆具有一連接器，分別為與第一驅動電路DRV1電性連接的一第一連接器CN1、與第二驅動電路DRV2電性連接的一第二連接器CN2、與第三驅動電路DRV3電性連接的一第三連接器CN3、及與第四驅動電路DRV4電性連接的一第四連接器CN4，各發送單元亦皆各具有一連接器，分別為與第五驅動電路DRV5電性連

接的一第五連接器CN5、及與第六驅動電路DRV6電性連接的一第六連接器CN6，處理器11經由各驅動電路及各連接器可發送干擾脈波資訊並指示各發射單元、及各發送單元產生干擾脈波；此外，第一接發單元121及第二接發單元122可為一群組，第三接發單元123及第四接發單元124可為另一群組。

【0010】請參閱「圖2C」，為本發明之電路示意圖(三)，如圖所示，由於脈波接發器12具有接收脈波及發送脈波的能力，及脈波發送器13具有發送脈波的能力，「圖2C」即例示了關於脈波接發器12接收脈波部份的電路組成R及發送脈波部分的電路組成T，另，脈波發送器13之發送脈波部分的電路組成T，可與脈波接發器12之發送脈波部分的電路組成T相同，此不再贅述。

【0011】請參閱「圖3」，為本發明之實施示意圖(一)，如圖所示，本發明之測速干擾裝置1在實施前，係先將脈波接發器12及脈波發送器13安裝於一車輛上，其安裝方式為將第一接發單元121、第二接發單元122、及第一發送單元131視為第一群組G1，且第一群組G1內的第一發送單元131所組設的位置與第一接發單元121、第二接發單元122保持至少一距離；第三接發單元123、第四接發單元124、及第二發送單元132視為第二群組G2，且第二群組G2內的第二發送單元132所組設的位置與第三接發單元

123、第四接發單元124亦保持至少一距離，保持此距離係為了最大限度地降低當第一發送單元131、及第二發送單元132在發送干擾脈波時，第一接發單元121、第二接發單元122、及第三接發單元123、第四接發單元124受到影響，接收到錯誤的測速脈波；另，如圖所示，兩群組係分別組設於車輛上，如此能最大限度地接收來自車前及車後的測速脈波、及發送干擾脈波，以達到最佳的測速干擾效果，本圖將第一群組G1組設於車頭及第二群組G2組設於車尾作為例示。

【0012】 請參閱「圖4」~「圖5」，為本發明之實施示意圖(二)及實施示意圖(三)，當測速裝置2發送一測速脈波P1時，本發明之測速干擾裝置1係藉由脈波接發器12接收測速脈波P1，並傳送至處理器11，與測速脈波資訊進行比對，篩選出相對應的干擾脈波資訊，並將此干擾脈波資訊傳送至脈波接發器12，脈波接發器12係基於干擾脈波資訊發送連續的一干擾脈波L1，藉由測速裝置2同時接收干擾脈波L1與反射的測速脈波P1'，測速裝置2將會誤判正確的速度，或無法偵測速度，而達到本發明有效干擾測速之目的。

【0013】 請參閱「圖6」~「圖7」，為本發明之實施示意圖(四)~實施示意圖(五)，測速干擾裝置1在發送數個干擾脈波後，需要進行重新同步，當測速干擾裝置1需要進行重新同步時，係由脈波接發器12接收測速脈波P1，並傳送至處

理器 11，與測速脈波資訊進行比對，篩選出相對應的干擾脈波資訊，並將此干擾脈波資訊傳送至脈波發送器 13，脈波發送器 13 係基於干擾脈波資訊發送連續的一干擾脈波 L1，藉由脈波發送器 13，使得脈波接發器 12 在進行重新同步時，測速干擾裝置 1 仍可持續不斷地發送干擾脈波 L1，使在進行重新同步的時間間隙中，亦能有效達到測速干擾的效果。

【0014】請參閱「圖 8」，為本發明之實施示意圖(六)，並請搭配參閱「圖 1」，本發明之測速干擾裝置 1 係可透過測速脈波 P1，分析出測速裝置 2 為何種類型之測速裝置，其中，當解析出測速裝置 2 類型為隨機脈波頻率光達時，係由脈波接發器 12 進行測速脈波 P1 接收，並由脈波發送器 13 進行干擾脈波 L1 發送，其中，由於測速裝置 2 將可能於發送測速脈波 P1 後，在發送一下一測速脈波之間間隔有多種可能的時距，在此假設共有 P 種可能的時距，則脈波發送器 13 係在第一個可能的時距開始發出干擾脈波 L1，並持續在每個可能的各時距下皆發送各干擾脈波，依序為第二個干擾脈波 L2、第三個干擾脈波 L3、第四個干擾脈波 L4 ... 到第 P 個干擾脈波等；而當脈波接發器 12 接收到下一測速脈波 P2 時，脈波發送器 13 係直接捨棄剩下未發射完成的干擾脈波，意即假設在發送到第 S 個干擾脈波時，脈波接發器 12 接收到下一測速脈波 P2，脈波發送器 13 即捨棄第 S 個干擾脈波之後到第 P 個干擾脈波，並且由脈波發送器 13 重新在第

一個可能的時距開始發出干擾脈波 L 1，如此持續直到干擾工作結束；由於本發明測速干擾裝置 1 所發射的干擾脈波數量較習知干擾裝置數量少 ($S \leq P$)，且在每次接收到下一個測速脈波時，會立即重新一次各時距的干擾脈波發送，如此，係可使測速干擾裝置 1 在面對隨機脈波頻率光達時，不會面臨必須發送指數成長數量 ($P^2, P^4, P^8 \dots$) 的干擾脈波，導致超出實際可實施的上限，而是僅需要發送小於等於 P 個數量的干擾脈波；如圖所示，在接收到測速脈波 P 1 後，脈波發送器 1 3 開始在每一個可能的時距依序發送干擾脈波，並在發送完第三個干擾脈波 L 3 時，脈波接發器 1 2 係接收到了下一測速脈波 P 2，脈波發送器 1 3 隨即放棄後續所有未發射的干擾脈波，且重頭開始在每一個可能的時距依序發送干擾脈波，並在發射完第五個干擾脈波 L 5 時，脈波接發器 1 2 係接收到了下一測速脈波 P 3，脈波發送器 1 3 隨即放棄後續所有未發射的干擾脈波，且重頭開始在每一個可能的時距依序發送干擾脈波，如此不斷循環直到干擾作業結束。

【0015】 綜上所述，本發明之測速干擾裝置 1 具有一處理器、一脈波接發器、一脈波發送器、及一用戶操作單元，處理器可將由脈波接發器所接收到的測速脈波進行解析，篩選出與之對應的干擾脈波資訊，再由脈波接發器基於干擾脈波資訊發送干擾脈波對測速裝置進行干擾，使其無法偵測正確的車速；而當脈波接發器在發射數次干擾脈波後進行重新同步時，係由脈波發送器進行干擾脈波的發送，

如此在進行重新同步時仍能有效達到干擾及不被測速裝置察覺；此外，若在處理器判斷為具隨機脈波頻率光達等測速裝置，則由脈波接發器負責進行測速脈波的接收，脈波發送器基於分析出的測速脈波資訊，在所有可能的時距皆依序發送干擾脈波，而當脈波接發器接收到下一個測速脈波時，脈波發送器將所有未發送的干擾脈波捨棄，從第一個時序開始進行發送，如此便有效降低干擾脈波所需發送數量；據此，本發明其據以實施後，確實可以達到能有效的解決在測速干擾裝置進行重新同步時，仍能有效在進行重新同步時間間隙對測速裝置進行干擾，而不被測速裝置察覺，又在應對隨機脈波頻率光達時，能進行長時間的有效干擾的目的。

【0016】 唯，以上所述者，僅為本發明之較佳之實施例而已，並非用以限定本發明實施之範圍；任何熟習此技藝者，在不脫離本發明之精神與範圍下所作之均等變化與修飾，皆應涵蓋於本發明之專利範圍內。

【0017】 綜上所述，本發明係具有「產業利用性」、「新穎性」與「進步性」等專利要件；申請人爰依專利法之規定，向 鈞局提起發明專利之申請。

【符號說明】

1	測速干擾裝置	2	測速裝置
1 1	處理器	1 2	脈波接發器
1 2 1	第一接發單元	1 2 2	第二接發單元
1 2 3	第三接發單元	1 2 4	第四接發單元
1 3	脈波發送器	1 4	用戶操作單元
1 3 1	第一發送單元	1 3 2	第二發送單元
R	接收脈波部份的電路組成		
T	發送脈波部分的電路組成		
DR V 1	第一驅動電路	DR V 2	第二驅動電路
DR V 3	第三驅動電路	DR V 4	第四驅動電路
DR V 5	第五驅動電路	DR V 6	第六驅動電路
C N 1	第一連接器	C N 2	第二連接器
C N 3	第三連接器	C N 4	第四連接器
C N 5	第五連接器	C N 6	第六連接器
G 1	第一群組	G 2	第二群組
P 1	測速脈波	P 1'	反射的測速脈波
P 2	下一測速脈波	P 3	下一測速脈波
L 1	干擾脈波	L 2	第二個干擾脈波
L 3	第三個干擾脈波	L 4	第四個干擾脈波
L 5	第五個干擾脈波		

【發明申請專利範圍】

【請求項1】 一種測速干擾裝置，組設於一車輛，供以基於一測速裝置所發出的一測速脈波，對該測速裝置進行干擾，包含：

一處理器，分別與至少一脈波接發器及至少一脈波發送器資訊連接，並儲存有至少一測速脈波資訊、及相對應的至少一干擾脈波資訊，該處理器供以運行該測速干擾裝置，並藉由分析該測速脈波，以篩選出該測速脈波資訊、及與該測速脈波資訊相對應的該干擾脈波資訊、；

該脈波接發器，供以接收該測速裝置所發出的該測速脈波並傳送至該處理器，及接收該處理器發送的該干擾脈波資訊，基於該干擾脈波資訊，發送一干擾脈波；以及

該脈波發送器，供以接收該處理器發送的該干擾脈波資訊，並在該脈波接發器進行重新同步的一時間間隙，基於該干擾脈波資訊的各時距，發送該干擾脈波，其中，當該脈波接發器接收到一下一測速脈波時，該脈波發送器直接捨棄剩下未發射完成的該干擾脈波，且立即重新從第一個時距開始發送該干擾脈波。

【請求項2】 如請求項1所述之測速干擾裝置，其中，該脈波接發器包含有一接收單元、及一發射單元，該接收單元供以接收該測速脈波，及該發射單元供以發射該干擾脈波。

【請求項3】 如請求項2所述之測速干擾裝置，其中，該脈波接發器包含有一第一接發單元、一第二接發單元、一第三接發單元、及一第四接發單元，該第一接發單元、及該第二接發單元為一第一群組，該第三接發單元、及該第四接發單元為一第二群組，兩群組分別組設於該車輛上。

【請求項4】 如請求項3所述之測速干擾裝置，其中，該脈波發送器包含有一第一發送單元、及一第二發送單元，該第一發送單元屬於該第一群組，及該第二發送單元屬於該第二群組，該第一接發單元、該第一發射單元、及該第二接發單元保持一距離；該第三接發單元、該第二發射單元、及該第四接發單元保持該距離。

【請求項5】 如請求項1所述之測速干擾裝置，包含有一用戶操作單元，與該處理器呈資訊連接，該用戶操作單元供以對該測速干擾裝置進行操作。

【請求項6】 如請求項5所述之測速干擾裝置，該用戶操作單元供以發出一警報，該警報供以提示現正被偵測車速、目前車速、目前速限之其中一種或其組合。

【請求項7】 一種測速干擾裝置實施方法，供以基於一測速裝置所發出的一測速脈波，對該測速裝置進行干擾，包含：

至少一脈波接發器接收該測速脈波，並傳送至一處理器，該處理器基於該測速脈波比對出一測速脈波資訊，並篩選出相對的一干擾脈波資訊，並將該干擾脈波資訊傳送至該脈波接發器，該脈波接發器係基於該干擾脈波資訊發送一干擾脈波；

該脈波接發器在發送一個以上該干擾脈波後，停止發送該干擾脈波，並耗費一時間間隙進行重新同步；以及

該處理器將該干擾脈波資訊傳送至一脈波發送器，該脈波發送器基於該干擾脈波資訊，在該時間間隙發送該干擾脈波，其中，當該脈波接發器接收到一下一測速脈波時，該脈波發送器直接捨棄剩下未發射完成的該干擾脈波，且立即重新從第一個時距開始發送該干擾脈波。

【請求項8】 如請求項7所述之測速干擾裝置實施方法，其中，該脈波接發器包含有一接收單元、及一發射單元，透過該接收單元接收該測速脈波，及透過該發射單元發射干擾波。

【請求項9】 一種測速干擾裝置實施方法，供以基於一測速裝置所發出的一測速脈波，對該測速裝置進行干擾，包含：

至少一脈波接發器接收該測速脈波，並傳送至一處理器，該處理器基於該測速脈波比對出一測速脈波資訊，並篩選出相對的一干擾脈波資訊，並將該干擾脈波資訊傳送至一

脈波發送器，該脈波發送器係基於該干擾脈波資訊於各一時距持續發送各一干擾脈波；

當該脈波接發器接收到一下一測速脈波，該脈波發送器停止發送該干擾脈波，且直接捨棄剩下未發射完成的該干擾脈波；以及

該脈波發送器基於該下一測速脈波，重新於各該時距持續發送各該干擾脈波。

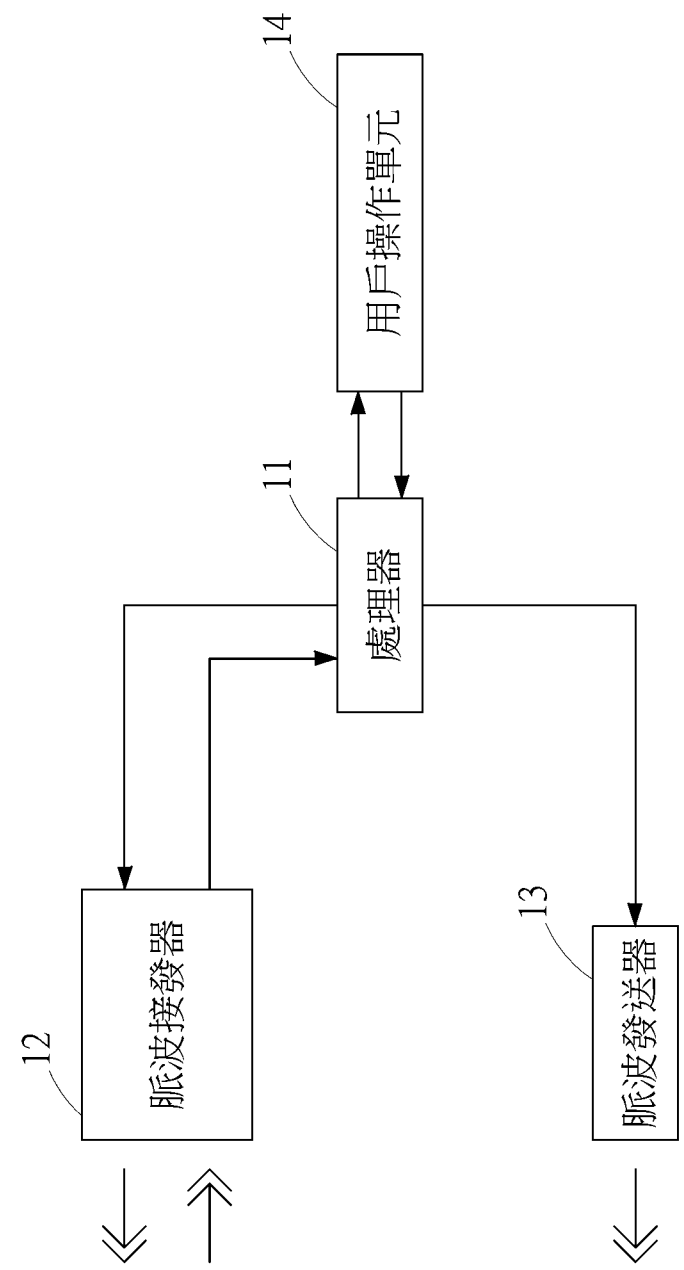


圖1

1

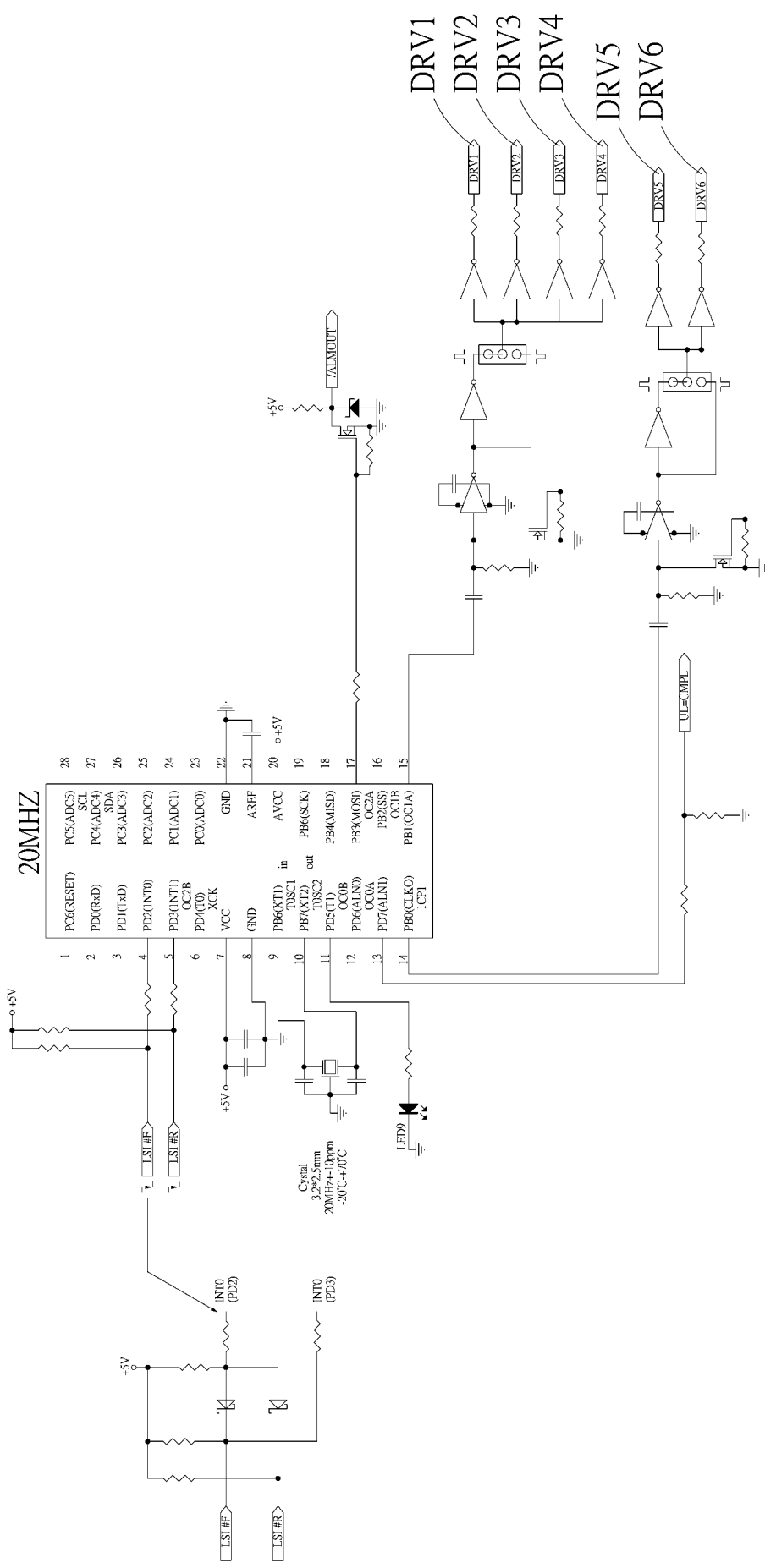


圖2A

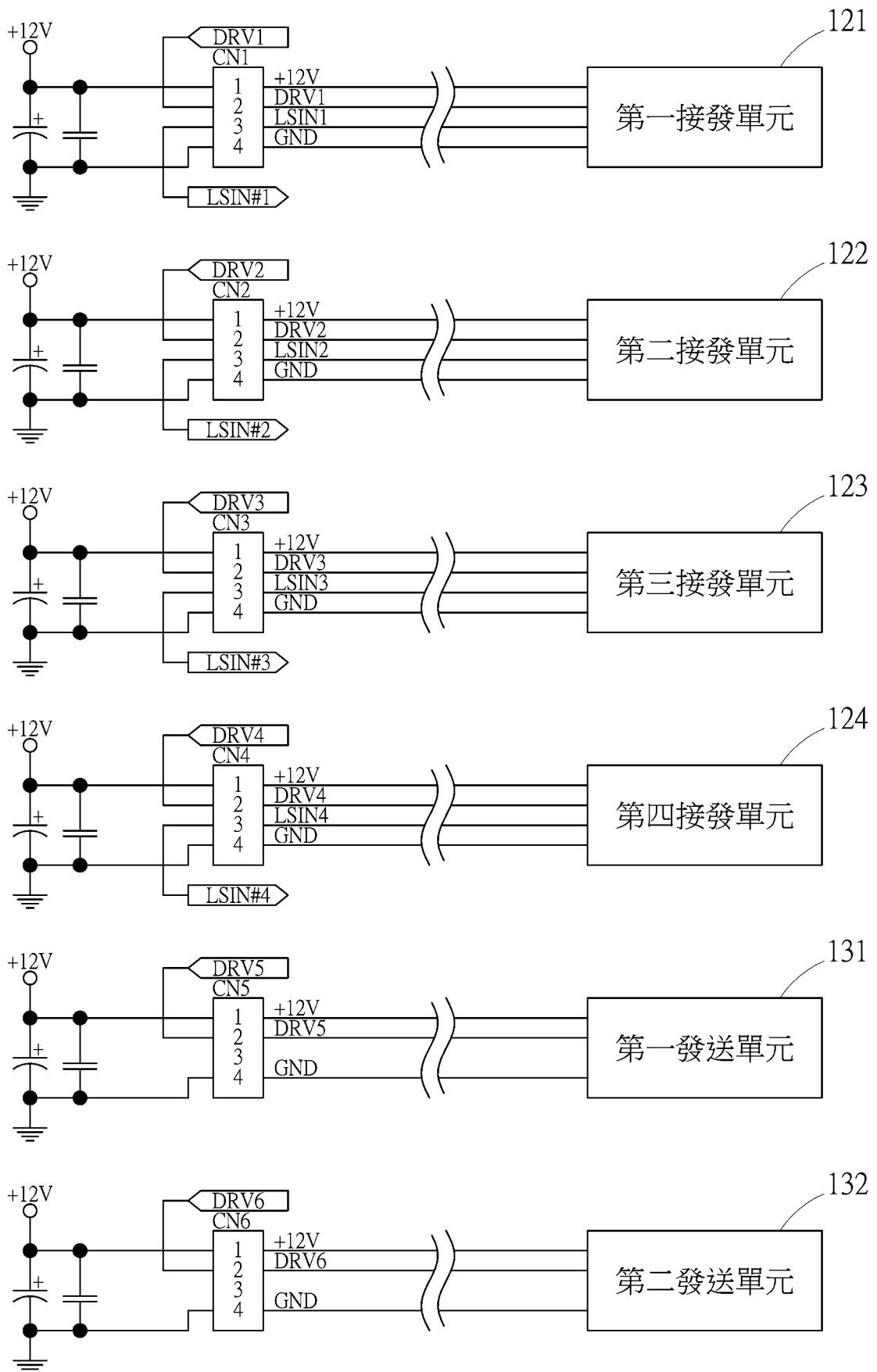


圖2B

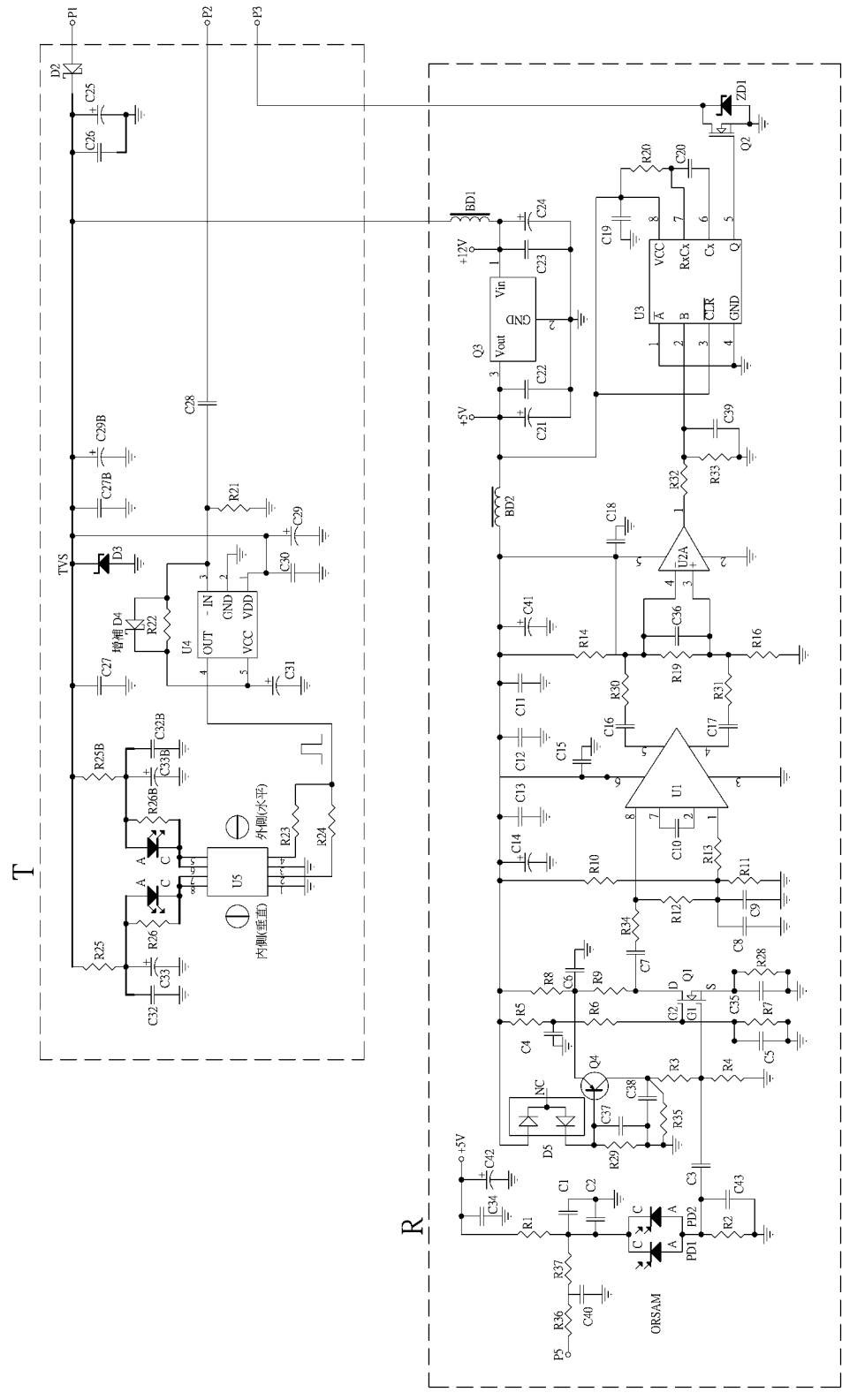


圖2C

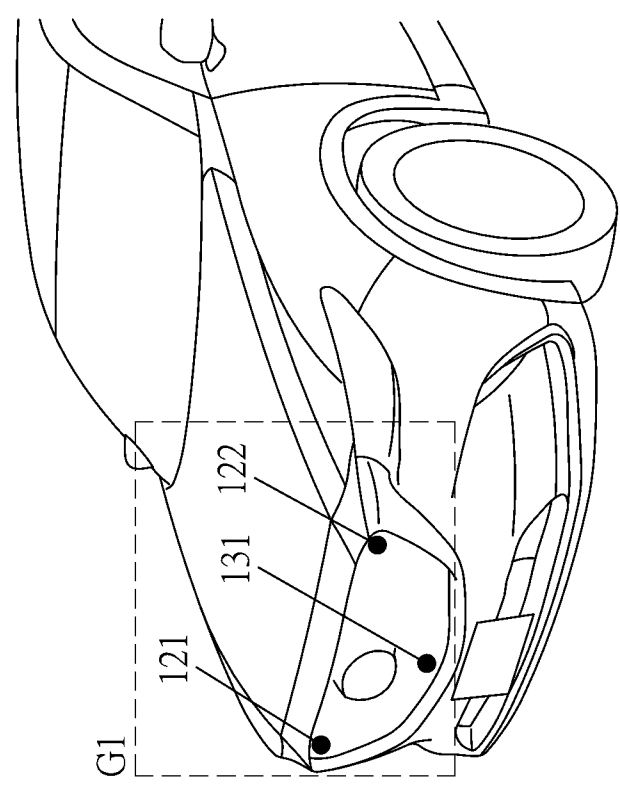
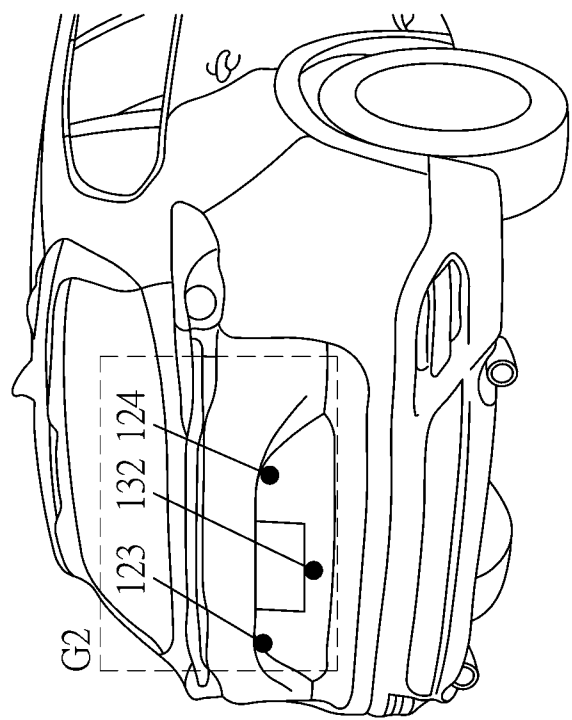


圖3

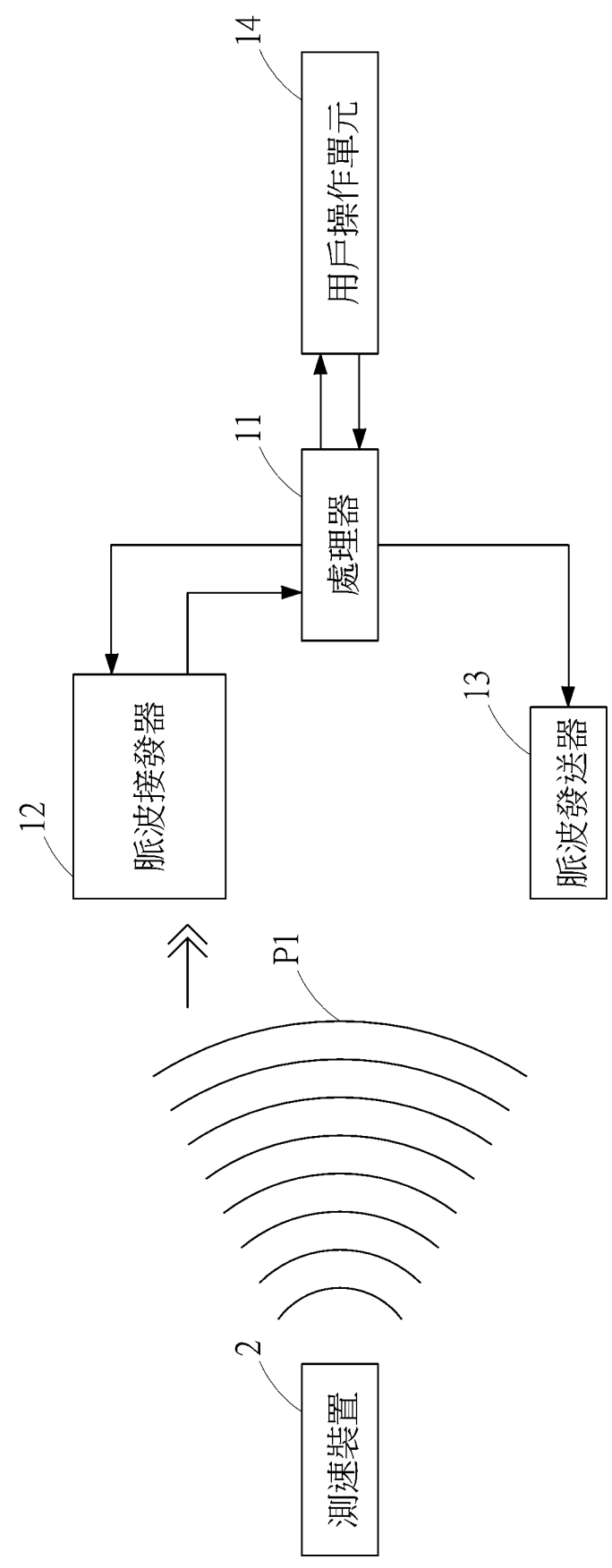


圖4

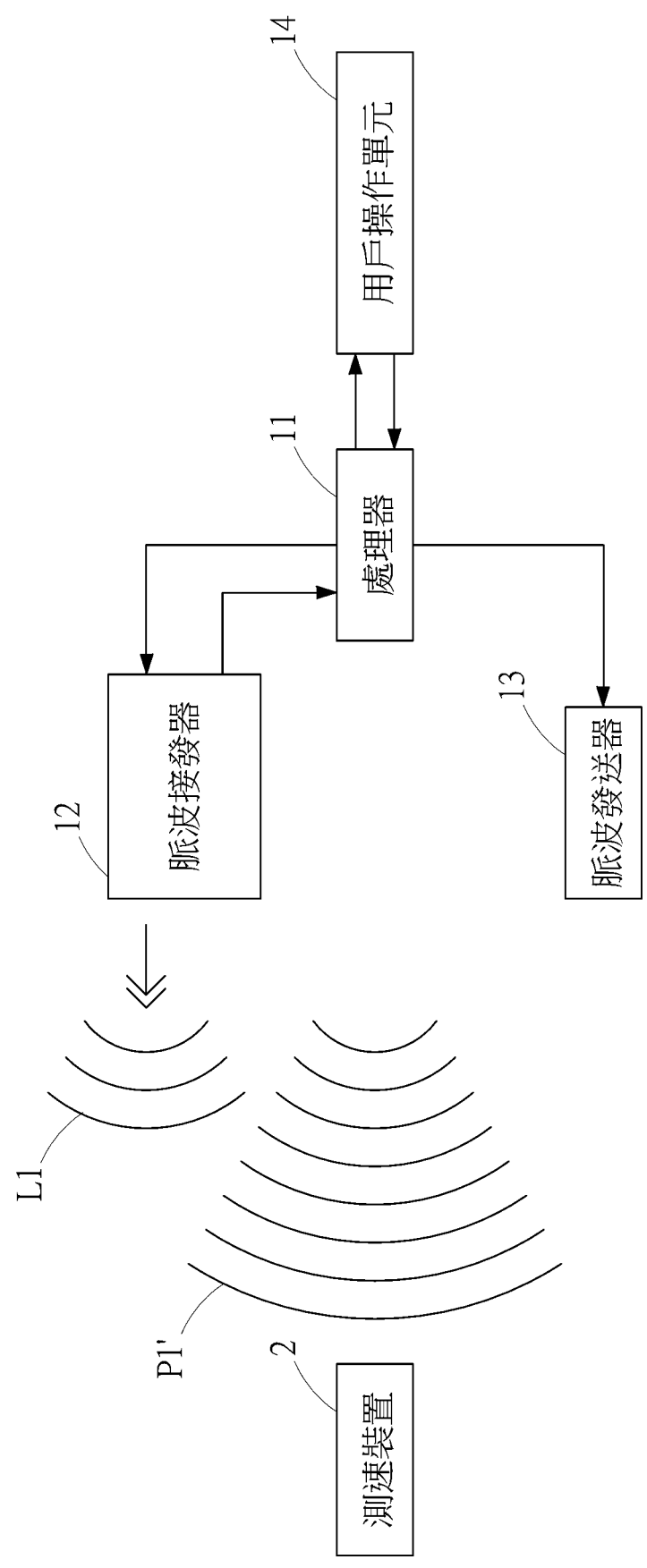


圖5

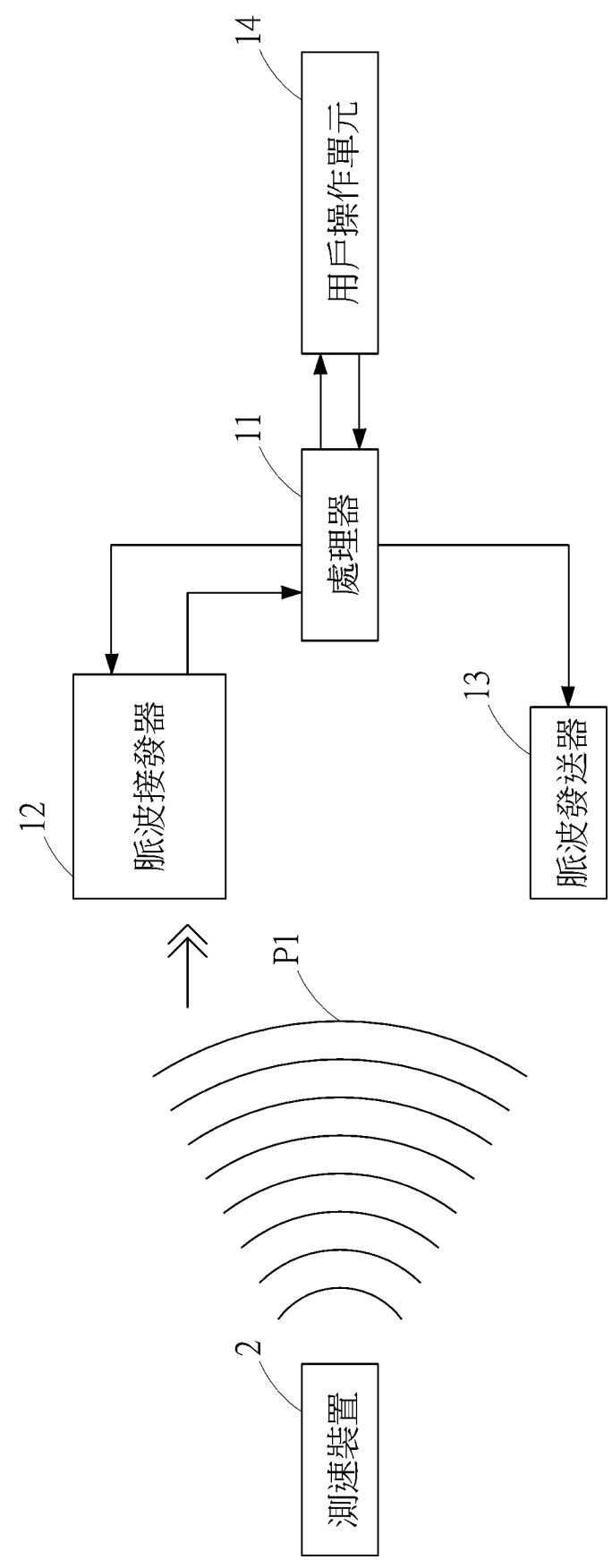


圖6

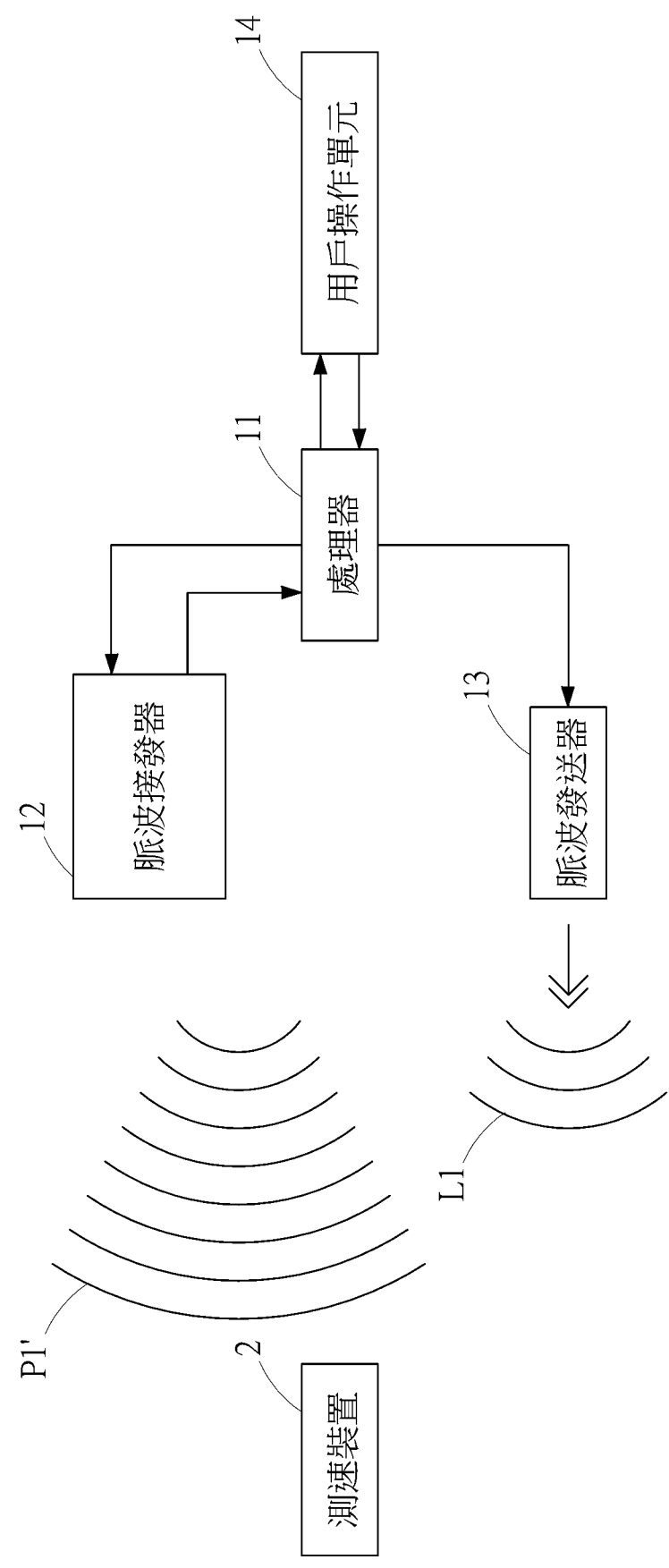


圖7

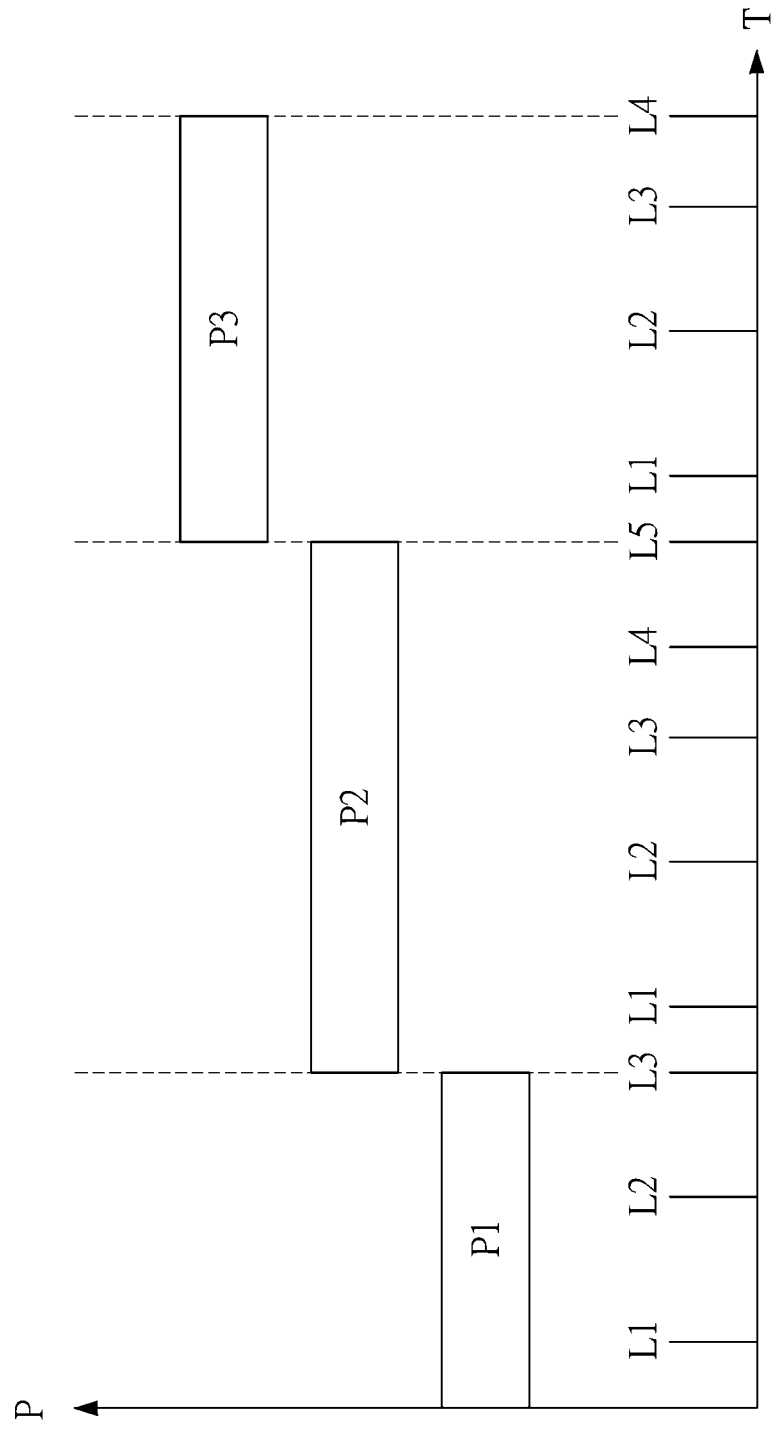


圖8