

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4896569号
(P4896569)

(45) 発行日 平成24年3月14日(2012.3.14)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl. F I
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 4 G
G 1 1 C 16/04 (2006.01) G 1 1 C 17/00 6 2 2 E

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2006-107709 (P2006-107709)	(73) 特許権者	000003078
(22) 出願日	平成18年4月10日 (2006.4.10)		株式会社東芝
(65) 公開番号	特開2007-280547 (P2007-280547A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成19年10月25日 (2007.10.25)	(74) 代理人	100091351
審査請求日	平成21年2月9日 (2009.2.9)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びそのダイナミックラッチのリフレッシュ方法

(57) 【特許請求の範囲】

【請求項1】

出力端子が第1のノードに共通接続された複数個のダイナミックラッチと、
 前記複数個のダイナミックラッチをそれぞれ選択的に第2のノードに接続するように構成されたスイッチ回路と、

前記第2のノードのデータを保持するためのキャパシタと、
 入力端子が前記第1のノードに接続された第1のスタティックラッチと、
 第1の転送制御信号に基づいて前記第1のノードと前記第2のノードを接続する第1の転送ゲートとを具備し、

前記複数個のダイナミックラッチのデータをリフレッシュする時に、前記第1のスタティックラッチに記憶されたデータを前記第1の転送ゲートを介して前記第2のノードに移動して前記キャパシタで保持し、

前記第1のスタティックラッチのラッチを解除し、
 前記スイッチ回路で選択されたリフレッシュの対象となるダイナミックラッチのデータをブートストラップし、

前記ブートストラップしたデータを前記第1のノードに転送して電荷共分配することで前記第1のノードの電位を設定し、

前記第1のスタティックラッチで増幅して前記第1のノードに保持したデータを前記リフレッシュの対象となるダイナミックラッチに書き戻してリフレッシュし、

前記スイッチ回路でリフレッシュの対象となるダイナミックラッチを順次選択して前記

10

20

複数個のダイナミックラッチをリフレッシュし、

前記キャパシタで保持した前記第2のノードのデータを前記第1の転送ゲートを介して前記第1のノードに移動して前記第1のスタティックラッチに書き戻す

ことを特徴とする半導体集積回路装置。

【請求項2】

メモリセルアレイと前記第2のノードとの間に設けられ、ビット線クランプ信号に基づいて、前記メモリセルアレイと前記第2のノードとの電気的な接続/切断を行うクランプトランジスタを更に具備することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

出力端子がカラム選択スイッチに接続された第2のスタティックラッチと、前記第2のノードと前記第2のスタティックラッチの入力端子との間に設けられ、第2の転送制御信号で制御される第2の転送ゲートとを更に具備することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】

複数個のダイナミックラッチとスタティックラッチとを有するセンスアンプを備え、前記センスアンプでNANDセル型フラッシュメモリのデータを感知して増幅することにより読み出しを行う半導体記憶装置であって、前記複数個のダイナミックラッチのリフレッシュ方法は、

前記スタティックラッチに記憶されているデータを待避するステップと、

前記複数個のダイナミックラッチのうち、選択されたダイナミックラッチに保持されている電位を記憶データに応じてブーストトラップするステップと、

前記スタティックラッチのラッチを解除させた後、前記ブーストトラップした電位を前記スタティックラッチに転送するステップと、

前記スタティックラッチにラッチをかけた後、前記スタティックラッチの電位を前記ダイナミックラッチに転送し、元のデータを書き戻すステップと

を具備することを特徴とするリフレッシュ方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置及びそのダイナミックラッチのリフレッシュ方法に関し、特にNANDセル型フラッシュメモリに適用されるものである。

【背景技術】

【0002】

通常、NANDセル型フラッシュメモリのセンスアンプは、例えば特許文献1に示されているように複数個のラッチで構成されている。このラッチの数は、2値品よりも4値品の方が多く必要であり、4値品よりも8値品、16値品となるにつれてより多くのラッチが必要となる。例えば4値対応のセンスアンプは3個のラッチで済むが、16値対応のセンスアンプは6個ほどのラッチ（16値は4ビット構成なので4個、それにプログラムデータ格納とクイックパスライト（Quick Pass Write）用に各1個）が必要となる。

【0003】

一般に、NANDセル型フラッシュメモリは、1つのビット線対に対して1つのセンスアンプが必要なので、各センスアンプ内のラッチの数が増えると、目に見えてセンスアンプのサイズが増大し、ひいてはチップサイズの増大を引き起こす。

【特許文献1】特開2004-118940

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、チップサイズの増大を抑制できる半導体集積回路装置及びそのダイナミックラッチのリフレッシュ方法を提供することにある。

10

20

30

40

50

【課題を解決するための手段】

【0005】

本発明の一態様によると、出力端子が第1のノードに共通接続された複数のダイナミックラッチと、前記複数のダイナミックラッチをそれぞれ選択的に第2のノードに接続するように構成されたスイッチ回路と、前記第2のノードのデータを保持するためのキャパシタと、入力端子が前記第1のノードに接続された第1のスタティックラッチと、第1の転送制御信号に基づいて前記第1のノードと前記第2のノードを接続する第1の転送ゲートとを具備し、前記複数のダイナミックラッチのデータをリフレッシュする時に、前記第1のスタティックラッチに記憶されたデータを前記第1の転送ゲートを介して前記第2のノードに移動して前記キャパシタで保持し、前記第1のスタティックラッチのラッチを解除し、前記スイッチ回路で選択されたリフレッシュの対象となるダイナミックラッチのデータをブートストラップし、前記ブートストラップしたデータを前記第1のノードに転送して電荷共分配することで前記第1のノードの電位を設定し、前記第1のスタティックラッチで増幅して前記第1のノードに保持したデータを前記リフレッシュの対象となるダイナミックラッチに書き戻してリフレッシュし、前記スイッチ回路でリフレッシュの対象となるダイナミックラッチを順次選択して前記複数のダイナミックラッチをリフレッシュし、前記キャパシタで保持した前記第2のノードのデータを前記第1の転送ゲートを介して前記第1のノードに移動して前記第1のスタティックラッチに書き戻す半導体集積回路装置が提供される。

10

【0007】

更に、本発明の一態様によると、複数のダイナミックラッチとスタティックラッチとを有するセンスアンプを備え、前記センスアンプでNANDセル型フラッシュメモリのデータを感知して増幅することにより読み出しを行う半導体記憶装置であって、前記複数のダイナミックラッチのリフレッシュ方法は、前記スタティックラッチに記憶されているデータを待避するステップと、前記複数のダイナミックラッチのうち、選択されたダイナミックラッチに保持されている電位を記憶データに応じてブートストラップするステップと、前記スタティックラッチのラッチを解除させた後、前記ブートストラップした電位を前記スタティックラッチに転送するステップと、前記スタティックラッチにラッチをかけた後、前記スタティックラッチの電位を前記ダイナミックラッチに転送し、元のデータを書き戻すステップとを具備するリフレッシュ方法が提供される。

20

30

【発明の効果】

【0008】

本発明によれば、チップサイズの増大を抑制できる半導体集積回路装置及びそのダイナミックラッチのリフレッシュ方法が得られる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施形態について図面を参照して説明する。

まず、本発明に至る考察課程について説明し、次に実施形態に係る具体的な半導体記憶装置の構成を説明する。

【0010】

センスアンプを構成する複数のラッチのうち、大部分を素子数の少ないダイナミックラッチで構成し、必要最低限（例えばプログラムデータを格納するラッチや、ライトキャッシュ動作並びにリードキャッシュ動作に必要なラッチ）を回路規模の大きなスタティックラッチで構成することがセンスアンプのパターン占有面積を小さくするのに有効である。

40

【0011】

しかしながら、ダイナミックラッチはデータを保持するためには適度にリフレッシュを行う必要があり、ダイナミックラッチの数が増えるとこれに比例してリフレッシュ動作に必要な時間が増える。通常、リフレッシュ動作は、プログラム動作の裏でこのプログラム動作と並列に行うことでプログラム時間に与える影響を隠して見えなくしているが、ダイ

50

ナミックラッチの数が増えてリフレッシュ時間も比例して増えると、プログラム動作の裏でリフレッシュ動作を終了できなくなりプログラム時間の増大を引き起こす。

【 0 0 1 2 】

従って、例えば 1 6 値対応のように多数のダイナミックラッチが必要になるセンスアンプでは、如何にこのリフレッシュ時間を少なくするかがプログラム時間の短縮及びシーケンスの簡易化に重要となる。

【 0 0 1 3 】

次に、4 個のダイナミックラッチと 2 個のスタティックラッチで構成されたセンスアンプを備え、1 6 値に対応する N A N D セル型フラッシュメモリを例にとって本発明の実施形態に係る半導体集積回路装置、半導体記憶装置及びそのダイナミックラッチのリフレッシュ方法を説明する。

【 0 0 1 4 】

(1) 全体の構成例

図 1 は、本発明の実施形態に係る半導体記憶装置の概略構成例を示すブロック図である。ここでは、1 6 値の N A N D セル型フラッシュメモリを例にとって主要部を示している。メモリチップ 1 1 中には、メモリセルアレイ 1、データ回路 2、ワード線制御回路 3、カラムデコーダ 4、アドレスバッファ 5、I / O センスアンプ 6、データ入出力バッファ 7、ウェル / ソース線電位制御回路 8、電位生成回路 (昇圧回路) 9 A、切替回路 9 B、一括検知回路 (batch detection circuit) 1 0、コマンドインターフェイス回路 1 2 及びステートマシーン (制御回路) 1 3 等を備えている。

【 0 0 1 5 】

上記メモリセルアレイ 1 は複数のブロックで構成され、各々のブロックには N A N D セルユニットが配置されている。上記 N A N D セルユニットは、例えば電流通路が直列接続された複数のメモリセル (N A N D 列) とその両端に 1 つずつ接続された 2 つのセレクトゲートとから構成される。

【 0 0 1 6 】

上記データ回路 2 は、複数のラッチ (記憶回路) を含んでいる。このデータ回路 2 は、ライト時に 4 ビット (1 6 値) のライトデータを、リード時に 4 ビット (1 6 値) のリードデータをそれぞれ一時的に記憶する。このため、ライト / リード動作の対象となる選択されたメモリセルに接続される 1 本のビット線 B L に対して、最低、6 個のラッチが設けられる。6 個のラッチのうちの 1 つは論理下位ページデータを記憶し、他の 1 つは論理上位ページデータを記憶する。

【 0 0 1 7 】

上記ワード線制御回路 3 は、ロウアドレスデコーダ及びワード線ドライバを含んでいる。このワード線制御回路 3 は、動作モード (ライト、イレーズ、リード等) とロウアドレス信号が指定するアドレスとに基づいて、メモリセルアレイ 1 内の複数のワード線の電位を制御する。

【 0 0 1 8 】

上記カラムデコーダ 4 は、カラムアドレス信号に基づいてメモリセルアレイ 1 のカラムを選択する。プログラム時には、ライトデータはデータ入出力バッファ 7 及び I / O センスアンプ 6 を経由して、選択されたカラムに属するデータ回路 2 内の記憶回路に入力される。また、リード時には、リードデータは選択されたカラムに属するデータ回路 2 内の記憶回路に一時的に記憶され、この後、I / O センスアンプ 6 及びデータ入出力バッファ 7 を経由してメモリチップ 1 1 の外部へ出力される。

【 0 0 1 9 】

アドレス信号中のロウアドレス信号は、アドレスバッファ 5 を経由して上記ワード線制御回路 3 に入力される。カラムアドレス信号は、アドレスバッファ 5 を経由して上記カラムデコーダ 4 に入力される。

【 0 0 2 0 】

上記ウェル / ソース線電位制御回路 8 は、動作モード (ライト、イレーズ、リード等)

10

20

30

40

50

に応じて、メモリセルアレイ 1 を構成する複数のブロックに対応する複数のウェル領域（例えば、 n ウェルと p ウェルからなるダブルウェル領域）の電位、並びにソース線の電位をそれぞれ制御する。

【0021】

上記電位生成回路 9 A は、例えばライト時にライト電位（例えば約 20 V） V_{pp} や、転送電位（例えば約 10 V） V_{pass} 等を発生する。これらの電位 V_{pp} 、 V_{pass} は、切替回路 9 B により、例えばメモリセルアレイ 1 を構成する複数のブロックのうち、選択されたブロック内の複数本のワード線に振り分けられる。

【0022】

また、上記電位生成回路 9 A は、例えばイレーズ時にイレーズ電位（例えば約 20 V） V_{ppE} を発生し、この電位 V_{ppE} をメモリセルアレイ 1 を構成する複数のブロックのうち、1 つまたは 2 つ以上の選択されたブロックに対応する 1 つまたは 2 つ以上のウェル領域（ n ウェルと p ウェルの双方）に与える。

10

【0023】

上記一括検知回路 10 は、プログラム時にメモリセルに正確に所定のデータが書き込まれたか否かを検証し、イレーズ時にメモリセルのデータがきちんと消去されたか否かを検証するものである。

【0024】

上記コマンドインターフェイス回路 12 は、メモリチップ 11 とは別のチップ（例えばホストマイクロコンピュータ）により生成される制御信号に基づいて、データ入出力バッファ 7 に入力されるデータがホストマイクロコンピュータから提供されたコマンドデータであるか否かを判断する。上記データ入出力バッファ 7 に入力されるデータがコマンドデータである場合、コマンドインターフェイス回路 12 はコマンドデータをステートマシン 13 に転送する。

20

【0025】

上記ステートマシン 13 は、コマンドデータに基づいてフラッシュメモリの動作モード（ライト、イレーズ、リード等）を決定し、且つその動作モードに応じてフラッシュメモリの全体の動作、具体的にはデータ回路 2、ワード線制御回路 3、カラムデコーダ 4、アドレスバッファ 5、I/O センサンプ 6、データ入出力バッファ 7、ウェル/ソース線電位制御回路 8、電位生成回路 9 A、切替回路 9 B 及び一括検知回路 10 の動作をそれぞれ制御する。

30

【0026】

(2) メモリセルアレイの構成例

図 2 は、上記図 1 に示した回路におけるメモリセルアレイ 1 のブロック構成例を示している。また、図 3 は、上記図 2 に示した複数のブロックのうちの 1 つのブロック $BLOCK_i$ の具体的な回路構成例である。メモリセルアレイ 1 は、複数（本例では 1024 個）のブロック $BLOCK_0 \sim BLOCK_{1023}$ から構成される。各ブロック $BLOCK_0 \sim BLOCK_{1023}$ は、Y 方向に並んで配置されている。ここで、ブロックとはイレーズの最小単位、即ち一度に消去できる最小のメモリセル数を意味する。

【0027】

40

1 つのブロック $BLOCK_i$ は、X 方向に並んだ複数（本例では 8512 個）の NAND セルユニット U から構成される。1 つの NAND セルユニット U は、電流通路が直列接続された 4 つのメモリセル M_1 、 M_2 、 M_3 、 M_4 からなる NAND 列と、この NAND 列の一端に電流通路の一端が接続されるセレクトゲート（MOS トランジスタ） S_1 と、上記 NAND 列の他端に電流通路の一端が接続されるセレクトゲート（MOS トランジスタ） S_2 とから構成される。

【0028】

本例では、NAND 列は 4 つのメモリセル M_1 、 M_2 、 M_3 、 M_4 から構成されるが、1 つまたは 2 つ以上のメモリセルから構成されていれば良く、特に 4 つに限定されるものではない。

50

【0029】

上記セレクトゲートS1は、ビット線BLe_kまたはビット線BLo_kに接続され(k = 0, 1, ..., 4255)、セレクトゲートS2はソース線C-sourceに接続されている。

【0030】

ワード線(コントロールゲート線)WL0-i, WL1-i, WL2-i, WL3-iはX方向に延設され、X方向の複数のメモリセルに共通に接続される。セレクトゲート線SGD-iはX方向に延設され、X方向の複数のセレクトゲートS1に共通に接続される。セレクトゲート線SGS-iもX方向に延設され、X方向の複数のセレクトゲートS2に共通に接続される。

10

【0031】

上記のような構成において、ライト/リード動作時には、ブロックBLOCKiの一端側から数えて偶数番目(even)に位置する複数のビット線BLe0, BLe1, ..., BLe4255と、一端側から数えて奇数番目(odd)に位置する複数のビット線BLo0, BLo1, ..., BLo4255とが互いに独立に駆動される。但し、ここではビット線は0から数えるものとする。

【0032】

つまり、1本のワード線、例えばワード線WL3-iに接続される8512個のメモリセルのうち、偶数番目に位置する複数のビット線BLe0, BLe1, ..., BLe4255に接続される4256個のメモリセル(で示す)に対して、同時にライト/リード動作が実行される。また、ワード線WL3-iに接続される8512個のメモリセルのうち、奇数番目に位置する複数のビット線BLo0, BLo1, ..., BLo4255に接続される4256個のメモリセル(で示す)に対して、同時にライト/リード動作が実行される。

20

【0033】

1つのメモリセルが1ビットのデータを記憶する場合、1本のワード線、例えばワード線WL3-iと偶数番目の複数のビット線BLe0, BLe1, ..., BLe4255との交点に位置する4256個のメモリセル(で示す)は、ページと呼ばれる単位を構成する。同様に、ワード線WL3-iと奇数番目の複数のビット線BLo0, BLo1, ..., BLo4255との交点に位置する4256個のメモリセル(で示す)もページと呼ばれる単位を構成する。

30

【0034】

また、本例のように、1つのメモリセルが2ビットのデータを記憶する場合、4256個のメモリセル(で示す)は2ページ分のデータを記憶し、4256個のメモリセル(で示す)も2ページ分のデータを記憶する。

【0035】

(3) デバイス構造例

(a) ウェル構造例

図4は、上記NANDセル型フラッシュメモリのウェル構造の例を示している。

【0036】

p型シリコン基板(p-sub)11-1の主表面領域には、ダブルウェル領域11-6、n型ウェル領域(n-well)11-4、並びにp型ウェル領域(p-well)11-5が形成されている。上記ダブルウェル領域11-6は、n型ウェル領域(Cell n-well)11-2内にp型ウェル領域(Cell p-well)11-3が形成されている。このダブルウェル領域11-6はメモリセルアレイ部に形成され、上記n型ウェル領域11-4及びp型ウェル領域11-5は周辺回路部に形成される。

40

【0037】

上記メモリセルアレイ部に形成されるメモリセルは、nチャネルMOSトランジスタで構成され、上記p型ウェル領域11-3内に配置される。前記n型ウェル領域11-2及びp型ウェル領域11-3は、同電位に設定される。また、周辺回路部に形成され、電源

50

電圧よりも高い電圧が印加される高電圧 n チャネルMOSトランジスタは、 p 型シリコン基板 (p -sub) 11-1の主表面領域に形成される。一方、周辺回路部に形成され、電源電圧が印加される低電圧 p チャネルMOSトランジスタは n 型ウェル領域 (n -well) 11-4内に、電源電圧が印加される低電圧 n チャネルMOSトランジスタは p 型ウェル領域 (p -well) 11-5内にそれぞれ形成される。

【0038】

(b) セルアレイの構造例

図5は、上記NANDセル型フラッシュメモリにおけるメモリセルアレイ部の Y 方向の断面構造の例を示している。 p 型シリコン基板11-1内には、 n 型ウェル領域11-2及び p 型ウェル領域11-3から構成されるダブルウェル領域11-6が形成されている。NAND列(電流通路が直列接続された4つのメモリセル $M1, M2, M3, M4$)は、 p 型ウェル領域11-3内に配置される。4つのメモリセル $M1, M2, M3, M4$ はそれぞれ、フローティングゲート電極 FG とコントロールゲート電極 $WL0-i, WL1-i, WL2-i, WL3-i$ からなるスタックゲート構造の n チャネルMOSトランジスタから構成される。

10

【0039】

上記NAND列の一端には、セレクトゲート $S1$ の電流通路の一端が接続され、その他端にはセレクトゲート $S2$ の電流通路の一端が接続される。セレクトゲート $S1, S2$ は、共に n チャネルMOSトランジスタで構成され、メモリセル $M1, M2, M3, M4$ と類似した構造、即ちスタックゲート構造のセレクトゲート線 $SGS-i, SGS-i$ と $SGD-i, SGD-i$ を有する。セレクトゲート線 $SGS-i, SGS-i$ と $SGD-i, SGD-i$ はそれぞれ図示しない領域で短絡されており、セレクトゲート $S1, S2$ を構成する n チャネルMOSトランジスタのゲート電極として働く。

20

【0040】

上記NANDセルユニットの一端、即ちセレクトゲート $S1$ の拡散層(ドレイン領域)14は、コンタクトプラグ $CB1$ を経由して第1層目のメタル配線 $M0$ に接続される。また、この第1層目のメタル配線 $M0$ は、ヴィアプラグ $V1$ を経由してビット線 BL として働く第2層目のメタル配線 $M1$ に接続される。このビット線 BL は、上記データ回路2に接続される。

【0041】

上記NANDセルユニットの他端、即ちセレクトゲート $S2$ の拡散層(ソース領域)15は、コンタクトプラグ $CB2$ を経由してソース線 $C-source$ として働く第1層目のメタル配線 $M0$ に接続される。このソース線 $C-source$ は、上記ウェル/ソース電位制御回路8に接続される。

30

【0042】

n 型ウェル領域($Cell\ n\text{-well}$)11-2は、 n 型拡散層16を介在して $C-p-well$ 11電位設定線18に接続され、 p 型ウェル領域($Cell\ p\text{-well}$)11-3は、 p 型拡散層17を介在して $C-p-well$ 11電位設定線18に接続される。つまり、 n 型ウェル領域11-2と p 型ウェル領域11-3は同電位に設定される。上記 $C-p-well$ 11電位設定線18は、上記ウェル/ソース電位制御回路8に接続される。

40

【0043】

なお、上記フローティングゲート電極 FG 、上記コントロールゲート電極 $WL0-i, WL1-i, WL2-i, WL3-i$ 及び上記セレクトゲート線 $SGS-i, SGD-i$ はそれぞれ、例えば不純物を含むポリシリコン層から形成される。また、上記第1, 第2層目のメタル配線 $M0, M1$ は、例えばアルミニウムや銅、あるいはこれらの合金等で形成される。

【0044】

図6は上記メモリセル部における X 方向の断面構造の例を示し、図7はセレクトゲートにおける X 方向の断面構造の例を示している。 X 方向の複数のメモリセル($FG+WL$)は、 STI (Shallow Trench Isolation)構造の素子分離領域19によって互いに電氣的

50

に分離されている。p型ウェル領域11-3上には、トンネル酸化膜20を介在してフローティングゲート電極FGが配置されている。フローティングゲート電極FG上には、ONO(oxide/nitride/oxide)膜21を介在して、ワード線として働くコントロールゲート電極WLが配置される。

【0045】

上述したように、セレクトゲート線SGSとSGDはそれぞれ、二層構造になっている。下層側のセレクトゲート線SGSまたはSGD(SGS/SGD)と上層側のセレクトゲート線SGSまたはSGD(SGS/SGD)とは、メモリセルアレイの端部において互いに電氣的に接続されると共に、メモリセルアレイ内においても一定間隔、例えば512本のビット線ごとに互いに電氣的に接続されている。

10

【0046】

(4)一括検知回路の構成例

図8は、上記図1に示した回路における一括検知回路10の構成例を示している。一括検知回路10は、ペリファイリッドの後、選択された全てのメモリセルに対して、ライトまたはイレーズが完全に行われたか否かを調べる機能を有する(Program/Erase completion detection)。

【0047】

本例では、メモリセルアレイの構成例でも説明したように、ライト/リード動作時に、偶数番目の複数のビット線と奇数番目の複数のビット線とが互いに独立に駆動されることを前提とする。このため、偶数番目の1本のビット線と奇数番目の1本のビット線とからなる合計2本のビット線に対して1個のサブデータ回路が設けられている。

20

【0048】

具体的には、8512本のビット線 BL_{ek} , BL_{ok} ($k=0, 1, \dots, 4225$)が存在するため、データ回路2は4256個のサブデータ回路を含んで構成される。

【0049】

図8では、4256個のサブデータ回路のうち、8個のサブデータ回路 $REGR1-0$, $REGR1-1$, $REGR1-2$, $REGR1-3$, $REGR2-0$, $REGR2-1$, $REGR2-2$, $REGR2-3$ を抽出して示している。

【0050】

サブデータ回路 $REGR1-y$ は、2本のビット線 BL_{ej+y} , BL_{oj+y} に接続されると共に、I/O線対 IO_{j+y} , $/IO_{j+y}$ に接続される。また、サブデータ回路 $REGR2-y$ は、2本のビット線 BL_{ej+y+4} , BL_{oj+y+4} に接続されると共に、I/O線対 IO_{j+y+4} , $/IO_{j+y+4}$ に接続される。但し、 $y=0, 1, 2, 3$ である。

30

【0051】

第1乃至第4サブデータ回路 $REGR1-0$, $REGR1-1$, $REGR1-2$, $REGR1-3$ の出力ノード $RCD1$ は共通接続され、その接続ノード $RCD1$ はpチャネルMOSトランジスタ $TP2$ のゲートに接続される。同様に、第5乃至第8サブデータ回路 $REGR2-0$, $REGR2-1$, $REGR2-2$, $REGR2-3$ の出力ノード $RCD2$ も共通接続され、その接続ノード $RCD2$ はpチャネルMOSトランジスタ $TP3$ のゲートに接続される。

40

【0052】

pチャネルMOSトランジスタ $TP13$, $TP14$ は、ライトまたはイレーズが完全に行われたか否かを調べる時に、制御信号 $COMHn$ に基づいてノード $RCD1$, $RCD2$ をプリチャージするためのものである。即ち、制御信号 $COMHn$ を“L”にしてMOSトランジスタ $TP13$, $TP14$ をオンすることにより、ノード $RCD1$, $RCD2$ を電源電位 V_{dd} に設定した後、制御信号 $COMHn$ を“L”にしてMOSトランジスタ $TP13$, $TP14$ をオフし、ノード $RCD1$, $RCD2$ をフローティング状態にする。この時、上記MOSトランジスタ $TP2$, $TP3$ はオフ状態となる。

【0053】

50

nチャンネルMOSトランジスタTN15の電流通路の一端はノードNCOMに接続され、他端は接地点Vssに接続され、ゲートに制御信号NCOMLが供給される。このMOSトランジスタTN15は、ライトまたはイレーズが完全に行われたか否かを調べる時に、制御信号NCOMLの制御により、ノードNCOMを接地電位に設定した後、フローティング状態にするために働く。

【0054】

キャパシタDLN4は、上記ノードNCOMと接地点Vss間に接続される。このキャパシタDLN4は、ディプレッションタイプのnチャンネルMOSキャパシタであり、MOSトランジスタのゲートが上記ノードNCOMに接続され、ソースとドレインが接地点Vssに接続されて構成されている。キャパシタDLN4は、ノードNCOMの電位を保持

10

【0055】

nチャンネルMOSトランジスタTN16のゲートはノードNCOMに接続され、電流通路の一端はヒューズ素子Fの一端に接続され、他端はnチャンネルMOSトランジスタTN17の電流通路の一端に接続される。上記ヒューズ素子Fの他端は、ノードFLAGに接続される。また、上記MOSトランジスタTN17の電流通路の他端は接地点Vssに接続され、ゲートに制御信号COLPREが供給される。

【0056】

ライトまたはイレーズが完全に行われたか否かを調べる時、ライト/イレーズが十分に行われていないメモリセルに対応するサブデータ回路は、共通ノードRCD1または共通

20

ノードRCD2の電位レベルを“H”から“L”に低下させる。

【0057】

従って、ライト/イレーズが十分に行われていないメモリセルが少なくとも1つ存在する場合には、MOSトランジスタTP2またはMOSトランジスタTP3がオン状態となり、ノードNCOMが“L”から“H”になってノードFLAGが“L”になる。

【0058】

一方、全てのメモリセルに対して、ライト/イレーズが十分に行われている場合には、全てのサブデータ回路は、共通ノードRCD1, RCD2の電位レベルを“H”に維持する。従って、ノードNCOMは“L”のままであり、ノードFLAGは“H”となる。

【0059】

このように、ノードFLAGの電位レベルを検出することにより、選択された全てのメモリセルに対して、十分なライト/イレーズが行われたか否かを調べることができる。

30

【0060】

本例では、8個のサブデータ回路を1つにまとめ、これら8個のサブデータ回路ごとに、ライトまたはイレーズが完全に行われたか否かを調べる、即ちノードFLAGの電位レベルの検出を行っている。

【0061】

このように、8個のサブデータ回路を一纏めにしたのは、これら8個のサブデータ回路に対応する8カラム単位で、リダンダンシ回路によるメモリセルの置き換えを行っているためである。つまり、ヒューズ素子Fを切断すると、これら8個のサブデータ回路に接

40

続されるメモリセルは常に非選択状態になり、これに代わってリダンダンシ領域の予備のメモリセルが選択される。

【0062】

従って、リダンダンシ回路によるメモリセルの置き換えをn(nは自然数)個のサブデータ回路に対応するnカラム単位で行う場合には、n個のサブデータ回路を一纏めにする。

【0063】

なお、上記ノードFLAGは、全てのカラムに対応する共通ノードとなっている。例えば、データ回路2が4256個のサブデータ回路から構成される場合、8個のサブデータ回路をリダンダンシ置き換えの1単位とすると、チップ内には、図8に示す回路が53

50

2個存在することになる。そして、これら532個の回路は、共通ノードFLAGに接続される。

【0064】

(5) サブデータ回路の構成例

図9は、上記データ回路2内のサブデータ回路の構成例を示している。ここでは、データ回路2は、複数個(例えば4256個)のサブデータ回路で構成され、各サブデータ回路は、図9のような構成になっている。

【0065】

サブデータ回路REGRは、6個のデータ記憶部DS1, DS2, ..., DS6を有している。これらデータ記憶部DS1, DS2, ..., DS6を使用して、選択された1つのメモリセルに対して4ビットデータのリード動作及びプログラム動作を実行する。このプログラム動作には、ライト動作やベリファイ動作などが含まれる。

10

【0066】

上記サブデータ回路REGRは、偶数番目の1本のビット線と奇数番目の1本のビット線とからなる合計2本のビット線に対して1個設けられる。偶数番目のビット線BLEKは、nチャンネルMOSトランジスタQ1の電流通路を經由してサブデータ回路REGRに接続され、奇数番目のビット線BLOKは、nチャンネルMOSトランジスタQ2の電流通路を經由して、上記サブデータ回路REGRに接続される。

【0067】

そして、偶数番目のビット線BLEKに接続されるMOSトランジスタQ1のゲートに制御信号BLSEが共通に入力され、奇数番目のビット線BLOKに接続されるMOSトランジスタQ2のゲートに制御信号BLSOが共通に入力される。

20

【0068】

上記のような構成において、上記制御信号BLSEが“H”、上記制御信号BLSOが“L”の時、MOSトランジスタQ1がオン状態となるため、偶数番目のビット線BLEKがサブデータ回路REGRに電氣的に接続される。また、上記制御信号BLSEが“L”、上記制御信号BLSOが“H”の時、MOSトランジスタQ2がオン状態となるため、奇数番目のビット線BLOKがサブデータ回路REGRに電氣的に接続される。

【0069】

図10は、上記図9に示したサブデータ回路の具体的な回路例を示している。本例では、図9に対応させて、1カラム分(2本のビット線BLEK, BLOKに対応)のサブデータ回路を示す。

30

【0070】

サブデータ回路REGRは、4つのダイナミックラッチ(Dynamic Latch)DLLD, DLLC, DLLB, DLLAと2つのスタティックラッチ(Static Latch)SL1, SL2を含んで構成されている。このサブデータ回路REGRは、メモリセルから読み出した16値のデータを感知して増幅するセンスアンプとして働くものである。

【0071】

即ち、メモリセルアレイ1中のNANDセルユニットが接続されたビット線対BLOK, BLEKの一端には、nチャンネルMOSトランジスタQ1, Q2の電流通路の一端がそれぞれ接続されている。これらMOSトランジスタQ1, Q2の電流通路の他端は、nチャンネルMOSトランジスタQ3の電流通路の一端に接続される。上記MOSトランジスタQ1, Q2のゲートには、制御信号BLSOK, BLSEKが供給されて制御され、一方のビット線を選択するビット線選択トランジスタとして働く。

40

【0072】

また、上記MOSトランジスタQ3のゲートには、制御信号BLCCLAMPが供給されて制御される。このMOSトランジスタQ3は、ビット線クランプ信号として働く制御信号BLCCLAMPに基づいて、ビット線側のノードNBLとサブデータ回路側のノードTDCとの電氣的接続/切断を行うクランプ用である。

【0073】

50

更に、上記ビット線対 Block, Blockの一端には、nチャネルMOSトランジスタQ4, Q5の電流通路の一端が接続され、これらMOSトランジスタQ4, Q5の電流通路の他端にはバイアス電位(例えば接地電位V_{SS})BLCRLが印加され、ゲートには制御信号BIAS_o, BIAS_eが供給される。MOSトランジスタQ4, Q5は、制御信号に基づいて一方のビット線にバイアス電位を供給するバイアストランジスタとして働く。

【0074】

上記MOSトランジスタQ3の電流通路の他端(ノードTDC)には、nチャネルMOSトランジスタQ6~Q12の電流通路の一端がそれぞれ接続される。上記MOSトランジスタQ6の電流通路の他端にはプリチャージ電位V_{PRE}が印加され、ゲートには制御信号BLPREが供給される。スイッチ回路として働く上記MOSトランジスタQ7~Q10の電流通路の他端にはそれぞれ4つのダイナミックラッチDLLD, DLC, DLB, DLAが接続され、ゲートには制御信号REGD, REGC, REGB, REGAが供給される。

10

【0075】

上記ダイナミックラッチDLLDは、nチャネルMOSトランジスタQ13とQ14とで構成される。上記MOSトランジスタQ13の電流通路の一端は上記MOSトランジスタQ7の電流通路の他端に接続され、電流通路の他端には電位V_{REG}が印加され、ゲート(ノードDDCD)はMOSトランジスタQ14の電流通路の一端に接続される。このMOSトランジスタQ14のゲートには制御信号DTGDが供給され、スタティックラッチSL1に記憶されたデータを上記ノードDDCDに転送するために使用される。

20

【0076】

上記ダイナミックラッチDLCは、nチャネルMOSトランジスタQ15とQ16とで構成される。上記MOSトランジスタQ15の電流通路の一端は上記MOSトランジスタQ8の電流通路の他端に接続され、電流通路の他端には上記電位V_{REG}が印加され、ゲート(ノードDDCC)はMOSトランジスタQ16の電流通路の一端に接続される。このMOSトランジスタQ16のゲートには、制御信号DTGCが供給され、スタティックラッチSL1に記憶されたデータを上記ノードDDCCに転送するために使用される。

【0077】

上記ダイナミックラッチDLBは、nチャネルMOSトランジスタQ17とQ18とで構成される。上記MOSトランジスタQ17の電流通路の一端は上記MOSトランジスタQ9の電流通路の他端に接続され、電流通路の他端には電位V_{REG}が印加され、ゲート(ノードDDCB)はMOSトランジスタQ18の電流通路の一端に接続される。このMOSトランジスタQ18のゲートには、制御信号DTGBが供給され、スタティックラッチSL1に記憶されたデータを上記ノードDDCBに転送するために使用される。

30

【0078】

上記ダイナミックラッチDLAは、nチャネルMOSトランジスタQ19とQ20とで構成される。上記MOSトランジスタQ19の電流通路の一端は上記MOSトランジスタQ10の電流通路の他端に接続され、電流通路の他端には電位V_{REG}が印加され、ゲート(ノードDDCA)はMOSトランジスタQ20の電流通路の一端に接続される。このMOSトランジスタQ20のゲートには、制御信号DTGAが供給されて制御され、スタティックラッチSL1に記憶されたデータを上記ノードDDCAに転送するために使用される。

40

【0079】

上記MOSトランジスタQ14, Q16, Q18, Q20の電流通路の他端は、上記MOSトランジスタQ11の電流通路の他端(ノードPDC)に共通接続される。このMOSトランジスタQ11のゲートには転送制御信号BLC1が供給される。また、上記MOSトランジスタQ14, Q16, Q18, Q20の電流通路の他端は、第1のスタティックラッチSL1に接続される。

【0080】

50

このスタティックラッチS L 1は、CMOSフリップフロップ回路であり、nチャンネルMOSトランジスタQ 2 1とクロック同期式インバータ2 2, 2 3とを含んで構成されている。上記ノードP D Cには、クロック同期式インバータ2 2の入力端、MOSトランジスタQ 2 1の電流通路の一端及びクロック同期式インバータ2 3の出力端がそれぞれ接続される。上記MOSトランジスタQ 2 1の電流通路の他端には上記クロック同期式インバータ2 3の入力端とクロック同期式インバータ2 2の出力端が接続される。

【0081】

また、上記ノードT D Cと接地点V s s間には、キャパシタC Pが接続されている。このキャパシタC Pは、ディプレッションタイプのnチャンネルMOSキャパシタであり、MOSトランジスタのゲートが上記ノードT D Cに接続され、ソースとドレインが接地点V s sに接続されている。上記キャパシタC Pは、待避したデータを保持するためのデータ記憶用として働く。上記キャパシタC Pの一方の電極はMOSトランジスタQ 3とQ 1の電流通路を介してビット線B L o kに接続され、MOSトランジスタQ 3とQ 2の電流通路を介してビット線B L e kに接続される。

10

【0082】

上記MOSトランジスタQ 1 2の電流通路の他端には、第2のスタティックラッチS L 2が接続されている。このスタティックラッチS L 2は、CMOSフリップフロップ回路であり、nチャンネルMOSトランジスタQ 2 2とクロック同期式インバータ2 4, 2 5を含んで構成されている。上記MOSトランジスタQ 1 2の電流通路の他端(ノードS D C)には、クロック同期式インバータ2 4の入力端、MOSトランジスタQ 2 2の電流通路の一端及びクロック同期式インバータ2 5の出力端がそれぞれ接続される。上記MOSトランジスタQ 2 2の電流通路の他端には上記クロック同期式インバータ2 5の入力端とクロック同期式インバータ2 4の出力端が接続される。

20

【0083】

上記クロック同期式インバータ2 4, 2 5の出力端には、カラム選択スイッチとしてのnチャンネルMOSトランジスタQ 2 3, Q 2 4の電流通路の一端がそれぞれ接続され、これらMOSトランジスタQ 2 3, Q 2 4の電流通路の他端にはI / O線対(データ線対)I O, / I Oが接続される。そして、上記MOSトランジスタQ 2 3, Q 2 4のゲートには、カラム選択信号C S L kが供給される。

【0084】

30

(6) サブデータ回路の概略的な動作

上記のような構成において、制御信号B L C L A M Pが“H”の時、MOSトランジスタQ 3はオン状態となり、例えば偶数番目のビット線B L e kがMOSキャパシタC Pの一方の電極に電氣的に接続される。この時、制御信号B L S e kは“H”、制御信号B L S o kは“L”に設定されている。また、制御信号B I A S eは“L”、制御信号B I A S oは“H”に設定され、奇数番目のビット線B L o kにはバイアス電位B L C R Lが供給される。

【0085】

一方、奇数番目のビット線B L o kがMOSキャパシタC Pの一方の電極に電氣的に接続される場合には、制御信号B L S e kは“L”、制御信号B L S o kは“H”に設定される。この時、制御信号B I A S eは“H”、制御信号B I A S oは“L”に設定され、偶数番目のビット線B L e kにはバイアス電位B L C R Lが供給される。

40

【0086】

これに対し、制御信号B L C L A M Pが“L”の時は、MOSトランジスタQ 3はオフ状態となるため、ノードN B LとノードT D Cは電氣的に分離される。

【0087】

上記MOSトランジスタQ 6は、キャパシタC Pの一方の電極をプリチャージ電位V P R Eに充電するための素子である。制御信号B L P R Eが“H”の時、キャパシタC Pの一方の電極がプリチャージ電位V P R Eに充電される。

【0088】

50

上記MOSトランジスタQ13は、MOSトランジスタQ7の電流通路を介してキャパシタCPの一方の電極に接続されている。制御信号REGDが“H”、即ちMOSトランジスタQ7がオン状態の時、MOSトランジスタQ13は、データ記憶部(ノードDDCD)に記憶されたデータの値に基づいて、キャパシタCPの一方の電極の電位を強制的にVREGにする。

【0089】

例えば、ノードDDCDに記憶されたデータが“1”、即ちMOSトランジスタQ13のゲートのレベルが“H”の時は、制御信号REGDが“H”になるとキャパシタCPの一方の電極が強制的に電位VREGに設定される。また、ノードDDCDに記憶されたデータが“0”、即ちMOSトランジスタQ13のゲートのレベルが“L”の時は、キャパシタCPの一方の電極の電位は電位VREGに影響されることはない。

10

【0090】

上記MOSトランジスタQ15は、MOSトランジスタQ8の電流通路を介してキャパシタCPの一方の電極に接続されている。制御信号REGCが“H”、即ちMOSトランジスタQ8がオン状態の時、MOSトランジスタQ15は、データ記憶部(ノードDDCC)に記憶されたデータの値に基づいて、キャパシタCPの一方の電極の電位を強制的にVREGにする。

【0091】

上記MOSトランジスタQ17は、MOSトランジスタQ9の電流通路を介してキャパシタCPの一方の電極に接続されている。制御信号REGBが“H”、即ちMOSトランジスタQ9がオン状態の時、MOSトランジスタQ17は、データ記憶部(ノードDDCB)に記憶されたデータの値に基づいて、キャパシタCPの一方の電極の電位を強制的にVREGにする。

20

【0092】

更に、上記MOSトランジスタQ19は、MOSトランジスタQ10の電流通路を介してキャパシタCPの一方の電極に接続されている。制御信号REGAが“H”、即ちMOSトランジスタQ10がオン状態の時、MOSトランジスタQ19は、データ記憶部(ノードDDCA)に記憶されたデータの値に基づいて、キャパシタCPの一方の電極の電位を強制的にVREGにする。

【0093】

上記スタティックラッチSL1中のMOSトランジスタQ21は、CMOSフリップフロップ回路の2つの入力端子、即ちクロック同期式インバータ22, 23の入力端子の電位をイコライズするための素子である。また、スタティックラッチSL2中のMOSトランジスタQ23は、CMOSフリップフロップ回路の2つの入力端子、即ちクロック同期式インバータ24, 25の入力端子の電位をイコライズするための素子である。上記MOSトランジスタQ21は制御信号EQ1により制御され、MOSトランジスタQ23は制御信号EQ2により制御されてそれぞれのクロック同期式インバータの入力端子の電位をイコライズする。

30

【0094】

上記クロック同期式インバータ22はクロック信号SEN1, /SEN1に同期して動作し、クロック同期式インバータ23はクロック信号LAT1, /LAT1に同期して動作する。上記クロック同期式インバータ24はクロック信号SEN2, /SEN2に同期して動作し、クロック同期式インバータ25はクロック信号LAT2, /LAT2に同期して動作する。

40

【0095】

なお、符号の前に付した“/”は反転信号、即ち“バー”を意味している。

【0096】

図11(a), (b)は、上記クロック同期式インバータ22~25の構成例を示している。(a)図はシンボル図、(b)図は具体的な回路図である。このクロック同期式インバータは、クロック信号CLKが“H”、クロック信号/CLKが“L”の時にCMO

50

Sインバータとして動作する。一方、クロック信号CLKが“L”、クロック信号/CLKが“H”の時には、入力信号INと出力信号OUTとは無関係（ハイインピーダンス状態）になる。

【0097】

クロック同期式インバータは、電源V_{dd}と接地点V_{ss}間に電流通路が直列接続されたpチャンネルMOSトランジスタQ₂₅、Q₂₆とnチャンネルMOSトランジスタQ₂₇、Q₂₈で構成されている。上記MOSトランジスタQ₂₅、Q₂₈のゲートに入力信号INが供給される。また、上記MOSトランジスタQ₂₆のゲートにはクロック信号/CLKが供給され、上記MOSトランジスタQ₂₇のゲートにはクロック信号CLKが供給される。そして、MOSトランジスタQ₂₆とQ₂₇の電流通路の接続点から出力信号OUTを出力するようになっている。

10

【0098】

上記スタティックラッチSL₁の入力ノードPDC、即ちクロック同期式インバータ22の入力端子とノードTDCとの間には、スイッチ素子としてのMOSトランジスタQ₁₁が接続されている。また、上記スタティックラッチSL₂の入力ノードSDC、即ちクロック同期式インバータ24の入力端子とノードTDCとの間には、スイッチ素子としてのMOSトランジスタQ₁₂が接続されている。上記MOSトランジスタQ₁₁は転送制御信号BLC₁により制御され、上記MOSトランジスタQ₁₂は転送制御信号BLC₂により制御され、スタティックラッチSL₁と上記スタティックラッチSL₂間におけるデータの転送を実行するために使用される。

20

【0099】

そして、カラムアドレス信号により選択されたカラムでは、カラム選択信号CSL_k（k = 0, 1, ..., 4255）が“H”になってMOSトランジスタQ₂₃、Q₂₄がオンし、その選択されたカラム内のスタティックラッチSL₂とI/O線対IO、/IOとが電氣的に接続される。

【0100】

図12は、本発明の実施形態に係るNANDセル型フラッシュメモリにおけるダイナミックラッチのリフレッシュ動作を示すタイミング図である。

【0101】

まず、データリフレッシュの最初の期間T₁においては、MOSトランジスタQ₁₁のゲートに供給される信号BLC₁を“L”レベルから“V_{sg}”レベルに立ち上げ、再び“L”レベルにする。これによって、MOSトランジスタQ₁₁を一時的にオンさせ、スタティックラッチSL₁のノードPDCにラッチされているデータをノードTDCへ移動する（待避させる）。

30

【0102】

次の期間T₂においては、下記(1)～(4)のような動作を行い、ダイナミックラッチDLAのデータをリフレッシュする。

【0103】

(1) クロック信号SEN₁とクロック信号LAT₁をV_{dd}レベルからV_{ss}レベルに立ち下げて制御信号EQ₁をV_{dd}レベルに立ち上げる。これによって、クロック同期式インバータ22、23の入力端子の電位がイコライズされ、スタティックラッチSL₁のラッチが解除される。

40

【0104】

(2) 電位VREGをV_{dd}レベルに上げ、制御信号DTGAを“V_{sg}”レベルに立ち上げることにより、ブーストラップをかけてから、ノードPDCにMOSトランジスタQ₂₀の電流通路を介してノードDDCAのデータを転送する。このようにブーストラップをかけると、ノードDDCAの電荷量が“1”データの場合の2倍になり、ノードPDCに電荷を転送する際に十分な電荷を伝達できる。即ち、ノードPDCの電位は、イコライズをかけた電位とノードDDCAの電位の電荷共分配で決まる電位となる。この電位は、ノードPDCのラッチ閾値に関して“1”データ、“0”データともマージンが必要

50

である。上記ブーストトラップ動作で“ 1 ”データ側の電荷が増えるので、このマージンが稼げることになる。

【 0 1 0 5 】

(3) クロック信号 S E N 1 とクロック信号 L A T 1 を V d d レベルに立ち上げて制御信号 D T G A と電位 V R E G を立ち下げる。これによって、M O S トランジスタ Q 2 0 がオンし、クロック同期式インバータ 2 2 , 2 3 がインバータ動作を行い、スタティックラッチ S L 1 がノード D D C A のデータをラッチする。つまり、ノード D D C A の元のデータがノード P D C に移動し、0 V または V d d の電位に増幅されて保持される。

【 0 1 0 6 】

(4) 制御信号 D T G A を“ V s g ”レベルに立ち上げた後、“ L ”レベルに低下させる。これによって、スタティックラッチ S L 1 で増幅してノード P D C に保持したノード D D C A の元のデータを M O S トランジスタ Q 2 0 の電流通路を介してノード D D C A に書き戻す。

【 0 1 0 7 】

上述した(1)～(4)の動作でノード D D C A のデータがリフレッシュされる。

【 0 1 0 8 】

以降の期間 T 3 , T 4 , T 5 においても上記(1)～(4)と同様な動作を行い、ダイナミックラッチ D L B , D L C , D L D のデータを順次リフレッシュする。これでサブデータ回路 R E G R 内のダイナミックラッチ D L A , D L B , D L C , D L D のデータは全てリフレッシュされたことになる。

【 0 1 0 9 】

最後の期間 T 6 の動作は、最初の期間 T 1 においてノード T D C へ転送しておいたノード P D C の元のデータをノード P D C に書き戻す動作である。データの書き戻す際には、クロック信号 S E N 1 とクロック信号 L A T 1 を V d d レベルから V s s レベルに立ち下げ、制御信号 E Q 1 を V d d レベルに立ち上げて、スタティックラッチ S L 1 のラッチを解除する。そして、この状態で信号 B L C 1 を“ L ”レベルから“ V s g ”レベルに立ち上げた後、再び“ L ”レベルにする。これによって、M O S トランジスタ Q 1 1 を一時的にオンさせ、ノード T D C へ待避させたデータをスタティックラッチ S L 1 に転送してラッチする。

【 0 1 1 0 】

このリフレッシュ方法は、(2)の動作でスタティックラッチ S L 1 のノード P D C とダイナミックラッチ D L A のノード D D C A を電荷共分配することでノード P D C の電位を決め、且つブーストトラップ動作を併用することで転送されたデータの電位マージンを稼いでいる。これによって、リフレッシュ動作を短縮できる。従って、センスアンプを構成する複数個のラッチのうち、大部分を素子数の少ないダイナミックラッチで構成し、必要最低限を回路規模の大きなスタティックラッチで構成してもリフレッシュ時間の増大を抑制でき、センスアンプのパターン占有面積を小さくできる。

【 0 1 1 1 】

以上のように、本発明の実施形態に係る半導体集積回路装置、半導体記憶装置及びそのダイナミックラッチのリフレッシュ方法によれば、複数個のダイナミックラッチを有するセンスアンプを備えた N A N D セル型フラッシュメモリにおいて、ダイナミックラッチのリフレッシュ動作を高速に行うことができる。これによって、プログラム時間の短縮が可能であり、例えば 1 6 値品等のように多数のダイナミックラッチが必要なセンスアンプに対して有効である。

【 0 1 1 2 】

以上実施形態を用いて本発明の説明を行ったが、本発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べ

10

20

30

40

50

た課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0113】

【図1】本発明の実施形態に係る半導体記憶装置の概略構成例を示すブロック図。

【図2】図1に示した回路におけるメモリセルアレイの構成例を示すブロック図。

【図3】図2に示される複数のブロックのうちの1つのブロックBLOCK iの回路構成例を示す回路図。

【図4】NANDセル型フラッシュメモリのウェル構造の例を示す断面図。

【図5】NANDセル型フラッシュメモリにおけるメモリセルアレイ部のY方向の断面構造の例を示す図。 10

【図6】メモリセルにおけるX方向の断面構造の例を示す図。

【図7】セレクトゲートにおけるX方向の断面構造の例を示す図。

【図8】図1に示した回路における一括検知回路の構成例を示す回路図。

【図9】データ回路内のサブデータ回路の構成例を示す回路図。

【図10】図9に示したサブデータ回路の具体的な回路例を示す図。

【図11】クロック同期式インバータの構成例を示す回路図。

【図12】本発明の実施形態に係るNANDセル型フラッシュメモリにおけるダイナミッククラッチのリフレッシュ動作を示すタイミング図。 20

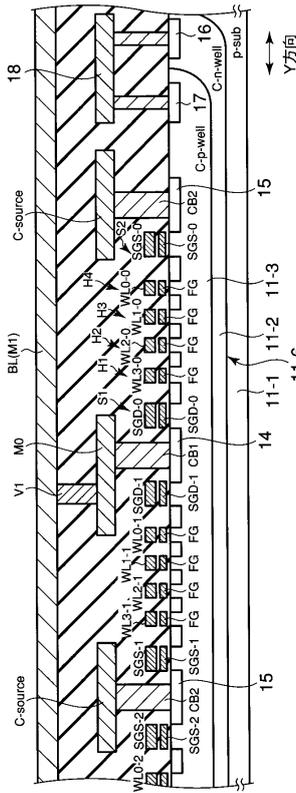
【符号の説明】

【0114】

1 ...メモリセルアレイ、2 ...データ回路、3 ...ワード線制御回路、4 ...カラムデコーダ、5 ...アドレスバッファ、6 ...I/Oセンスアンプ、7 ...データ入出力バッファ、8 ...ウェル/ソース線電位制御回路、9 A ...電位生成回路、9 B ...切替回路、10 ...一括検知回路、11 ...メモリチップ、12 ...コマンドインターフェイス回路、13 ...ステートマシン、M1, M2, M3, M4 ...メモリセル、S1, S2 ...セレクトゲート、U ...NANDセルユニット、DLA, DLB, DLC, DLD ...ダイナミッククラッチ、Q7 ~ Q10 ...スイッチ用トランジスタ(スイッチ回路)、CP ...キャパシタ、SL1, SL2 ...スタティッククラッチ、Q11, Q12 ...転送トランジスタ(転送ゲート)、Q23, Q24 ...カラム選択トランジスタ(カラム選択スイッチ)、NBL, PDC, TDC ...ノード。 30

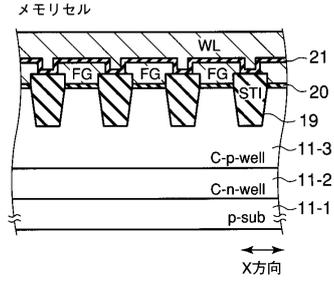
【図5】

図5



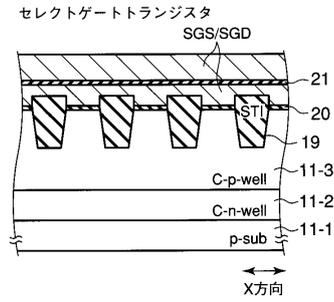
【図6】

図6



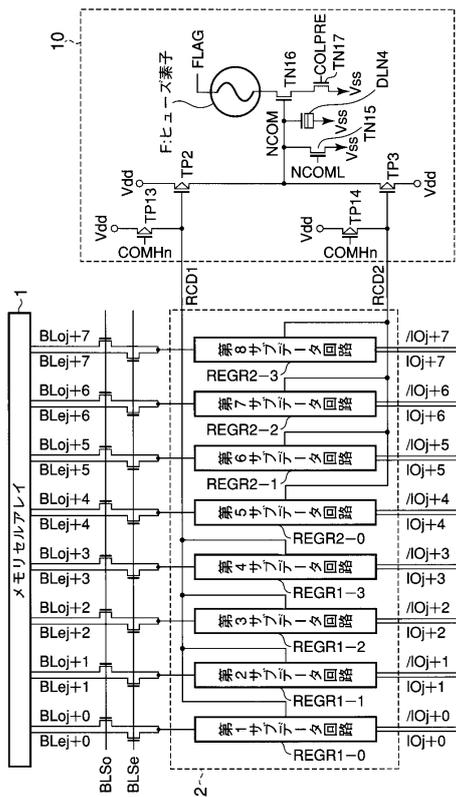
【図7】

図7



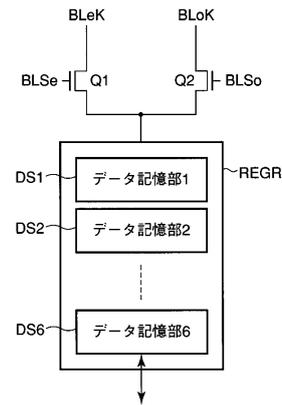
【図8】

図8



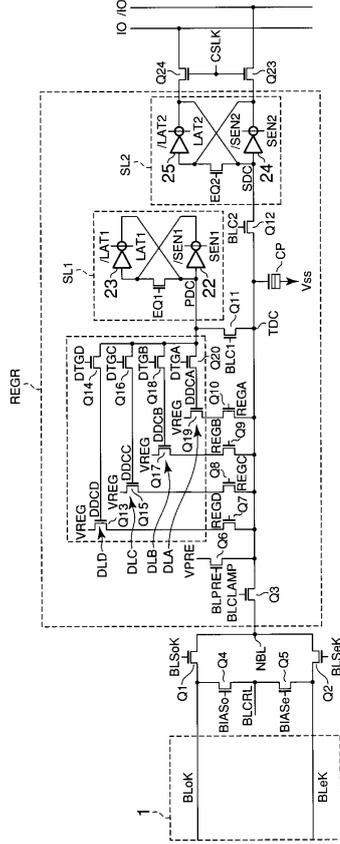
【図9】

図9



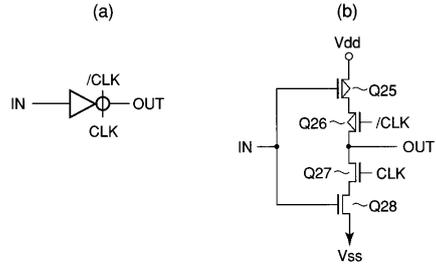
【 10 】

図 10



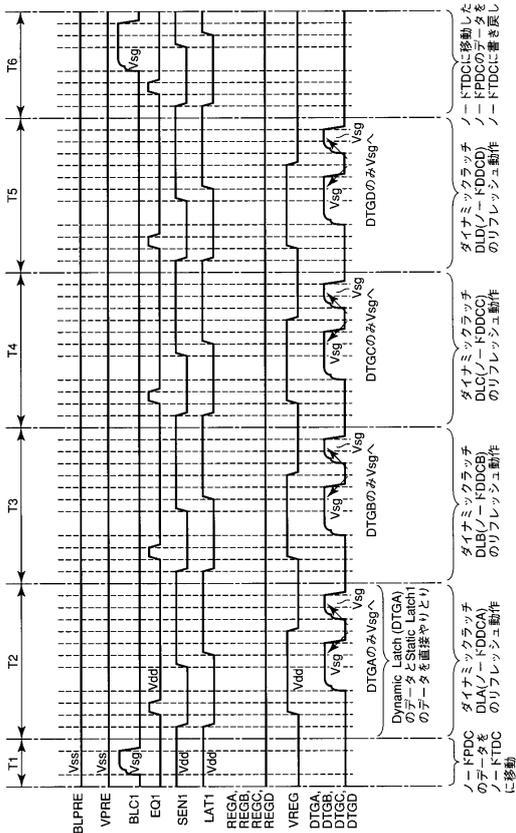
【 11 】

図 11



【 12 】

図 12



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 前嶋 洋

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 磯部 克明

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 柴田 昇

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 滝谷 亮一

(56)参考文献 特開2004-118940(JP,A)

特開平09-326197(JP,A)

特開2001-167590(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/06

G11C 16/04