

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4956365号
(P4956365)

(45) 発行日 平成24年6月20日(2012.6.20)

(24) 登録日 平成24年3月23日(2012.3.23)

(51) Int. Cl.	F I
GO3F 1/68 (2012.01)	GO3F 1/08 A
HO1L 21/82 (2006.01)	HO1L 21/82 C
GO6F 17/50 (2006.01)	HO1L 21/82 T
	GO6F 17/50 658M
	GO6F 17/50 666C

請求項の数 5 (全 30 頁)

(21) 出願番号	特願2007-269463 (P2007-269463)	(73) 特許権者	000003078
(22) 出願日	平成19年10月16日(2007.10.16)		株式会社東芝
(65) 公開番号	特開2008-122948 (P2008-122948A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年5月29日(2008.5.29)	(74) 代理人	100091351
審査請求日	平成22年2月19日(2010.2.19)		弁理士 河野 哲
(31) 優先権主張番号	特願2006-286919 (P2006-286919)	(74) 代理人	100088683
(32) 優先日	平成18年10月20日(2006.10.20)		弁理士 中村 誠
(33) 優先権主張国	日本国(JP)	(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 設計レイアウト作成方法、半導体装置の製造方法、及びコンピュータ読み取り可能な媒体

(57) 【特許請求の範囲】

【請求項1】

設計レイアウトから抽出した第1の修正領域を、前記設計レイアウトに対して修正指針が規定されたルールテーブルを参照して第1の修正方法により修正する工程と、

前記第1の修正領域を含むように前記設計レイアウトから第2の修正領域を抽出する工程と、

前記第2の修正領域のうち、前記第1の修正方法による修正後に評価値が所定の値を満たさない領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出されるパターン修正指針に基づいて第2の修正方法により修正する工程と

を具備することを特徴とする設計レイアウト作成方法。

【請求項2】

前記第2の修正方法は、モデルベース修正方法、グループ化修正方法、パターンマッチング修正方法、ジョグ分割修正方法、パターン間隔緩和修正方法、移動対象層の増減を伴う修正方法、及びデザインルール緩和修正方法のいずれか一つを含むことを特徴とする請求項1に記載の設計レイアウト作成方法。

【請求項3】

前記第1の修正領域は、前記設計レイアウトのうち、前記設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値が所定の値を満たさない設計レイアウト領域を含み、

前記第2の修正領域は、前記第1の修正方法による修正後の前記設計レイアウトのうち

、前記第1の修正方法による修正後の前記設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値が所定の値を満たさない領域を含むことを特徴とする請求項1又は2に記載の設計レイアウト作成方法。

【請求項4】

被加工物上にフォトレジスト層を形成する工程と、
前記フォトレジスト層をフォトマスクを用いて露光する工程と、
露光された前記フォトレジストを現像してレジストパターンを形成する工程と、
前記レジストパターンを少なくともマスクの一部に用いて被加工物をパターンニングする工程とを備え、

前記フォトマスクには、設計レイアウトから抽出した第1の修正領域を、前記設計レイアウトに対して修正指針が規定されたルールテーブルを参照して第1の修正方法により修正する工程と、前記第1の修正領域を含むように前記設計レイアウトから第2の修正領域を抽出する工程と、前記第2の修正領域のうち、前記第1の修正方法による修正後に評価値が所定の値を満たさない領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出されるパターン修正指針に基づいて第2の修正方法により修正する工程とを具備する設計レイアウト作成方法により作成された設計レイアウトに基づくパターンが形成されている

ことを特徴とする半導体装置の製造方法。

【請求項5】

設計レイアウトから抽出した第1の修正領域を、前記設計レイアウトに対して修正指針が規定されたルールテーブルを参照して第1の修正方法により修正する手順と、

前記第1の修正領域を含むように前記設計レイアウトから第2の修正領域を抽出する手順と、

前記第2の修正領域のうち、前記第1の修正方法による修正後に評価値が所定の値を満たさない領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出したパターン修正指針に基づいて第2の修正方法により修正する手順と

をコンピュータ上で実行するための命令のプログラムが記憶されたことを特徴とするコンピュータ読み取り可能な媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の設計パターンを作成するための設計レイアウト作成方法に関し、更に詳しくは作成した設計レイアウトの修正処理技術に関する。また、該設計レイアウト作成方法を用いた半導体装置の製造方法、並びに該設計レイアウト作成方法をコンピュータ上で実行するための命令のプログラムが記憶されたコンピュータ読み取り可能な媒体に関する。

【背景技術】

【0002】

半導体集積回路の設計においては、デバイス条件、プロセス条件を考慮して決められた、最小寸法、スペース、形状等に関する基本的な寸法ルールである、デザインルール(Design Rule)を遵守する必要がある。しかしながら、設計データがデザインルールを守っていたとしても、OPC(Optical Proximity Correction: 光近接効果補正)/RET(Resolution Enhancement Technology: 超解像技術)処理を施した上でプロセスシミュレーションをかけた結果、修正を必要とするパターン領域、例えばプロセス危険箇所が見つかることがある。プロセス危険箇所とは、具体的には、パターンの局所的な部分においてパターン幅が減少又は増加することによりパターンが想定外の箇所では接触あるいは切断又はその恐れがあることや、ライン幅、スペース幅が所定の条件を満たさない、プロセス裕度が所定の値以下である箇所などである。

【0003】

これらの箇所について、デザインルール、プロセス近接効果補正パラメータ、及び半導

10

20

30

40

50

体プロセスパラメータのうち少なくとも一つを繰り返し修正して、設計レイアウトの修正方針を規定したテーブル（設計レイアウト修正指針）を作成し、作成された設計レイアウト変更指針に基づいて設計レイアウトの修正を部分的に行う方法がすでに提案されている（例えば、特許文献1参照）。

【0004】

設計レイアウトを部分的に修正する方法には、いくつかの方法がある。例えば、パターンを構成するエッジを摂動して所定の条件を満たすパターンを導き出す方法が提案されている（例えば、特許文献2参照）。また、プロセス危険箇所に関して、設計レイアウト上で線幅、スペース幅の修正量を指定して修正することにより危険箇所を除去する方法も提案されている。

10

【0005】

しかしながらこれらの修正処理手法を用いても、入力した設計データの全てのプロセス危険箇所を正しく修正することは、不可能な場合がある。例えば、プロセス危険箇所の近傍のパターン配置によっては、摂動させて発生したパターンの中に最適なパターンが含まれないことがある。また、線幅/スペース幅の修正量が大きすぎる、あるいは小さすぎる、さらには、デザインルールの制限により指定箇所において十分な修正量が確保できない場合等である。

【0006】

上述したように、テーブルを参照して修正量を決める従来の方法では、修正量がパターンに依存して不足/過多になる可能性があり、最適な修正ができない恐れがある。

20

【特許文献1】特開2005-181524号公報

【特許文献2】特開2005-181612号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、高速高精度に設計パターンを修正することが可能な半導体装置の設計レイアウト作成方法、該設計レイアウト作成方法を用いて半導体装置を製造する半導体装置の製造方法、及び該設計レイアウト作成方法をコンピュータによって実行させるための命令のプログラムが記憶された媒体を提供する。

【課題を解決するための手段】

30

【0008】

この発明の第1の態様に係る設計レイアウト作成方法は、設計レイアウトから抽出した第1の修正領域を、前記設計レイアウトに対して修正指針が規定されたルールテーブルを参照して第1の修正方法により修正する工程と、前記第1の修正領域を含むように前記設計レイアウトから第2の修正領域を抽出する工程と、前記第2の修正領域のうち、前記第1の修正方法による修正後に評価値が所定の値を満たさない領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出されるパターン修正指針に基づいて第2の修正方法により修正する工程とを具備する。

【0009】

この発明の第2の態様に係る半導体装置の製造方法は、被加工物上にフォトレジスト層を形成する工程と、前記フォトレジスト層をフォトマスクを用いて露光する工程と、露光された前記フォトレジストを現像してレジストパターンを形成する工程と、前記レジストパターンを少なくともマスクの一部に用いて被加工物をパターンニングする工程とを備え、前記フォトマスクには、設計レイアウトから抽出した第1の修正領域を、前記設計レイアウトに対して修正指針が規定されたルールテーブルを参照して第1の修正方法により修正する工程と、前記第1の修正領域を含むように前記設計レイアウトから第2の修正領域を抽出する工程と、前記第2の修正領域のうち、前記第1の修正方法による修正後に評価値が所定の値を満たさない領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出されるパターン修正指針に基づいて第2の修正方法により修正する工程とを具備する設計レイアウト作成方法により作成された設計レイアウトに基づくパターンが形成

40

50

されている。

【0010】

この発明の第3の態様に係るコンピュータ読み取り可能な媒体は、設計レイアウトから抽出した第1の修正領域を、前記設計レイアウトに対して修正指針が規定されたルールテーブルを参照して第1の修正方法により修正する手順と、前記第1の修正領域を含むように前記設計レイアウトから第2の修正領域を抽出する手順と、前記第2の修正領域のうち、前記第1の修正方法による修正後に評価値が所定の値を満たさない領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出したパターン修正指針に基づいて第2の修正方法により修正する手順とをコンピュータ上で実行するための命令のプログラムが記憶されている。

10

【発明の効果】

【0011】

本発明によれば、高速高精度に設計パターンを修正することが可能な半導体装置の設計レイアウト作成方法、該設計レイアウト作成方法を用いて半導体装置を製造する半導体装置の製造方法、及び該設計レイアウト作成方法をコンピュータによって実行させるための命令のプログラムが記憶された媒体を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0013】

20

(第1の実施形態)

図1は、本発明の第1の実施形態に係る設計レイアウト作成方法を示すフローチャートである。図2は、図1に示される設計レイアウト作成方法を実現する、設計レイアウト自動修正ツール200及びその周辺の構成を示す模式図である。

【0014】

まず、デバイス条件、プロセス条件を考慮して決められた、パターンの最小寸法、スペース、形状、密度、配置等に関する基本的な寸法ルールであるデザインルール203を守って半導体集積回路の設計レイアウト201を作成する。

【0015】

次に、設計レイアウト201、それを模したテストパターン又はそれらにマスクデータ処理(MDP:Mask Data Preparation)、OPC、RET等の処理を施しパターンに対して、実際のリソグラフィを通してウエハ上にパターンを形成し、寸法をSEM(走査型電子顕微鏡)等で測定、電気特性を測定する実験を行う。あるいは、設計レイアウト201あるいはそれを模したテストパターンに対して、マスクデータ処理、OPC、RET等の処理を施してマスクデータを作成した上でプロセスシミュレーションを実行する。これらの結果に基づいて、例えばパターンが想定外の箇所では接触あるいは切断する、ライン幅、スペース幅が所定の条件を満たさない、プロセス裕度が所定の値以下である、などの問題を有するプロセス危険箇所(Hot Spot)を見つける。

30

【0016】

具体的には、上記実験あるいはシミュレーションの結果のパターンの各部位に対して、そのプロセス危険度に関する評価値(第1の評価値)を算出する。また、評価値が算出されたウエハ上のパターンに対応する設計レイアウトパターンにも同評価値を与えることとする(図1のステップS101)。

40

【0017】

ここで、危険度を示す指標である評価値は、プロセスシミュレーション等により形成したパターンのエラーカテゴリ、寸法、エッジプレイスメントエラー(EPE:Edge Placement Error)の量、露光フォーカス及び露光量のリソグラフィマージンや、他層とのカバレッジ、またこれらを組み合わせた観点から定式化することが可能である。

【0018】

例えば、エラーカテゴリがショートエラー(隣接パターンと離れているべきパターンが

50

、隣接パターンと接続されることが危惧されるエラー)の場合は、理想のスペース幅が80 nmのところ、スペースの片側のパターンのエッジプレイズメントエラーによって75 nmに細ってしまったとすると、75 / 80 を評価値としてもよい。また、エラーカテゴリがオープンエラー(繋がっているラインパターンが切断されてしまうことが危惧されるエラー)の場合は、実際のラインパターン幅を設計ラインパターン幅で割った値を評価値としてもよい。これらの場合は、評価値が大きいほど危険度が下がる評価値の定義の例である。

【0019】

また、以下のようにリソグラフィシミュレーション像の寸法閾値からの差をランク付けて評価値としてもよい。

【0020】

例えば、図5(a)に示すようなラインパターン(矢印部)のオープンエラーの危険度を評価する場合には、リソグラフィシミュレーション像の線幅寸法70 nmを危険閾値として表1に示すように評価値でランク付ける。このとき、設計ラインパターンの線幅寸法は、100 nmとしている。

【表1】

表1

寸法 (nm)	評価値
95以上	0
90以上95未満	0.5
85以上90未満	1
80以上85未満	2
75以上80未満	3
70以上75未満	4
65以上70未満	5
60以上65未満	6
55以上60未満	7
50以上55未満	8
45以上50未満	9
40以上45未満	10
40未満	11

【0021】

また、例えば、図5(b)に示すようなスペース(矢印部)のショートエラーの危険度を評価する場合には、リソグラフィシミュレーション像のスペース寸法55 nmを危険閾値として表2に示すように評価値でランク付ける。このとき、設計スペース寸法は、100 nmとしている。

【表 2】

表 2

寸法 (nm)	評価値
80以上	0
75以上80未満	0.5
70以上75未満	1
65以上70未満	2
60以上65未満	3
55以上60未満	4
50以上55未満	5
45以上50未満	6
40以上45未満	7
35以上40未満	8
30以上35未満	9
25以上30未満	10
25未満	11

10

20

【0022】

さらに、例えば、図5(c)に示すようなラインパターン端部(矢印部)のラインエンドショートニングエラーにおいては、リソグラフィシミュレーション像の縮退寸法50nmを危険閾値として表3に示すように評価値でランク付ける。

【表 3】

表 3

寸法 (nm)	評価値
30未満	0
30以上35未満	1
35以上40未満	2
40以上45未満	3
45以上50未満	4
50以上55未満	5
55以上60未満	6
60以上65未満	7
65以上70未満	8
70以上	9

30

40

【0023】

また、例えばリソグラフィシミュレーション結果において、転写パターンの対象エッジのコントラストまたは転写したパターンの光学像のスロープ(光学像のウエハ上に転写される強度閾値における光学像強度変化率)をランク付けして評価値を設定してもよい。

【0024】

例えば、像のスロープ0.6(任意単位)を危険閾値として表4に示すように評価値で

50

ランク付ける。

【表 4】

表 4

スロープ (任意単位)	評価値
0.8以上	0
0.7以上0.8未満	1
0.6以上0.7未満	3
0.5以上0.6未満	5
0.4以上0.5未満	7
0.3以上0.4未満	9
0.3未満	10

10

【0025】

また、例えば、像のコントラスト0.6(任意単位)を危険閾値として表5に示すように評価値でランク付ける。

【表 5】

表 5

コントラスト (任意単位)	評価値
0.8以上	0
0.7以上0.8未満	1
0.6以上0.7未満	3
0.5以上0.6未満	5
0.4以上0.5未満	7
0.3以上0.4未満	9
0.3未満	10

20

30

【0026】

以上(表1~5)に示したランク付けして評価値を設定する場合は、評価値が大きいほど危険度が大きくなる評価値の定義の例である。

【0027】

なお、評価値の算出に際しては、複数のフォーカス条件、複数の露光量条件の下でプロセスシミュレーションを実行して、パターン寸法、プロセス裕度、エッジプレイスメントエラーを測定し、それらを組み合わせて求めてもよい。

【0028】

以下に示す本実施形態の場合は、評価値が大きいほど危険度が小さくなるとして説明する。

【0029】

ステップS101の後、ステップS101で算出した評価値(第1の評価値)が所定の条件を満足しない、即ち、評価値が所定の閾値以下であって、危険度が所定のレベルよりも高いパターンを含む領域に対応する設計レイアウトの領域(第1の修正領域)を抽出する(ステップS102)。この抽出結果の情報、即ち修正領域の位置及びその評価値に関する情報が図2のプロセス危険箇所情報202(修正領域情報)である。

40

【0030】

本実施形態では、設計レイアウトのプロセス危険箇所を含む領域を修正領域としている

50

が、修正領域は必ずしもプロセス危険箇所を含む領域でなくともよく、任意の設計パターンを含む領域を修正領域とすることができる。また、修正領域のパターンの評価値が修正前よりも修正後の方が高くなる（評価がよくなる）ようにパターンを修正することもできる。

【 0 0 3 1 】

そして、図 2 に示すように、設計レイアウト 2 0 1、プロセス危険箇所情報 2 0 2、デザインルール 2 0 3、修正テーブル 2 0 4 が設計レイアウト自動修正ツール 2 0 0 に入力される。修正テーブル 2 0 4 には、プロセス危険箇所情報 2 0 2 を鑑みて決定されたレイアウトパターン毎の修正量、即ち修正方法が記載されている。設計レイアウト自動修正ツール 2 0 0 は、例えば、コンピュータが実行可能なプログラムで実現されている。

10

【 0 0 3 2 】

これらの情報をもとに設計レイアウト自動修正ツール 2 0 0 は、設計レイアウトの各危険箇所のパターンに対して、パターンを太らせる、細らせる、あるいは変形させるなどの定量的な修正方法が具体的に記載されたパターン修正指針（図示せず）を生成する（ステップ S 1 0 3）。ここでの修正は、パターン幅等のレイアウト情報に対して予め規定されている修正ルールである修正テーブル 2 0 4 に基づいているのでルールベースの修正である。

【 0 0 3 3 】

このとき、例えば、プロセス危険箇所情報 2 0 2 とパターン修正指針を、プロセス危険箇所修正ライブラリ記憶装置 2 0 5 に格納する。プロセス危険箇所修正ライブラリ記憶装置 2 0 5 は、例えば、コンピュータに接続されたハードディスク、メモリ等の記憶媒体で実現されている。

20

【 0 0 3 4 】

そして、設計レイアウト自動修正ツール 2 0 0 は、生成されたパターン修正指針に基づいて設計レイアウト 2 0 1 を修正して修正済み設計レイアウト（図示せず）を作成する（ステップ S 1 0 4）。

【 0 0 3 5 】

次に、設計レイアウト自動修正ツール 2 0 0 は修正済み設計レイアウトから修正領域を含む領域のレイアウトを抽出し、モデルベース修正指針算出装置 2 0 6 に入力する。モデルベース修正指針算出装置 2 0 6 は、例えば、コンピュータが実行可能なプログラムで実現されている。

30

【 0 0 3 6 】

モデルベース修正指針算出装置 2 0 6 は、修正対象箇所の設計レイアウトに対してマスクデータ処理（MDP）、光近接効果補正（OPC）、超解像技術（RET）処理などを施してマスク値データを作成し、これに対してプロセスシミュレーションを行ってウエハ上に形成されるパターンの予測データを作成する。

【 0 0 3 7 】

次に、モデルベース修正指針算出装置 2 0 6 は、入力された設計レイアウトに対して、ウエハ上の予測パターンに基づき評価値（第 2 の評価値）を算出する（ステップ S 1 0 5）。ここで使用する評価値としては、ステップ S 1 0 1 で求めた評価値と同じ基準のものを用いてよい。

40

【 0 0 3 8 】

そして、評価値が依然として所定の閾値以下である領域（プロセス危険箇所）を修正済み設計レイアウトの修正領域（第 1 の修正領域）からさらに抽出し（ステップ S 1 0 6）、抽出されたプロセス危険箇所（第 2 の修正領域）に対して、パターン修正指針（図示せず）を生成する（ステップ S 1 0 7）。評価値が所定の閾値より大きくなった箇所は、以降の修正は不要としてパターンの修正指針は生成しない。

【 0 0 3 9 】

抽出される第 2 の修正領域は、第 1 の修正領域と同じく、必ずしもプロセス危険箇所を含まなくてもよい。また第 2 の修正領域は、第 1 の修正領域の少なくとも一部を含む領域

50

であってもよく、第1の修正領域よりも大きくても小さくてもよい。

【0040】

ステップS107においては、特定のアルゴリズムに基づいた自動修正モデルを利用してパターン修正指針が自動的に生成される。すなわち、従来技術では、レイアウト修正結果に基づいて修正者（設計者）が新たな修正テーブルを作成する、あるいは試行錯誤を通してパターンを適宜修正していくこととなるが、本実施形態では、修正領域のレイアウトに応じて所定のアルゴリズムが適用され自動的に適切な修正指針を算出することができる。例えば、レイアウト修正領域における修正前後の評価値の変動に応じてパターン修正指針が生成される。つまり、S104での修正後に抽出されたプロセス危険箇所の中で危険度の減少が不足している箇所に対しては、さらに修正を促進するための修正指針を生成す

10

【0041】

モデルベース修正指針算出装置206は、ステップS105～S107で得られた、修正領域の位置及びその評価値に関する情報、並びにパターン修正指針を、プロセス危険箇所修正ライブラリ記憶装置205（修正ライブラリ記憶装置）に履歴情報として格納してもよい。

20

【0042】

その後、モデルベース修正指針算出装置206は、ステップS107で生成されたパターン修正指針を設計レイアウト自動修正ツール200に送る。

【0043】

設計レイアウト自動修正ツール200は、モデルベース修正指針算出装置206から送られたパターン修正指針が空である、即ち、危険箇所に対する修正方法が全く記載されていない、言い換えると直前の修正によって危険箇所がなくなっているか、あるいは、モデルベース修正指針算出装置206におけるパターン修正指針の生成回数が所定の回数に達しているかどうかを判定する（ステップS108）。

30

【0044】

ステップS108において、パターン修正指針が空であると判定された場合には、直前にステップS104で修正された設計レイアウトを修正済み設計レイアウトとして半導体装置の製造者へと出荷する（ステップS109）。

【0045】

ステップS108において、パターン修正指針が空であると判定されなかった場合には、ステップS107で生成されたパターン修正指針に修正指針が新たに生成され、それに基づいて設計レイアウトを修正する（ステップS104）。以上説明した設計レイアウトの修正と危険箇所の抽出及び修正指針更新の処理を所定の回数もしくは危険箇所がなくなるまで繰り返すことにより、プロセス危険箇所の減少及び危険度の低下を実現することができる。

40

【0046】

モデルベース修正指針算出装置206において実行されるモデルベースの修正方法では、上述したように修正結果に対して、マスク値データを作成した上でプロセスシミュレーション及び危険度の評価を行い、プロセス危険箇所が残存していた場合には、所定のアルゴリズムに従ってさらに修正作業を繰り返してゆく。従って、設計レイアウトを自動的に最適化することが可能である。

【0047】

50

本実施形態との比較のために、ルールベースの修正方法のみを用いてプロセス危険箇所の修正を行う従来の設計レイアウト作成方法を説明する。図3は、従来の設計レイアウト作成方法を示すフローチャートである。図4は、図3に示される設計レイアウト作成方法を実現する、設計レイアウト自動修正ツール400の入出力関係を示す図である。

【0048】

図3における、ステップS301～S304までの処理は、本実施形態のステップS101～S104までの処理と同様である。

【0049】

即ち、図4に示すように、設計データ201、プロセス危険箇所情報202、デザインルール203、修正テーブル204が設計レイアウト自動修正ツール400に入力される。これらの情報をもとに設計レイアウト自動修正ツール400は、パターン修正指針（図示せず）を生成する（ステップS303）。

10

【0050】

そして、設計レイアウト自動修正ツール400は、生成されたパターン修正指針に基づいて設計レイアウト201を修正して修正済み設計レイアウト（図示せず）を作成する（ステップS304）。

【0051】

次に設計レイアウト自動修正ツール400は、修正済み設計レイアウトに対して、マスクデータ処理（MDP）、光近接効果補正（OPC）、超解像技術（RET）処理などを施してマスク値データを作成し、これにプロセスシミュレーションを行ってウエハ上パターン予測データを作成する。さらに、修正済み設計レイアウトに対して、ウエハ上の予測パターンのプロセス危険箇所の危険度に関する評価値を算出する（ステップS305）。

20

【0052】

そして、設計レイアウト自動修正ツール400は、評価値が所定の閾値以下である領域（プロセス危険箇所）が修正済み設計レイアウトから抽出されないかどうかを判定する（ステップS306）。

【0053】

ステップS306で、プロセス危険箇所が抽出されなければ、修正済み設計レイアウトを出荷する（ステップS307）。しかし、プロセス危険箇所が抽出された場合は、設計者による設計データの修正、修正テーブルの調整、さらにはパターン修正指針の作成前後での調整などの再修正を行って（ステップS308）から、適当な箇所から処理を流し直す必要がある。

30

【0054】

具体的には、ルールベースの修正ではパターン形状によってはプロセス危険箇所の修正が不十分であったり、それを補うために修正量を増やすと、別の新たなプロセス危険箇所が発生してしまうことがある。図6（a）及び図6（b）にウエハ転写パターンのスペース幅の修正量が小さすぎ、十分な修正量が確保できない例を示す。

【0055】

図6（a）及び図6（b）において、プロセス裕度が小さく、ウエハ上でショートエラーが起りやすいプロセス危険箇所を矢印で示す。

40

【0056】

図6（a）に示す例では、設計パターンスペース幅100nmのレイアウトに基づくウエハ上の予測パターンスペース幅が65nmとなってしまうので、予測パターンスペース寸法とパターン配置状況から表6に示すパターン修正テーブル1を参照し、右側のエッジを10nm動かしスペースを広げる修正を行った。しかしながら、修正後のパターンに関してウエハ上の寸法を予測したところ、依然としてスペース寸法が不足し、十分なプロセス裕度が無いことがわかった。

【表 6】

表 6

エラーカテゴリ	寸法	修正箇所	修正量
ショート	65 nm	スペース	10 nm
ショート	70 nm	スペース	5 nm

【0057】

図 6 (b) においても同様に、ウエハ上の予測パターンスペース寸法とパターン配置状況から、表 6 に示すパターン修正テーブル 1 を参照して修正を行った。即ち、予測パターンのスペース幅が 70 nm となってしまったので、スペースを 5 nm 太らせる修正を行うために、左側のエッジを 5 nm 動かしスペースを広げる修正を行った。しかしながら、修正後のパターンに関してウエハ上の寸法を予測したところ、依然としてスペース寸法が不足し、十分なプロセス裕度が無いことがわかった。

10

【0058】

これらのパターンにおいて十分なプロセス裕度を持たせるために、ウエハ上に形成が予測される寸法とパターン配置状況に基づいて決める修正量を、表 6 よりそれぞれ 5 nm ずつ増やした、表 7 に示すパターン修正テーブル 2 を作成した。表 7 を参照して修正したところ、他のプロセス危険箇所において、修正箇所近傍のパターンのオープンマージンが減少し、新たなプロセス危険箇所が発生してしまうことがわかった。

20

【表 7】

表 7 修正量テーブル 2 (抜粋)

エラーカテゴリ	寸法	修正箇所	修正量
ショート	65 nm	スペース	15 nm
ショート	70 nm	スペース	10 nm

【0059】

このように、修正テーブルを用いたルールベースの修正方法による従来の設計レイアウト作成方法においては、修正後にプロセス危険箇所が残存した場合の再修正や処理の直しに手間がかかってしまう。さらには、修正テーブルが想定していないパターン配置に遭遇した場合には、設計変更あるいは修正テーブルの修正などの試行錯誤が必要となり多大な時間を要するという問題があった。

30

【0060】

しかしながら、本実施形態の設計レイアウト作成方法においては、ルールベースの修正方法で修正し切れなかったプロセス危険箇所を自動修正モデルにより修正(モデルベース修正)する。モデルベースの修正方法は、ルールベースの修正方法で修正し切れなかったプロセス危険箇所をルールベースの修正方法よりも素早く自動的に修正することができるので、両修正方法を組み合わせた本実施形態の設計レイアウト作成方法によって、高速高精度に設計レイアウトの修正が実現可能となる。

40

【0061】

なお、図 2 に示した設計レイアウト自動修正ツール 200 及びモデルベース修正指針算出装置 206 の機能を実現するプログラムを実行可能なコンピュータと、当該コンピュータに接続されたハードディスク、メモリ等の記憶媒体で実現されているプロセス危険箇所修正ライブラリ記憶装置 205 は、全体として一つのコンピュータシステムで実現されてもよい。

【0062】

本実施形態の設計レイアウト作成方法は、半導体装置製造におけるプロセスマージンが

50

少ない箇所において、設計上、プロセス上の要請に沿った修正を、高速且つ高精度に行うことができる点で特に利点を有している。また、危険度の指標となる評価値を適切に設定することにより、効率的に設計レイアウトを最適化することが可能である。さらに、修正指針と該指針に基づいた修正後のレイアウトに対する評価値等の履歴を記録したプロセス危険箇所修正ライブラリをリサイクルする、すなわち過去の修正履歴情報に基づきパターン修正指針を生成することにより、設計レイアウトの最適化にかかる時間を短縮することが可能となる。

【0063】

従って、高速な修正が可能な本実施形態の設計レイアウト作成方法を用いて半導体装置を製造することにより、設計レイアウトデータ作成に要するターン・アラウンド・タイムを短縮し、コストを削減することができる。同時に、設計レイアウトの高精度な修正も可能となるので、半導体装置の歩留まりを向上することができる。

10

【0064】

半導体装置は、被加工物上にフォトリソ層を形成すること、前記フォトリソ層を、設計レイアウトから抽出した第1の修正領域を第1の修正方法により修正すること、前記第1の修正領域を含むように前記設計レイアウトから抽出した第2の修正領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出されるパターン修正指針に基づいて第2の修正方法により修正することを具備する設計レイアウト作成方法により作成された設計レイアウトに基づくパターンが形成されているフォトリソ層を用いて露光すること、露光された前記フォトリソ層を現像してレジストパターンを形成すること、前記レジストパターンを少なくともマスクの一部に用いて被加工物をパターンニングすることにより製造することが可能である。

20

【0065】

(第2の実施形態)

本発明の第2の実施形態に係る設計レイアウト作成方法を、図7乃至図9、図10(a)、図10(b)、図10(c)、図10(d)、表8及び表9を用いて説明する。

【0066】

本実施形態においては、図1のステップS106で得られたプロセス危険箇所情報(プロセス危険箇所と評価値に関する情報)から、プロセス危険箇所として抽出された設計パターンの領域に対してパターン修正指針を生成し(ステップS107)、ステップS108を経て、設計レイアウト修正(ステップS104)、評価値の算出(ステップS105)、プロセス危険箇所の抽出(ステップS106)、再びパターン修正指針を生成して(ステップS107)ゆく手順の繰り返しによって設計パターンが修正されていく様子を説明する。

30

【0067】

ステップS105において算出された評価値が特定の箇所において所定の条件を満足しない、即ち、評価値が所定の閾値未満であるなどして、その特定の箇所の危険度が大きい場合には、その特定の箇所の座標を示すエラーマーカを割り当てられる。即ち、ステップS106において抽出したプロセス危険箇所にエラーマーカを割り当てられる。

【0068】

図7では、レイアウトに2箇所、プロセス危険箇所が生じている。星印はプロセス危険箇所を示すエラーマーカであり、本実施形態において、各エラーマーカはそれぞれショートエラーあるいはオープンエラーを示すカテゴリと危険度を示すクラス(評価値)を属性として保持している。

40

【0069】

次に、エラーマーカで指示された各々の危険箇所を修正するために、危険箇所の危険度に寄与していると考えられるエッジを選択する。具体的には、例えば、エラーマーカで指示された座標を中心とした近傍領域である近傍80、90を設定し、近傍80、90と重なるエッジをマーカ毎に抽出してグルーピングする。各エラーマーカに属するエッジに関する情報を、エラーマーカの属性とともに図2に示したプロセス危険箇所修正ライブラリ

50

記憶装置 205 に格納する。表 8 に、ここで格納したデータの例を示す。

【表 8】

表 8

グループ	カテゴリ	クラス	エッジ
1	ショート	60	
			81
			82
			83
			84
			85
2	オープン	60	
			91
			92
			93
			94
			95
			96

10

20

【0070】

図 7 のショートエラーの箇所を拡大した図を図 8 に、オープンエラーの箇所を拡大した図を図 9 にそれぞれ示す。

【0071】

図 8 に示すエッジ 81、82 をそれぞれ含む隣接する上下のパターン同士が接触することが危惧されるショートエラーが、星印のエラーマーカの箇所に生じている。これを修正するために、エラーマーカ近傍のエッジ 81～86 を抽出し、エッジを危険度が下がる方向に移動させていく。エラーマーカ近傍のエッジとは、エラーマーカ中心から所定の範囲にある近傍 80 にかかるエッジとしてもよく、これを番号付けし、優先順位付けして用いる。

30

【0072】

図 8 の例では、エラーマーカに最も近い最近接エッジ 81、82 を高優先順位エッジ、それ以外のエッジ 83～86 を通常優先順位エッジとした。ステップ S104～S108 のルーチンを回る毎に危険箇所のクラス（評価値）に応じて、高優先順位エッジ 81、82 から一つあるいは複数のエッジを所定の単位だけ移動してスペースを大きくする。エッジ 81、82 の移動が周辺配置の状況等の理由によりこれ以上不可能または不適當であると判断された場合、あるいはエッジ 81、82 の修正のみでは危険度が十分に減少しないと判断された場合はさらに通常優先順位（非最近接エッジ）83～86 から一つあるいは複数のエッジを選択して、パターン重心がマーカから離れる方向へ動かす。上記周辺配置の状況とは、層内のデザインルール、または上下層とのデザインルールを遵守しながら修正することができない状況のことである。例えば、ヴィアホールに対するステップカバレジルールを守るためにこれ以上エッジを動かすことができない状況である。

40

【0073】

図 9 では、パターンが切断することが危惧されるオープンエラーが星印のエラーマーカの箇所に生じている。これを修正するために、エラーマーカ近傍のエッジ 91～96 を抽出し、エッジを危険度が下がる方向に移動させていく。エラーマーカ近傍のエッジとは、

50

エラーマーカ中心から所定の範囲にある近傍 90 にかかるエッジとしてもよく、これを番号付けし、優先順位付けして用いる。エラーマーカから近いパターンから順に優先順位付けをしてもよい。

【0074】

図9の例では、エラーマーカに最も近い最近接エッジ91、92を高優先順位エッジ、それ以外のエッジ93~96を通常優先順位エッジとした。ステップS104~S108のルーチンを回る毎に危険箇所のクラス(評価値)に応じて、高優先順位エッジ91、92から一つあるいは複数のエッジを所定の単位だけ移動して線幅を大きくする。エッジ91、92の移動が周辺配置の状況等の理由によりこれ以上不可能又は不相当であると判断された場合、あるいはエッジ91、92の修正のみでは危険度が十分に減少しないと判断された場合はさらに通常優先順位(非最近接エッジ)93~96から一つあるいは複数のエッジを選択して、プロセス危険箇所パターンを太らせることが可能な方向に動かす。その後、さらに高優先順位エッジ91、92を線幅を大きくする方向に移動させる。

10

【0075】

以上説明したエッジの修正量及び方向は、設計レイアウトの修正(ステップS104)毎に算出される評価値(ステップS105)に基づいて、所定のアルゴリズムに従ってパターン修正指針として生成される(ステップS107)。

【0076】

また、危険度を表す評価値としては、第1の実施形態で説明したように、プロセスシミュレーションにより予測されるパターンのエラーカテゴリ、寸法、エッジプレイスメントエラー(EPE)の量、フォーカス、露光方向のリソグラフィプロセスマージン、他層とのカバレジやこれらを組み合わせた観点から設定することができる。

20

【0077】

図8で示したショートエラー箇所に対する設計パターンの自動修正の例を、図10(a)及び表9を用いてさらに詳細に説明する。

【0078】

図8のプロセス危険箇所のカテゴリはショートエラーであり、危険度を表すクラス(評価値)は60である。クラスが80を超えれば危険性は無いとする。ここで危険箇所の近傍のレイアウトを構成するエッジをグルーピングし、グループ1とする。該グループを修正するために、エッジを動かしていく。

30

【0079】

表9は、表8のショートエラーを生じているグループであるグループ1に所属する各エッジを、各処理によってどれだけ移動したか、そしてその処理の結果グループ1のクラス、即ちショートエラーのクラスが何になったかを処理の進行とともに示したものである。なお、エッジの移動量の符号は、エラーマーカから遠ざかる方向を-、近づく方向を+としてある。以下、表9に従って設計パターンの修正の様子を説明する。

【表9】

表9

グループ	カテゴリ	クラス	エッジ	処理1	処理2	処理3	処理4
1	ショート	60		65	69	75	80
			81	-5	-10	-10	-10
			82	-5	-5	-10	-10
			83				-5
			84				+5
			85				
			86				

40

50

【 0 0 8 0 】

まず、処理 1 では、ショートエラーになった図 1 0 (a) に示すようなパターンを、生成されたパターン修正指針 (ステップ S 1 0 7) に従って図 1 0 (b) に示すようにエッジ 8 1、8 2 をエラーマーカから後退させる方向に 5 n m 動かす (ステップ S 1 0 4)。その結果、修正後のパターンに対してマスクデータ処理及びプロセスシミュレーションを行った予測データに対して算出されたこの箇所のクラス (評価値) が 6 5 となり (ステップ S 1 0 5)、危険度は改善する。しかし、クラスはまだ 8 0 以下であり、危険度が十分改善されたとは言えない。

【 0 0 8 1 】

処理 2 では、さらにエッジ 8 1 の移動量をエラーマーカから後退させる方向に 1 0 n m、としたところ、エラーのクラスが 6 9 となった。

【 0 0 8 2 】

処理 3 では、さらにエッジ 8 2 を移動させて、図 1 0 (c) に示すようにエッジ 8 1、8 2 の移動量を共にエラーマーカから後退させる方向に 1 0 n m にしたところ、危険度のクラスは 7 5 となった。

【 0 0 8 3 】

処理 4 では、エッジ 8 1、8 2 の移動が周辺配置の状況等の理由によりこれ以上不可能であると判断し、今度は図 1 0 (d) に示すようにエッジ 8 3、8 4 を左方向に動かすことにより、パターン重心をエラーマーカより遠ざける方向への処理を行った。この場合、エッジ 8 3 はエラーマーカから遠ざかる方向に 5 n m、エッジ 8 4 はエラーマーカに近く方向に 5 n m 移動させた。この修正により、危険度を示すクラスは 8 0 となり、危険性が解消されたので、このエラーマーカが示していたプロセス危険箇所は無くなった。図 9 に示したオープンエラー箇所に対する設計パターンの自動修正も上記と同様な手順で行ってゆく。

【 0 0 8 4 】

上記の処理 4 のように、当初の修正方法が途中で周辺配置の状況等の理由によりこれ以上不可能であると判断された場合や、当初の修正方法のみでは危険度が十分に減少しない、即ち、危険度の減少程度が閾値未満である場合、あるいは数回のイタレーション後に危険度の減少程度が閾値未満である場合には、修正促進アルゴリズムを適用することが考えられる。

【 0 0 8 5 】

例として、ラインエンドにおけるショートニングエラーに対する設計パターンの自動修正において、修正の途中で、修正促進アルゴリズムによって、修正対象エッジにジョグを付加する様子を図 1 1 (a) ~ 図 1 1 (d) に示す。

【 0 0 8 6 】

ウエハ上の予測パターンにショートニングエラーが生じた図 1 1 (a) の状況において、図 1 1 (b) に示すように、ラインの短さを補うために、エッジ 1 1 1 を下に移動し、スペースをあけるために、エッジ 1 1 2 も下に下げた。しかしながら、これでもショートニングエラーの解消が不十分であったため、修正促進アルゴリズムを用いて、図 1 1 (c) 及び図 1 1 (d) に示すようにエッジにジョグ 1 1 3、1 1 4 を付加するパターン修正を行った。

【 0 0 8 7 】

また、危険箇所及びその近傍に修正のための十分なスペースがない、危険箇所の近傍のエッジを修正しても危険度が下がらないなどの場合は、修正対象のエッジ選択範囲を近傍領域よりも拡大して危険箇所の原因となる箇所を探索し、当該箇所を修正することが考えられる。

【 0 0 8 8 】

図 1 2 (a) に示した例では、星印のエラーマーカで示したオープンエラーについて、エラー箇所近傍のラインパターンを太らせることにより修正することができる。しかしながら当該危険箇所の近傍には、危険箇所を修正するための十分なスペースがなく、また他

10

20

30

40

50

層との位置関係の制約から十分な修正を行うことができない。また、修正対象層内の図形間の位置制約や、上下層の図形間との位置制約などによっても、図形を十分に修正することができない場合がある。

【0089】

このように近傍のパターンエッジ修正によって危険度を低下させることができない場合、修正促進アルゴリズムによって、図12(b)に示すように修正対象のエッジ選択範囲120(修正領域)を拡大してエラーマーカで示したオープンエラーを生ぜしめる原因となる箇所を探索する。

【0090】

この例では、太い配線である配線121の露光像の光学的な影響で、エラーマーカで示した配線の中心が細くなってオープンエラーが生じている。従って危険箇所から所定の範囲120内のエッジを探索し、図12(c)に示すように危険箇所に影響を及ぼすパターンである配線121のエッジ122を修正することにより、エラーマーカで示した危険箇所の危険度を低下させることができる。

【0091】

以上説明した、処理ごとのエッジの移動量及び方向等の設計パターンの修正方法及び修正後のクラス(評価値)の情報は、図2に示したプロセス危険箇所修正ライブラリ記憶装置205に、例えば評価値の算出時(ステップS105)に記録して行き、履歴情報として格納してもよい。従って、表9に示した情報がプロセス危険箇所修正ライブラリとして記録されてゆく。

【0092】

また同時に、上記した修正アルゴリズム、即ちパターン修正指針を生成する(ステップS107)アルゴリズムは、修正箇所及び修正量の決定に際して、プロセス危険箇所修正ライブラリ記憶装置205に保持されている履歴情報を参考にしてもよい。これにより、同じパターンの配置に対して修正を行うときに試行錯誤の過程を省略して最適な修正方法を得ることが可能となる。

【0093】

(第3の実施形態)

本発明の第3の実施形態に係る設計レイアウト作成方法を、表10を用いて説明する。

【0094】

本実施形態においては、第2の実施形態において説明したように、プロセス危険箇所の近傍に存在するエッジを危険箇所毎にグループ化し、グループ毎に危険箇所を修正する(グループ化修正方法)。グループ化は、危険箇所近傍のエッジを、危険箇所の危険度に関係するエッジのグループとして、グループ内のエッジを修正対象とする。補正方向と量は同じでも異なってもよい。各処理による設計レイアウトの修正後の評価値は、プロセス危険箇所修正ライブラリ記憶装置205に格納されているプロセス危険箇所修正ライブラリに表10に示すような履歴情報として記録される。

10

20

30

【表 1 0】

表 1 0

	処理 1	処理 2	処理 3	処理 4	処理 5	処理 6
グループ 1	+ 5	+ 4	+ 6	OK	危険箇所 OFF	→
グループ 2	- 5	+ 1 0	OK	危険箇所 OFF		→
グループ 3	OK	危険箇所 OFF				→
グループ 4		OK	危険箇所 OFF			→
グループ 5	- 2	+ 2	0	+ 2	+ 5	OK

10

【 0 0 9 5】

表 1 0 に示されるグループ 1 乃至 5 は、プロセス危険箇所毎に、危険箇所近傍のエッジをグルーピングしたものである。表 1 0 が示す数値は、生成されたパターン修正指針（ステップ S 1 0 7）に従ってレイアウトを修正する（ステップ S 1 0 4）毎に、ステップ S 1 0 5 で算出した危険度（評価値）の変化量を表す。符合が + の場合は危険度（評価値）の改善を、- の場合は危険度（評価値）の悪化を表す。

20

【 0 0 9 6】

グループ 1 では、処理 1、2、3 と危険度が改善し、処理 4 で危険性がなくなった（OK で示す）。このため、処理 5 以降では、この箇所に対しては修正指針は生成しない。

【 0 0 9 7】

グループ 2 では、処理 1 では危険度が 5 悪化したが、処理 2 では危険度が 1 0 改善し、処理 3 では危険度が十分改善し危険性が無くなった。このため処理 4 以降では、この箇所に対しては修正指針は生成しない。

【 0 0 9 8】

グループ 2 は、処理 1 で危険度が十分改善し危険性が無くなった。このため処理 2 以降では、この箇所に対しては修正指針は生成しない。

30

【 0 0 9 9】

以上説明したように、修正による危険度の増減をグループ毎に追跡することにより、修正指針の生成において各グループに属するエッジ毎の修正の方向及び修正量を調節することができる。また、危険度が減少する方向にエッジ群をまとめて移動する修正も可能である。

【 0 1 0 0】

また例えば、図 1 3 (a) に示すように、複数のプロセス危険箇所が近接又はその一部同士が重複して発生した場合には、図 1 3 (b) に示すようにグルーピングの範囲を広げて、近接する複数のプロセス危険箇所に係るエッジをまとめて扱う。この場合、複数の危険箇所に対応する評価値をモニターしながらグループ内のエッジの修正量を決定してゆく。

40

【 0 1 0 1】

また、複数のプロセス危険箇所が近接又はその一部同士が重複して発生した場合でも、一般には図 1 4 (a) に示すように、両者の危険度の大小が存在すると考えられる。この場合には、図 1 4 (b) に示すように、危険度の大きいプロセス危険箇所の近傍のエッジを先に、危険度の小さいプロセス危険箇所の近傍のエッジを後に修正してもよい。

【 0 1 0 2】

本実施形態においても、プロセス危険箇所修正ライブラリを利用してレイアウト修正に

50

よる危険度（評価値）の履歴を取得することにより、危険度が十分改善できた箇所については、更なる修正指針の生成を行わないで、改善が不十分な箇所のみ修正指針を生成することにより計算量を削減することができる。

【0103】

さらに、グループ毎の修正前のエッジ配置、及び修正によって危険性がなくなったときの修正履歴を、プロセス危険箇所修正ライブラリとしてプロセス危険箇所修正ライブラリ記憶装置205に保存しておくことも可能である。これにより、同じパターンの配置に対して修正を行うときに試行錯誤の過程を省略して最適な修正方法を得ることが可能となる。

【0104】

従って、上述した第1乃至第3の実施形態によれば、高速高精度に半導体集積回路の設計パターンを修正することが可能な設計レイアウト作成方法が提供できる。

【0105】

上記第1乃至第3の実施形態に係る設計レイアウト作成方法におけるコンピュータ上で実行するための命令のプログラムを、コンピュータ読み取り可能な記憶媒体に記憶することでコンピュータ読み取り可能な媒体も提供できる。

【0106】

なお、上記各実施形態では、ルールベースの修正方法で修正し切れなかったプロセス危険箇所を所定のアルゴリズムに基づいた自動修正モデルによる修正方法で修正する場合を例にとって説明した。また、ルールベースの修正方法で修正し切れなかったプロセス危険箇所を、種々の修正方法の中からレイアウト毎に最適な修正方法を選択して修正することもできる。

【0107】

次に設計パターンのプロセス危険箇所自動修正において、危険箇所毎にレイアウト解析し、複数の修正方法から最適な方法を選択して修正する、または第1の手法で修正し切れなかった箇所を抽出し、近傍のレイアウト解析し、複数の修正方法から最適な方法を選択して修正する設計レイアウト作成方法について第4乃至第7の実施形態により詳しく説明する。

【0108】

（第4の実施形態）

入力した設計データに対して、上述した第1乃至第3の実施形態に係る設計レイアウト作成方法を用いて一連の修正処理を通して全て正しく修正することができない場合がある。すなわち、一つの手法を用いてプロセス危険箇所を修正した場合、危険箇所近傍のパターン配置によっては、種々の理由により修正が適用されない可能性がある。例えば、線幅/スペース幅の修正量が大きすぎる/小さすぎる、デザインルールの制限により指定箇所において十分な修正量が確保できない、階層構造を保つために修正ができないなどである。

【0109】

スペース幅の修正量が小さすぎ、十分な修正量が確保できないと、プロセス裕度が小さく、ウエハ上でショートエラーが起りやすいプロセス危険箇所が発生する。ウエハ上の予測パターン寸法とパターン配置状況から表6に示したテーブル（パターン修正テーブル）を参照し、右側のエッジを10nm動かしてスペースを広げる修正を行った。しかしながら、修正後のパターンに関してウエハ上の寸法を予測したところ、依然としてスペース寸法が不足し、十分なプロセス裕度がないことがわかった。

【0110】

また、ローカル配線層のショートエラーの修正を試みても、上下層のデザインルールに制約されて修正ができないことがある。

【0111】

さらに、中間配線層のオープンエラーの修正を試みても、同層周囲図形とのデザインルールに制約されて修正ができないことがある。

10

20

30

40

50

【0112】

さらに、中間配線層のオープンエラーの修正を、エッジを修正しないモードで試みても、修正ができないことがある。

【0113】

このように、危険箇所において、一つの修正方法で修正ができない場合があり、その原因及び最適な修正方法は多岐にわたる。

【0114】

従来のプロセス危険箇所修正フローは、例えば次のような手順で行っている。まず、プロセス危険箇所情報、デザインルール、及び設計データ、修正テーブルを設計自動修正ツールに入力し、パターン修正指針を生成する。次にレイアウト修正を行い、修正済み設計データを作成する。このとき、修正がされた危険箇所とともに未修正危険箇所についての情報を出力し、修正済み設計データとともに出荷する。

10

【0115】

ユーザは未修正箇所に関して、原因及び対策を検討し、マニュアルでレイアウトを修正するか、もしくは修正指針や修正テーブル、設計データを調整した上で適当な箇所から処理を流し直す。このように修正後プロセス危険箇所が残存した場合調整や処理の流し直しには多大な時間を要する。

【0116】

次に、本発明の第4の実施形態に係る設計レイアウト作成方法を、図15を用いて説明する。図15は、プロセス危険箇所の修正フローの例を示している。本第4の実施形態では、設計パターンプロセス危険箇所自動修正において、危険箇所毎にレイアウト解析し、複数の修正方法から最適な方法を選択して修正する。または、第1の手法で修正し切れなかった箇所を抽出し、近傍のレイアウト解析し、複数の修正方法から最適な方法を選択して修正する。本手法により、より多くの危険箇所を、より短時間に修正し、品質の高いレイアウトを作成できる。

20

【0117】

まず、プロセス危険箇所情報、デザインルール、及び設計データ、修正テーブルを設計自動修正ツールに入力し、パターン修正指針を生成する(ステップS401)。次にレイアウト第1修正を行う(ステップS402)。引き続き、修正がされなかった危険箇所(未修正箇所)があるか否かが判定し(ステップS403)、全て修正方法を指示したか否かが判定し(ステップS404)、未修正箇所がある場合には未修正箇所毎に近傍のレイアウト(context)を解析し(ステップS405)、適切な修正方法を選択する(ステップS406)。そして、全ての未修正箇所に対して適切な修正方法を選択した後、レイアウト第2修正を行い(ステップS407)、修正済み設計データを出荷する(ステップS408)。

30

【0118】

出荷の前に、マスクデータプロセッシング、OPC、RET、シミュレーションなどの処理を行い、残存危険箇所がないことを確認してもよい。

【0119】

また図16に示すように、全ての未修正箇所毎に修正方法を選択し、修正処理を行ってもよい。

40

【0120】

さらに、未修正箇所の抽出において、プロセスシミュレータを用いて残存する危険箇所を抽出してもよい。

【0121】

(第5の実施形態)

本発明の第5の実施形態に係る設計レイアウト作成方法を、図17を用いて説明する。図17はプロセス危険箇所の修正フローの別の例を示す。プロセス危険箇所情報、デザインルール、及び設計データ、修正テーブルを設計自動修正ツールに入力し、危険箇所毎に近傍のレイアウト(context)を解析し(ステップS501)、適切な修正方法を選択す

50

る（ステップS502）。そして、全ての未修正箇所適切な修正方法を指示したか否か判定し（ステップS503）、全ての未修正箇所適切な修正方法を選択した後、レイアウト修正を行い（ステップS504）、修正済み設計データを出荷する（ステップS505）。

【0122】

本実施形態の場合にも、出荷の前に、マスクデータプロセッシング、OPC、RET、シミュレーションなどの処理を行い、残存危険箇所がないことを確認してもよい。

【0123】

また図18のフローチャートに示すように、全ての未修正箇所毎に修正方法を選択し、修正処理を行ってもよい。

【0124】

（第6の実施形態）

図19(a)、図19(b)に、コンテキスト(context)を解析して適切な修正方法を選択され修正された例を示す。配線層191、192の危険箇所の修正において、修正対象を配線層のみとした場合、図19(a)のケースでは2本の配線層191、192間にショートエラー193(星印で示す)が生じているが、配線層191とポリシリコンレイヤー194の間のコンタクトホールレイヤーの位置制約があり修正することができない。これに対して、コンテキスト解析及び修正方法選択ステップにおいて、移動対象層にコンタクトホールレイヤー195、ポリシリコンレイヤー194を追加し、図19(b)のように修正できた。すなわち、設計レイアウトであるコンテキストを解析することにより、どのレイアウト層を修正することにより危険箇所が効果的に除去されるかを自動的に判断して修正方針が決定される。修正の際には、前記判断前後においてパターンエッジの移動対象となる層が増加又は減少する(移動対象層の増減)場合がある。

【0125】

また、図20(a)、図20(b)に、コンテキストを解析して適切な修正方法を選択され修正された別の例を示す。配線層の危険箇所修正において、修正対象を危険箇所近傍の図形のみとした場合、図20(a)のケースでは、配線のライン端にオープンエラー201(星印で示す)が生じているが、危険箇所が載った図形も周囲の図形も最小デザインルールの線幅・スペースでデザインされており、線幅を太らせる余地がなく修正ができない。これに対して、コンテキスト解析及び修正方法選択ステップにおいて、線幅とスペース幅の規定ルールが緩和されたデザインルール緩和ルールを適用した。その結果、図20(b)のように、修正対象パターン及びその近傍パターンの線幅とスペース幅を緩和して危険箇所の修正が行われた。

【0126】

さらに、図21(a)、図21(b)に、コンテキストを解析して適切な修正方法が選択され修正された別の例を示す。配線層の危険箇所修正において、パターンエッジを所定の間隔で区切るジョグ分割を行わない修正を行った場合、図21(a)のケースでは、配線のライン端近傍にオープンエラー211(星印で示す)が生じているが、危険箇所が載った図形も周囲の図形も最小デザインルールの線幅・スペースでデザインされており、線幅を太らせる余地がなく修正ができない。これに対して、コンテキスト解析及び修正方法選択ステップにおいて、パターンエッジにジョグを入れてジョグ単位で修正するジョグ入り修正方法を適用した。その結果、図21(b)のように、危険箇所近傍に位置する修正対象パターンのジョグを修正することにより危険箇所の修正が行われた。

【0127】

（第7の実施形態）

図22に、コンテキストを解析して適切な修正方法を選択する一例を示す。危険箇所について、修正領域が特定形状にマッチする場合(S1)はデータベースを参照して修正する(パターンマッチング修正方法)、またはモデルベース修正を行う(C1)。不適切な修正量が適用される場合(S2)も、モデルベース修正を行う(C2)。修正対象のエッジ長が所定の範囲(S3)であれば、ジョグ(Jog)入り修正を行う(C3)。すなわち

10

20

30

40

50

、補正の量が小さすぎる場合、危険を回避することができないが、補正の量が大きすぎると副作用が発生する。例えば、線幅がオープンエラーを修正するために広なりすぎると、副作用に対して隣接パターンで短絡する。スペース幅がショートエラーを修正するために延長され過ぎると配線が副作用でオープンになる。修正領域又はその近傍を含めた領域が最小デザインルールで描かれている場合（S4）は、移動対象層を増やす（C4）。修正対象領域中に最小デザインルールで描かれたパターンが所定の範囲に所定の数以上ある場合（S5）は、パターン間隔を緩和する（C5）。このようにコンテキストの解析及び適切な修正方法を、危険箇所毎に選択していくことにより、危険箇所のほぼ全量を修正することができる。

【0128】

上述した第4乃至第7の実施形態に係る設計レイアウト作成方法によれば、半導体装置製造におけるプロセスマージンが少ない箇所において、設計上、プロセス上の要請に沿った修正を、高速且つ高精度に行うことができる。また、レイアウト毎に最適な修正方法を適用できるので、レイアウトの品質を維持して修正率を向上することができる。これらにより、設計データ作成のターン・アラウンド・タイムを短縮し、コストを削減し、更に製造歩留まりを向上できる。

【0129】

上記第4乃至第7の実施形態に係る設計レイアウト作成方法を用いて半導体装置を製造する場合には、被加工物上にフォトレジスト層を形成し、このフォトレジスト層を上記設計レイアウト作成方法で形成されたフォトマスクを用いて露光する。そして、露光されたフォトレジストを現像してレジストパターンを形成し、レジストパターンを少なくともマスクの一部に用いて被加工物をパターンニングする。これによって、上記第4乃至第7の実施形態に係る設計レイアウト作成方法を用いた半導体装置の製造方法が得られる。

【0130】

上記第4乃至第7の実施形態に係る設計レイアウト作成方法におけるコンピュータ上で実行するための命令のプログラムを、コンピュータ読み取り可能な記憶媒体に記憶することでコンピュータ読み取り可能な媒体も提供できる。

【0131】

上述したように、本発明の実施形態に係る設計レイアウト作成方法は、設計レイアウトから抽出した第1の修正領域を第1の修正方法により修正する工程と、前記第1の修正領域を含むように前記設計レイアウトから抽出した第2の修正領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出されるパターン修正指針に基づいて第2の修正方法により修正する工程とを具備している。

【0132】

そして、上記設計レイアウト作成方法において、下記（A-1）～（J-1）のような特徴を有する。

【0133】

（A-1）前記パターン修正指針は、所定のアルゴリズムにより算出される。

【0134】

（B-1）前記第1の修正方法は、設計レイアウトに対して修正指針が規定されたルールテーブルを参照して修正する方法である。

【0135】

（C-1）前記第2の修正方法は、モデルベース修正方法、グループ化修正方法、パターンマッチング修正方法、ジョグ分割修正方法、パターン間隔緩和修正方法、移動対象層の増減を伴う修正方法、及びデザインルール緩和修正方法のいずれか一つを含む。

【0136】

（D-1）設計レイアウトから抽出された2つの第2の修正領域が近接する場合又はその一部が互いに重なる場合に、前記2つの第2の修正領域を纏めて1つの第2の修正領域とする。

【0137】

10

20

30

40

50

(E - 1) 第 1 の修正方法による修正後の設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値は、第 1 の修正方法による修正前の設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値よりも評価が高く、第 2 の修正方法による修正後の設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値は、第 2 の修正方法による修正前の設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値よりも評価が高くなるように、第 1 及び第 2 の修正方法を規定している。

【 0 1 3 8 】

(F - 1) 前記第 2 の修正方法により修正した設計レイアウトに基づいてウエハ上に形成されるパターンが所定の評価値を満たさない場合、前記第 2 の修正方法により修正した設計レイアウトを更に修正する。

10

【 0 1 3 9 】

(G - 1) 前記第 2 の修正方法により修正した設計レイアウトを更に修正する際に、前記第 2 の修正時に用いたパターン修正指針を参照して新たに生成したパターン修正指針に基づいて設計レイアウトを修正する。

【 0 1 4 0 】

(H - 1) 前記第 1 の修正領域は、前記設計レイアウトのうち、前記設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値が所定の値を満たさない設計レイアウト領域を含み、前記第 2 の修正領域は、前記第 1 の修正方法による修正後の前記設計レイアウトのうち、前記第 1 の修正方法による修正後の前記設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値が所定の値を満たさない領域を含む。

20

【 0 1 4 1 】

(I - 1) 前記設計レイアウトの評価値を、ウエハ上に形成されるパターンのプロセス裕度に基づいて算出する。

【 0 1 4 2 】

(J - 1) 設計レイアウトから抽出された 2 以上の前記第 2 の修正領域を、それぞれの前記第 2 の領域内に位置する設計レイアウトの評価値が低い方から優先して修正する。

【 0 1 4 3 】

また、本発明の実施形態に係る半導体装置の製造方法は、被加工物上にフォトレジスト層を形成する工程と、前記フォトレジスト層をフォトマスクを用いて露光する工程と、露光された前記フォトレジストを現像してレジストパターンを形成する工程と、前記レジストパターンを少なくともマスクの一部に用いて被加工物をパターンニングする工程とを備え、前記フォトマスクには、設計レイアウトから抽出した第 1 の修正領域を第 1 の修正方法により修正する工程と、前記第 1 の修正領域を含むように前記設計レイアウトから抽出した第 2 の修正領域を、前記第 2 の修正領域内の少なくとも一部の設計レイアウトから算出されるパターン修正指針に基づいて第 2 の修正方法により修正する工程とを具備する設計レイアウト作成方法により作成された設計レイアウトに基づくパターンが形成されている。

30

【 0 1 4 4 】

そして、上記半導体装置の製造方法において、下記 (A - 2) ~ (G - 2) のような特徴を有する。

40

【 0 1 4 5 】

(A - 2) 前記パターン修正指針は、所定のアルゴリズムにより算出される。

【 0 1 4 6 】

(B - 2) 前記第 1 の修正方法は、設計レイアウトに対して修正指針が規定されたルールテーブルを参照して修正する方法である。

【 0 1 4 7 】

(C - 2) 前記第 2 の修正方法は、モデルベース修正方法、グループ化修正方法、パターンマッチング修正方法、ジョグ分割修正方法、パターン間隔緩和修正方法、移動対象層

50

の増減を伴う修正方法、及びデザインルール緩和修正方法のいずれか一つを含む。

【0148】

(D-2) 設計レイアウトから抽出された2つの第2の修正領域が近接する場合又はその一部が互いに重なる場合に、前記2つの第2の修正領域を纏めて1つの第2の修正領域とする。

【0149】

(E-2) 第1の修正方法による修正後の設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値は、第1の修正方法による修正前の設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値よりも評価が高く、第2の修正方法による修正後の設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値は、第2の修正方法による修正前の設計レイアウトに基づきウエハ上に形成されるパターンに基づいて算出された評価値よりも評価が高くなるように、第1及び第2の修正方法を規定している。

10

【0150】

(F-2) 前記第2の修正方法により修正した設計レイアウトに基づいてウエハ上に形成されるパターンが所定の評価値を満たさない場合、前記第2の修正方法により修正した設計レイアウトを更に修正する。

【0151】

(G-2) 前記第2の修正方法により修正した設計レイアウトを更に修正する際に、前記第2の修正時に用いたパターン修正指針を参照して新たに生成したパターン修正指針に基づいて設計レイアウトを修正する。

20

【0152】

更に、本発明の実施形態に係る、設計レイアウト作成方法をコンピュータ上で実行するための命令のプログラムを記憶したコンピュータ読み取り可能な媒体は、設計レイアウトから抽出した第1の修正領域を第1の修正方法により修正する手順と、前記第1の修正領域を含むように前記設計レイアウトから抽出した第2の修正領域を、前記第2の修正領域内の少なくとも一部の設計レイアウトから算出したパターン修正指針に基づいて第2の修正方法により修正する手順とを備える。

【0153】

更にまた、本発明の実施形態に係る設計レイアウト作成方法は、設計レイアウトに基づいてウエハ上に形成されるパターンの形状に対する第1の評価値を算出する工程と、前記第1の評価値が所定の条件を満たさない領域を、前記設計レイアウトから抽出する工程と、抽出された前記領域の設計レイアウトを予め定められたルールに基づいて修正する第1の修正工程と、前記第1の修正工程による修正後の前記領域の設計レイアウトに基づいてウエハ上に形成されるパターンの形状に対する第2の評価値を算出する工程と、前記第2の評価値が所定の条件を満たさない部分領域を、修正後の前記領域の設計レイアウトから抽出する工程と、抽出された前記部分領域の設計レイアウトを前記第1の修正工程とは異なる方法により修正する第2の修正工程とを含む。

30

【0154】

そして、上記設計レイアウト作成方法において、下記(A-3)、(B-3)のような特徴を有する。

40

【0155】

(A-3) 前記第1の修正工程は、前記レイアウトの形状毎の修正方法が記載された修正テーブルに基づいた修正を実行し、前記第2の修正工程は、前記設計レイアウトを修正する工程と、修正後の該設計レイアウトに基づいてウエハ上に形成されるパターンの形状に対する評価値を算出する工程と、該評価値が前記所定の条件を満たすかどうかの判定工程とを、前記判定工程において前記所定の条件が満たされるまで順に繰り返し、前記判定工程において前記所定の条件が満たされたときの前記設計レイアウトを修正が終了した最終的な設計レイアウトとする。

【0156】

50

(B-3) 前記第2の修正工程における設計レイアウトを修正する工程は、前記部分領域を構成する複数のエッジを各グループ毎に1つの前記評価値を有するようなグループへとグループ化する工程と、各グループが有する前記評価値が前記所定の条件を満足する閾値に近づくように、前記複数のエッジを移動する工程とを含む。

【0157】

また、本発明の実施形態に係る半導体装置の製造方法は、上記設計レイアウト作成方法を用いて半導体装置を製造するものである。

【0158】

更に、本発明の実施形態に係るコンピュータ読み取り可能な媒体は、設計レイアウトに基づいてウエハ上に形成されるパターンの形状に対する第1の評価値を算出する手順と、前記第1の評価値が所定の条件を満たさない領域を、前記設計レイアウトから抽出する手順と、抽出された前記領域の設計レイアウトを予め定められたルールに基づいて修正する第1の修正手順と、前記第1の修正手順による修正後の前記領域の設計レイアウトに基づいてウエハ上に形成されるパターンの形状に対する第2の評価値を算出する手順と、前記第2の評価値が所定の条件を満たさない部分領域を、修正後の前記領域の設計レイアウトから抽出する手順と、抽出された前記部分領域の設計レイアウトを前記第1の修正手順とは異なる方法により修正する第2の修正手順とを実行させるための設計レイアウト作成プログラムを記憶している。

【0159】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【図面の簡単な説明】

【0160】

【図1】本発明の第1の実施形態に係る設計レイアウト作成方法を示すフローチャート。

【図2】本発明の第1の実施形態に係る設計レイアウト作成方法を実現する、設計レイアウト自動修正ツール及びその周辺の構成を示す図。

【図3】従来の設計レイアウト作成方法を示すフローチャート。

【図4】従来の設計レイアウト作成方法を実現する、設計レイアウト自動修正ツールを示す図。

【図5】さまざまなエラーに対する評価値との関係を説明する図。

【図6】ルールベースの修正で十分な修正量が確保できない例を示す図。

【図7】本発明の第2の実施形態に係るプロセス危険箇所が発生している設計レイアウトを示す図。

【図8】図7におけるショートエラーの箇所を拡大した図。

【図9】図7におけるオープンエラーの箇所を拡大した図。

【図10】本発明の第2の実施形態に係る設計レイアウト作成方法の一例を示す図。

【図11】本発明の第2の実施形態に係る設計レイアウト作成方法の別の例を示す図。

【図12】本発明の第2の実施形態に係る設計レイアウト作成方法のまた別の例を示す図。

【図13】本発明の第3の実施形態に係る設計レイアウト作成方法の一例を示す図。

【図14】本発明の第3の実施形態に係る設計レイアウト作成方法の別の例を示す図。

【図15】本発明の第4の実施形態に係る設計レイアウト作成方法について説明するためのもので、プロセス危険箇所の修正フローの例を示すフローチャート。

【図16】本発明の第4の実施形態に係る設計レイアウト作成方法の他の例について説明するためのもので、プロセス危険箇所の修正フローの例を示すフローチャート。

【図17】本発明の第5の実施形態に係る設計レイアウト作成方法について説明するためのもので、プロセス危険箇所の修正フローの別の例を示すフローチャート。

【図18】本発明の第5の実施形態に係る設計レイアウト作成方法の他の例について説明するためのもので、プロセス危険箇所の修正フローの更に別の例を示すフローチャート。

【図19】コンテキストを解析して適切な修正方法を選択され修正された例を示すパターン平面図。

【図20】コンテキストを解析して適切な修正方法を選択され修正された別の例を示すパターン平面図。

【図21】コンテキストを解析して適切な修正方法を選択され修正された別の例を示すパターン平面図。

【図22】コンテキストを解析して適切な修正方法を選択する例の一例を示すフローチャート。

【符号の説明】

【0161】

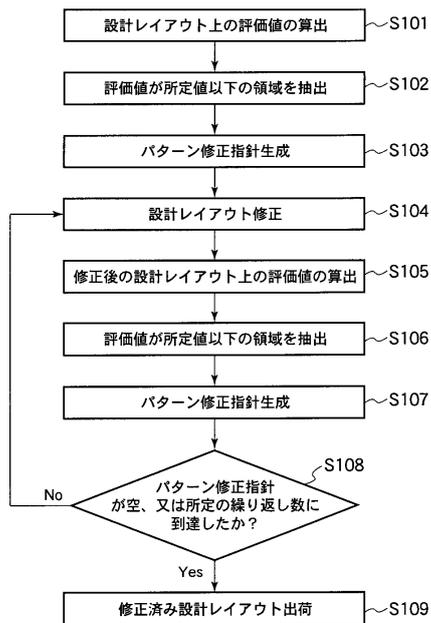
S101～S109、S301～S308…ステップ、80、90…近傍、81～86、91～96、111、112、122…エッジ、113、114…ジョグ、120…エッジ選択範囲、121…配線、200、400…設計レイアウト自動修正ツール、201…設計レイアウト、202…プロセス危険箇所情報、203…デザインルール、204…修正テーブル、205…プロセス危険箇所修正ライブラリ記憶装置、206…モデルベース修正指針算出装置。

10

20

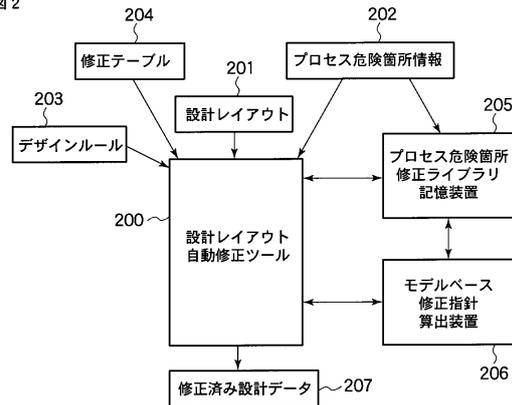
【図1】

図1



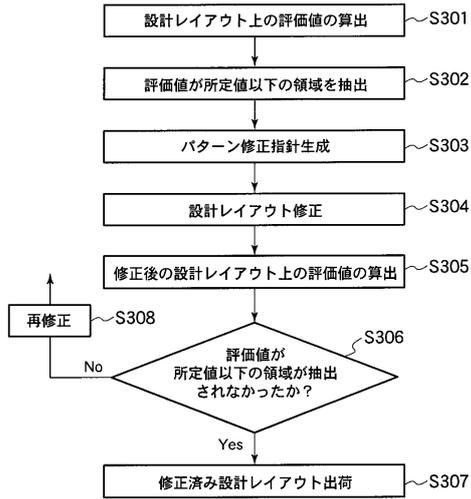
【図2】

図2



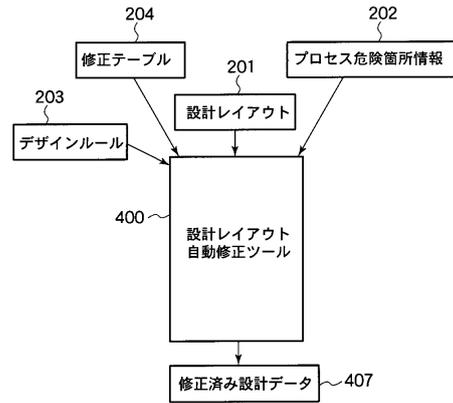
【 図 3 】

図 3



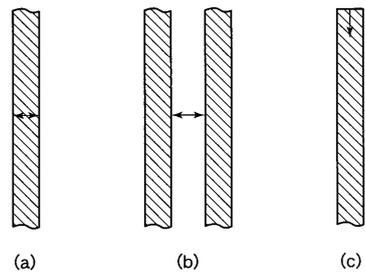
【 図 4 】

図 4



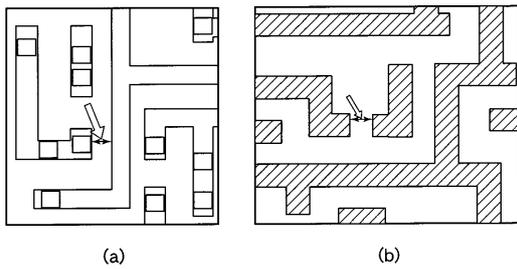
【 図 5 】

図 5



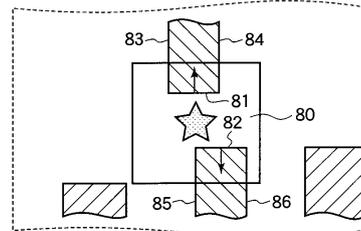
【 図 6 】

図 6



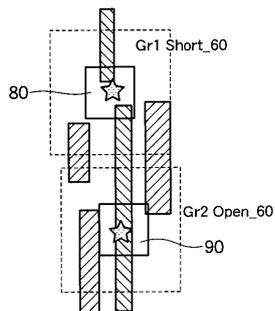
【 図 8 】

図 8



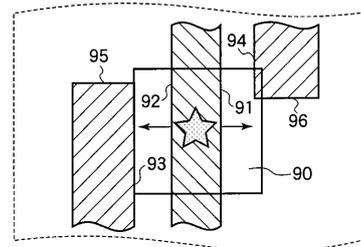
【 図 7 】

図 7



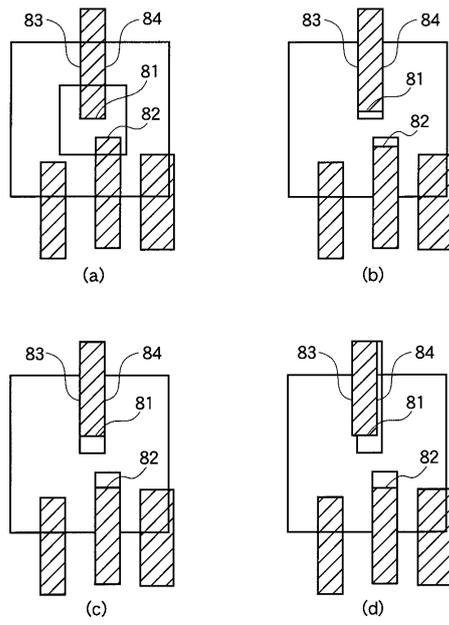
【 図 9 】

図 9



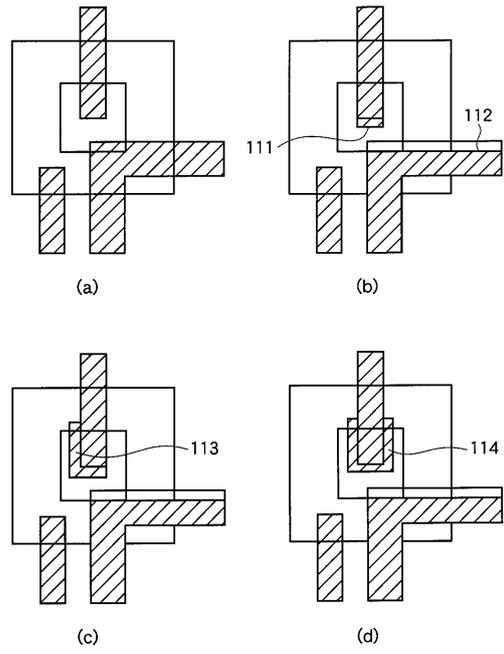
【図 10】

図 10



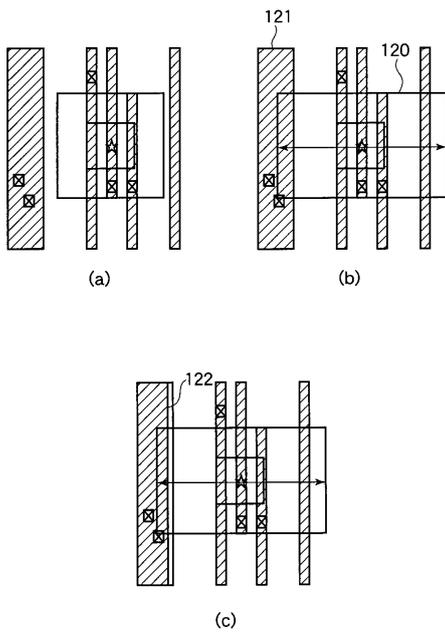
【図 11】

図 11



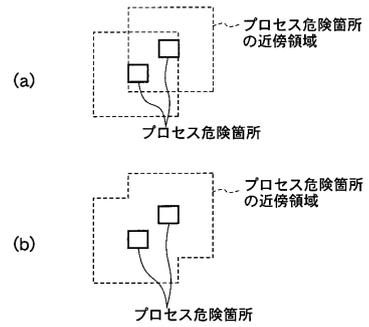
【図 12】

図 12



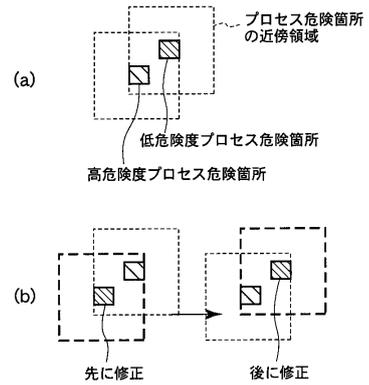
【図 13】

図 13



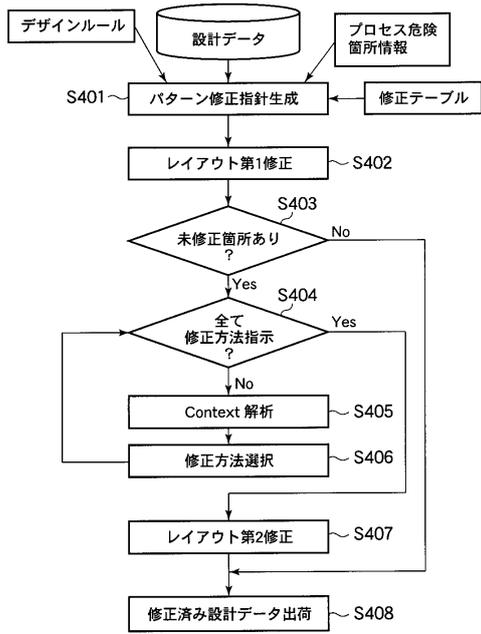
【図 14】

図 14



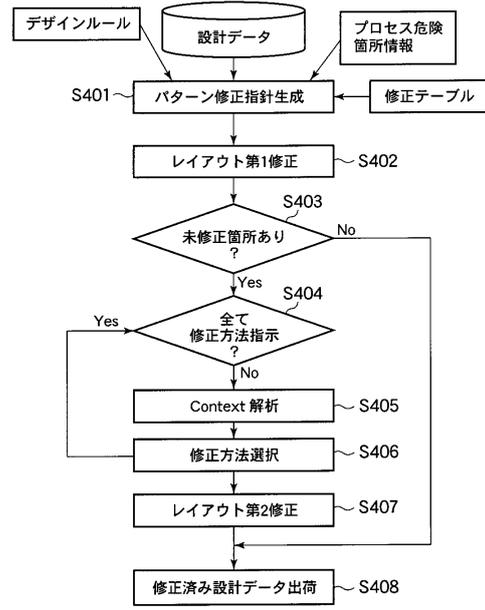
【図15】

図15



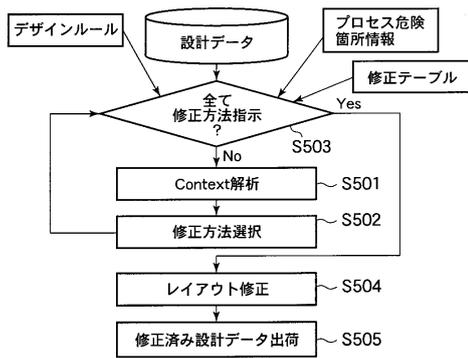
【図16】

図16



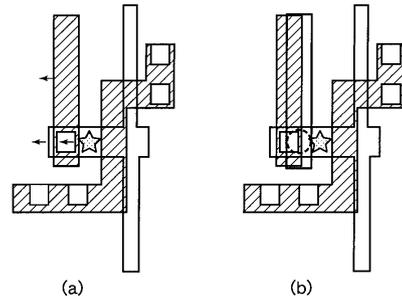
【図17】

図17



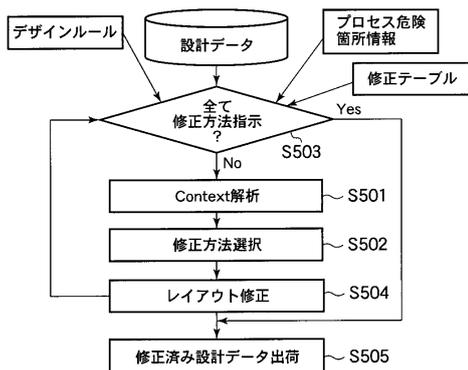
【図19】

図19



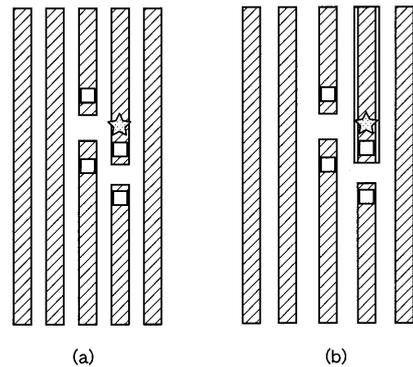
【図18】

図18



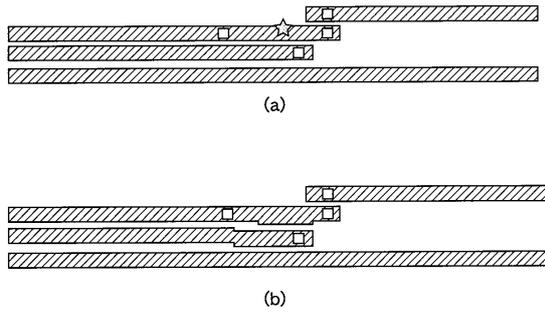
【図20】

図20



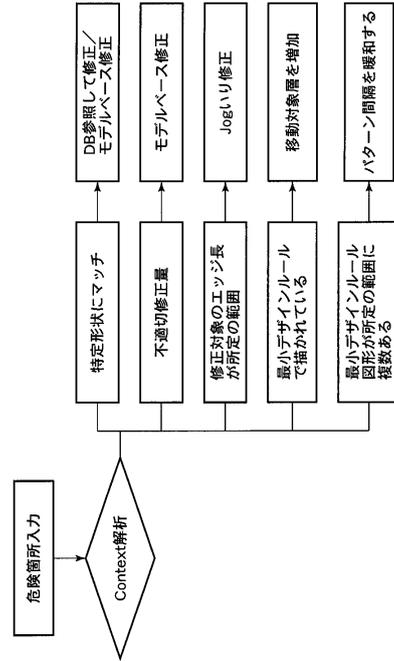
【 2 1 】

図 21



【 2 2 】

図 22



フロントページの続き

- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 小林 幸子
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 姜 帥現
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 秋田 将行

- (56)参考文献 特開2002-006475(JP,A)
特表2002-543471(JP,A)
特開2003-167323(JP,A)
特開2003-322945(JP,A)
特表2003-525470(JP,A)
特開2004-030579(JP,A)
特開2005-148176(JP,A)
特開2005-181524(JP,A)
特開2005-181612(JP,A)
特開2006-023649(JP,A)
特開2006-053248(JP,A)
特開2007-256305(JP,A)

(58)調査した分野(Int.Cl., DB名)

G03F 1/00 - 1/86
G03F 7/20 - 7/24
G03F 9/00 - 9/02
H01L 21/027