

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H03M 7/30	(45) 공고일자 2000년08월01일
	(11) 등록번호 10-0263599
	(24) 등록일자 2000년05월18일
(21) 출원번호 10-1992-0015535	(65) 공개번호 특1993-0007106
(22) 출원일자 1992년08월28일	(43) 공개일자 1993년04월22일
(30) 우선권주장 91202221.7 1991년09월02일 EP(EP)	
(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이. 네델란드왕국 아인드호펜 그로네보르스베그 1	요트.게.아. 롤페즈
(72) 발명자 라이몬드 니콜라스 요한 펠두이스 네델란드왕국 아인드호펜 그로네보르스베그 1	
(74) 대리인 이병호 네델란드왕국 아인드호펜 그로네보르스베그 1	

심사관 : **나용수**

(54) 인코딩 시스템

**요약**

제1 및 제2신호 성분으로 구성된 광대역 디지털 신호의 서브밴드 코딩을 위한 서브밴드 코더를 구비한 인코딩 시스템.

적어도 제1 및 제2신호 성분(좌, 우)으로 구성되는 광대역 디지털 신호의 서브밴드 코딩을 위한 서브밴드 인코딩 시스템에 있어서, 디지털 신호는 적어도 제1 및 제2의 서브밴드 신호 성분으로 구성되는 서브밴드로 분리된다. 서브밴드(m)내의 서브밴드 신호 성분은 어떤 비트의 수(nmr, nml)로 나타내어진 q개의 샘플로 된 신호 블록으로 구성되어 있다. 이들 수(nml, nmr)는 비트 니드 결정 수단(16.1, 16.r)에서 결정되는 비트 니드(bmr, bml)의 함수로서 비트 할당 수단(7)에서 수행되는 비트 할당 단계 동안에 얻어진다.

비트 할당 단계 이전에 이 신호 블록에 대한 비트 니드(bml)에 관계없이 서브밴드(SBm)내의 신호 성분(1)의 신호 블록에 비트가 초기에 할당되는지의 여부를 결정하는 결정 수단(제 2, 6, 7 도)이 제공된다.

서브밴드내의 신호 블록에 대하여 초기 비트 할당이 필요하다고 결정되면, 초기 비트 할당은 또한 서브밴드내의 적어도 제2의 해당 신호 블록에 인가되는 방식의 상호 작용이 있다.

**대표도**

**도2**

**명세서**

[발명의 명칭]

인코딩 시스템

[도면의 간단한 설명]

제1도는 인코딩 시스템의 사시도.

제1a도는 시간에 대하여 플롯된 q개의 샘플 신호 블록으로 구성된 좌측 및 우측 서브밴드(subband) 신호 성분의 도시도.

제2도는 결정수단(determining means)의 제1실시예의 도시도.

제3, 4 및 5도는 서브밴드 신호 성분의 신호 블록의 전력(power)(Vi)의 함수로서 여러 가지 할당 단계의 도시도.

제6도는 결정 수단의 제1 실시예의 도시도.

제7도는 결정 수단의 제3 실시예의 도시도.

제8도는 집중(intensity) 모드로 서브밴드(SBp)의 제1 및 제2의 서브밴드 신호 성분을 코딩(coding)하기 위한 시스템의 도시도.

\*도면의 주요부분에 대한 부호의 설명

- 1 : 입력
- 2, 12 : 서브밴드 스플리터(subband splitter)
- 6 : 비트 니드 결정 수단
- 7 : 비트 할당 수단
- 140 : SR 플립 플롭
- 142, 242 : 카운터
- 143 : 비교기
- 30, 50, 147, 152 : OR 게이트
- 34, 36, 38, 40, 148, 149, 154, 155, 156, 159 : AND 게이트
- 32, 150, 153, 158 : 인버터

[발명의 상세한 설명]

본 발명은 각각 특정 샘플링 주파수( $F_s$ )로 샘플된 적어도 제1 및 제2신호 성분으로 구성되는 예를 들면 디지털 스테레오 오디오 신호 같은 광대역 디지털 신호의 서브밴드 코딩을 위한 서브밴드 코더(subband coder)를 포함하는 인코딩 시스템에 관한 것인데 상기 서브밴드 코더는 광대역(wideband) 디지털 신호에 응답하여 샘플링 주파수 감소에 의하여  $M$  개의 서브밴드 신호를 발생하기 위한 신호 분리 수단(signal splitting means)을 포함하는데 이를 위해 상기 분리 수단은 광대역 신호를 주파수에 따라 증대하는 대역 수( $m$ )(여기서  $m=1 \leq m \leq M$ )를 갖는 연속 서브 밴드로 분리하고 각 서브밴드 신호는 적어도 제1 및 제2 서브밴드 신호 성분으로 구성되어 있고, 상기 인코딩 시스템은 서브밴드(SB $_m$ )의 제1 및 제2의 서브밴드 신호 성분을 블록마다 양자화하기 위한 양자화 수단을 더 포함하고 있고 양자화된 서브 밴드 신호 성분은 연속 신호 블록으로 구성되고 각 신호 블록은  $q$  개의 샘플을 포함하고 있으며 서브밴드(SB $_m$ )의 제1 및 제2의 양자화된 서브밴드 신호 성분의 대응하는 신호 블록내의 상기  $q$  개의 샘플은  $n_{m1}$  및  $n_{m2}$  로 각각 나타내어지며 이를 위해 양자화 수단은 서브밴드내의 대응하는 신호 블록에 대한 비트 니드(bit need)( $b$ )를 결정하기 위한 비트 니드 결정 수단을 구비하는데 상기 비트 니드는 서브 밴드(SB)내의 신호 블록의 샘플을 나타내는 비트수에 관련되고, 상기 양자화 수단은 서브밴드(SB $_m$ )내의 대응하는 신호 블록에 대한 값( $n_{m1}$  및  $n_{m2}$ )을 얻기 위해 비트 니드가 비트 니드 결정 수단에서 결정되는 것처럼 비트 니드에 응답하여 비트의 유용한 양을 서브밴드내의 다른 신호 블록의 샘플에 할당하기 위한 비트 할당 수단을 포함하고 있다.

이러한 인코딩 시스템은 참조 리스트의 (1) 유럽 특허 출원 제 289,080(PHN 12.108)호에서 공지되어 있다. 참조 리스트의(6a) 네델란드 특허출원 제 90.01.127(PHN 13.328)호는 그 외에 이러한 인코딩 시스템에서 어떻게 비트 할당이 실현되는지를 서술하고 있다. 서브밴드의 각각에서 단일 서브밴드 신호, 예를 들면 모노 신호(mono signal) 또는 서브밴드의 각각에서 두 개 이상의 신호가 관련될 수 있다. 두 개의 신호에서는 스테레오 신호로 생각할 수 있고, 세 개의 신호에서는 좌측, 중심, 우측 신호(left, central, right signal)라고 생각할 수 있으며 네 개의 신호에서는 4 채널 신호(quadrasonic signal)라고 생각할 수 있다.

본 발명의 목적은 서브밴드의 각각에서 두 개이상의 서브밴드 신호 성분으로 구성되는 서브밴드 신호의 코딩을 위한 비트 할당(bit allocation)을 개선하는 것이다.

본 발명에 따르면 인코딩 시스템은 게다가 양자화 수단(quantizing means)이 결정수단(determining means)을 구비하고 있는데 이 결정 수단은 서브밴드(SB $_m$ )내의 제1 서브밴드 신호 성분의 신호 블록에 대하여 신호 블록내의 샘플에 대한 여러 비트의 초기 할당이 신호 블록에 속하고 비트 니드 결정 수단에서 결정된 비트 니드(bit need)에 관계없이 비트 할당 수단에서 실행되는지의 여부를 결정하도록 배열되어 있고 그것에 응답하여 제1 제어 신호를 발생하도록 배열되어 있는 점과 비트 할당 수단이 제1 제어 신호에 응답하여 신호 블록의 샘플에 여러 비트를 초기에 할당하도록 배열되고 또한 서브밴드(SB $_m$ )내의 적어도 제2 서브밴드 신호 성분의 대응하는 신호 블록의 샘플에 적어도 제2 서브밴드 신호 성분의 대응하는 신호 블록의 비트 니드에 관계없이 여러 비트를 초기에 할당하도록 배열되어 있는 점을 특징으로 한다. 상기 네델란드 특허출원(6a)에서 비트할당 단계에서 비트가 미리 신호 블록에 할당될 수 있는 것을 서술하고 있다. 이것으로 인해 초기 비트 할당 단계에서 거기에 할당된 적어도 비트수를 포함하는 이 신호 블록은 틀림없이 코딩될 수 있다. 그러나 예를 들면 제1 및 제2 서브밴드 신호 성분이 서브밴드내에 위치하고 있는 스테레오 신호를 코딩할 때 어떻게 두 개의 서브밴드 신호 성분에 대한 초기의 비트 할당이 실현되는가는 서술하지 않고 있다. 상기 네델란드 특허출원은 단일 서브밴드 신호에 대해서 신호 블록의 전력( $V_i(t)$ ), 신호 블록의 마스크된 양자화 전력(masked quantizing power)( $W_i(t)$ ) 및 서브밴드 신호의 상기 신호 블록에 대한 비트 할당 절차에 기초하여 초기의 비트 할당이 필요한지의 여부를 결정하는 방식을 단지 서술하고 있을 뿐이다.

본 발명에 따르면, 초기의 비트 할당이 해당 신호 블록의 하나에 대해 필요하다는 결정이 있다면 적어도 제2의 해당 신호 블록에도 비트가 초기에 할당되는 방식으로 초기의 비트 할당이 서브밴드내의 해당 신호 블록에 대해서 결정될 때 그 사이에는 상호 작용이 일어난다. 미리 동수의 비트를 두 개이상의 신호 블록에 할당하는 것을 선호하기도 한다. 이러한 상호 작용이 인코딩된 신호의 개선된 청각적 감도(auditory perception)를 제공한다는 것은 실험으로 나타난다.

게다가, 비트 할당 동안에 서브밴드 신호에 대해 어떤 비트도 할당되어서는 안되는 것이 설정될 가능성이 있다면, 사실상 세가지 선택(option)이 있게 된다. 이것에 대하여 결정 수단은 (a)비트가 초기에 할당된다. 또는 (b) 비트가 초기에 할당되지 않는다. 또는 (c) 어떤 비트도 비트 할당 절차 동안에 할당되지 않는다는 것을 결정하게 된다. 상기한 본 발명은 이렇게 상황(a)이 서브밴드 신호 성분의 적어도 하나에 대해 발생한다면, 비트가 미리 적어도 두 개의 서브밴드 신호 성분에 대해 할당되는 것을 가정한다. 즉 주된 개념은 상황(a)이 서브밴드내의 해당 서브밴드 신호 성분의 하나에 대해 발생하는 경우에

대하여 적어도 상호 작용이 있다는 가정에 기초를 두고 있다.

이 상호 작용의 개념은 요구된 바와 같이 상황(b)에 대해서도 적용될 수 있다. 적어도 두 개의 해당 서브밴드 신호 성분에 대해서 상황(b)이 서브밴드 신호 성분의 적어도 하나에 대해서 발생하는 반면, 상황(a)은 어떤 신호 성분에 대해서도 발생하지 않는다고 가정하자. 그러면 비트는 문서(6a)에서 서술된 방식으로 모든 이 서브밴드 신호 성분에 대해서 할당된다.

양자화 단계를 위해 제1 및 제2 서브밴드 신호 성분은 서브밴드가 집중 모드로 코딩되도록 합성된 서브밴드 신호를 형성하기 위해 처진다. 서브밴드내의 두 개의 서브밴드 신호 성분을 이렇게 합성시키는 것을 서술하기 위해 문서(3)의 네델란드 특허출원 제 91.00.173(PHN 13.851)호를 참조하라. 또한 이 합성된 서브밴드 신호에 대하여 초기의 비트 할당은 상기 비트 할당이 서브밴드 신호에 대해 가해지기 전에 필요할 수도 있다. 제1 및 제2 서브밴드 신호 성분에 대한 상기의 것과 동일한 방식으로 초기의 비트 할당이 합성된 서브밴드 신호에 대해서도 필요하지의 여부를 이제는 결정할 수 있게 된다. 원래의 제1 및 제2 서브밴드 신호 성분으로부터 출발하여 두 개의 서브밴드 신호 성분의 적어도 하나 하나에 대하여 초기의 비트 할당이 필요하지의 여부를 다시 결정하게 된다. 만약 그렇다면 복수의 비트가 미리 합성된 서브밴드 신호의 신호 블록에 할당된다. 또한 어떤 비트도 서브밴드 신호 성분의 신호 블록에 할당되어서는 안되는지의 여부를 미리 결정할 수 있다면, 상호 작용의 개념을 상기한 상황 (a) 및 (b)에 확장시키는 것이 합성된 서브밴드 신호에 대해서 합성된 서브밴드 신호의 신호 블록에 대한 초기의 비트 할당이 필요하지의 여부 또는 어떤 비트도 합성된 서브밴드 신호의 신호 블록에 할당되어서는 안되는지의 여부를 결정할 수 있도록 하기 위해 필요하다.

본 발명은 여러 실시예에 관한 도면의 서술에서 보다 자세히 설명되어질 것이다.

제1도는 스테레오 오디오 신호를 코딩하기 위한 인코딩 시스템의 실시예를 도시한다. 예를들면, 오디오 신호의 좌측 신호 성분의 16-비트 샘플이 44KHz의 샘플링 주파수로 입력(1)에 가해진다. 오디오 신호는 서브밴드 스플리터(subband splitter)(2)에 가해진다. 서브밴드 스플리터(2)는 좌측 오디오 신호 성분을 M 개의 서브밴드로 M 개의 필터, 즉, 저역 통과 필터(LP), M-2개의 대역통과 필터(BP) 및 고역 통과 필터(HP)에 의해 분리한다. 예를들면 M 은 32이다. M 개의 좌측 서브밴드 신호 성분의 샘플링 주파수는 9로 표시된 블록에서 감소된다. 이들 블록에서 샘플링 주파수는 인자(M)에 의해서 감소된다. 이렇게 얻은 신호가 출력(3.1, 3.2, ..., 3.M)에 나타난다. 출력(3.1)에서는 신호가 최하위 서브밴드(SB<sub>1</sub>)에 나타난다. 출력(3.2)에서는 신호가 최하위 것보다 하나위의 서브밴드(SB<sub>2</sub>)에 나타난다. 출력(3.M)에서는 신호가 최상위 서브밴드(SB<sub>M</sub>)에 나타난다. 출력(3.1 - 3.M)에서의 신호는 16 또는 그 이상, 예를들면 24 비트수로 표현된 연속 샘플의 형태를 갖는다. 좌측 서브밴드 신호 성분의 샘플은 제1도의 출력(3.1 - 3.M)에 이와 같이 나타난다. 이들 샘플은 1[k]라 한다.

오디오 신호의 우측 신호 성분의 16 비트 샘플은 출력(11)에 44KHz 샘플링 주파수로 나타난다. 이 신호는 그 필터링 기능에 대해서 스플리터(2)에 있는 필터와 동일한 M 개의 필터에 의하여 M 개의 서브밴드 상으로 우측 오디오 신호 성분을 분산하는 서브밴드 스플리터(12)에 인가된다. 계속하여 M 개의 우측 서브밴드 신호 성분의 샘플링 주파수는 19로 표시된 블록에서 감소된다. 이와 같이 하여 얻어진 신호는 출력(13.1-13.M)에서 나타난다. 출력(13.1)에서는 최하위 서브밴드(SB<sub>1</sub>)으로부터의 신호가 이용가능하고 출력(13.M)에서는 최상위 서브밴드(SB<sub>M</sub>)으로 부터의 신호가 이용 가능하다. 이 신호는 또한 스플리터(2)의 출력(3.1-3.M)에 나타나는 신호와 동일 비트 수를 갖는 샘플의 형태를 갖는다. 이 샘플은 r[k]라고 한다.

제1a도는 시간에 대해서 플롯된 각 서브밴드에서의 두 개의 신호 성분을 도시한다. 각 서브밴드의 두 개의 신호 성분내의 연속한 샘플의 신호 스트림(stream)은 제1a도로부터 분명한 바와 같이 q-샘플 신호 블록에 합성된다. 예를들면 q 는 12 이다.

본 실시예에서는 서브밴드(SB<sub>1</sub>-SB<sub>M</sub>)는 모두 동일폭을 가지고 있다. 그러나 이것이 필수적인 것은 아니다. 크라스너(krasner)의 종래 기술 공표(4)에서 예를들면 각각의 주파수 범위에서 인간의 청각 기관의 임계대역의 대역폭에 근사적으로 해당하는 대역폭을 갖는 여러 서브밴드로 세분하는 것을 논의하고 있다.

서브밴드 스플리터(2 및 12)의 동작은 그 동작이 이미 광범위하게 논의되었기 때문에 더 이상 논의하지 않을 것이다. 이를 위해 필요하다고 여겨지는 이 출원에 포함되어 고려되고 있는 종래 기술문서((1), (4) 및 (5))를 참조하기 바란다.

좌측 서브밴드 신호 성분의 q 개의 연속한 샘플의 해당 신호 블록은 관련된 양자화기(Q<sub>11</sub> - Q<sub>M1</sub>)에 인가된다. 양자화기(Q<sub>m1</sub>)에서는 신호 블록내의 샘플이 16 보다 작은 비트수(n<sub>m1</sub>)로 구성되는 양자화된 샘플로 양자화 된다.

마찬가지로 우측 서브밴드 신호 성분의 해당 신호 블록은 관련된 양자화기(Q<sub>1r</sub> - Q<sub>Mr</sub>)에 인가된다. 양자화기(Q<sub>mr</sub>)에서는 신호 블록내의 샘플이 16 보다 작은 비트수(n<sub>mr</sub>)로 구성되는 양자화된 샘플로 양자화 된다.

양자화 이전에 신호 블록내의 q 개의 샘플은 먼저 정규화 된다(normalized). 이 정규화는 신호 블록내에서 가장 큰 절대값을 갖는 샘플의 진폭으로 q 개의 샘플의 진폭을 나눔으로써 실행된다. 신호 블록내에서 가장 큰 진폭을 갖는 샘플의 진폭이 스케일 인자(SF)(문서 (2) 참조)를 제공한다. 이어서 -1에서 +1의 진폭 범위에 위치하는 정규화된 샘플의 진폭은 양자화된다.

종래 기술의 문서(2)에서는 이 양자화가 광범위하게 논의되고 있다(제 24, 25 및 26도와 상기 문서의 관련된 기술을 참조).

서브밴드 (SB<sub>1</sub> - SB<sub>M</sub>)내의 좌측 신호 성분의 양자화된 샘플은 그후에 각각의 출력(4.1 - 4.M)에서 나타난

다. 서브밴드 ( $SB_1 - SB_M$ )내의 우측 신호 성분의 양자화된 샘플은 각각의 출력(14.1 - 14.M)에서 나타난다.

출력(3.1 - 3.M)은 비트 니드 결정 수단(6)에 속해 있는 유닛(16.1)의 각각의 입력(5.1 - 5.M)에 또한 접속되어 있다. 게다가, 출력(13.1 - 13.M)은 비트 니드 결정 수단(6)에 속해 있는 유닛(16.r)의 각각의 입력(15.1 - 15.M)에 접속되어 있다. 유닛(16.1 및 16.r)은 서브밴드( $SB_1 - SB_M$ )내의 좌측 및 우측 서브밴드 신호 성분의 시간과 일치하는 q-샘플 신호 블록에 대한 비트 니드( $b_{m1}$  및  $b_{mr}$ )를 결정한다. 비트 니드( $b_{m1}$  및  $b_{mr}$ )는 서브밴드 -m 신호의 좌측 및 우측 신호 성분의 q-샘플 신호 블록내의 q 개의 샘플이 양자화 되어야만 하는 비트의 수에 관련된 숫자이다.

비트 니드 결정 수단(6)에 의하여 유도된 비트 니드( $b_{11} - b_{M1}$  및  $b_{1r} - b_{Mr}$ )는 비트 할당 수단(7)에 인가된다. 비트 할당 수단(7)은 비트 니드에 근거하여 서브밴드 신호( $SB_1 - SB_M$ )내의 좌측 및 우측 서브밴드 신호 성분의 해당 신호 블록의 q 개의 샘플이 양자화 되는 비트의 실제수( $n_{11} - n_{M1}$  및  $n_{1r} - n_{Mr}$ )를 결정한다. 수( $n_{11} - n_{M1}$ )에 해당하는 제어 신호는 라인(8.1 - 8.M)상으로 각각의 양자화기( $Q_{11} - Q_{M1}$ )에 인가되어 양자화기는 정확한 비트수로 좌측 신호 성분의 샘플을 양자화 할 수 있게 된다. 수( $n_{1r} - n_{Mr}$ )에 해당하는 제어 신호는 라인(18.1 - 18.M)상으로 관련된 양자화기( $Q_{1r} - Q_{Mr}$ )에 인가되어 역시 이들 양자화기가 정확한 비트수로 우측 신호 성분의 샘플을 양자화할 수 있게 된다.

참조 리스트의 문서((6a) 및 (6b))는 비트 니드 결정 수단(6) 및 비트 할당 수단(7)이 어떻게 기능하는지를 광범위하게 논의하고 있다.

문서((6a) 및 (6b))는 전력( $V_{m1}$ ) 및 진폭( $W_{m1}$ )이 좌측 서브밴드 신호 성분의 해당 신호 블록내의 샘플로부터 어떻게 유도되는지 및 비트 니드( $b_{m1}$ )가 진폭( $W_{m1}$ ) 및 스케일 인자( $SF_{m1}$ )로부터 어떻게 유도되는지를 설명한다. 진폭( $W_{m1}$ )은 이때 서브밴드( $SB_m$ )내의 좌측 서브밴드 신호 성분의 신호 블록에서의 마스크된 양자화 노이즈의 전력을 나타낸다. 마찬가지로, 유닛(16.r)은 우측 서브밴드 신호 성분의 해당 신호 블록내의 샘플로부터 전력( $V_{mr}$ ) 및 진폭( $W_{mr}$ )을, 진폭( $W_{mr}$ ) 및 스케일 인자( $SF_{mr}$ )로부터는 비트 니드( $b_{mr}$ )를 유도한다. 진폭( $W_{mr}$ )은 이때 서브밴드( $SB_m$ )내의 우측 서브밴드 신호 성분의 신호 블록내의 마스크된 양자화 노이즈의 전력을 나타낸다.

상기 문서는 이때 비트 할당 수단(7)에서 실행되는 비트 할당을 서술한다. 비트 할당은 주로 모노 신호(mono signal)에 대해서 서술된다. 상기 기술된 비트 할당 알고리즘에서 계산된 비트 니드( $b_1 - b_M$ )로부터 출발하여 비트의 이용가능한 수(B)는 진폭( $n_1 - n_M$ )을 얻기 위하여 서브밴드내의 해당 신호 블록의 샘플에 대해 분산된다. 상기 기술된 방식으로 항상 가장 큰 비트 니드( $b_i$ )는 여러 사이클 단계에서 결정되고 그후에 샘플당 비트수(p)가 서브밴드( $SB_i$ )내의 신호 블록에 할당된다. 제1의 시간 동안에 서브밴드( $SB_i$ )내의 신호 블록에 할당된 비트의 경우에 있어서 p는 예를들면 2이다. 만약 비트가 다시 나중 단계에서 서브밴드(i)내의 신호 블록에 할당되면 p는 더 작은 값을 가지게 된다. 예를들면 p는 그때에 1이 된다.

상기 문서는 스테레오 신호가 비트 할당 수단(7)에 의하여 처리되는 것을 기술하고 있다. 이 경우에 두 가지 선택이 있다. 제1 선택은 다음과 같다.

이 선택에 있어서 비트 할당은 좌측 및 우측 서브밴드 신호 성분에 대해서 따로 수행된다. 상기 논의된 방법에 있어서, B의 값은 비트 할당에 대하여 사용되었다. B는 그때 이용가능한 비트의 수와 같았다. 지금의 경우에는 이용가능한 비트의 수의 단지 절반이  $n_{11}$  내지  $n_{M1}$ 의 계산을 위해 B로 취해지는 것이 분명하다. 이용가능한 비트의 다른 절반은  $n_{1r}$  내지  $n_{Mr}$ 을 얻기 위하여 우측 서브밴드 신호에 비트 할당을 위해 사용되어진다.

좌측 및 우측 서브밴드 신호에 대하여 별개로 비트 할당이 있는 제1 선택과는 반대로, 제2 선택에서는 2M 비트니드( $b_{11}$  내지  $b_{M1}$  및  $b_{1r}$  내지  $b_{Mr}$ )가 유닛(7)과 유사한 비트 할당 유닛에 인가된다. 이 유닛에서  $n_{11}$  내지  $n_{M1}$  및  $n_{1r}$  내지  $n_{Mr}$ 의 2M 수는 모노(mono) 신호에 관한 두 개의 문서에서 서술된 바와 유사한 방식으로 이용 가능한 비트의 실제수(B)로부터 유도된다.

상기 문서((6a) 및 (6b))는 인코딩 시스템에 포함되는 결정 수단의 실시예를 서술한다. 이들 결정 수단에서의 신호 블록에 대한 초기의 비트 할당이 여러 서브밴드에서 수행될 수 있는 가능성이 있다. 상기 문서의 제11 내지 14도의 서술을 참조한다. 상기 문서는 서브밴드의 해당 블록이 코드화 되는 연속한 시간 구간에 전력( $V_1$  내지  $V_m$ ) 및 진폭( $W_1$  내지  $W_m$ )에 근거하여 초기의 비트 할당이 신호 블록에 대해서 수행되는지 또는 초기의 비트 할당이 일어나서는 안되는지 또는 어떤 비트도 신호 블록에 할당되어서는 안되는지를 어떻게 결정할 수 있는지를 서술한다.

당연히 상기 서술된 방법이 스테레오 신호에 대하여 초기의 비트 할당이 필요한지의 여부 및 어쩌면 어떤 비트도 신호 블록에 할당되어서는 안되는지의 여부를 정하기 위하여 이와 같이 한 위치에 있는 각 별개의 서브밴드 신호 성분에 인가될 수 있다.

제2도는 본 발명에 따른 결정 수단의 실시예를 도시한다. 실시예는 점선으로 표시된 두 개의 섹션(20.1 및 20.2)으로 구성되어 있다. 두 섹션은 동일하다. 한 섹션, 예를들면 섹션(20.1)은 이미 서술되어 있고 상기 문서 즉 이들 문서내의 제11도의 서술에서 도시되어 있다. 섹션(20.1)의 동작의 서술은 이하에서 주어진다. 이 기술은 본 응용의 제 3, 4 및 5도에 나타난 상황을 근거로 하고 있다.

제 3, 4 및 5도는 서브밴드 신호 성분에 미리 비트가 할당되거나 또는 전혀 할당되지 않는 서브밴드(i)내의 서브밴드 신호 성분의 연속한 신호 블록에 대한 상황을 나타내고 있다. 도면은 M 개의 서브밴드의 해당 신호 블록이 처리되는 연속한 시간 구간( $\Delta T$ )을 도시하고 있다. 각 시간 구간에서 전력  $V_i(t)$  및

진폭  $W_i(t)$ 는 각 서브밴드(SB<sub>i</sub>)내의 각 서브밴드 신호 성분에 대하여 결정된다. 서브밴드(SB<sub>i</sub>)내의 제 1 서브밴드 신호 성분에 대해서 진폭( $V_{i1}$  및  $W_{i2}$ )이 계산된다.  $V_{i1}(t)$ 가  $W_{i1}(t)$ 를 초과하면, 비트는 미리 서브밴드(SB<sub>i</sub>)내의 제 1 서브밴드 신호 성분에 대해 할당된다. 제3도에서 분명한 바와 같이 이것은  $t = t_1$  이전의 시간 구간에 대하여 유효하다. 제2도는 초기의 비트 할당이 제 1 서브밴드 신호 성분에 대해 SR 플립 플롭(140)이 "하이" 또는 "논리 1"인 경우에 수행되는지 또는 어떤 비트 할당도 SR 플립 플롭(141)의 출력이 "하이"일 때 수행되지는 않는지 또는 어떤 비트 할당도 카운터(142)의 출력이 "하이"일 때 수행되지 않는지를 나타내는 제어 신호가 진폭( $V_{i1}$  및  $W_{i1}$ )으로부터 유도될 수 있는 회로를 섹션(20.1)에서 도시한다. 후자의 경우에 있어서, 비트는 제 1 서브밴드 신호 성분에 대해 실제로 할당될 수 있지만 이 할당은 그 다음단, 즉, 블록(54)에서 및 아마도 또한 상기 문서의 제5도에서 도시된 방법에 따라 블록(56)에서 수행되어진다.

$t = t_1$ 의 순간에  $V_{i1}(t)$ 는  $W_{i1}(t)$ 보다 작게된다. 비교기(143)의 출력(144)은 "로우"(low)로 되는 반면, 이 비교기의 출력(145)은 "하이"로 된다. 이 "하이" 신호는 OR 게이트(147)를 거쳐 AND 게이트(148)에 인가되어, 클럭 펄스가  $1/\Delta T$ 과 같은 주파수(f)로 AND 게이트(149)로 보내진다. "하이" 신호가 인버터(150)을 거쳐 AND 게이트(149)의 다른 입력에 인가되기 때문에 클럭 펄스는 입력(151)으로 보내진다. 클럭 펄스에 응답하여 카운터(142)는 초기의 카운트 5(십진수)로부터 카운트 다운(count down)한다(제3도 참조). 카운터(142)의 출력이 로우 상태이기 때문에, 플립 플롭(140)의 위치는 변화하지 않고 초기 비트 할당은 유지된다.

한 시간 구간후에  $V_{i1}(t)$ 는  $W_{i1}(t)$ 를 초과하게 된다. 비교기(143)의 출력(144)은 OR 게이트(152)를 거쳐 카운터(142)의 세트 입력에 상승 엣지가 가해지는 것을 의미하는 "하이"로 다시된다. 카운터(142)의 카운트는 다시 5(십진수)로 설정된다.  $t_2$  순간에(제3도 참조),  $V_{i1}(t)$ 는  $W_{i1}(t)$ 보다 작게 된다.  $V_{i1}(t)$ 는 카운터(142)가 카운트 0(십진수)로 역 카운트(counting back)를 허용하기 위하여 상당히 오랫동안  $W_{i1}(t)$ 보다 작게 유지된다. 이것은  $t = t_3$  순간이다(제3도 참조). 이 순간에 카운터(142)의 출력은 "하이"가 된다. 플립 플롭(140)은 이제 리셋(reset)된다. 인버터(150) 및 AND 게이트(149)는 카운터가 0 카운트를 유지하도록 카운터(142)의 카운팅을 방해(block)한다.

비트는 더 이상 미리 제 1 서브밴드 신호 성분에 할당되지 않는다.  $t = t_4$ 의 순간에,  $V_{i1}(t)$ 는 다시  $W_{i1}(t)$ 를 초과하게 된다. 카운터(142)는 카운트 5로 리셋되고 게다가 플립 플롭(140)은 세트되어 비트는 다시 초기에 할당된다.

제4a도는  $V_{i1}(t)$ 는 카운터(142)가 "0"로 카운트 다운되기 전에조차도 어떤 임계값( $V_{thr}$ )이하로 떨어지는 상황을 도시하고 있다.  $t = t_5$  순간에 비교기(143)의 출력(145)은 다시 "로우"로 되고 출력(146)은 "하이"로 된다. 인버터(153)가 AND 게이트(154)의 한 입력에 "하이" 신호를 인가하기 때문에, 출력(146)에서의 "하이" 신호는 AND 게이트(154) 및 OR 게이트(147)를 거쳐 AND 게이트(148)로 보내진다. 카운터(142)는 계속 카운트한다. 초기의 비트 할당국면(phase)은 0(십진법) 카운트에 도달될 때까지 이와 같이 유지된다. 카운터(142)의 출력은 이제 간단히 상승한다. 결과적으로 플립 플롭(141)은 AND 게이트(155)를 거쳐 세트된다. 플립 플롭(141)의 하이 출력 신호는 AND 게이트(156) 및 OR 게이트(152)를 거쳐 그 위에서 카운트 5(십진법)으로 점프하는 카운터(142)의 세트 입력에 피드된다. 게다가 인버터(153)가 "로우" 신호를 AND 게이트(154)의 한 입력에 인가되기 때문에 카운터(142)의 더 이상의 다운-카운팅이 저지된다.  $t_6$  순간 이후로는 계속하여 어떤 비트도 제 1 서브밴드 신호 성분에 할당되지 않는다.

제4b도는  $V_{i1}(t)$ 가 상당히 긴 시간동안  $V_{thr}$  및  $V_{i1}(t)$  사이의 영역에 머무르는 상황을 나타내므로, "초기 비트 할당 없음" 국면이 시작된다.  $t_7$  순간에  $V_{i1}$ 은  $V_{thr}$  보다 작게된다. 이 순간에 출력(145)은 "로우"로 되고 출력(146)은 "하이"로 된다.

이 순간에 플립 플롭(141)은 AND 게이트(155)를 거쳐 세트되고 카운터(142)는 AND 게이트(156) 및 OR 게이트(152)를 거쳐 카운트 5로 리셋된다. 카운터(142)의 출력은 이렇게 "로우"로 되고 플립 플롭(141)의 출력은 다시 "하이"로 된다. 어떤 비트도 제 1 서브밴드 신호 성분에 할당되지 않는다.

제5도는  $V_{i1}(t)$ 가 다시 증가하는 상황을 나타낸다.  $t_8$  순간에  $V_{i1}(t)$ 는  $V_{thr}$ 을 초과한다. 출력(145)은 카운터(142)가 이제 카운트 다운할 수 있도록 "하이"로 된다. 한 시간 구간 후에  $V_i(t)$ 는 다시  $V_{thr}$  보다 작게 된다. 출력(146)은 카운터가 AND 게이트(156) 및 OR 게이트(152)를 거쳐 카운트 5로 리셋되도록 다시 "하이"로 된다.  $V_i(t)$ 가 상당히 오랜 시간동안  $V_{thr}$ 을 초과하게 되면, 카운터(142)는 카운트 0로 카운트 다운하게 될 수 있다.  $t = t_8$ 에서 카운터(142)의 출력은 "하이"로 된다. 플립 플롭(141)은 인버터(158)를 거쳐 "하이" 신호를 공급받는 AND 게이트(159)를 거쳐 리셋되므로, 그 순간에 "비트 할당 없음" 국면은 종료되고 "초기 비트 할당 없음" 국면으로 변하게 된다.

이제까지는 섹션(20.1)의 동작의 서술에 관한 것이다. 섹션(20.2)의 동작은 완전히 동일하다. 섹션(20.2)의 회로는 섹션(20.1)과 동일하고, 섹션(20.1 및 20.2)내의 유사 성분의 참조 번호를 각각 1 또는 2로 시작하지만 유사 값(like value)을 갖는다. 서술된 동작에 있어서, 섹션(20.1 및 20.2)는 이와 같이 제 1 또는 제 2 서브밴드 신호 성분 각각에 대하여 어떤 종류의 초기 비트 할당 국면이 두 개의 서브밴드 신호 성분에 대해서 필요한지를 별개로 결정할 수 있게 된다. 그러나, 본 발명에 따르면 25로 언급된 회로에 의해 실현되는 상호 작용이 삽입된다. 회로(25)는 서브밴드(SB<sub>i</sub>)내의 두 개의 서브밴드 신호 성분에 대한 "초기 비트 할당 국면"을 나타내는 플립 플롭(140 및 240)의 출력 신호가 공급되는 OR 게이트(30)으로 구성된다. OR 게이트(30)의 출력 신호(18A)가 만약 "하이"이면 초기 비트 할당의 국면이 두 서브밴드 신호 성분에 대해 유효하다는 것을 나타낸다. 이것은 플립 플롭(140) 또는 플립 플롭(240) 또는 두 플립 플롭 모두가 "하이" 출력 신호를 가지는 경우이다. OR 게이트(30)의 출력은 인버터(32)를 거

쳐 AND 게이트(34, 36, 38 및 40)의 입력에 접속된다. OR 게이트(30)의 출력이 "하이"이면, AND 게이트(34, 36, 38 및 40)는 인버터(32)를 거쳐 차단(block)되고 "로우" 출력 신호를 갖는다.

카운터(142)의 출력은 AND 게이트(34)의 제 2 입력에 접속되어 있다. 카운터(242)의 출력은 AND 게이트(38)의 제 2 입력에 접속되어 있다. 플립 플롭(141)의 출력은 AND 게이트(36)의 제 2 입력에 접속되어 있고 플립 플롭(241)의 출력은 AND 게이트(40)의 제 2 입력에 접속되어 있다.

플립 플롭(140 및 240)의 출력이 "로우"이면, 카운터(142) 또는 플립 플롭(141)의 출력은 "하이"이고, 카운터(242) 또는 플립 플롭(241)의 출력은 "하이"이고 OR 게이트(30)의 출력은 "로우"이다. 회로(25)내의 AND 게이트는 디블록(deblock)되어 카운터(142 및 242) 및 플립 플롭(141 및 241)의 출력에 각각의 제어 신호 "no IBA1", "no IBA2", "no BA1" 및 "no BA2"로서 신호를 통과하도록 할 수 있게 된다. AND 게이트(34 또는 38)의 어느 하나의 출력이 "하이"이면 이것은 어떤 초기 비트 할당이 제 1 또는 제 2 서브밴드 신호 성분 각각에 대해서 수행되지 않는다는 것을 의미하지만, 이후의 비트 할당 동안에는 비트가 문제의 서브밴드 신호 성분에 할당되어질 수 있다. AND 게이트(36 또는 40)의 어느하나의 출력이 "하이"이면, 이것은 어떤 비트 할당도 제 1 또는 제 2 서브밴드 신호 성분 각각에 대하여 수행되지 않는다는 것을 의미한다.

제2도에 도시된 결정 수단은 제1도에 도시된 시스템내의 유닛(6)에 포함될 수 있다. 그 경우에는 서브밴드 마다 유닛(6)에서 유닛(7)로 인도(lead)하는 5개의 신호 라인이 있는데, 이들 라인상으로 OR 게이트(30) 및 AND 게이트(34, 36, 38 및 40)의 출력 신호가 유닛(7)로 전송될 수 있다. 대신에 결정 수단은 유닛(7)에 포함될 수 있다. 그 경우에는 유닛(6) 및 유닛(7)사이에서 서브밴드마다 4개의 신호 라인이 있는데 그 신호 라인상으로 유닛(6)에서 각 서브밴드에 대해서 결정된 진폭( $V_{i1}$ ,  $W_{i1}$ ,  $V_{i2}$  및  $W_{i2}$ )이 결정 수단으로 전송될 수 있다.

유닛(7)에서는 결정 수단의 제어 신호가 고려되어지는 동안에 정확한 초기 비트 할당이 서브밴드내의 신호 블록에 대해 수행된다.

제6도는 제2도에 도시된 실시예와 아주 유사한 제2 실시예를 도시한다. 제6도에 도시된 결정 수단은 섹션(20.1 및 20.2)으로 구성되어 있다. 그러나 섹션(25)은 여기서는 다른 구조를 가지며 25'으로 언급되고 있다. 서브밴드(SB<sub>i</sub>)의 두 개의 서브밴드 신호 성분내의 초기 비트 할당에 대한 제어 신호(IBA)는 제2도와 동일한 방식으로, 즉, OR 게이트(30)에 의해서 섹션(25')에 의해 유도(derive)된다. 섹션(25')은 또한 카운터(142 및 242)의 출력 신호가 합성되는 OR 게이트(50)을 포함한다. OR 게이트(50)의 출력은 AND 게이트(34)의 입력에 접속되고 AND 게이트(36)의 입력에 인버터(52)를 거쳐서 접속된다. 게다가, OR 게이트(30)의 출력은 AND 게이트(34 및 36)의 제 2 입력에 인버터(32)를 거쳐서 접속된다.

OR 게이트(30)의 출력이 "로우"이면, AND 게이트(34)는 디블록되며 OR 게이트(50)의 신호는 AND 게이트(34)를 거쳐 통과될 수 있다. 이 "no IBA" 신호가 "하이"이면, 이것은 두 개의 서브밴드 신호 성분의 신호 블록에 어떤 초기 비트 할당도 수행되지 않는 것을 가리킨다. 두 개의 OR 게이트(30 및 50)의 출력이 "로우"이면, AND 게이트(36)의 출력에서의 신호가 "하이"로 되므로, 이 경우에는 단일 비트조차도 두 개의 서브밴드 신호 성분의 신호 블록에 할당되지 않는다.

도면에 도시되지 않은 제 3 실시예는 여기에서 간략하게 논의되어진다. 이 제 3 실시예는 제2도에 도시된 실시예와 섹션(25)이 없고 최대값 결정자(determinator)가 이 섹션에 대치되어 있는 점을 제외하고는 많은 유사점을 보여준다. 이 최대값 결정자는 제 1 입력을 통하여 카운터(142)의 카운트가 또 제 2 입력을 통하여는 카운터(242)의 카운트가 공급된다. 최대값 결정자는 두 개의 카운트중 더 큰 것을 결정하고 출력에 이것을 나타낸다. 이 출력은 카운터(142 및 242)의 로드 입력(load input)에 접속되어 있다. 각 인코딩 동작후에, 즉, 각 시간 구간( $\Delta T$ )후에, 두 카운트중 더 큰 것이 두 카운터 모두에 저장된다. 출력 신호(IBA1 및 IBA2)는 이제 항상 동일하다. 이 동일함은 출력 신호 "no IBA1"과 "no IBA2" 및 "no BA1"과 "no BA2" 각각에 대해서도 마찬가지이다(hold).

제7도는 또다른 실시예를 도시한다. 비교기(143 및 243)는 제2도에서 유사 참조 번호를 갖는 비교기와 동일하다. 제7도에 도시된 결정 수단은 제 2 섹션(20.1)을 더 포함하고 있다. 접속 수단(65)이 비교기(143 및 243)와 섹션(20.1) 사이에 삽입되어 있다. 비교기(143 및 243)의 출력(146 및 246)은 이 구조에서는 사용되지 않는다. 비교기(143 및 243)의 출력(144 및 244)은 OR 게이트(70)에서 합성된다. OR 게이트(70)의 출력은 한편 OR 게이트(152)에 접속되어 있고 다른 한편으로 인버터(71)를 거쳐 AND 게이트(72, 73 및 76)의 제 1 입력에 접속되어 있다. 비교기(143 및 243) 각각의 출력(145 및 245)은 AND 게이트(72 및 73)의 제 2 입력에 각각 접속되어 있다. 이들 AND 게이트(72 및 73)의 출력은 OR 게이트(74)에서 합성된다. OR 게이트(74)의 출력은 한편으로 OR 게이트(147)의 입력에 접속되고 다른 한편으로 인버터(75)를 거쳐 AND 게이트(76)의 제 2 입력에 접속되어 있다. 이 AND 게이트(76)의 출력은 인버터(158) 및 AND 게이트(154 및 156)에 접속되어 있다. 플립 플롭(140 및 141) 및 카운터(142)의 출력은 결정 수단에 비트 할당을 위해 사용될 수 있는 제어 신호 "IBA", "no BA" 및 "no IBA"를 직접 발생한다.

제8도는 서브밴드내의 두 서브밴드 신호 성분이 집중 모드로 코드화 될 수 있는 인코딩 시스템의 섹션을 도시한다. 서브밴드(SB<sub>p</sub>)내의 제 1 서브밴드 신호 성분의 q-샘플 신호 블록은 입력 단자(310)에 인가된다. 제 2 서브밴드 신호 성분의 q-샘플 신호 블록, 즉, 서브밴드(SB<sub>p</sub>)내의 우측 서브밴드 신호 성분은 입력 단자(311)에 인가된다. 1로써 언급된 좌측 서브밴드 신호 성분은 나눗셈기(314) 뿐만 아니라 유닛(312)에 인가된다. 유닛(312)에서는 스케일 인자(SF<sub>1</sub>)가 좌측 서브밴드 신호 성분내의 각 신호 블록에 대해서 결정된다. 이 스케일 인자는 예를들면 신호 블록내의 가장 큰 샘플의 진폭과 같다. 나눗셈기(314)에서는 신호 블록내의 모든 샘플이 스케일 인자(SF<sub>1</sub>)에 의하여 나누어진다. I[k](여기서 k는 1에서 q까지 변함)로 언급되는 정규화된 샘플이 나눗셈기(314)의 출력에 나타난다. 샘플(I[k])은 업 카운터(upcounter)로서 배열된 신호 합성 유닛(316)의 제 1 입력에 인가된다. r로 언급된 우측 서브밴드 신호 성분은 유닛(313) 및 나눗셈기(315) 모두에 인가된다. 유닛(313)에서는 스케일 인자(SF<sub>r</sub>)가 우측

서브밴드 신호 성분내의 각 신호 블록에 대해 결정되는데 이 경우에 스케일 인자도 또한 신호 블록내의 가장 큰 샘플의 진폭과 같다. 나뉠셈기(315)에서는 신호 블록의 모든 샘플이 스케일 인자(SFr)에 의하여 나누어진다. 나뉠셈기(315)의 출력에서는 신호 합성 유닛(316)의 제 2 입력에 인가되는 정규화된 샘플( $r[k]$ )이 나타난다. 또한 이 경우에는  $k$  는 1에서  $q$  까지 변화한다. 추가의 나뉠셈기(317)에서는 합해진 샘플( $1[k]+r[k]$ )이 2로 나누어진다. 이와 같이 얻어진 샘플은 양자화기(318)에 인가된다.

비트 니드 결정 수단(6) 및 비트 할당 수단(7)은 서브밴드(SBp)내의 합성된 서브밴드 신호의 신호 블록내의 샘플이 예를들면 문서(6a) 및 (6b)에서 기술된 바와 같은 방식으로 나타내어지는 비트의 수(np)의 방식을 결정한다. 양자화기(318)에서 양자화된 합성된 서브밴드 신호 블록은 그 다음에 전송 매체(323)의 입력(320)에 인가된다. 좌측 및 우측 서브밴드 신호 성분의 관련된 신호 블록에 속하는 스케일 인자(SF1 및 SFr)는 양자화기(336 및 337)에서의 양자화에 뒤이어 전송매체(323)의 입력(319 및 322)에 각각 인가된다. 게다가, 양자화된 합성 서브밴드 신호의 신호 블록내의 샘플이 나타내어지는 비트의 수를 나타내는 할당 정보(np)는 양자화기(335)에서의 양자화에 뒤이어 전송 매체(323)의 입력(321)에 인가된다. 상기 기술된 방법이 서브밴드(SBp)의 좌측 및 우측 신호 성분내의 연속한 해당 신호 블록에 대하여 반복된다.

전송 매체(323)는 예를들면 무선 전송 채널(radio transmission channel)과 같은 무선 전송(wireless transmission)의 형태를 가질 수 있다. 그러나 다른 전송 매체도 또한 가능하다. 이점에서 광 섬유 또는 콤팩트 디스크와 같은 매체등의 광 기록 캐리어를 통한 광학 전송(optical transmission) 또는 예를들면 RDAT 또는 SDAT 같은 기록 및 재생 기술이 사용되는 자기 기록 캐리어에 의한 전송을 생각할 수 있다.

전송 매체(323)의 수신측 단에서는 서브밴드(SBp)내의 합성 서브밴드 신호의  $q$ -샘플 신호 블록이 입력(325)을 통해 역양자화기(329)에 인가된 할당 정보(np)의 영향하에서 입력(326)을 거쳐 역 양자화기(329)에 또한 인가된 양자화된 샘플의 데이터 스트림으로부터 유도된다. 이 방법은 참조 리스트에서 문서(2)에서 광범위하게 논의되고 있다. 이와 같이 얻은 샘플은 그 다음에 곱셈기(330 및 331)에 인가된다. 스케일 인자 정보는 또한 전송 매체(323)를 거쳐 수신기에 인가된 데이터 스트림으로부터 유도된다. 이 스케일 인자 정보는 입력(327 및 328)을 거쳐 곱셈기(330 및 331)에 각각 인가되는 스케일 인자(SF1 및 SFr)로 구성된다. 곱셈기(330 및 331)에서는 합성 서브밴드 신호의 신호 블록내의 샘플이 SF1 및 SFr로 각각 곱해진다. 서브밴드(SBp)내의 좌측 및 우측 서브밴드 신호 성분은 그 다음에 각각의 출력(332 및 333)에서 나타난다.

이 시스템에서 사용되는 결정 수단은 제 6 또는 7도에서 사용되는 것일 수 있다. 더 일반적으로 아래와 같은 것이 관찰될 수 있다.

결정 수단이 초기 비트 할당의 수행 여부에 대한 선택만을 가지고 있다면, 이것은 서브밴드(SBp)내의 제 1 및 제 2 서브밴드 신호 성분을 집중 모드로 코딩하기 위하여 합성 서브밴드 신호에 대한 비트 할당을 결정하는 두 제어 신호, 즉, 신호 "IBA" 및 "no IBA"를 발생하는 결정 수단만이 사용 가능하다는 것을 의미한다.

결정 수단이 초기 비트 할당(IBA), 초기 비트 할당 없음(no IBA) 또는 비트 할당 없음(no BA)의 선택을 가지고 있다면, 이것은 서브밴드(SBp)내의 제 1 및 제 2 서브밴드 신호 성분을 집중 모드로 코딩하기 위하여 합성 서브밴드 신호에 대한 비트 할당을 결정하는 세 개의 제어 신호, 즉, 신호 "IBA", "no IBA" 및 "no BA"를 발생한다.

상기 논의된 실시예에서는 모든 경우에 있어서 이것은 제 1 및 제 2 신호 성분, 예를들면 좌측 및 우측 신호 성분으로 구성된 스테레오 신호로 구성된 광대역 디지털 신호를 코딩하는 것이라고 가정하였다. 그러나 광대역 디지털 신호는 세 개 이상의 신호 성분으로 구성될 수도 있다. 세 개의 신호 성분의 경우는 좌측, 중앙 및 우측 성분을 생각할 수 있다. 좌측 및 우측 신호 성분은(중심 주파수) 및 스테레오 장치에 배열된 고주파수 스피커에 인가되는 고주파수 신호일 수도 있다. 중앙 신호 성분은 예를들면 스테레오(중심 주파수 및) 고주파수 스피커 사이의 중앙 위치에 배열된 우퍼(woofer)에 인가될 수 있는 저주파수 좌측 및 우측 신호 성분의 합일 수 있다. 4개의 신호 성분의 경우는 예를들면 4채널(quadrasonic) 신호를 생각할 수 있다.

본 발명을 세 개의(좌측, 중심, 우측) 신호 성분으로 구성되는 광대역 디지털 신호에 응용한다는 것은 제 1 제어 신호가 좌측 신호 성분에 대하여 발생되었다면, 우측 신호 성분에 속하는 비트 니드에 관계없이 서브밴드내의 좌측 및 우측 신호 성분의 해당 신호 블록에 미리 비트를 할당하거나 또는 세 개의 해당 신호 블록 모두에, 즉, 우측 및 중심 신호 성분이 갖는 비트 니드에 관계없이 중심 신호 성분의 해당 신호 블록에도 역시 미리 비트가 할당되는 것을 의미할 수 있다.

제1의 경우에 있어서 좌측 및 우측 신호 성분 사이에 상호 작용이 있고 이들 신호 성분은 스테레오 신호에 대한 상술의 방식으로 다루어질 수 있다. 중심 신호는 그것에 독립적이다. 어떤 형태의 비트 할당이 이 신호 성분에 대해 사용될 것인가의 결정은 참조(6a)에서 기술된 방식으로 이루어질 수 있다.

제2의 경우에 있어서 세 개의 신호 성분 사이에 상호 작용이 있다. 이 응용에서 기술된 스테레오 신호에 대한 방법은 이들 세 개의 신호 성분이 본 발명에 따른 인코딩 시스템에 의하여 코드화될 수 있도록 단순히 확장될 수 있다.

광대역 디지털 신호가 예를들면 4채널 신호에서와 같이 제 1 신호 성분(좌측 전단), 제 2 신호 성분(우측 전단), 제 3 신호 성분(좌측 후단) 및 제 4 신호 성분(우측 후단)과 같은 4개의 신호 성분으로 구성되어 있다면, 4개의 다른 상호 작용이 가능하다.

제1 가능성은 초기 비트 할당이 신호 성분중의 하나에 대해서 필요하면, 초기 비트 할당은 이들 세 개의 나머지 신호 성분이 갖는 비트 니드에 관계없이 나머지 세 개의 신호 성분에 적용될 수 있다는 의미에서 4개 모두의 신호 성분 사이에 상호 작용이 있다는 것이다.

제 2 가능성은 스테레오 신호의 코딩에 대해 상술된 상호 작용과 동일한 상호 작용이 제 1 및 제 2 신호 성분 사이에서 일어날 수 있다는 것이다. 제 3 및 제 4 신호 성분은 그것에 독립적이다. 어떤 형태의 비트 할당이 이들 신호 성분의 각각에 대해서 일어나는지에 대한 결정은 참조(6a)에서 서술된 방식으로 다시 이루어진다.

제 3 가능성은 제 1 상호 작용이 제 1 및 제 2 신호 성분 사이에서 일어나고 제 2 상호 작용은 제 3 및 제 4 신호 성분 사이에서 일어난다는 것이다. 이 두 상호 작용은 서로에 독립적이고 스테레오 신호의 코딩에 대해 상술된 바와 같은 상호 작용과 각각 동일하다.

모든 경우에 있어서 상술된 회로는 단지 확장되어 4개의 신호 성분으로 구성된 광대역 디지털 신호가 코딩될 수 있다.

참조

- (1) 유럽 특허출원 제 289 080(PHN 12.108)호
- (2) 유럽 특허출원 제 402 973(PHN 13.241)호
- (3) 네델란드왕국 특허출원 제 91.00.173(PHN 13.851)호
- (4) IEEE ICASSP 80, 1980년 4월 9-11

제 1 권 327-331 페이지

엠.에이.크라스너의 "임계 밴드 코더...."

청각 시스템의 인지 필요조건에 근거한 음성 신호의 디지털 인코딩"

- (5) 유럽 특허출원 제 89 201 408.5(PHQ 89.018)호
- (6a) 네델란드왕국 특허출원 제 90.01.127(PHN 13.328)호
- (6b) 네델란드왕국 특허출원 제 90.01.128(PHN 13.329)호

**(57) 청구의 범위**

**청구항 1**

(정정) 광대역 디지털 신호, 예를 들어, 특정 샘플링 주파수 ( $F_s$ )로 각각 샘플된 적어도 제 1 및 제 2 신호 성분으로 구성된 디지털 스테레오 오디오 신호를 서브밴드 코딩하고, 광대역 디지털 신호에 응답하여, 샘플링 주파수 감소에 의해 M개의 서브밴드 신호를 발생하기 위하여 광대역 신호를 주파수에 따라 증가하는 밴드수(m)(여기서,  $m=1 \leq m \leq M$ )를 갖는 연속 서브밴드로 분리하고, 각각의 서브밴드 신호를 적어도 제 1 및 제 2 서브밴드 신호 성분으로 구성하는 신호 분리 수단을 구비한 코딩 수단을 포함하고, 서브밴드(SB<sub>m</sub>)내의 제 1 및 제 2 서브밴드 신호 성분을 블록별로 양자화하여 양자화된 서브밴드 신호 성분이 연속 신호 블록으로 구성되고, 각각의 신호 블록이 q개의 샘플을 포함하며, 서브밴드(SB<sub>m</sub>)내의 제 1 및 제 2 양자화된 서브밴드 신호 성분의 해당 신호 블록 내의 q개의 샘플이  $n_{m1}$  및  $n_{m2}$  비트로 각각 나타내는데, 그러한 양자화를 위해 서브밴드 내의 해당 신호 블록에 대해 비트 필요성(b)을 결정하여 서브밴드(SB)내의 신호 블록의 샘플이 표시되어지는 비트의 수에 관련된 비트 필요성을 결정하고, 서브밴드(SB<sub>m</sub>)내의 해당 신호 블록에 대해 값( $n_{m1}$  및  $n_{m2}$ )을 얻기 위하여 비트 필요성 결정 수단에서 결정되는 비트 필요성에 응답하여 서브밴드 내의 다른 신호 블록의 샘플에 이용 가능한 양의 비트를 할당하는 비트 할당 수단을 구비한 양자화 수단을 더 포함하는 인코딩 시스템에 있어서, 상기 양자화 수단은 서브밴드(SB<sub>m</sub>)내의 제 1 서브밴드 신호 성분의 신호 블록에 대해서 신호 블록 내의 샘플에 대한 여러 비트의 초기 할당이 신호 블록에 속하고 비트 필요성과 무관한 비트 할당 수단에서 실행되어 비트 필요성 결정 수단에서 결정되는지의 여부를 결정하도록 배열되고, 그에 응답하여 제 1 제어 신호를 발생하도록 배열된 결정 수단을 포함하고, 비트 할당 수단은 제 1 제어 신호에 응답하여 신호 블록의 샘플에 여러 비트를 초기 할당하고, 또한 적어도 제 2 서브밴드 신호 성분의 해당 신호 블록의 비트 필요성과 무관한 서브밴드(SB<sub>m</sub>)내의 적어도 제 2 서브밴드 신호 성분의 해당 신호 블록의 샘플에 여러 비트를 초기 할당하도록 배열되어 있는 것을 특징으로 하는 인코딩 시스템.

**청구항 2**

(정정) 제1항에 있어서, 상기 비트 할당 수단은 적어도 두 개의 신호 블록의 비트 필요성과 관계없이, 제 1 제어 신호에 응답하여 서브밴드 (SB<sub>m</sub>)내의 적어도 두 개의 해당 신호 블록의 샘플에 동일 수의 비트를 초기 할당하도록 배열되어 있는 것을 특징으로 하는 인코딩 시스템.

**청구항 3**

(정정) 제1항 또는 제2항에 있어서, 상기 결정 수단은 신호 블록 내의 샘플에 대한 비트 할당이 비트 할당 수단에서 실현되지 않는 것을 서브밴드(SB<sub>m</sub>)내의 신호 블록에 대해서 미리 결정하도록 배열되고, 그에 따라 제 2 제어 신호를 발생하도록 배치되며, 상기 결정 수단은 어떤 비트도 서브밴드(SB<sub>n</sub>)내의 적어도 두 개의 해당 신호 블록에 할당되어서는 안되는 경우에만 제 2 제어 신호를 발생하도록 더 배열되어 있고, 상기 비트 할당 수단은 제 2 제어 신호에 응답하여 적어도 두 개의 해당 신호 블록의 어느 것에도 비트를 할당하지 않도록 배열되어 있는 것을 특징으로 하는 인코딩 시스템.

**청구항 4**

(정정) 제1항 또는 제2항에 있어서, 서브밴드(SB<sub>p</sub>)의 적어도 하나에 대해 강도 모드(intensity mode)에

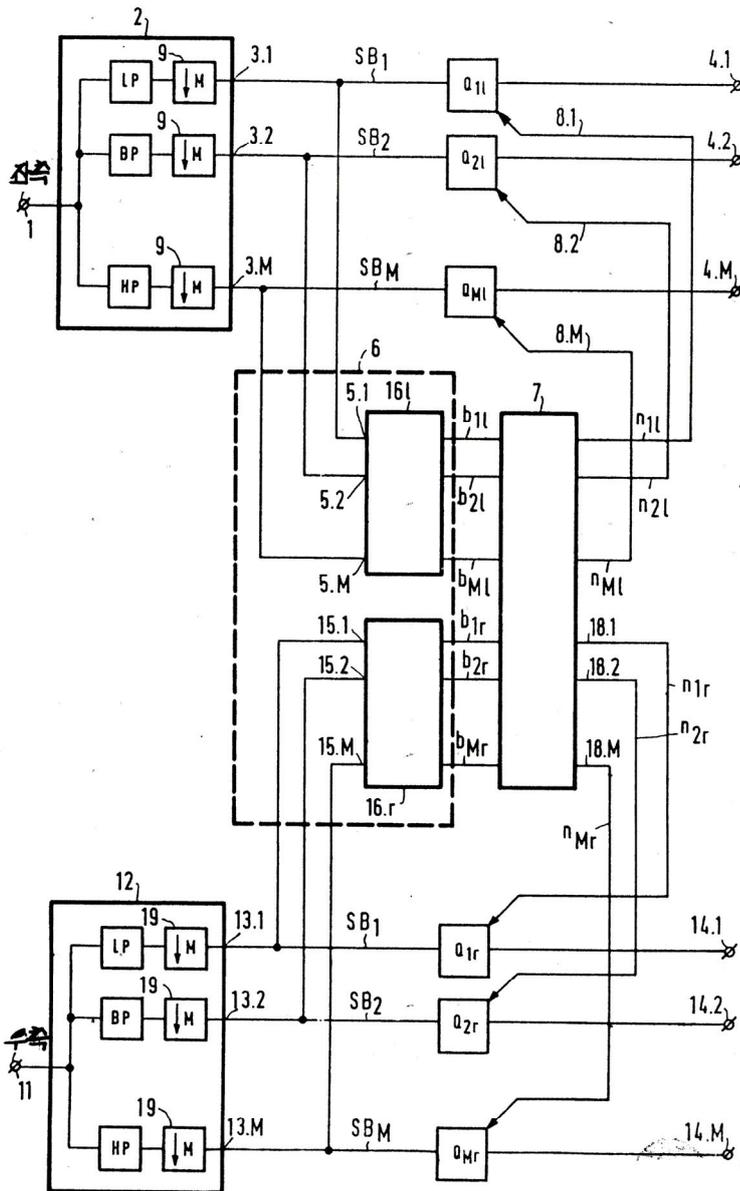
서 코딩하기 위하여, 상기 양자화 수단은 조합된 서브밴드 신호를 얻기 위하여 서브밴드 내의 제 1 및 제 2 서브밴드 신호 성분의 해당 샘플을 조합하도록 배열되고, 조합된 서브밴드 신호를 블록별로 양자화하도록 배열되며, 양자화하여 조합된 서브밴드 신호는 각각  $q$  개의 샘플을 포함하는 신호 블록으로 구성되고, 양자화하여 조합된 서브밴드 신호의 신호 블록내의  $q$ 개의 샘플은  $npc$  개의 비트에 의해 각각 표시되고, 상기 결정 수단은 서브밴드(SB $p$ )내의 조합된 서브밴드 신호의 한 신호 블록에 대해서 제 1 제어 신호를 발생하거나 또는 발생하지 않도록 배열되어 있고, 상기 비트 할당 수단은 제 1 제어 신호에 응답하여 서브밴드(SB $p$ )내의 조합된 서브밴드 신호의 신호 블록의 샘플에 여러 비트를 초기 할당하도록 배열되어 있는 것을 특징으로 하는 인코딩 시스템.

**청구항 5**

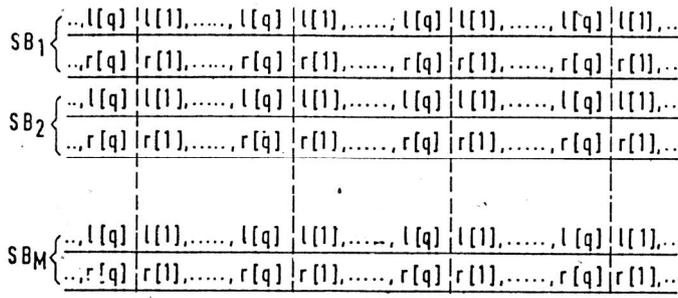
(정정) 제4항에 있어서, 상기 결정 수단은 서브밴드(SB $p$ )내의 조합된 서브밴드 신호의 신호 블록에 대해서 제 2 제어 신호를 유도하거나 유도하지 않도록 배열되어 있고, 상기 비트 할당 수단은 제 2 제어 신호에 응답하여 조합된 서브밴드 신호의 샘플에 비트를 할당하지 않도록 배열되어 있는 것을 특징으로 하는 인코딩 시스템.

**도면**

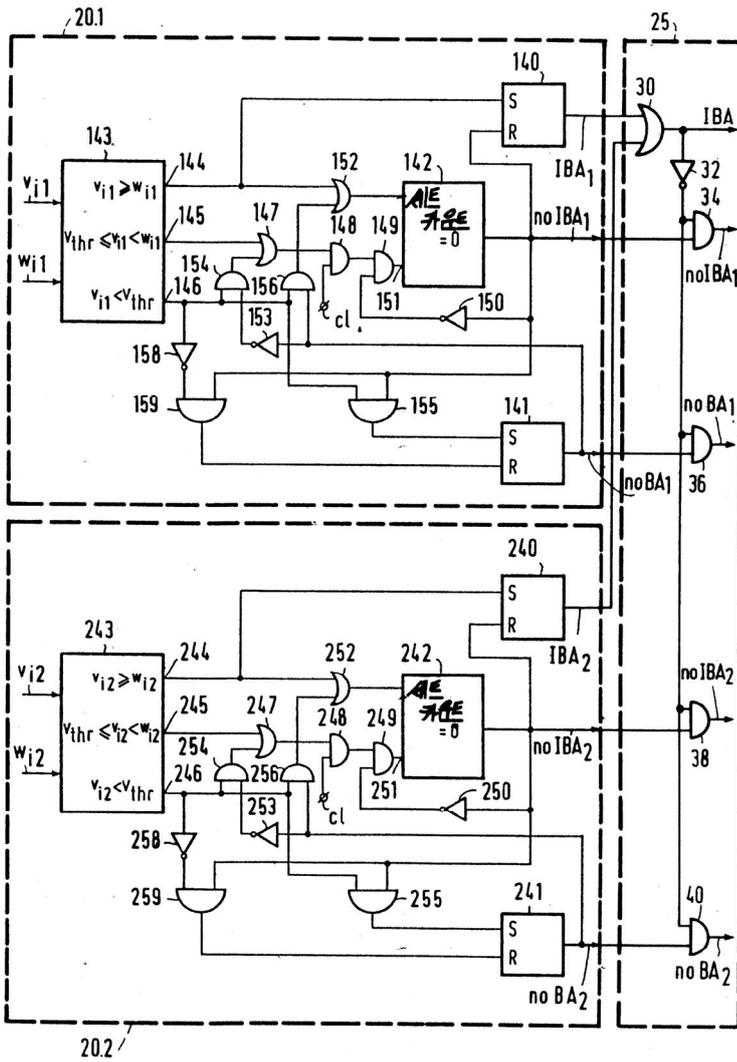
**도면1**



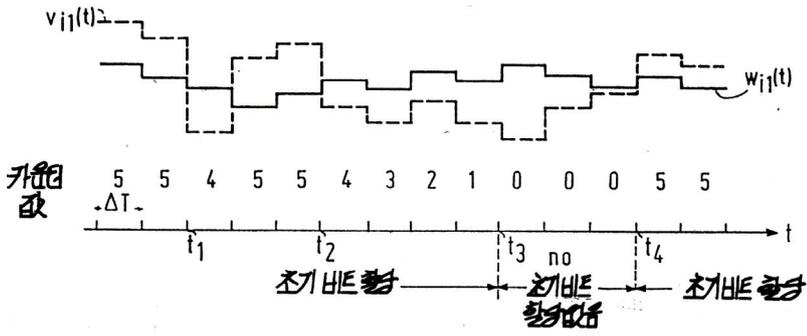
도면 1a



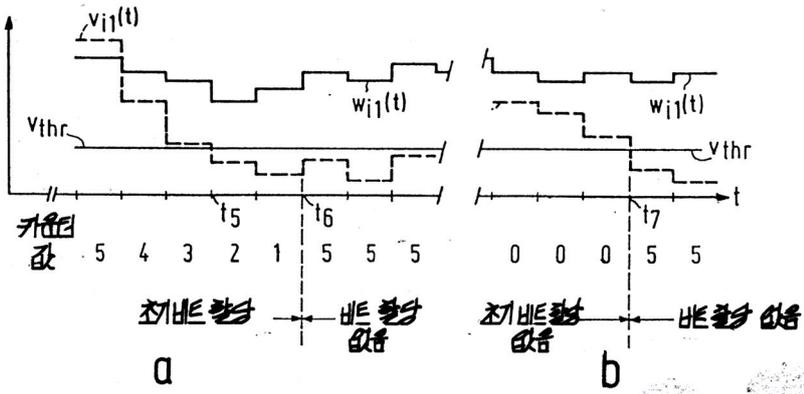
도면 2



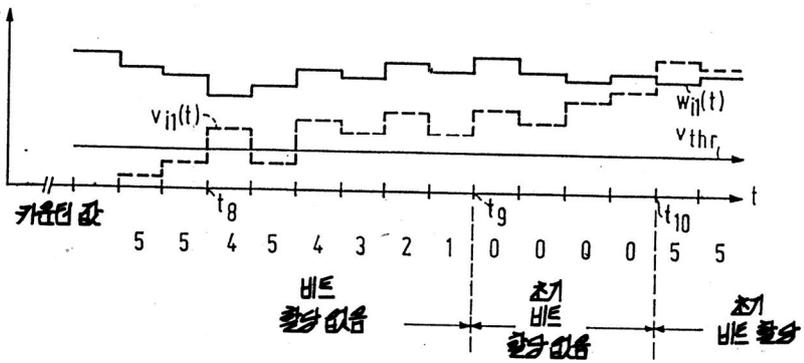
도면3



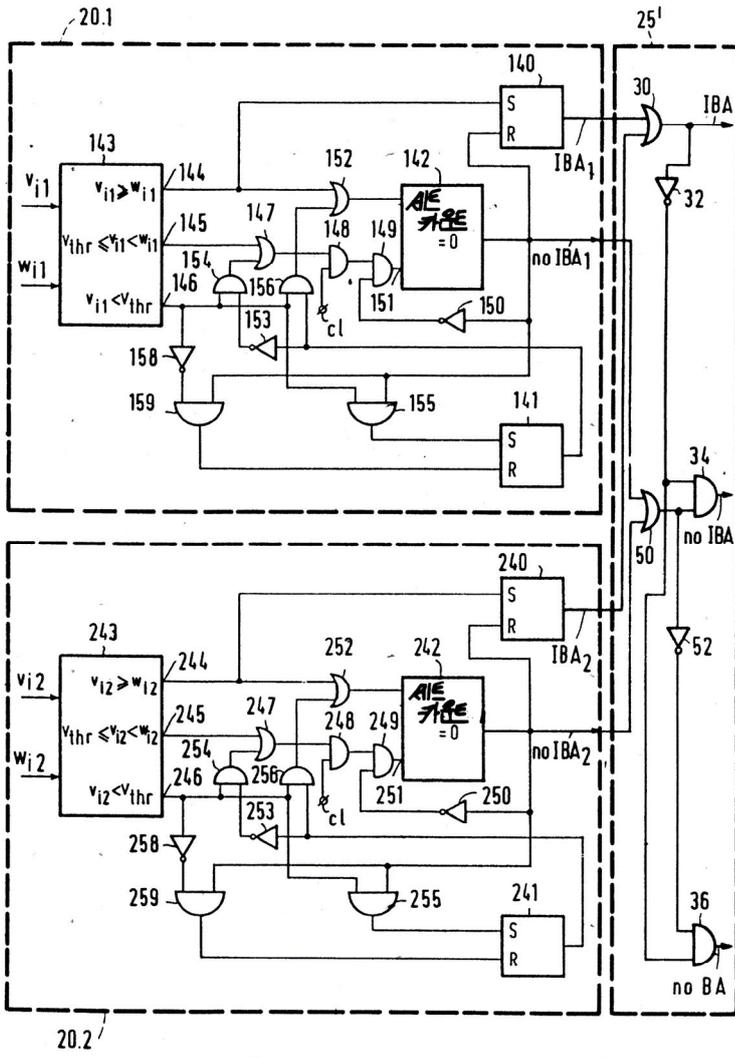
도면4



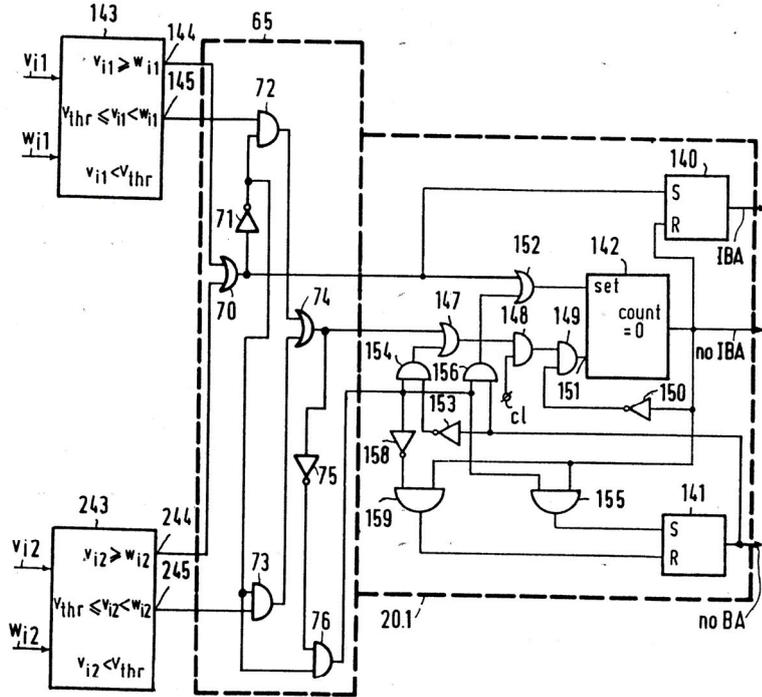
도면5



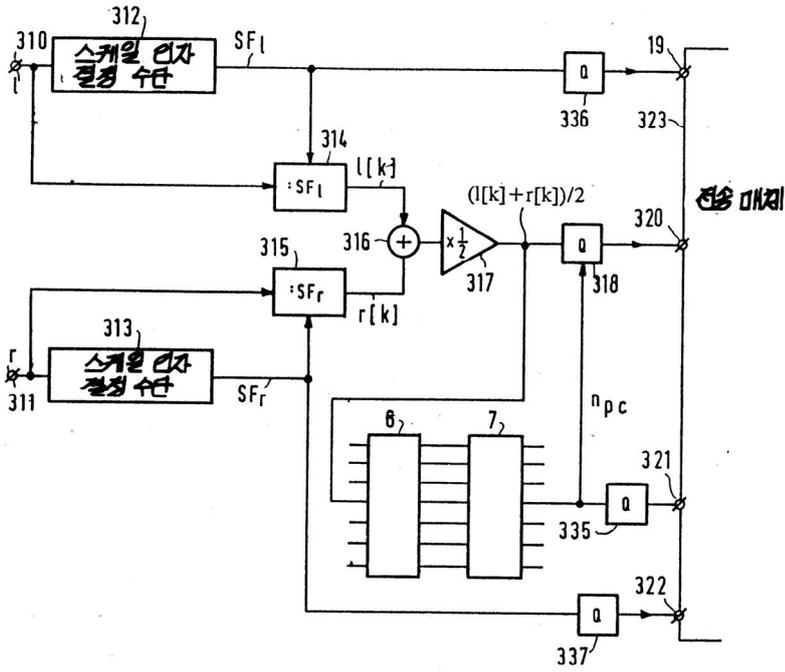
도면6



도면7



도면8a



도면 8b

