



(10) **DE 102 47 819 B4** 2014.10.30

(12)

## Patentschrift

(21) Aktenzeichen: **102 47 819.8**  
(22) Anmeldetag: **14.10.2002**  
(43) Offenlegungstag: **22.04.2004**  
(45) Veröffentlichungstag  
der Patenterteilung: **30.10.2014**

(51) Int Cl.: **H01L 27/146** (2006.01)  
**H04N 5/225** (2006.01)  
**H04N 5/335** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:  
**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:  
**Viering, Jentschura & Partner Patent- und  
Rechtsanwälte, 81675 München, DE**

(72) Erfinder:  
**Seidemann, Georg, 93051 Regensburg, DE**

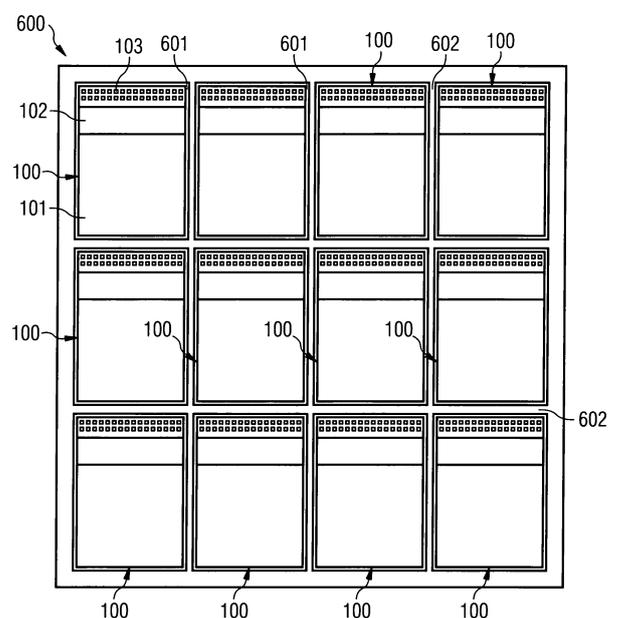
(56) Ermittelter Stand der Technik:

DE	199 62 763	C2
DE	198 40 508	A1
DE	199 33 472	A1
EP	1 187 221	A2

(54) Bezeichnung: **Verfahren zum Herstellen einer Bild-Sensor-Anordnung**

(57) Hauptanspruch: Verfahren zum Herstellen einer Bild-Sensor-Anordnung, bei dem

- eine Mehrzahl von Sensor-Chips auf und/oder in einem Substrat ausgebildet wird, von denen jeder eine Mehrzahl von Sensorfeldern aufweist;
- um jeden der Sensor-Chips herum unter Verwendung eines Lithographie-Verfahrens und unter Verwendung eines Ätz-Verfahrens ein Graben einer Tiefe ausgebildet wird, die größer ist als die Tiefe der Sensorfelder in dem Substrat, wobei um jeden Sensor-Chip herum ein separater Ätzgraben ausgebildet wird und in Bereichen zwischen unterschiedlichen Ätzgraben ein Ätzen vermieden wird;
- ein jeweiliger Sensor-Chip vereinzelt wird, indem von der Rückseite des Substrats Material einer Tiefe abgetragen wird, die mindestens gleich der Differenz zwischen der Dicke des Substrats und der Tiefe des Grabens ist;
- die Sensor-Chips zum Bilden der Sensor-Anordnung form-schlüssig zusammengesetzt werden.



**Beschreibung**

**[0001]** Die Erfindung betrifft ein Verfahren zum Herstellen einer Bild-Sensor-Anordnung.

**[0002]** Die Technologie der Digitalkamera wird zunehmend bedeutsamer.

**[0003]** Allerdings ist es schwierig, eine Bildsensor-Anordnung für eine Digitalkamera mit einer Dimension wie im Falle einer Kleinbildkamera (z. B. 24 mm × 36 mm) oder wie im Falle einer noch größeren Kamera zu realisieren. Bei einer Digitalkamera mit einer Sensorfläche von 24 mm × 36 mm böte sich der Vorteil, eine Standard-Kleinbildkamera und deren optisches Linsensystem auch für die Digitalkamera nutzen zu können. In einem solchen Szenario müsste bei einem Systemwechsel von einer analogen Kamera auf eine digitale Kamera im Wesentlichen nur die Rückwand der Kamera dahingehend modifiziert werden, dass ein herkömmlicher Film durch eine Bildsensor-Anordnung einer geeigneten Dimension ersetzt wird.

**[0004]** Ein Problem bei dem halbleitertechnologischen Herstellen einer in einem Halbleitersubstrat integrierten Bildsensor-Anordnung ist darin zu sehen, dass bei der Verwendung eines Fotosteppers, wie er bei vielen Lithographie-Verfahren verwendet wird, das maximale Bildfeld begrenzt ist (beispielsweise auf 19.6 mm × 26.0 mm mit einer maximalen Diagonale von 31.1 mm). Somit ist lediglich ein Bildfeld einer eingeschränkten Dimension realisierbar. Daher ist ein Ausbilden einer Bildsensor-Anordnung mit einer Größe von 24 mm × 36 mm mit nur einem Belichtungsvorgang während der Lithographie nicht möglich.

**[0005]** Ferner ist ein Bildsensor mit einem Bildfeld von 24 mm × 36 mm so groß, dass aufgrund einer unvermeidlichen Defektdichte während der Halbleiter-Prozessierung eine erreichbare Ausbeute von funktionsfähigen Bildsensor-Anordnungen gering ist und somit hohe Kosten anfallen. Mit anderen Worten ist bei einer großflächigen einstückigen Bildsensor-Anordnung keine ausreichende Ausbeute zu erwarten, so dass das Herstellen einer solchen Bildsensor-Anordnung teuer ist.

**[0006]** Um dieser Problematik zu begegnen, werden gemäß dem Stand der Technik unterschiedliche Wege beschritten.

**[0007]** Zum einen wird versucht, die Bildoptik einer herkömmlichen Kamera auf eine kleine Sensor-Anordnung mit hochintegrierten Sensorfeldern anzupassen. Allerdings führt dies im Allgemeinen zu einer Verschlechterung der Bildqualität. Ferner ist es notwendig und aufwändig, die Bildoptik der Kame-

ra auf die halbleitertechnologisch hergestellte kleine Sensor-Anordnung anzupassen.

**[0008]** Weiter wird versucht, eine Sensor-Anordnung mit einer Größe herzustellen, die nur knapp unterhalb der Bildfeldgröße des Fotosteppers liegt. In diesem Falle kann die Standardoptik einer Kamera verwendet werden, allerdings sind teure und nur aufwändig herstellbare optische Korrekturlinsen erforderlich. Ferner sind mittels eines Verlängerungsfaktors die Belichtungsparameter der Kamera einzustellen. Wird zum Beispiel ein 36 mm × 24 mm Kleinbildfilm durch einen Digitalfilm der Dimension 28.7 mm × 19.1 mm ersetzt, so fällt (infolge der Wirkung der Korrekturoptik bzw. eines veränderten Abstands zwischen Linse und Film) auf den kleineren Digitalfilm näherungsweise dieselbe Lichtmenge wie sonst auf den größeren Kleinbildfilm. Deshalb ist es bei Verwendung von Korrekturlinsen häufig erforderlich, eine aufwändige Justierung der Belichtung des Digitalfilms vorzunehmen. In diesem Zusammenhang spricht man von einem Verlängerungsfaktor.

**[0009]** Eine andere Möglichkeit zum Erzeugen einer ausreichend großen Sensor-Anordnung besteht darin, eine große Sensor-Anordnung mittels mehrfachen Belichtens mehrerer Bereiche eines Wafers bei dem Prozessieren des Halbleitersubstrats herzustellen. Dieses Herstellungsverfahren ist allerdings aufgrund der aufwändigen Mehrfach-Belichtung und der hohen Chipgröße einer einstückigen Sensor-Anordnung und den damit verbundenen Ausbeute-Problemen teuer. Eine Komplett-Waferbelichtung ist aufgrund der erforderlichen Strukturfeinheit für eine einzelne Sensorzelle ungeeignet.

**[0010]** DE 199 62 763 C2 offenbart ein Verfahren zum Vereinzeln eines Wafers, bei dem ein Graben zwischen einer Mehrzahl von Schaltungsstrukturen gebildet wird. Mittels rückseitigen Materialabtrags von dem Wafer werden nachfolgend die Schaltungsstrukturen vereinzelt. Ferner können Schaltungschips zu Schaltungsmodulen kombiniert werden, wobei Chips aus unterschiedlichen Grundmaterialien und Fertigungstechnologien zusammengesetzt werden.

**[0011]** EP 1 187 221 A2 offenbart, eine Mehrzahl von Chips in einem Wafer zu bilden und voneinander mittels eines V-förmigen Grabens abzugrenzen. Nachfolgend werden die Chips aus dem Wafer mittels Spaltens, Sägens, Schneidens bzw. Zerschneidens in Chips vereinzelt. Eine Mehrzahl von vereinzelt Chips können zusammengesetzt werden, um eine eindimensionale Sensor-Anordnung zu bilden.

**[0012]** DE 199 33 472 A1 offenbart ein Netzwerk zur Signalverarbeitung mit einer Vielzahl von Chips.

**[0013]** DE 198 40 508 A1 offenbart ein Verfahren zum Vereinzeln von Halbleiterbauelementen aus einem Wafer.

**[0014]** Der Erfindung liegt das Problem zugrunde, eine ausreichend große Bild-Sensor-Anordnung mit einer Vielzahl von Sensorfeldern herzustellen, die eine verbesserte Qualität und verringerte Herstellungskosten aufweist.

**[0015]** Das Problem wird durch ein Verfahren zum Herstellen einer Bild-Sensor-Anordnung mit den Merkmalen gemäß dem unabhängigen Patentanspruch gelöst.

**[0016]** Bei dem erfindungsgemäßen Verfahren zum Herstellen einer Bild-Sensor-Anordnung wird eine Mehrzahl von Sensor-Chips auf und/oder in einem Substrat ausgebildet, von denen jeder eine Mehrzahl von Sensorfeldern aufweist. Ferner wird um jeden der Sensor-Chips herum unter Verwendung eines Lithographie-Verfahrens und unter Verwendung eines Ätz-Verfahrens ein Graben einer Tiefe ausgebildet, die größer ist als die Tiefe der Sensorfelder in dem Substrat, wobei um jeden Sensor-Chip herum ein separater Ätzgraben ausgebildet wird und in Bereichen zwischen unterschiedlichen Ätzgräben ein Ätzen vermieden wird. Ein jeweiliger Sensor-Chip wird vereinzelt, indem von der Rückseite des Substrats Material einer Tiefe abgetragen wird, die mindestens gleich der Differenz zwischen der Dicke des Substrats und der Tiefe des Grabens ist. Schließlich werden die Sensor-Chips zum Bilden der Sensor-Anordnung zusammengesetzt.

**[0017]** Eine Grundidee der Erfindung ist darin zu sehen, dass eine Sensor-Anordnung aus einer Mehrzahl von Sensor-Chips zusammengesetzt wird, wobei die Dimensionierung eines Sensor-Chips unter Verwendung eines diesen umgebenden Grabens und somit mittels eines lithographischen Verfahrens definiert wird. Dies hat den Vorteil, dass der Abstand eines Sensorfelds von einem Rand des ihm zugeordneten Sensor-Chips sehr gering (in der Größenordnung von  $\mu\text{m}$ ) gehalten werden kann. Darüber hinaus kann dieser Abstand mit einer sehr hohen Genauigkeit eingestellt werden. Letzteres ist wiederum eine Folge der Verwendbarkeit einer lithographisch definierbaren Begrenzung eines Sensor-Chips anstelle einer mechanisch definierten Begrenzung (z. B. Vereinzeln mittels Sägens des Wafers).

**[0018]** Die Tiefe der Gräben wird derart gewählt, dass beim rückseitigen Abtragen von Material des Substrats zum Vereinzeln der Sensor-Chips z. B. integrierte Schaltkreiskomponenten des Sensor-Chips (Sensorfelder, Steuerschaltkreis-Komponenten, etc.) vor einer Zerstörung geschützt sind. Somit wird vermieden, dass beim Abtragen von Material des Substrats solches Material abgetragen wird, das funk-

tionelle Komponenten des Sensor-Chips enthält. Für den Fall, dass unterhalb der Sensorfelder in dem Substrat weitere integrierte Schaltkreiskomponenten ausgebildet sind, ist die Tiefe der Gräben derart gewählt, dass bei dem Abtragen von Material von der Rückseite des Substrats diese zusätzlichen Schaltkreiskomponenten vor einer Beschädigung geschützt sind. Somit ist die Tiefe der Gräben vorzugsweise mindestens so groß gewählt wie die Dicke der Sensorfelder in dem Substrat zuzüglich der Dicke optionaler zusätzlicher Schaltkreiskomponenten. Mit anderen Worten wird der Graben vorzugsweise mit einer Tiefe ausgebildet, die größer ist als die Tiefe des Sensor-Chips in dem Substrat, d. h. des funktionell bzw. schaltungstechnisch aktiven Bereichs in dem Substrat. In diesem Bereich des Sensor-Chips können auch Ansteuer- bzw. Ausleseleitungen für die einzelnen Sensorfelder etc. untergebracht sein sowie Vorverarbeitungselektronik (z. B. Verstärker), etc.

**[0019]** Aufgrund der räumlich scharf definierten Begrenzung der Sensorfelder auf jeden der Sensor-Chips können mehrere Sensor-Chips derart zusammengesetzt werden, dass an einem Grenzbereich zwischen zwei benachbarten Sensor-Chips eine (z. B. optisch) wahrnehmbare Störung in der regelmäßigen Abfolge der Sensor-Chips vermieden ist. Bei der Bildsensor-Anordnung (z. B. für eine Kamera) sind somit störende Linien an Grenzflächen zwischen benachbarten Sensor-Chips vermieden, die sonst aufgrund einer Unterbrechung der regelmäßigen Abfolge von Sensorfeldern in Grenzbereichen zwischen benachbarten Sensor-Chips auftreten können.

**[0020]** Ferner wird mittels Einbringens von Gräben zum Definieren eines Sensor-Chips eine geometrisch ideale Kante am Rand des Sensor-Chips erhalten, so dass benachbarte Sensor-Chips passgenau aneinandergesetzt werden können.

**[0021]** Anschaulich wird die Sensor-Anordnung nicht aus einer einstückigen Komponente (beispielsweise einem großen Siliziumstück) hergestellt, sondern aus mehreren kleinen Sensor-Chips (z. B. Bildsensoren), von denen jeder dieselbe Funktionalität aufweisen kann. Dies wird erreicht, indem nach dem Prozessieren der Sensor-Chips (d. h. dem Ausbilden der Sensorfelder, etc.) ein ausreichend tiefer Graben um den Sensor-Chip geätzt wird. Dieser Graben ist vorzugsweise geringfügig tiefer als die spätere endgültige Dicke der vereinzelt Sensor-Chips. Aufgrund der Justagegenauigkeit eines halbleitertechnologischen Lithographieverfahrens kann ein an einem Rand eines Sensor-Chips angeordnetes Sensorfeld sehr eng, typischerweise  $1\ \mu\text{m}$  und weniger, um einen Sensor-Chip herumgelegt werden. Im Inneren des geätzten Grabens hat der Wafer immer noch ausreichend Stabilität, dass ein Process-Control-Monitoring (PCM) und ein Funktionalitätstest durchgeführt werden können. Nach einer diesbezüglichen Bewer-

tung des Wafers wird der Wafer auf seine Zieldicke rückseitig gedünnt, indem Material von der Rückseite des Wafers abgetragen (beispielsweise mechanisch abgeschliffen) wird. Dadurch ist ein Vereinzeln der Sensor-Chips realisiert, wobei jeder Sensor-Chip eine bis auf eine Dimension von 1  $\mu\text{m}$  und weniger definierte Größe aufweist.

**[0022]** Auch ist problemlos realisierbar, den Sensorfeldern auf dem Sensor-Chip einen exakt definierten Abstand zu einer Kante eines Sensor-Chips zuzuweisen (wiederum bis zu einer Genauigkeit von 1  $\mu\text{m}$  und weniger). Diese Genauigkeit ermöglicht es, eine Sensor-Anordnung (einen großen Bildsensor) aus einer Mehrzahl zusammengesetzter Sensor-Chips (beispielsweise kleiner Bildsensoren) mittels einer Montage zusammenzusetzen.

**[0023]** Für den Anwendungsfall einer Digitalkamera treten bei einer typischen Bildpixelgröße von 5  $\mu\text{m}$  bis 10  $\mu\text{m}$  störende Linien an Grenzbereichen zwischen benachbarten Sensor-Chips üblicherweise nicht auf.

**[0024]** Erfindungsgemäß werden mehrere kleine Bauteile zusammengesetzt, um eine höhere Ausbeute bei der Sensorherstellung zu erreichen. Dadurch ist es für eine Digitalkamera (z. B. mit der Dimension einer Kleinbildkamera) ermöglicht, eine Bildsensor-Komponente herzustellen, bei der die oben beschriebenen aus dem Stand der Technik bekannten Probleme vermieden sind. Mittels Verringerns der Toleranzen aufgrund des Definierens von Sensor-Chips mittels einer Grabenätzung ist es erreicht, dass die zusammengesetzten Sensorfelder annähernd die gleiche Auflösung wie eine einkomponentige Sensor-Anordnung hat.

**[0025]** Mittels gleichgeschnittener Sensor-Chips, die vorzugsweise alle die gleiche Größe aufweisen, werden Kanten idealer Geometrie und somit sehr gute Passflächen erhalten. Bei Verwendung einer einheitlichen Maske wird die Toleranz weiter reduziert. Dann ist das einzige begrenzende Kriterium die Maskenauflösung, die wesentlich besser ist als eine herkömmliche Toleranz beim Vereinzeln eines Substrats mittels Sägens.

**[0026]** Beim Sägen von Wafers zum Vereinzeln der Chips des Wafers liegt die Fertigungstoleranz im Bereich von 50  $\mu\text{m}$  und mehr. Würde man unter diesen Umständen Sensor-Chips nebeneinander anordnen, hätte dies zur Folge, dass die Berührungsstellen der einzelnen kleinen Bildsensoren im Digitalbild aufgelöst würden. Mit anderen Worten würde man hinsichtlich der optischen Wahrnehmung eines Betrachters eines Bildes nicht die gleiche Funktionalität erreichen wie bei einem großflächigen Bildsensor. Insbesondere würden in Grenzbereichen störende Linien auftreten.

**[0027]** Mittels des erfindungsgemäßen Verfahrens ist die Fertigungstoleranz derart stark reduziert, dass mehrere Sensor-Chips aneinander gereiht werden können und zusammen die gleiche optische Funktionalität wie eine einstückige Sensor-Anordnung erreichen. Somit können größere und aufgrund der Modularität einzelner kleiner Bausteine auch billigere Bildsensoren als gemäß dem Stand der Technik hergestellt werden.

**[0028]** Bevorzugte Weiterbildungen der Erfindungen ergeben sich aus den abhängigen Ansprüchen.

**[0029]** Vorzugsweise werden die Sensor-Chips im Wesentlichen formschlüssig zu zusammengesetzt. Aufgrund der erheblich verbesserten Passgenauigkeit der Sensor-Chips ist die Sensor-Anordnung daher in allen Bereichen anwendbar, wo ein räumlich definiertes Zusammensetzen unterschiedlicher Komponenten mit hoher räumlicher Genauigkeit erforderlich ist.

**[0030]** Der Graben kann derart gebildet werden, dass ein Abstand eines an einem Rand eines Sensor-Chips angeordneten Sensorfeldes von einem Rand nicht wesentlich größer ist als eine Ausdehnung des Sensorfeldes. In diesem Fall ist sichergestellt, dass in Grenzbereichen zwischen benachbarten Sensor-Chips störende Linien aufgrund einer Störung der symmetrischen Anordnung von Sensorfeldern vermieden sind.

**[0031]** Der Graben wird unter Verwendung eines Lithographie-Verfahrens ausgebildet. Mit einem Lithographie-Verfahren ist eine Auflösung im Bereich von Mikrometern (beispielsweise 2  $\mu\text{m}$  bis 3  $\mu\text{m}$ ) und darüber erreichbar. Da die Sensorfelder häufig eine Pixeldimension von 5  $\mu\text{m}$  bis 10  $\mu\text{m}$  haben, kann sichergestellt werden, dass Störungen, Verzerrungen oder Linien an Grenzflächen benachbarter Sensor-Chips vermieden sind.

**[0032]** Der Graben wird ferner unter Verwendung eines Ätz-Verfahrens ausgebildet. Es ist bevorzugt, als Ätz-Verfahren ein anisotropes Ätz-Verfahren zu verwenden, um einen ausreichend steilen Kantenabfall an dem Rand eines Sensor-Chips zu erreichen, wodurch die Passgenauigkeit beim Zusammensetzen benachbarter Chips weiter erhöht ist. Das Ätz-Verfahren kann ein Trockenätz-Verfahren sein. Alternativ kann ein Nassätz-Verfahren verwendet werden. Generell ist bei dem Ätz-Verfahren darauf zu achten, dass die Unterätzung, d. h. die isotrope Ätz-Komponente, ausreichend gering gehalten ist, um ein formschlüssiges Aneinanderreihen benachbarter Sensor-Chips sicherzustellen. Besonders bevorzugt als Ätz-Verfahren ist Sputterätzen oder reaktives Ionenätzen (RIE, "reactive ion etching").

**[0033]** Das Material des Substrats kann unter Verwendung eines Chemical-Mechanical-Polishing-Ver-

fahrens (CMP-Verfahren) oder eines Ätz-Verfahrens abgetragen werden. Alternativ kann Material unter Verwendung eines Lasers abgetragen werden.

**[0034]** Unterschiedliche Sensor-Chips können im Wesentlichen gleich groß ausgebildet werden. Insbesondere ist möglich, unterschiedliche Sensor-Chips unter Verwendung eines gemeinsamen Lithographie-Verfahrens, das heißt eines einheitlichen Werfers, auszubilden. Jedoch ist es auch möglich, die unterschiedlichen Sensor-Chips der Sensor-Anordnung aus unterschiedlichen Wafern herzustellen.

**[0035]** Der Graben kann derart gebildet werden, dass ein Abstand eines an einem Rand eines Sensor-Chips angeordneten Sensorfeldes von dem Rand vorzugsweise höchstens 3  $\mu\text{m}$ , weiter vorzugsweise höchstens 1  $\mu\text{m}$  ist.

**[0036]** Im Weiteren wird die erfindungsgemäße Sensor-Anordnung näher beschrieben. Ausgestaltungen des Verfahrens zum Herstellen der Sensor-Anordnung gelten auch für die Sensor-Anordnung und umgekehrt.

**[0037]** Zumindest eines der Sensorfelder kann ein CCD-Sensorfeld sein.

**[0038]** Ein CCD-Sensorfeld ("charge coupled device") ist anschaulich eine Anordnung von CCD-Elementen, d. h. integrierten Bauelementen, zum Umwandeln eines optischen Bildes in ein Bild elektrischer Ladungen mittels Photogenerierens von elektrischen Ladungen und anschließenden Umwandeln des Ladungsbildes in ein sequentielles elektrisches Signal unter Verwendung von CCD-Schieberegistern.

**[0039]** Das Sensorfeld kann auch ein Infrarot-Sensorfeld sein, beispielsweise für eine Wärmebild-Kamera. Eine Wärmebild-Kamera basiert auf solchen Infrarot-Sensoren, die für Infrarotlicht empfindlich sind. Besonders geeignet sind CCDs oder Dioden aus dem Material HgCdTe (Quecksilber-Cadmium-Tellurid). Bei der Verwendung einer Wärmebild-Kamera kann es vorteilhaft sein, die Sensor-Anordnung unter Umgebungstemperatur abzukühlen, um die von der Sensor-Anordnung selbst abgestrahlte Infrarot-Strahlung gering zu halten.

**[0040]** Vorzugsweise weist jeder der Sensor-Chips einen Multiplexerbereich und einen Anschlusspadbereich auf, wobei die Sensor-Chips derart zusammengesetzt sind, dass die Multiplexerbereiche und die Anschlusspadbereiche entlang zumindest eines Teil des Rands der Sensor-Anordnung verlaufend angeordnet sind. In diesem Fall ist anschaulich die Sensor-Anordnung gebildet aus einem mittigen Abschnitt, in dem die Sensorfelder der Sensor-Chips angeordnet sind. Dieser Mittenbereich ist umgeben von

Multiplexern zum selektiven Adressieren der Sensorfelder. Mittels der Anschlusspads können die elektrischen Signale der Sensorfelder einer in der Umgebung angeordneten Verarbeitungs-Elektronik bereitgestellt werden.

**[0041]** Ferner ist anzumerken, dass eine Randabdichtung ("seal ring"), wie sie entlang einer Umrandung eines Chips oft zu Schutzzwecken ausgebildet wird, bei den Sensor-Chips der Erfindung eingespart sein kann. Soll eine solche Randabdichtung ausgebildet werden, so ist ihre Dicke vorzugsweise so zu wählen (kleiner 3  $\mu\text{m}$ ), dass die räumliche Abfolge der Sensorfelder in Grenzbereichen zwischen benachbarten Sensor-Chips nicht wahrnehmbar beeinflusst wird.

**[0042]** Es ist anzumerken, dass das Substrat aus einem beliebigen Material hergestellt sein kann. Insbesondere kann das Substrat ein Silizium-Wafer sein. Alternativ kann das Substrat ein Glas-Substrat, ein Keramik-Substrat, etc. sein.

**[0043]** Ein Ausführungsbeispiel der Erfindung sowie ein Vergleichsbeispiel ist in den Figuren dargestellt und wird im Weiteren näher erläutert.

**[0044]** Es zeigen:

**[0045]** Fig. 1A eine Draufsicht eines Sensor-Chips,

**[0046]** Fig. 1B einen vergrößerten Ausschnitt des in Fig. 1A gezeigten Sensor-Chips,

**[0047]** Fig. 2A einen Wafer mit einer Vielzahl von darauf ausgebildeten Sensor-Chips während eines Verfahrens zum Herstellen einer Sensor-Anordnung gemäß einem Vergleichsbeispiel,

**[0048]** Fig. 2B eine Querschnitts-Ansicht entlang der in Fig. 2A gezeigten Schnittlinie I-I',

**[0049]** Fig. 3A eine Draufsicht eines Wafers mit einer Vielzahl von Sensor-Chips zu einem anderen Zeitpunkt während des Verfahrens zum Herstellen einer Sensor-Anordnung gemäß dem Vergleichsbeispiel,

**[0050]** Fig. 3B eine Querschnitts-Ansicht entlang der in Fig. 3A gezeigten Schnittlinie II-II',

**[0051]** Fig. 4A einen Wafer mit einer Vielzahl von Sensor-Chips zu einem weiteren Zeitpunkt während des Verfahrens zum Herstellen einer Sensor-Anordnung gemäß dem Vergleichsbeispiel,

**[0052]** Fig. 4B eine Querschnitts-Ansicht entlang der in Fig. 4A gezeigten Schnittlinie III-III',

**[0053]** Fig. 5 eine Sensor-Anordnung gemäß dem Vergleichsbeispiel,

**[0054]** Fig. 6 einen Wafer mit einer Vielzahl von darauf ausgebildeten Sensor-Chips während eines Verfahrens zum Herstellen einer Sensor-Anordnung gemäß einem Ausführungsbeispiel der Erfindung.

**[0055]** Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

**[0056]** Im Weiteren wird Bezugnehmend auf Fig. 1A ein Sensor-Chip **100** einer beschrieben.

**[0057]** Der Sensor-Chip **100** weist einen Sensorbereich **101** mit einer Mehrzahl von Sensorfeldern (nicht gezeigt in Fig. 1A) auf, die in dem Sensorbereich **101** des Sensor-Chips **100** matrixförmig angeordnet sind. Ferner enthält der Sensor-Chip **100** einen Multiplexerbereich **102** zum selektiven Ansteuern der Sensorfelder des Sensor-Chips **100**. In einem Randbereich des Sensor-Chips ist ein Anschlusspadbereich **103** vorgesehen, an dem elektrische Signale der Sensorfelder für eine externe Weiterverarbeitung bereitstellbar sind.

**[0058]** Im Weiteren wird Bezugnehmend auf Fig. 1B ein Randabschnitt **104** des Sensor-Chips **100** in einer vergrößerten Darstellung beschrieben.

**[0059]** In Fig. 1B sind eine Mehrzahl von Sensorfeldern **110** gezeigt, die auf den Sensorbereich **101** des Sensor-Chips **100** matrixförmig angeordnet sind. Die an dem gemäß Fig. 1B rechten Rand angeordneten Sensorfelder **110** sind von diesem rechten Rand in einem Abstand von 1 µm vorgesehen. Jedes der Sensorfelder **110** ist mittels einer halbleitertechnologischen Prozessierung ausgebildet, so dass die Genauigkeit der räumlichen Lokalisierung der Sensorfelder **110** mittels eines lithographischen Verfahrens definiert ist.

**[0060]** In Fig. 2A ist ein Silizium-Warfer **200** gezeigt, auf dem insgesamt zwölf Sensor-Chips **100** ausgebildet sind, von denen jeder wie der in Fig. 1A gezeigte Sensor-Chip **100** aufgebaut ist.

**[0061]** In Fig. 2B ist eine Querschnitts-Ansicht des Werfers **200** entlang einer Schnittlinie I-I' gezeigt. Abweichend von Fig. 2A ist in Fig. 2B in Vorbereitung eines im Weiteren durchzuführenden Graben-Ätz-Verfahrens Photoresist **210** auf der Oberfläche des Werfers **200** abgeschieden (nicht gezeigt in Fig. 2A) und mittels einer photolithographischen Belichtung strukturiert. Dadurch sind die Sensor-Chips **100** mit Photoresist **210** bedeckt, wohingegen die gesamten Zwischen-Bereiche (Ritzrahmen-Bereiche) zwischen benachbarten Sensor-Chips **100** von einer Bedeckung mit Photoresist **210** frei sind.

**[0062]** Im Weiteren wird Bezugnehmend auf Fig. 3A der Warfer **200** in einem Zustand beschrieben, nach-

dem die gemäß Fig. 2B mit strukturiertem Photoresist **210** bedeckte Anordnung einem Sputterätz-Verfahren unterzogen worden ist.

**[0063]** Im Anschluss daran wird der Photoresist **210** von der Anordnung befreit, wodurch der Warfer **200** in dem in Fig. 3A gezeigten Zustand erhalten wird. Wie in Fig. 3A gezeigt, sind zwischen benachbarten Sensor-Chips **100** Gräben **300** ausgebildet.

**[0064]** Wie in der in Fig. 3B gezeigten Querschnittsansicht entlang der Schnittlinie II-II' aus Fig. 3A gezeigt, sind aufgrund der ausreichend tiefen Grabenätzung unterschiedlichen Sensor-Chips **100** zugeordnete Chipbereiche **310** geschaffen, die durch einen Abstandshalterbereich **311** voneinander getrennt sind. Die Breite des Grabens **300** ist gemäß dem beschriebenen Vergleichsbeispiel 30 µm. Die Tiefe des Grabens **300** ist gemäß dem beschriebenen Vergleichsbeispiel 300 µm.

**[0065]** Im Weiteren wird Bezugnehmend auf Fig. 4A, Fig. 4B beschrieben, wie der mit Gräben **300** versehene Wafer **200** in eine Vielzahl von voneinander getrennten Sensor-Chips **100** vereinzelt wird.

**[0066]** Hierfür wird unter Verwendung eines CMP-Verfahrens ("chemical mechanical polishing") an der Rückseite **401** des Silizium-Wafers **200** Material soweit abgetragen, bis das Material der Abstandshalter **311** vollständig entfernt ist, so dass die unterschiedlichen Sensor-Chips **100** voneinander mechanisch getrennt werden.

**[0067]** Dies ist aus der in Fig. 4B gezeigten Querschnittsansicht entlang der Schnittlinie III-III' aus Fig. 4A ersichtlich. Nach dem Abtragen von Material des Silizium-Wafers **300** von der Rückseite **401** werden somit voneinander getrennte Sensor-Chips **100** erhalten.

**[0068]** Wie in Fig. 4B gezeigt, sind die aneinandergrenzenden Grenzflächen benachbarter Sensor-Chips in ausreichender Genauigkeit parallel zueinander, so dass sich die Sensor-Chips **100** passgenau aneinanderfügen lassen. Insbesondere ist anzumerken, dass aufgrund der Verwendung eines Lithographie-Verfahrens zum Definieren der Gräben **300** diese mit einer Genauigkeit von 1 µm und weniger einstellbar sind.

**[0069]** Im Weiteren wird Bezugnehmend auf Fig. 5 eine Sensor-Anordnung **500** gemäß einem Vergleichsbeispiel beschrieben.

**[0070]** Um die in Fig. 5 gezeigte Sensor-Anordnung **500** zu erhalten, werden sechs der in Fig. 4A gezeigten vereinzelt Sensor-Chips **100** passgenau und formschlüssig aneinandergefügt, wodurch in einem zentralen Bereich die Sensorbereiche **101** einen gro-

ßen Gesamt-Sensorbereich **501** bilden, der gemäß **Fig. 5** von oben und unten von einem Gesamt-Multiplexerbereich **502** umgeben ist. Gemäß **Fig. 5** auf und unterhalb des Gesamt-Multiplexerbereichs **502** ist ein Gesamt-Anschlusspadbereich **503** vorgesehen.

**[0071]** Die Größe der Sensorbereiche **101** sind so gewählt, dass im zusammengesetzten Zustand gemäß **Fig. 5** der Gesamt-Sensorbereich **501** eine Dimension von 36 mm × 24 mm aufweist und somit unter Verwendung einer Standardoptik einer herkömmlichen Kleinbild-Kamera betrieben werden kann. Da die Vereinzelung der Sensor-Chips **100** mittels Grabenätzens und somit unter Verwendung eines Lithographie-Verfahrens realisiert ist, ist sichergestellt, dass auch in Grenzbereichen benachbarter Sensorbereiche **101** der Sensor-Anordnung **500** eine ausreichend definierte räumliche Abfolge der dort benachbarten Sensorfelder realisiert ist, so dass störende Linien auch in Grenzbereichen vermieden sind.

**[0072]** Im Weiteren wird bezugnehmend auf **Fig. 6** ein Silizium-Wafer **600** während eines Verfahrens zum Herstellen einer Sensor-Anordnung gemäß einem Ausführungsbeispiel der Erfindung beschrieben.

**[0073]** Die Prozessierung des Werfers **600** unterscheidet sich in einem wesentlichen Punkt von der Prozessierung des Werfers **200**, die bezugnehmend auf **Fig. 2A** bis **Fig. 4B** beschrieben ist. Der Silizium-Wafer **600** weist eine Vielzahl von darauf ausgebildeten Sensor-Chips **100** auf, von denen jeder einen Sensorbereich **101**, einen Multiplexerbereich **102** und einen Anschlusspadbereich **103** enthält. Im Unterschied zu der oben bezugnehmend auf **Fig. 2A** bis **Fig. 4B** beschriebenen Prozessierung wird das räumliche Definieren der exakten Größe und das Vereinzeln der Sensor-Chips **100** gemäß **Fig. 6** nicht dadurch vorbereitet, dass in dem gesamten Zwischenbereich **105** zwischen jeweils benachbarten Sensor-Chips **100** ein anschaulich gemeinsamer Ätzgraben für alle Sensor-Chips **100** ausgebildet wird. Stattdessen wird gemäß **Fig. 6** um jeden Sensor-Chip **100** herum ein separater Ätzgraben **601** ausgebildet, wohingegen in Wafer-Zwischenbereichen **602**, das heißt in Bereichen zwischen unterschiedlichen Ätzgraben **601**, ein Ätzen vermieden ist. Dies wird realisiert, indem unter Verwendung eines Lithographie- und eines Ätz-Verfahrens Photoresist derart auf der Oberfläche des Silizium-Wafers **600** abgeschieden und strukturiert wird, dass die Sensor-Chips **100** sowie die Wafer-Zwischenbereiche **602** mit Photoresist bedeckt sind, wohingegen die Oberflächenbereiche des Silizium-Wafers **600**, in denen Ätzgraben **601** einzubringen ist, von einer Bedeckung mit Photoresist-Material frei sind. In einem nachfolgenden Ätz-Verfahren wird Material des Silizium-Wafers **600** mittels Ätzens derart entfernt, dass Ätzgräben **601** generiert werden. Anschließend wird der Photoresist

von den vor einem Ätzen geschützten Sensor-Chips **100** und den Wafer-Zwischenbereichen **602** entfernt, wodurch der Silizium-Wafer **600** in der in **Fig. 6** gezeigten Konfiguration erhalten wird. Gemäß dem beschriebenen Ausführungsbeispiel ist es somit ermöglicht, die Wafer-Zwischenbereiche **602** funktionell zu einem beliebigen Zweck zu verwenden, beispielsweise mit Teststrukturen zum Testen der Funktionalität der Sensor-Chips **100** zu versehen.

**[0074]** Mittels rückseitigen Ätzens des Silizium-Wafers **600** können die Sensor-Chips **100** nachfolgend vereinzelt werden. Danach können die vereinzelt Sensor-Chips **100** zum Beispiel in der in **Fig. 5** gezeigten Weise zu einer erfindungsgemäßen Sensor-Anordnung zusammengesetzt werden.

### Patentansprüche

1. Verfahren zum Herstellen einer Bild-Sensor-Anordnung, bei dem

- eine Mehrzahl von Sensor-Chips auf und/oder in einem Substrat ausgebildet wird, von denen jeder eine Mehrzahl von Sensorfeldern aufweist;
- um jeden der Sensor-Chips herum unter Verwendung eines Lithographie-Verfahrens und unter Verwendung eines Ätz-Verfahrens ein Graben einer Tiefe ausgebildet wird, die größer ist als die Tiefe der Sensorfelder in dem Substrat, wobei um jeden Sensor-Chip herum ein separater Ätzgraben ausgebildet wird und in Bereichen zwischen unterschiedlichen Ätzgraben ein Ätzen vermieden wird;
- ein jeweiliger Sensor-Chip vereinzelt wird, indem von der Rückseite des Substrats Material einer Tiefe abgetragen wird, die mindestens gleich der Differenz zwischen der Dicke des Substrats und der Tiefe des Grabens ist;
- die Sensor-Chips zum Bilden der Sensor-Anordnung formschlüssig zusammengesetzt werden.

2. Verfahren nach Anspruch 1, bei dem der Graben derart gebildet wird, dass ein Abstand eines an einem Rand eines Sensor-Chips angeordneten Sensorfelds von dem Rand nicht größer ist als eine Ausdehnung des Sensorfelds.

3. Verfahren nach einem der Ansprüche 1 bis 2, bei dem als Ätz-Verfahren ein anisotropes Ätz-Verfahren verwendet wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem als Ätz-Verfahren ein Trockenätz-Verfahren verwendet wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem als Ätz-Verfahren

- Sputterätzen; oder
- reaktives Ionenätzen verwendet wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem Material des Substrats unter Verwendung

- eines Chemical-Mechanical-Polishing-Verfahrens; oder
- eines Ätz-Verfahrens

abgetragen wird.

7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem unterschiedliche Sensor-Chips gleich groß ausgebildet werden.

8. Verfahren nach einem der Ansprüche 1 bis 7, bei dem der Graben derart gebildet wird, dass ein Abstand eines an einem Rand eines Sensor-Chips angeordneten Sensorfelds von dem Rand höchstens 3  $\mu\text{m}$  ist.

9. Verfahren nach einem der Ansprüche 1 bis 8, bei dem der Graben derart gebildet wird, dass ein Abstand eines an einem Rand eines Sensor-Chips angeordneten Sensorfelds von dem Rand höchstens 1  $\mu\text{m}$  ist.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1A

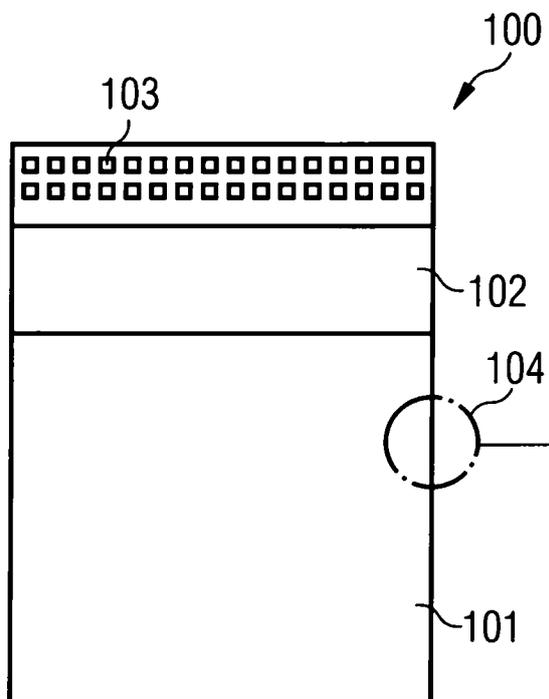


FIG 1B

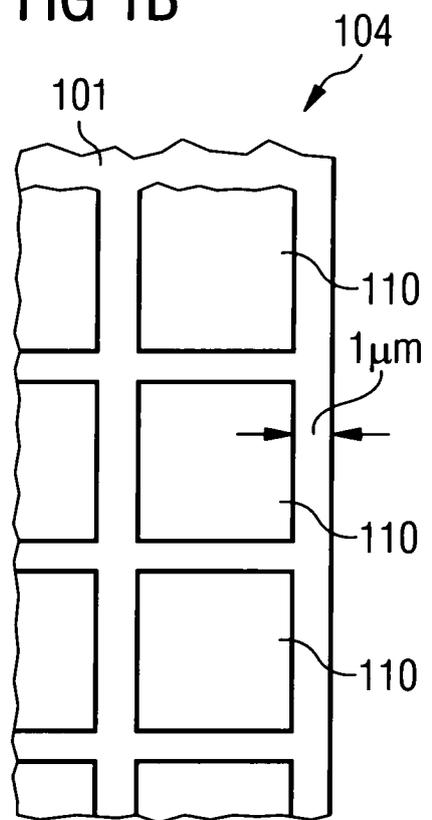








FIG 5

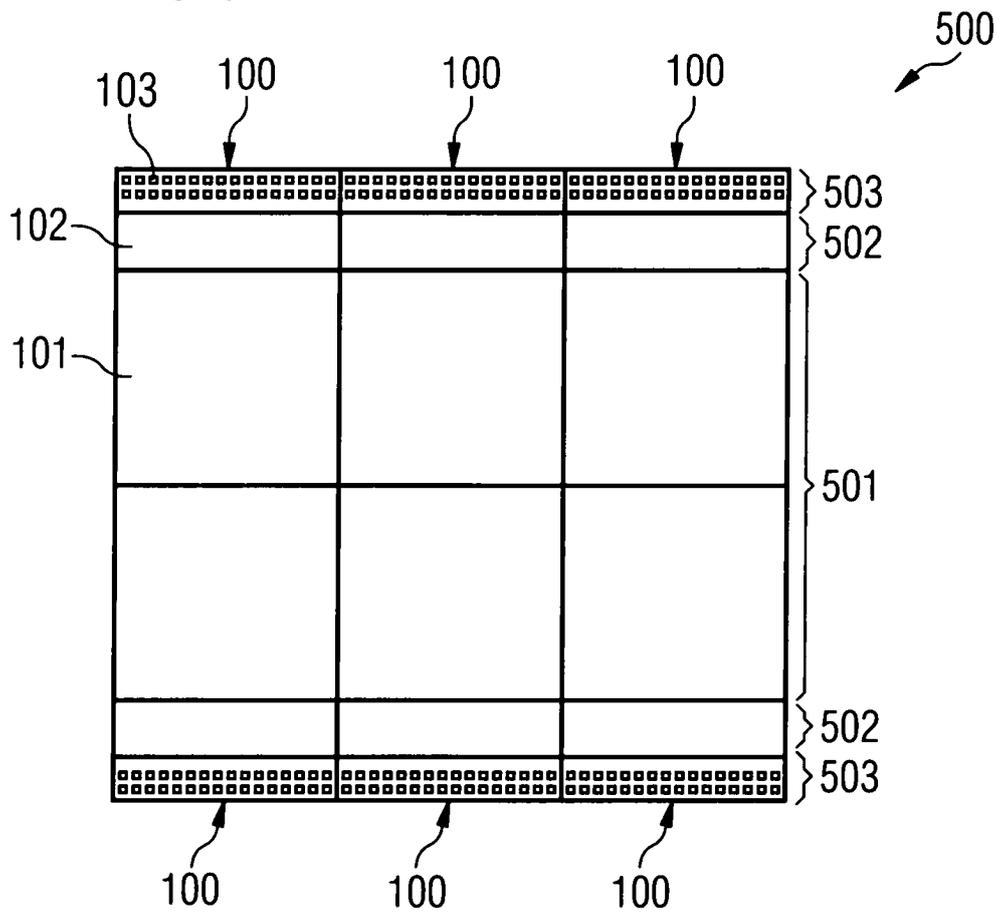


FIG 6

