

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6100535号
(P6100535)

(45) 発行日 平成29年3月22日(2017.3.22)

(24) 登録日 平成29年3月3日(2017.3.3)

(51) Int. Cl.	F I		
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 G	
HO 1 L 27/08 (2006.01)	HO 1 L 27/08	3 3 1 E	
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08	3 2 1 C	
HO 1 L 27/092 (2006.01)	HO 1 L 29/78	6 1 6 L	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 0 1 H	
請求項の数 23 (全 31 頁) 最終頁に続く			

(21) 出願番号 特願2013-7425 (P2013-7425)
 (22) 出願日 平成25年1月18日(2013.1.18)
 (65) 公開番号 特開2014-138161 (P2014-138161A)
 (43) 公開日 平成26年7月28日(2014.7.28)
 審査請求日 平成27年8月12日(2015.8.12)

(出願人による申告)平成23年度、独立行政法人新エネルギー・産業技術総合開発機構委託研究「低炭素社会を実現する超低電圧デバイスプロジェクト」、産業技術力強化法第19条の適用を受ける特許出願

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (74) 代理人 100113642
 弁理士 菅田 篤志
 (74) 代理人 100117008
 弁理士 筒井 章子
 (74) 代理人 100147430
 弁理士 坂次 哲也
 (72) 発明者 角村 貴昭
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層上に形成され、且つ、炭素を含有する半導体層とを有する基板と、

前記半導体層上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体層中に形成された第1導電型のソース・ドレイン領域と、を有する電界効果トランジスタと、

前記ゲート電極の下部において、前記半導体層および前記絶縁層を介して前記半導体基板中に配置された前記第1導電型と反対の導電型である第2導電型のウエル領域と、

前記ウエル領域に形成され、且つ、前記絶縁層と接する位置に形成された前記第2導電型の半導体領域と、
 を有する半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記ソース・ドレイン領域は前記半導体層上に形成されたエピタキシャル層を含む、半導体装置。

【請求項3】

請求項1記載の半導体装置において、

前記第1導電型は、n型であり、

前記第2導電型は、p型である、半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、
前記第 1 導電型は、p 型であり、
前記第 2 導電型は、n 型である、半導体装置。

【請求項 5】

(a) 半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層上に形成された半導体層とを有する基板を準備する工程と、

(b) 前記半導体基板中に、イオン注入をすることにより、第 2 導電型の第 1 ウエル領域を形成する工程と、

(c) 前記第 1 ウエル領域中であって前記絶縁層と接する位置に、イオン注入をすることにより、前記第 2 導電型の第 1 半導体領域を形成する工程と、

(d) 前記半導体層中に、炭素をイオン注入する工程と、

(e) 前記 (c) および前記 (d) 工程の後、前記半導体層の主表面に前記第 2 導電型と反対の導電型である第 1 導電型の第 1 電界効果トランジスタを形成する工程と、

を有する半導体装置の製造方法。

10

【請求項 6】

請求項 5 記載の半導体装置の製造方法において、
 前記 (c) 工程の後、前記 (d) 工程を行う、半導体装置の製造方法。

【請求項 7】

請求項 5 記載の半導体装置の製造方法において、
 前記 (d) 工程の後、前記 (c) 工程を行う、半導体装置の製造方法。

20

【請求項 8】

請求項 5 記載の半導体装置の製造方法において、
 前記 (d) 工程の後、熱処理を施す工程を有する、半導体装置の製造方法。

【請求項 9】

請求項 5 記載の半導体装置の製造方法において、
前記第 1 導電型は n 型であり、
前記第 2 導電型は p 型である、半導体装置の製造方法。

【請求項 10】

請求項 5 記載の半導体装置の製造方法において、
前記第 1 導電型は p 型であり、
前記第 2 導電型は n 型である、半導体装置の製造方法。

30

【請求項 11】

請求項 5 ~ 10 の何れか 1 項に記載の半導体装置の製造方法において、
前記第 1 電界効果トランジスタは前記基板の第 1 領域に形成されており、
前記第 1 領域と異なる領域である第 2 領域には前記第 2 導電型の第 2 電界効果トランジスタが形成されており、

前記第 2 領域において、更に、

(f) 前記半導体基板中に、イオン注入をすることにより、前記第 1 導電型の第 2 ウエル領域を形成する工程と、

(g) 前記第 2 ウエル領域中であって前記絶縁層と接する位置に、イオン注入をすることにより、前記第 1 導電型の第 2 半導体領域を形成する工程と、

(h) 前記半導体層中に、炭素をイオン注入する工程と、

(i) 前記 (g) および前記 (h) 工程の後、前記半導体層の主表面に前記第 2 導電型の第 2 電界効果トランジスタを形成する工程と、

を有する半導体装置の製造方法。

40

【請求項 12】

請求項 11 記載の半導体装置の製造方法において、
前記 (c) 工程及び前記 (d) 工程は第 1 マスクを用いて連続して行われ、
前記 (g) 工程及び前記 (h) 工程は第 2 マスクを用いて連続して行われる、半導体装

50

置の製造方法。

【請求項 13】

請求項 11 記載の半導体装置の製造方法において、

前記 (c) 工程は第 1 マスクを用いて行われ、

前記 (g) 工程は第 2 マスクを用いて行われ、

前記 (d) 工程及び前記 (h) 工程は第 3 マスクを用いて同時に行われる、半導体装置の製造方法。

【請求項 14】

半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層上に形成された半導体層とを有し、前記絶縁層下の前記半導体基板に格子間原子を有する基板と、

前記半導体層上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の半導体層中に形成されたソース・ドレイン領域と、を有する電界効果トランジスタと、

前記ゲート電極の下部において、前記半導体層および前記絶縁層を介して前記半導体基板中に配置された半導体領域と、を有する半導体装置。

【請求項 15】

請求項 14 記載の半導体装置において、

前記格子間原子は、前記半導体領域中に存在する、半導体装置。

【請求項 16】

請求項 14 記載の半導体装置において、

前記ソース・ドレイン領域は前記半導体層上に形成されたエピタキシャル層を含む、半導体装置。

【請求項 17】

請求項 14 記載の半導体装置において、

前記ソース・ドレイン領域は、n型の半導体領域またはp型の半導体領域である、半導体装置。

【請求項 18】

請求項 14 記載の半導体装置において、

前記格子間原子は、格子間シリコンである、半導体装置。

【請求項 19】

(a) 半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層上に形成された半導体層とを有する基板を準備する工程と、

(b) 前記半導体基板中に、n型不純物またはp型不純物をイオン注入することにより、半導体領域を形成する工程と、

(c) 前記絶縁層下の前記半導体基板に、原子をイオン注入することにより、格子間原子を形成する工程と、

(d) 前記 (b) および前記 (c) 工程の後、前記半導体層の主表面に電界効果トランジスタを形成する工程と、

を有する半導体装置の製造方法。

【請求項 20】

請求項 19 記載の半導体装置の製造方法において、

前記 (b) 工程の後、前記 (c) 工程を行う、半導体装置の製造方法。

【請求項 21】

請求項 19 記載の半導体装置の製造方法において、

前記 (c) 工程の後、前記 (b) 工程を行う、半導体装置の製造方法。

【請求項 22】

請求項 19 記載の半導体装置の製造方法において、

前記 (c) 工程の後、熱処理を施す工程を有する、半導体装置の製造方法。

【請求項 23】

10

20

30

40

50

請求項 19 記載の半導体装置の製造方法において、

前記電界効果トランジスタは、nチャネル型MISFETまたはpチャネル型MISFETである、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関し、例えば、SOI基板に配置されたMISFETを有する半導体装置およびその製造方法に好適に利用できるものである。

【背景技術】

【0002】

LSIの低消費電力化や高速化などの高性能化を図るためSOI(Silicon On Insulator)基板の採用が検討されている。

【0003】

例えば、下記特許文献1(特開2007-103492号公報)には、SOI基板(10)にLOCOS層(15)を形成し、LOCOS層(15)で囲まれた素子領域にn型のSOIトランジスタ(100)を形成する際に、チャンネル領域端部(30)に寄生チャンネル防止用のボロン(B)を導入する工程が開示されている。そして、チャンネル領域端部(30)に、Bの拡散を抑制する拡散抑制原子としてフッ素(F)又は炭素(C)を導入する工程が開示されている(図2、[0029]~[0033]段落参照)。このように、拡散抑制原子を導入することで、チャンネル領域端部(30)におけるBの拡散が抑制され、チャンネル領域端部(30)のB濃度の低下を抑えることができる。これにより、n型に反転しやすい寄生チャンネルの形成を抑制することができるので、リーク電流が低く、高速で動作し、且つ低消費電力特性の半導体装置を提供することができる。

【0004】

また、下記特許文献2(特開2011-138826号公報)には、構造変化層(12)を有する基板(11)が半導体デバイス用基板として開示されている。基板(11)としては、シリコン基板、ガリウム・砒素化合物半導体基板などを挙げることができ、構造変化層(12)は、シリコン基板(11)の厚み方向一表面から、導電型領域を形成することがないイオンが注入されることによって形成される([0034]~[0039]段落参照)。また、シリコン基板(11)のイオン注入面から1~2μmの深さの領域内に形成された結晶性絶縁層(21)と、シリコン基板(11)のイオン注入面から5~50μmの深さの領域内に形成された構造変化層(12)を有するSOI基板が開示されている([0068]~[0072]段落参照)。

【0005】

また、下記特許文献3(特開2000-31481号公報)には、チャンネル不純物としてボロンと炭素が両方ドーピングされている場合、不純物の活性化率が半分から十分の一に下がってしまうことが指摘されている。そこで、炭素ドーピング層を、シリコン基板表面から離間した位置に設け、不純物の不活性化を招くことがなく、しきい値ずれや寄生抵抗の増加といった問題を回避したMOSFETが開示されている。

【0006】

また、下記特許文献4(特開2008-85253号公報)には、過度増速拡散により、SOI層におけるゲート絶縁膜との界面付近に局所的に不純物が効率的に移動した結果、完全空乏型SOI層のチャンネル領域の表面側の不純物濃度が、埋め込み絶縁膜側に比べて高濃度となったMOS-FETが開示されている。また、下記特許文献5(特開2001-110740号公報)には、SiやGeをイオン注入して、半導体基板の表面近傍にシリコンが高密度の格子間シリコン高濃度層を形成することが開示されている。また、下記特許文献6(特開2001-156291号公報)には、チャンネル不純物が存在する状態でフッ素を導入してもフッ素の増速拡散を有効に防止し、かつ、チャンネル領域にSi-F結合を高効率で形成する技術が開示されている。すなわち、フッ素のイオン注入によ

10

20

30

40

50

て生じた格子間シリコン原子を第一の熱処理によって消滅させた後、第二の熱処理によってチャンネル領域にフッ素を移動させてSi-F結合を高効率で形成することが開示されている。

【0007】

なお、本欄において、(括弧)内は、各特許文献に記載の符号を示す。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2007-103492号公報

【特許文献2】特開2011-138826号公報

【特許文献3】特開2000-31481号公報

【特許文献4】特開2008-85253号公報

【特許文献5】特開2001-110740号公報

【特許文献6】特開2001-156291号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明者らは、SOI基板に配置されたMISFETを有する半導体装置の性能の向上を検討している。

【0010】

そこで、SOI基板のBOX層より下層の領域に不純物を導入して閾値の制御性を良好にした半導体装置について検討したところ、半導体装置の総合的な特性の向上のためには、更なる改善の余地があることが判明した。

【0011】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

本願において開示される一実施の形態に示される半導体装置は、半導体基板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された半導体層とを有する基板に形成された電界効果トランジスタを有する。そして、電界効果トランジスタのゲート電極の下部において、半導体層および絶縁層を介して半導体基板中に配置された半導体領域を有し、半導体層に炭素を含有する。

【0014】

本願において開示される一実施の形態に示される半導体装置の製造方法は、半導体基板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された半導体層とを有する基板の半導体基板中に、n型不純物またはp型不純物をイオン注入することにより、半導体領域を形成する工程と、半導体層中に、炭素をイオン注入する工程とを有する。

【0015】

本願において開示される一実施の形態に示される半導体装置は、半導体基板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された半導体層とを有する基板に形成された電界効果トランジスタを有する。そして、電界効果トランジスタのゲート電極の下部において、半導体層および絶縁層を介して半導体基板中に配置された半導体領域を有し、半導体基板に格子間原子を含有する。

【0016】

本願において開示される一実施の形態に示される半導体装置の製造方法は、半導体基板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された半導体層とを有する基板

10

20

30

40

50

の半導体基板中に、n型不純物またはp型不純物をイオン注入することにより、半導体領域を形成する工程と、半導体基板中に、原子をイオン注入することにより格子間原子を形成する工程とを有する。

【発明の効果】

【0017】

本願において開示される、以下に示す代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。本願において開示される、以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、半導体装置の特性を向上させることができる。

【図面の簡単な説明】

10

【0018】

【図1】実施の形態1の半導体装置の特徴的な構成を示す断面図である。

【図2】実施の形態1の半導体装置の他の構成を示す断面図である。

【図3】実施の形態1の半導体装置の製造工程を示す断面図である。

【図4】実施の形態1の半導体装置の製造工程を示す断面図であって、図3に続く製造工程を示す断面図である。

【図5】実施の形態1の半導体装置の製造工程を示す断面図であって、図4に続く製造工程を示す断面図である。

【図6】実施の形態1の半導体装置の製造工程を示す断面図であって、図5に続く製造工程を示す断面図である。

20

【図7】実施の形態1の半導体装置の製造工程を示す断面図であって、図6に続く製造工程を示す断面図である。

【図8】実施の形態1の半導体装置の製造工程を示す断面図であって、図7に続く製造工程を示す断面図である。

【図9】実施の形態1の半導体装置の製造工程を示す断面図であって、図8に続く製造工程を示す断面図である。

【図10】実施の形態1の半導体装置の製造工程を示す断面図であって、図9に続く製造工程を示す断面図である。

【図11】実施の形態1の半導体装置の製造工程を示す断面図であって、図10に続く製造工程を示す断面図である。

30

【図12】実施の形態1の半導体装置の製造工程を示す断面図であって、図11に続く製造工程を示す断面図である。

【図13】実施の形態1の半導体装置の製造工程を示す断面図であって、図12に続く製造工程を示す断面図である。

【図14】実施の形態1の半導体装置の製造工程を示す断面図であって、図13に続く製造工程を示す断面図である。

【図15】実施の形態1の半導体装置の製造工程を示す断面図であって、図14に続く製造工程を示す断面図である。

【図16】(A)および(B)は、閾値調整用の不純物領域の不純物濃度および炭素濃度を示すグラフである。

40

【図17】実施の形態1の半導体装置の他の製造工程を示す断面図である。

【図18】実施の形態1の半導体装置の他の製造工程を示す断面図であって、図17に続く製造工程を示す断面図である。

【図19】実施の形態1の半導体装置の他の製造工程を示す断面図であって、図18に続く製造工程を示す断面図である。

【図20】実施の形態2の半導体装置の特徴的な構成を示す断面図である。

【図21】実施の形態2の半導体装置の他の構成を示す断面図である。

【図22】実施の形態2の半導体装置の製造工程を示す断面図である。

【図23】実施の形態2の半導体装置の製造工程を示す断面図であって、図22に続く製造工程を示す断面図である。

50

【図 2 4】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 3 に続く製造工程を示す断面図である。

【図 2 5】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 4 に続く製造工程を示す断面図である。

【図 2 6】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 5 に続く製造工程を示す断面図である。

【図 2 7】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 6 に続く製造工程を示す断面図である。

【図 2 8】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 7 に続く製造工程を示す断面図である。

10

【図 2 9】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 8 に続く製造工程を示す断面図である。

【図 3 0】(A) および (B) は、閾値調整用の不純物領域の不純物濃度および格子間シリコンを示すグラフである。

【図 3 1】実施の形態 1 の半導体装置の他の製造工程を示す断面図である。

【発明を実施するための形態】

【0019】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

20

【0020】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

30

【0021】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、複数の類似の部材（部位）が存在する場合には、総称の符号に記号を追加し個別または特定の部位を示す場合がある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0022】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。

40

【0023】

また、断面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。

【0024】

（実施の形態 1）

[構造説明]

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。図 1 は、本実施の形態の半導体装置の特徴的な構成を示す断面図である。

【0025】

図 1 に示す半導体装置は、SOI 基板 SUB に形成された MISFET (Metal Insula

50

tor Semiconductor Field Effect Transistor、電界効果トランジスタ)を有する。ここでは、MISFETとして、nチャネル型MISFET(NT)を例示しているが、pチャネル型MISFETとしてもよく、また、nチャネル型MISFETおよびpチャネル型MISFETの双方を形成してもよい(図2参照)。

【0026】

SOI基板SUBは、支持基板(半導体基板ともいう)Sと、この支持基板S上に形成された絶縁層(埋め込み絶縁層ともいう)BOXと、絶縁層BOX上に形成されたシリコン層(半導体層、半導体膜、薄膜半導体膜、薄膜半導体領域ともいう)SRとから構成されている。このシリコン層SRの主表面に、nチャネル型MISFET(NT)が形成されている。

10

【0027】

SOI基板SUBの支持基板Sは、例えば、シリコン(Si)からなる半導体基板である。また、絶縁層BOXは、例えば、酸化シリコン膜よりなる。また、この絶縁層BOX上には、半導体層として、例えば、1~10 cm程度の抵抗を有する単結晶シリコンからなるシリコン層SRが配置されている。

【0028】

nチャネル型MISFET(NT)は、素子分離絶縁膜STIで囲まれたシリコン層SRの主表面に形成されている。nチャネル型MISFET(NT)の形成領域の支持基板S中にはp型ウエル領域PWが形成されている。

20

【0029】

このnチャネル型MISFET(NT)は、シリコン層SR上にゲート絶縁膜GIを介して形成されたゲート電極GEと、ゲート電極GEの両側のシリコン層SR中に形成されたソース、ドレイン領域とを有する。このソース、ドレイン領域は、LDD構造のソース、ドレイン領域である。よって、ソース、ドレイン領域は、ゲート電極GEに対して自己整合的に形成されたn型の低濃度不純物領域NMと、ゲート電極GEおよびその側壁のサイドウォール膜SWの合成体に対して自己整合的に形成されたn型の高濃度不純物領域NPとを有する。ソース、ドレイン領域間、即ち、ゲート電極GEの両側のn型の低濃度不純物領域NM間がチャネル形成領域となる。

【0030】

ここで、本実施の形態においては、絶縁層BOXの下部の支持基板S中に閾値調整用のp型の不純物領域VTCR(p)が形成されている。また、本実施の形態においては、シリコン層SR中に炭素(C)が含まれている。このため、図1においては、炭素(C)を含有するシリコン層を“SR(C)”と表示してある。

30

【0031】

このように、本実施の形態においては、炭素(C)を含有するシリコン層SR(C)の主表面にnチャネル型MISFET(NT)を形成することにより、MISFETの特性を向上させることができる。詳細は、後述する(図16参照)。

【0032】

図2は、本実施の形態の半導体装置の他の構成を示す断面図である。図1においては、nチャネル型MISFET(NT)を例示したが、前述したように、nチャネル型MISFETおよびpチャネル型MISFETの双方を形成してもよい。

40

【0033】

図2に示す半導体装置は、SOI基板SUBに形成されたnチャネル型MISFET(NT)およびpチャネル型MISFET(PT)を有する半導体装置である。nチャネル型MISFET(NT)は、nMIS形成領域NAに形成され、pチャネル型MISFET(PT)は、pMIS形成領域PAに形成されている。

【0034】

SOI基板SUBは、支持基板Sと、その上部の絶縁層BOXと、その上部のシリコン層SRとを有する。nMIS形成領域NAおよびpMIS形成領域PAは、それぞれ、素子分離絶縁膜STIで区画されている。

50

【 0 0 3 5 】

nチャネル型MISFET (NT)は、nMIS形成領域NAのシリコン層SRの主表面に形成される。このnチャネル型MISFET (NT)は、シリコン層SR上にゲート絶縁膜GIを介して形成されたゲート電極GEと、ゲート電極GEの両側のシリコン層SR中に形成されたソース、ドレイン領域とを有する。このソース、ドレイン領域は、LDD構造のソース、ドレイン領域である。よって、ソース、ドレイン領域は、ゲート電極GEに対して自己整合的に形成されたn型の低濃度不純物領域NMと、ゲート電極GEおよびその側壁のサイドウォール膜SWの合成体に対して自己整合的に形成されたn型の高濃度不純物領域NPとを有する。n型の高濃度不純物領域NPは、n型の低濃度不純物領域NMより不純物濃度が高い。ソース、ドレイン領域間、即ち、ゲート電極GEの両側のn型の低濃度不純物領域NM間がチャンネル形成領域となる。

10

【 0 0 3 6 】

なお、本実施の形態においては、ゲート電極GEおよびその側壁のサイドウォール膜SWの合成体の両側のシリコン層SR上にエピタキシャル層EPが形成され、n型の高濃度不純物領域NPは、n型不純物(例えば燐(P)や砒素(As))を含有するエピタキシャル層EPおよびシリコン層SRよりなる(図15参照)。この後、エピタキシャル層EPがシリサイド化され、金属シリサイド層SILが形成されている。このn型の高濃度不純物領域NPを、n型不純物を含有するエピタキシャル層EPのみで構成してもよい。この場合、シリコン層SRには、n型の低濃度不純物領域NMのみが形成される。また、エピタキシャル層EPの表面部のみがシリサイド化され、金属シリサイド層SILとなっ

20

【 0 0 3 7 】

また、nMIS形成領域NAの支持基板S中には、n型半導体領域Nisoおよびp型ウエル領域PWが形成されている。n型半導体領域Nisoは、p型ウエル領域PWより深く形成され、p型ウエル領域PWを囲むように形成されている。

【 0 0 3 8 】

pチャネル型MISFET (PT)は、pMIS形成領域PAのシリコン層SRの主表面に形成される。このpチャネル型MISFET (PT)は、シリコン層SR上にゲート絶縁膜GIを介して形成されたゲート電極GEと、ゲート電極GEの両側のシリコン層SR中に形成されたソース、ドレイン領域とを有する。このソース、ドレイン領域は、LDD構造のソース、ドレイン領域である。よって、ソース、ドレイン領域は、ゲート電極GEに対して自己整合的に形成されたp型の低濃度不純物領域PMと、ゲート電極GEおよびその側壁のサイドウォール膜SWの合成体に対して自己整合的に形成されたp型の高濃度不純物領域PPとを有する。ソース、ドレイン領域間、即ち、ゲート電極GEの両側のp型の低濃度不純物領域PM間がチャンネル形成領域となる。

30

【 0 0 3 9 】

なお、本実施の形態においては、p型の低濃度不純物領域PM上にエピタキシャル層EPが形成され(図14参照)、p型の高濃度不純物領域PPは、p型不純物(例えばホウ素(B))を含有するエピタキシャル層EPおよびシリコン層SRよりなる(図15参照)。この後、エピタキシャル層EPがシリサイド化され、金属シリサイド層SILが形成されている。このp型の高濃度不純物領域PPを、p型不純物を含有するエピタキシャル層EPのみで構成してもよい。この場合、シリコン層SRには、p型の低濃度不純物領域PMのみが形成される。また、エピタキシャル層EPの表面部のみがシリサイド化され、金属シリサイド層SILとなっ

40

【 0 0 4 0 】

また、pMIS形成領域PAの支持基板S中には、n型ウエル領域NWが形成されている。

【 0 0 4 1 】

50

ここで、本実施の形態においては、 n MIS形成領域NAの絶縁層BOXの下部の支持基板S中に閾値調整用の p 型の不純物領域VTCR(p)が形成され、 p MIS形成領域PAの絶縁層BOXの下部の支持基板S中に閾値調整用の n 型の不純物領域VTCR(n)が形成されている。また、本実施の形態においては、 n MIS形成領域NAおよび p MIS形成領域PAのシリコン層SR中に炭素(C)が含まれている。このため、図2においては、炭素(C)を含有するシリコン層を“SR(C)”と表示してある。

【0042】

このように、本実施の形態においては、炭素(C)を含有するシリコン層SR(C)の主表面に n チャネル型MISFET(NT)および p チャネル型MISFET(PT)を形成することにより、これらのMISFETの特性を向上させることができる。詳細は、後述する(図16参照)。

10

【0043】

なお、本実施の形態においては、 n チャネル型MISFET(NT)の閾値調整用に p 型不純物領域VTCR(p)を形成したが、 n 型不純物領域を形成してもよい。また、本実施の形態においては、 p チャネル型MISFET(PT)の閾値調整用に n 型不純物領域VTCR(n)を形成したが、 p 型不純物領域を形成してもよい。

【0044】

[製法説明]

次いで、図面を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成を明確にする。図3~図15は、本実施の形態の半導体装置の製造工程を示す断面図である。

20

【0045】

図3に示すように、基板として、例えば、SOI基板SUBを準備する。SOI基板SUBは、支持基板(半導体基板ともいう)Sと、この支持基板S上に形成された絶縁層(埋め込み絶縁層ともいう)BOXと、絶縁層BOX上に形成されたシリコン層(半導体層、半導体膜、薄膜半導体膜、薄膜半導体領域ともいう)SRとから構成されている。支持基板Sは、例えば、 p 型の単結晶シリコン基板である。絶縁層BOXは、例えば膜厚10~20nm程度の酸化シリコン膜である。シリコン層SRは、例えば、1~10 μ m程度の抵抗を有する膜厚10~20nm程度の単結晶シリコンからなる。このSOI基板SUBは、 n MIS形成領域NAおよび p MIS形成領域PAを有する。

30

【0046】

このSOI基板SUBの形成方法に制限はないが、例えば、SIMOX(Silicon Implanted Oxide)法で形成することができる。シリコン(Si)からなる半導体基板の主面に高いエネルギーで O_2 (酸素)をイオン注入し、その後の熱処理でSi(シリコン)と酸素とを結合させ、半導体基板の表面よりも少し深い位置に絶縁層BOXを形成する。この場合、絶縁層BOX上に残存するシリコン(Si)の薄膜がシリコン層SRとなり、絶縁層BOX下の半導体基板が支持基板Sとなる。また、貼り合わせ法によりSOI基板SUBを形成してもよい。例えば、シリコン(Si)からなる第1半導体基板の表面を酸化し、絶縁層BOXを形成した後、シリコン(Si)からなる第2半導体基板を高温下で圧着することにより貼り合わせる。この後、第2半導体基板を薄膜化する。この場合、絶縁層BOX上に残存する第2半導体基板の薄膜がシリコン層SRとなり、絶縁層BOX下の第1半導体基板が支持基板Sとなる。

40

【0047】

次いで、図4に示すように、SOI基板SUBのシリコン層SR中に素子分離絶縁膜STIを形成する。この素子分離絶縁膜は、STI(shallow trench isolation)法を用いて形成される。例えば、素子分離絶縁膜STIの形成領域のシリコン層SR、絶縁層BOXおよび支持基板Sの一部をエッチングすることにより素子分離溝を形成する。この素子分離溝は、シリコン層SRおよび絶縁層BOXを貫通し、支持基板Sの途中まで到達する。

【0048】

50

次いで、素子分離溝を含むSOI基板SUB上に、素子分離溝を埋め込む程度の膜厚で、絶縁膜として例えば酸化シリコン膜をCVD法などを用いて堆積する。次いで、素子分離溝以外の酸化シリコン膜をCMP (Chemical Mechanical Polishing: 化学的機械研磨) 法やエッチバック法などを用いて除去する。これにより、素子分離溝内に酸化シリコン膜 (絶縁膜) が埋め込まれた素子分離絶縁膜STIを形成することができる。この素子分離絶縁膜STIは、各素子、ここでは、nチャネル型MISFET (NT) およびpチャネル型MISFET (PT) 間の干渉を防止するために形成される。

【0049】

次いで、図5に示すように、シリコン層SR中に不純物イオンを注入することにより、nMIS形成領域NAにn型半導体領域Nisoおよびp型ウエル領域PWを形成し、さらに、pMIS形成領域PAにn型ウエル領域NWを形成する。

10

【0050】

例えば、図5に示すように、例えば、犠牲酸化膜 (スルー酸化膜ともいう) として、酸化シリコン膜SOXを、シリコン層SRの表面を熱酸化することにより形成する。次いで、SOI基板SUB上にフォトレジスト膜 (図示せず) を形成し、露光・現像処理を行うことにより、nMIS形成領域NAを開口したフォトレジスト膜 (図示せず) を形成する。次いで、このフォトレジスト膜をマスクとして、n型不純物を支持基板S中にイオン注入することにより、n型半導体領域Nisoを形成する。このn型半導体領域Nisoの底部は、絶縁層BOXの底部より深く、支持基板Sの比較的深い位置に配置される。

【0051】

20

次いで、上記フォトレジスト膜をマスクとして、p型不純物 (例えば、ホウ素) を支持基板S中にイオン注入することにより、p型ウエル領域PWを形成する。このp型ウエル領域PWの底部は、n型半導体領域Nisoの底部より浅い位置にあり、このp型ウエル領域PWを囲むように、n型半導体領域Nisoが配置される。次いで、アッシング処理などにより、上記フォトレジスト膜を除去する。

【0052】

次いで、SOI基板SUB上にフォトレジスト膜 (図示せず) を形成し、露光・現像処理を行うことにより、pMIS形成領域PAを開口したフォトレジスト膜 (図示せず) を形成する。このフォトレジスト膜をマスクとして、n型不純物を支持基板S中にイオン注入することにより、n型ウエル領域NWを形成する。次いで、アッシング処理などにより、上記フォトレジスト膜を除去する。

30

【0053】

次いで、図6～図9に示すように、シリコン層SRへの炭素 (C) のイオン注入、p型不純物領域VTCR (p) の形成およびn型の不純物領域VTCR (n) の形成を行う。

【0054】

例えば、図6に示すように、nMIS形成領域NAを開口したフォトレジスト膜PR1を形成し、このフォトレジスト膜PR1をマスクとして、絶縁層BOXの下部の支持基板S中にp型不純物 (例えば、ホウ素 (B)) をイオン注入する。これにより、閾値調整用のp型の不純物領域VTCR (p) を形成する (図7参照)。

【0055】

40

次いで、図7に示すように、上記フォトレジスト膜PR1をマスクとして、シリコン層SR中に、炭素 (C) をイオン注入する。炭素の注入後のシリコン層SRを“SR (C)”で示す (図8参照)。この後、アッシング処理などにより、フォトレジスト膜PR1を除去する。

【0056】

次いで、図8に示すように、pMIS形成領域PAを開口したフォトレジスト膜PR2を形成し、このフォトレジスト膜PR2をマスクとして、絶縁層BOXの下部の支持基板S中にn型不純物 (例えば、リン (P)) をイオン注入する。これにより、閾値調整用のn型の不純物領域VTCR (n) を形成する (図9参照)。

【0057】

50

次いで、図9に示すように、上記フォトリソ膜PR2をマスクとして、シリコン層SR中に、炭素(C)をイオン注入する。炭素の注入後のシリコン層SRを“SR(C)”で示す。この後、アッシング処理などにより、フォトリソ膜PR2を除去する(図10参照)。

【0058】

なお、炭素(C)のイオン注入を行った後、p型の不純物領域VTCR(p)を形成してもよい。また、炭素(C)のイオン注入を行った後、n型の不純物領域VTCR(n)を形成してもよい。また、n型半導体領域Niso、p型ウエル領域PWおよびn型ウエル領域NWを形成するためのフォトリソ膜を利用して、炭素(C)のイオン注入、p型の不純物領域VTCR(p)の形成またはn型の不純物領域VTCR(n)の形成を行ってもよい。

10

【0059】

この後、熱処理を施すことにより、n型の不純物領域VTCR(n)中のn型不純物(例えば、リン(P))や、p型の不純物領域VTCR(p)中のp型不純物(例えば、ホウ素(B))を活性化する。

【0060】

ここで、上記熱処理により、n型の不純物領域VTCR(n)中のn型不純物(例えば、リン(P))や、p型の不純物領域VTCR(p)中のp型不純物(例えば、ホウ素(B))が、絶縁層BOXを超えて、シリコン層SRにまで拡散する場合がある。このように、シリコン層SRまで拡散したn型不純物やp型不純物が存在しても、シリコン層SR中に注入された炭素(C)により不活性化(電気的な不活性化ともいう)される。よって、MISFET(NT、PT)のチャネル形成領域となるシリコン層SRが実質的にノンドープに近い状態となり、MISFET(NT、PT)の閾値電圧のばらつきなど、トランジスタ特性のばらつきを低減することができる。

20

【0061】

次いで、図10に示すように、各MISFET(NT、PT)のゲート絶縁膜GIを形成する。例えば、酸化シリコン膜SiO₂をエッチングにより除去し、nMIS形成領域NAおよびpMIS形成領域PAから露出しているシリコン層SR(C)の表面を熱酸化することにより、酸化シリコン膜(熱酸化膜ともいう)よりなるゲート絶縁膜GIを形成する。このゲート絶縁膜GIを、CVD法などを用いて酸化シリコン膜を堆積することにより形成してもよい。また、酸化シリコン膜に代えて窒化シリコン膜を用いてもよい。また、ゲート絶縁膜GIとして高誘電体膜(high-k膜)を用いてもよい。

30

【0062】

次いで、図11に示すように、SOI基板SUB上に、CVD法などを用いて、導電性膜として、多結晶シリコン膜SFを形成する。次いで、多結晶シリコン膜SF上に、CVD法などを用いて絶縁膜(例えば、窒化シリコン膜)IFを形成する。

【0063】

次いで、図12に示すように、ゲート電極GEを形成する。例えば、絶縁膜IF上にフォトリソ膜(図示せず)を形成し、露光・現像することによりゲート電極GEの形成領域以外のフォトリソ膜を除去する。次いで、上記フォトリソ膜をマスクとして絶縁膜IFをエッチングする。次いで、上記フォトリソ膜をアッシング処理などにより除去し、絶縁膜IFをマスクとして、多結晶シリコン膜SFをエッチングする。これにより、nMIS形成領域NAおよびpMIS形成領域PAにゲート電極GEを形成する。この際、各領域(NA、PA)において、ゲート電極GEの両側から露出するゲート絶縁膜GIを除去してもよい。

40

【0064】

次いで、図13~図15に示すように、ゲート電極GEの両側のシリコン層SR等にLDD構造のソース、ドレイン領域を形成する。

【0065】

例えば、図13に示すように、nMIS形成領域NAのゲート電極GEの両側のシリコ

50

ン層SRに、n型の低濃度不純物領域NMを形成する。このn型の低濃度不純物領域NMは、例えば、nMIS形成領域NAを開口したフォトリソ膜（図示せず）およびゲート電極GE（上部の絶縁膜IFを含む）をマスクとして、イオン注入法により、n型不純物をシリコン層SRに導入することにより形成する。また、pMIS形成領域PAのゲート電極GEの両側のシリコン層SRに、p型の低濃度不純物領域PMを形成する。このp型の低濃度不純物領域PMは、例えば、pMIS形成領域PAを開口したフォトリソ膜（図示せず）およびゲート電極GE（上部の絶縁膜IFを含む）をマスクとして、イオン注入法により、p型不純物をシリコン層SRに導入することにより形成する。

【0066】

次いで、ゲート電極GEの両側の側壁に、サイドウォール膜SWを形成する。例えば、ゲート電極GE上を含むSOI基板SUB上に、酸化シリコン膜などよりなる絶縁膜をCVD法で堆積した後、異方性エッチングを施し、ゲート電極GEの側壁に絶縁膜をサイドウォール膜SWとして残存させる。

10

【0067】

次いで、図14に示すように、ゲート電極GEおよびサイドウォール膜SWの合成体の両側から露出したシリコン層SR、即ち、n型の低濃度不純物領域NMおよびp型の低濃度不純物領域PM上に、エピタキシャル成長法を用いて、エピタキシャル層EPを形成する。

【0068】

次いで、図15に示すように、n型の高濃度不純物領域NPおよびp型の高濃度不純物領域PPを形成する。

20

【0069】

例えば、nMIS形成領域NAを開口したフォトリソ膜（図示せず）を形成し、ゲート電極GE（上部の絶縁膜IFを含む）およびサイドウォール膜SWの合成体をマスクとして、イオン注入法により、nMIS形成領域NAにn型不純物を導入することによりn型の高濃度不純物領域NPを形成する。次いで、pMIS形成領域PAを開口したフォトリソ膜（図示せず）を形成し、ゲート電極GE（上部の絶縁膜IFを含む）およびサイドウォール膜SWの合成体をマスクとして、イオン注入法により、pMIS形成領域PAにp型不純物を導入することによりp型の高濃度不純物領域PPを形成する。

【0070】

30

以上の工程により、n型の低濃度不純物領域NMとn型の高濃度不純物領域NPとからなるLDD構造のソース・ドレイン領域を有するnチャネル型MISFET（NT）を形成することができる。また、p型の低濃度不純物領域PMとp型の高濃度不純物領域PPとからなるLDD構造のソース・ドレイン領域を有するpチャネル型MISFET（PT）を形成することができる。

【0071】

このように、本実施の形態においては、nMIS形成領域NAにおいて、絶縁層BOX下の支持基板Sにp型の不純物領域VTCR（p）を形成することにより、nチャネル型MISFET（NT）の閾値を調整することができる。また、pMIS形成領域PAにおいて、絶縁層BOX下の支持基板Sにn型の不純物領域VTCR（n）を形成することにより、pチャネル型MISFET（PT）の閾値を調整することができる。

40

【0072】

加えて、閾値調整用の不純物領域であるp型の不純物領域VTCR（p）およびn型の不純物領域VTCR（n）からシリコン層SRへの不純物の拡散が生じても、MISFET（NT、PT）の特性の劣化を低減することができる。

【0073】

図16は、閾値調整用の不純物領域VTCRの不純物濃度および炭素濃度を示すグラフである。縦軸は、SOI基板の深さを示し、横軸は、不純物または炭素の濃度を示す。図16（A）に示すように、SOI基板の下面側から、支持基板S、絶縁層BOXおよびシリコン層SRが順次積層された状態において、不純物領域VTCRの不純物濃度は、グラ

50

フ(VTCR)に示すように、絶縁層BOX直下の支持基板Sにおいてピークを示している。そして、このピーク位置から絶縁層BOXおよびシリコン層SRへと、表面側に向かうにしたがってその濃度が低下している。特に、シリコン層SRにおいては、不純物濃度のグラフのテールがかかっており、シリコン層SRまで不純物が拡散していることがわかる。

【0074】

これに対し、図16(B)のグラフに示すように、炭素濃度は、シリコン層SRの厚さのほぼ中間においてピークを示している。よって、図16(B)のグラフの灰色領域に示す不純物、即ち、シリコン層SRまで拡散した不純物が、シリコン層SRの炭素によって不活性化される。

10

【0075】

よって、MISFET(NT、PT)のチャネル形成領域となるシリコン層SRが実質的にノドープに近い状態となり、MISFET(NT、PT)の閾値電圧のばらつきなど、トランジスタ特性のばらつきを低減することができる。

【0076】

なお、上記の実施の形態においては、nMIS形成領域NAまたはpMIS形成領域PAにおいて、シリコン層SRへの炭素(C)のイオン注入を行った後、不純物領域VTCRの形成を行ったが、これらの工程を逆にしてもよい。即ち、不純物領域VTCRを形成した後に、炭素(C)のイオン注入を行ってもよい。

20

【0077】

また、上記実施の形態においては、nMIS形成領域NAに対し、炭素(C)のイオン注入やp型の不純物領域VTCR(p)の形成を行った後、pMIS形成領域PAに対し、炭素(C)のイオン注入やn型の不純物領域VTCR(n)の形成を行ったが、これらの工程を逆にしてもよい。即ち、pMIS形成領域PAに対する炭素(C)やn型の不純物の注入を行った後、nMIS形成領域NAに対する炭素(C)やp型の不純物の注入を行ってもよい。

【0078】

また、次に示す工程により、炭素(C)のイオン注入や不純物領域VTCRの形成を行ってもよい。図17～図19は、本実施の形態の半導体装置の他の製造工程を示す断面図である。

30

【0079】

まず、支持基板Sと、この支持基板S上に形成された絶縁層BOXと、絶縁層BOX上に形成されたシリコン層SRとから構成されるSOI基板SUBを準備する。そして、図3～図5を参照しながら説明したように、このSOI基板SUBに、素子分離絶縁膜STIおよび酸化シリコン膜SOXを形成し、さらに、n型半導体領域Niso、p型ウエル領域PWおよびn型ウエル領域NWを形成する。

【0080】

次いで、図17～図19に示すように、シリコン層SRへの炭素(C)のイオン注入、p型の不純物領域VTCR(p)の形成およびn型の不純物領域VTCR(n)の形成を行う。

40

【0081】

例えば、図17に示すように、nMIS形成領域NAを開口したフォトレジスト膜PR1を形成し、このフォトレジスト膜PR1をマスクとして、絶縁層BOXの下部の支持基板S中にp型不純物(例えば、ホウ素(B))をイオン注入する。これにより、閾値調整用のp型の不純物領域VTCR(p)を形成する(図18参照)。この後、アッシング処理などにより、フォトレジスト膜PR1を除去する。

【0082】

次いで、図18に示すように、pMIS形成領域PAを開口したフォトレジスト膜PR2を形成し、このフォトレジスト膜PR2をマスクとして、絶縁層BOXの下部の支持基板S中にn型不純物(例えば、燐(P))をイオン注入する。これにより、閾値調整用の

50

n型の不純物領域VTCR(n)を形成する(図19参照)。この後、アッシング処理などにより、フォトリソ膜PR2を除去する。

【0083】

次いで、図19に示すように、nMIS形成領域NAおよびpMIS形成領域PAのシリコン層SR中に、炭素(C)をイオン注入する。

【0084】

この後、熱処理を施すことにより、n型の不純物領域VTCR(n)中のn型不純物(例えば、燐(P))や、p型の不純物領域VTCR(p)中のp型不純物(例えば、ホウ素(B))を活性化する。

【0085】

この工程においても、上記熱処理により、n型の不純物領域VTCR(n)中のn型不純物(例えば、燐(P))や、p型の不純物領域VTCR(p)中のp型不純物(例えば、ホウ素(B))が、絶縁層BOXを超えて、シリコン層SRにまで拡散する場合がある。このように、シリコン層SRまで拡散したn型不純物やp型不純物が存在しても、シリコン層SR中に注入された炭素(C)により不活性化される。よって、MISFET(NT、PT)のチャネル形成領域となるシリコン層SRが実質的にノンドープに近い状態となり、MISFET(NT、PT)の閾値電圧のばらつきなど、トランジスタ特性のばらつきを低減することができる。

【0086】

(実施の形態2)

[構造説明]

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。図20は、本実施の形態の半導体装置の特徴的な構成を示す断面図である。

【0087】

図20に示す半導体装置は、SOI基板SUBに形成されたMISFETを有する。ここでは、MISFETとして、nチャネル型MISFET(NT)を例示しているが、pチャネル型MISFETとしてもよく、また、nチャネル型MISFETおよびpチャネル型MISFETの双方を形成してもよい(図21参照)。

【0088】

SOI基板SUBは、支持基板(半導体基板ともいう)Sと、この支持基板S上に形成された絶縁層(埋め込み絶縁層ともいう)BOXと、絶縁層BOX上に形成されたシリコン層(半導体層、半導体膜、薄膜半導体膜、薄膜半導体領域ともいう)SRとから構成されている。このシリコン層SRの主表面に、nチャネル型MISFET(NT)が形成されている。

【0089】

SOI基板SUBの支持基板Sは、例えば、Si(シリコン)からなる半導体基板である。また、絶縁層BOXは、例えば、酸化シリコン膜よりなる。また、この絶縁層BOX上には、半導体層として、例えば、1~10cm程度の抵抗を有する単結晶シリコンからなるシリコン層SRが配置されている。

【0090】

nチャネル型MISFET(NT)は、素子分離絶縁膜STIで囲まれたシリコン層SRの主表面に形成されている。nチャネル型MISFET(NT)の形成領域の支持基板S中にはp型ウエル領域PWが形成されている。

【0091】

このnチャネル型MISFET(NT)は、シリコン層SR上にゲート絶縁膜GIを介して形成されたゲート電極GEと、ゲート電極GEの両側のシリコン層SR中に形成されたソース、ドレイン領域とを有する。このソース、ドレイン領域は、LDD構造のソース、ドレイン領域である。よって、ソース、ドレイン領域は、ゲート電極GEに対して自己整合的に形成されたn型の低濃度不純物領域NMと、ゲート電極GEおよびその側壁のサイドウォール膜SWの合成体に対して自己整合的に形成されたn型の高濃度不純物領域N

10

20

30

40

50

Pとを有する。ソース、ドレイン領域間、即ち、ゲート電極GEの両側のn型の低濃度不純物領域NM間がチャンネル形成領域となる。

【0092】

ここで、本実施の形態においては、絶縁層BOX下の支持基板S中、ここでは、p型の不純物領域VTCR(p)に格子間Si(格子間原子ともいう)ISが含まれている。図20においては、この格子間Si(IS)を模式的にx印として表示してある。

【0093】

このように、本実施の形態においては、絶縁層BOX下のp型の不純物領域VTCR(p)中の格子間Si(IS)により、p型不純物の増速拡散が生じ、格子間Si(IS)の近傍において、p型不純物の不純物濃度が高まる。よって、シリコン層SRまでp型不純物が拡散することを抑制でき、MISFET(NT、PT)の閾値電圧のばらつきなど、トランジスタ特性のばらつきを低減することができる。詳細は、後述する(図30参照)。

【0094】

図21は、本実施の形態の半導体装置の他の構成を示す断面図である。図20においては、nチャンネル型MISFET(NT)を例示したが、前述したように、nチャンネル型MISFETおよびpチャンネル型MISFETの双方を形成してもよい。

【0095】

図21に示す半導体装置は、SOI基板SUBに形成されたnチャンネル型MISFET(NT)およびpチャンネル型MISFET(PT)を有する半導体装置である。nチャンネル型MISFET(NT)は、nMIS形成領域NAに形成され、pチャンネル型MISFET(PT)は、pMIS形成領域PAに形成されている。

【0096】

SOI基板SUBは、支持基板Sと、その上部の絶縁層BOXと、その上部のシリコン層SRとを有する。nMIS形成領域NAおよびpMIS形成領域PAは、それぞれ、素子分離絶縁膜STIで区画されている。

【0097】

nチャンネル型MISFET(NT)は、nMIS形成領域NAのシリコン層SRの主表面に形成される。このnチャンネル型MISFET(NT)は、シリコン層SR上にゲート絶縁膜GIを介して形成されたゲート電極GEと、ゲート電極GEの両側のシリコン層SR中に形成されたソース、ドレイン領域とを有する。このソース、ドレイン領域は、LDD構造のソース、ドレイン領域である。よって、ソース、ドレイン領域は、ゲート電極GEに対して自己整合的に形成されたn型の低濃度不純物領域NMと、ゲート電極GEおよびその側壁のサイドウォール膜SWの合成体に対して自己整合的に形成されたn型の高濃度不純物領域NPとを有する。n型の高濃度不純物領域NPは、n型の低濃度不純物領域NMより不純物濃度が高い。ソース、ドレイン領域間、即ち、ゲート電極GEの両側のn型の低濃度不純物領域NM間がチャンネル形成領域となる。

【0098】

なお、本実施の形態においては、n型の低濃度不純物領域NM上にエピタキシャル層EPが形成され、n型の高濃度不純物領域NPは、n型の不純物(例えば燐(P)や砒素(As))を含有するエピタキシャル層EPおよびシリコン層SRよりなる(図29参照)。この後、エピタキシャル層EPがシリサイド化され、金属シリサイド層SILが形成されている。このn型の高濃度不純物領域NPを、n型の不純物を含有するエピタキシャル層EPのみで構成してもよい。この場合、シリコン層SRには、n型の低濃度不純物領域NMのみが形成される。また、エピタキシャル層EPの表面部のみがシリサイド化され、金属シリサイド層SILとなってもよい。この場合、金属シリサイド層SILの下部にn型の高濃度不純物を含有するエピタキシャル層EPが残存する。

【0099】

また、nMIS形成領域NAの支持基板S中には、n型半導体領域Nisoおよびp型ウエル領域PWが形成されている。n型半導体領域Nisoは、p型ウエル領域PWより

10

20

30

40

50

深く形成され、p型ウエル領域PWを囲むように形成されている。

【0100】

pチャネル型MISFET(PT)は、pMIS形成領域PAのシリコン層SRの主表面に形成される。このpチャネル型MISFET(PT)は、シリコン層SR上にゲート絶縁膜GIを介して形成されたゲート電極GEと、ゲート電極GEの両側のシリコン層SR中に形成されたソース、ドレイン領域とを有する。このソース、ドレイン領域は、LD構造のソース、ドレイン領域である。よって、ソース、ドレイン領域は、ゲート電極GEに対して自己整合的に形成されたp型の低濃度不純物領域PMと、ゲート電極GEおよびその側壁のサイドウォール膜SWの合成体に対して自己整合的に形成されたp型の高濃度不純物領域PPとを有する。ソース、ドレイン領域間、即ち、ゲート電極GEの両側のp型の低濃度不純物領域PM間がチャンネル形成領域となる。

10

【0101】

なお、本実施の形態においては、p型の低濃度不純物領域PM上にエピタキシャル層EPが形成され、p型の高濃度不純物領域PPは、p型の不純物(例えばホウ素(B))を含有するエピタキシャル層EPおよびシリコン層SRよりなる(図29参照)。この後、エピタキシャル層EPがシリサイド化され、金属シリサイド層SILが形成されている。このp型の高濃度不純物領域PPを、p型の不純物を含有するエピタキシャル層EPのみで構成してもよい。この場合、シリコン層SRには、p型の低濃度不純物領域PMのみが形成される。また、エピタキシャル層EPの表面部のみがシリサイド化され、金属シリサイド層SILとなってもよい。この場合、金属シリサイド層SILの下部にp型の高濃度不純物を含有するエピタキシャル層EPが残存する。

20

【0102】

また、pMIS形成領域PAの支持基板S中には、n型ウエル領域NWが形成されている。

【0103】

ここで、本実施の形態においては、nMIS形成領域NAおよびpMIS形成領域PAの絶縁層BOX下の閾値調整用の不純物領域(VTCR(p)、VTCR(n))中の格子間Si(IS)により、p型またはn型不純物の増速拡散が生じ、格子間Si(IS)の近傍において、p型またはn型不純物の不純物濃度が高まる。よって、シリコン層SRまでp型またはn型不純物が拡散することを抑制でき、MISFET(NT、PT)の閾値電圧のばらつきなど、トランジスタ特性のばらつきを低減することができる。詳細は、後述する(図30参照)。

30

【0104】

[製法説明]

次いで、図面を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成を明確にする。図22~図29は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0105】

図22に示すように、基板として、例えば、SOI基板SUBを準備する。SOI基板SUBは、支持基板(半導体基板ともいう)Sと、この支持基板S上に形成された絶縁層(埋め込み絶縁層ともいう)BOXと、絶縁層BOX上に形成されたシリコン層(半導体層、半導体膜、薄膜半導体膜、薄膜半導体領域ともいう)SRとから構成されている。支持基板Sは、例えば、p型の単結晶シリコン基板である。絶縁層BOXは、例えば膜厚10~20nm程度の酸化シリコン膜である。シリコン層SRは、例えば、1~10cm程度の抵抗を有する膜厚10~20nm程度の単結晶シリコンからなる。このSOI基板SUBは、nMIS形成領域NAおよびpMIS形成領域PAを有する。

40

【0106】

次いで、実施の形態1と同様に(図3~図5参照)、SOI基板SUBに、素子分離絶縁膜STIおよび酸化シリコン膜SOXを形成し、さらに、n型半導体領域Niso、p型ウエル領域PWおよびn型ウエル領域NWを形成する。

50

【0107】

次いで、図22～図25に示すように、シリコン層SRへのシリコン(Si)のイオン注入、p型の不純物領域VTCR(p)の形成およびn型の不純物領域VTCR(n)の形成を行う。

【0108】

例えば、図22に示すように、nMIS形成領域NAを開口したフォトリソ膜PR1を形成し、このフォトリソ膜PR1をマスクとして、絶縁層BOXの下部の支持基板S中にp型不純物(例えば、ホウ素(B))をイオン注入する。これにより、閾値調整用のp型の不純物領域VTCR(p)を形成する(図23参照)。

【0109】

次いで、図23に示すように、上記フォトリソ膜PR1をマスクとして、絶縁層BOX下の支持基板S中に、シリコン(Si)をイオン注入する。このシリコン(Si)の注入により、絶縁層BOX下の支持基板S中、ここでは、閾値調整用のp型の不純物領域VTCR(p)中に格子間Si(IS)が形成される(図24参照)。その後、アッシング処理などにより、フォトリソ膜PR1を除去する。

【0110】

次いで、図24に示すように、pMIS形成領域PAを開口したフォトリソ膜PR2を形成し、このフォトリソ膜PR2をマスクとして、絶縁層BOXの下部の支持基板S中にn型不純物(例えば、リン(P))をイオン注入する。これにより、閾値調整用のn型の不純物領域VTCR(n)を形成する(図25参照)。

【0111】

次いで、図25に示すように、上記フォトリソ膜PR2をマスクとして、絶縁層BOX下の支持基板S中に、シリコン(Si)をイオン注入する。このシリコン(Si)の注入により、絶縁層BOX下の支持基板S中、ここでは、閾値調整用のn型の不純物領域VTCR(n)中に格子間Si(IS)が形成される(図26参照)。その後、アッシング処理などにより、フォトリソ膜PR2を除去する。

【0112】

なお、シリコン(Si)のイオン注入を行った後、p型の不純物領域VTCR(p)を形成してもよい。また、シリコン(Si)のイオン注入を行った後、n型の不純物領域VTCR(n)を形成してもよい。また、n型半導体領域Niso、p型ウエル領域PWおよびn型ウエル領域NWを形成するためのフォトリソ膜を利用して、シリコン(Si)のイオン注入、p型の不純物領域VTCR(p)の形成またはn型の不純物領域VTCR(n)の形成を行ってもよい。

【0113】

この後、図27に示すように、熱処理(アニール)を施すことにより、n型の不純物領域VTCR(n)中のn型不純物(例えば、リン(P))や、p型の不純物領域VTCR(p)中のp型不純物(例えば、ホウ素(B))を活性化する。

【0114】

ここで、上記熱処理により、n型の不純物領域VTCR(n)中のn型不純物(例えば、リン(P))や、p型の不純物領域VTCR(p)中のp型不純物(例えば、ホウ素(B))が、増速拡散する。即ち、これらの不純物が、格子間Si原子とペアになり、熱処理(アニール)時にSi-BクラスタやSi-Pクラスタなどの異常拡散クラスタを生成する。よって、格子間Si(IS)の注入領域の近傍から絶縁層BOXの底面までの間に、異常拡散により不純物が集まり、不純物濃度が高まる。言い換えれば、シリコン層SRまで拡散しようとするn型不純物やp型不純物を、格子間Si(IS)の注入領域の近傍から絶縁層BOXの底面までの間において捕獲することができる。これにより、シリコン層SRへのn型不純物やp型不純物の拡散を低減でき、MISFET(NT、PT)の閾値電圧のばらつきなど、トランジスタ特性のばらつきを低減することができる。

【0115】

次いで、各MISFET(NT、PT)のゲート絶縁膜GIを形成する(図27)。例

10

20

30

40

50

例えば、酸化シリコン膜 SiO_2 をエッチングにより除去し、 n M I S 形成領域 N_A および p M I S 形成領域 P_A から露出しているシリコン層 Si (C) の表面を熱酸化することにより、酸化シリコン膜 (熱酸化膜ともいう) よりなるゲート絶縁膜 $G I$ を形成する。このゲート絶縁膜 $G I$ を、 CVD 法などを用いて酸化シリコン膜を堆積することにより形成してもよい。また、酸化シリコン膜に代えて酸化窒化シリコン膜を用いてもよい。また、ゲート絶縁膜 $G I$ として高誘電体膜 ($high-k$ 膜) を用いてもよい。

【 0 1 1 6 】

次いで、実施の形態 1 と同様に、 SOI 基板 SUB 上に、多結晶シリコン膜 SF および絶縁膜 IF を形成し、これらをパターニングすることにより、ゲート電極 GE を形成する (図 28 参照)。この際、各領域 (N_A 、 P_A) において、ゲート電極 GE の両側から露出するゲート絶縁膜 $G I$ を除去してもよい。

10

【 0 1 1 7 】

次いで、実施の形態 1 と同様に、ゲート電極 GE の両側のシリコン層 Si 等に LDD 構造のソース、ドレイン領域を形成する。

【 0 1 1 8 】

例えば、図 28 に示すように、 n M I S 形成領域 N_A のゲート電極 GE の両側のシリコン層 Si に、 n 型の低濃度不純物領域 NM を形成する。この n 型の低濃度不純物領域 NM は、例えば、 n M I S 形成領域 N_A を開口したフォトリソ膜 (図示せず) およびゲート電極 GE (上部の絶縁膜 IF を含む) をマスクとして、イオン注入法により、 n 型不純物をシリコン層 Si に導入することにより形成する。また、 p M I S 形成領域 P_A のゲート電極 GE の両側のシリコン層 Si に、 p 型の低濃度不純物領域 PM を形成する。この p 型の低濃度不純物領域 PM は、例えば、 p M I S 形成領域 P_A を開口したフォトリソ膜 (図示せず) およびゲート電極 GE (上部の絶縁膜 IF を含む) をマスクとして、イオン注入法により、 p 型不純物をシリコン層 Si に導入することにより形成する。

20

【 0 1 1 9 】

次いで、ゲート電極 GE の両側の側壁に、サイドウォール膜 SW を形成する。例えば、ゲート電極 GE 上を含む SOI 基板 SUB 上に、酸化シリコン膜などよりなる絶縁膜を CVD 法で堆積した後、異方性エッチングを施し、ゲート電極 GE の側壁に絶縁膜をサイドウォール膜 SW として残存させる。

【 0 1 2 0 】

次いで、図 29 に示すように、ゲート電極 GE およびサイドウォール膜 SW の合成体の両側から露出したシリコン層 Si 、即ち、 n 型の低濃度不純物領域 NM および p 型の低濃度不純物領域 PM 上に、エピタキシャル成長法を用いて、エピタキシャル層 EP を形成する。

30

【 0 1 2 1 】

次いで、 n M I S 形成領域 N_A を開口したフォトリソ膜 (図示せず) を形成し、ゲート電極 GE (上部の絶縁膜 IF を含む) およびサイドウォール膜 SW の合成体をマスクとして、イオン注入法により、 n M I S 形成領域 N_A に n 型不純物を導入することにより n 型の高濃度不純物領域 NP を形成する。次いで、 p M I S 形成領域 N_A を開口したフォトリソ膜 (図示せず) を形成し、ゲート電極 GE (上部の絶縁膜 IF を含む) およびサイドウォール膜 SW の合成体をマスクとして、イオン注入法により、 p M I S 形成領域 P_A に p 型不純物を導入することにより p 型の高濃度不純物領域 PP を形成する。

40

【 0 1 2 2 】

以上の工程により、 n 型の低濃度不純物領域 NM と n 型の高濃度不純物領域 NP とからなる LDD 構造のソース・ドレイン領域を有する n チャネル型 $MISFET$ (NT) を形成することができる。また、 p 型の低濃度不純物領域 PM と p 型の高濃度不純物領域 PP とからなる LDD 構造のソース・ドレイン領域を有する p チャネル型 $MISFET$ (PT) を形成することができる。

【 0 1 2 3 】

このように、本実施の形態においては、 n M I S 形成領域 N_A において、絶縁層 BOX

50

下の支持基板 S に p 型の不純物領域 VTCR (p) を形成することにより、 n チャネル型 MISFET (NT) の閾値を調整することができる。また、 p MIS 形成領域 PA において、絶縁層 BOX 下の支持基板 S に n 型の不純物領域 VTCR (n) を形成することにより、 p チャネル型 MISFET (PT) の閾値を調整することができる。

【 0 1 2 4 】

加えて、格子間 Si (IS) により、閾値調整用の不純物領域である p 型の不純物領域 VTCR (p) および n 型の不純物領域 VTCR (n) からシリコン層 SR への不純物の拡散を低減することができる。これにより MISFET (NT、PT) の特性の劣化を低減することができる。

【 0 1 2 5 】

図 30 は、閾値調整用の不純物領域 VTCR の不純物濃度および格子間 Si を示すグラフである。縦軸は、SOI 基板の深さを示し、横軸は、不純物の濃度および格子間 Si を示す。図 30 (A) に示す SOI 基板の下面側から、支持基板 S、絶縁層 BOX およびシリコン層 SR が順次積層された状態において、不純物領域 VTCR の不純物濃度は、イオン注入後においてグラフ VTCR 1 で示される。即ち、絶縁層 BOX 直下の支持基板 S においてピークを示し、この位置から絶縁層 BOX およびシリコン層 SR へと、表面に向かうにしたがってその濃度が低下している。ここでは、シリコン層 SR においては、不純物濃度のグラフのテールがかからないように、絶縁層 BOX 下のシリコン層の比較的深い位置に、不純物濃度のピークが位置している。このように、イオン注入の注入エネルギーを調整することが好ましい。

【 0 1 2 6 】

そして、図 30 (B) に示すように、絶縁層 BOX 下の支持基板 S 中、ここでは、不純物領域 VTCR の不純物濃度のピーク位置の近傍に格子間 Si (IS) を形成している。この場合、イオン注入後のグラフ VTCR 1 が、熱処理によりグラフ VTCR 2 となる。即ち、異常拡散により不純物濃度が高まり、そのピークが、絶縁層 BOX の底部により近づく。このように、シリコン層 SR において、不純物濃度のグラフのテールがかからないように、比較的 low 濃度で深い位置に不純物を注入 (グラフ VTCR 1) しても、格子間 Si による異常拡散により、絶縁層 BOX 直下の不純物濃度をより高濃度とすることができる。また、格子間 Si (IS) の注入領域の近傍から絶縁層 BOX の底面までの間において不純物濃度を高濃度化することで、シリコン層 SR への n 型不純物や p 型不純物の拡散を低減でき、MISFET (NT、PT) の閾値電圧のばらつきなど、トランジスタ特性のばらつきを低減することができる。

【 0 1 2 7 】

なお、上記実施の形態においては、格子間原子として、シリコン (Si) を注入したが、この他、ゲルマニウム (Ge) や鉄 (Fe) などを注入してもよい。

【 0 1 2 8 】

また、上記の実施の形態においては、 n MIS 形成領域 NA または p MIS 形成領域 PA において、不純物領域 VTCR の形成を行った後、シリコン層 SR へのシリコン (Si) のイオン注入を行ったが、これらの工程を逆にしてもよい。即ち、シリコン (Si) のイオン注入を行った後、不純物領域 VTCR を形成してもよい。

【 0 1 2 9 】

また、上記実施の形態においては、 n MIS 形成領域 NA に対し、 p 型の不純物領域 VTCR (p) の形成やシリコン (Si) のイオン注入を行った後、 p MIS 形成領域 PA に対し、 n 型の不純物領域 VTCR (n) の形成やシリコン (Si) のイオン注入を行ったが、これらの工程を逆にしてもよい。即ち、 p MIS 形成領域 PA に対する Si や n 型の不純物の注入を行った後、 n MIS 形成領域 NA に対する Si や p 型の不純物の注入を行ってもよい。

【 0 1 3 0 】

また、次に示す工程により、シリコン (Si) のイオン注入や不純物領域 VTCR の形成を行ってもよい。図 31 は、本実施の形態の半導体装置の他の製造工程を示す断面図で

10

20

30

40

50

ある。

【0131】

まず、支持基板Sと、この支持基板S上に形成された絶縁層BOXと、絶縁層BOX上に形成されたシリコン層SRとから構成されるSOI基板SUBを準備する。そして、実施の形態1において、図3～図5を参照しながら説明したように、このSOI基板SUBに、素子分離絶縁膜STIおよび酸化シリコン膜SOXを形成し、さらに、n型半導体領域Niso、p型ウエル領域PWおよびn型ウエル領域NWを形成する。

【0132】

次いで、nMIS形成領域NAを開口したフォトリソ膜（図示せず）をマスクとして、絶縁層BOXの下部の支持基板S中にp型不純物（例えば、ホウ素（B））をイオン注入する。これにより、閾値調整用のp型の不純物領域VTCR（p）を形成する（図18参照）。この後、アッシング処理などにより、上記フォトリソ膜を除去する。

10

【0133】

次いで、pMIS形成領域PAを開口したフォトリソ膜（図示せず）をマスクとして、絶縁層BOXの下部の支持基板S中にn型不純物（例えば、燐（P））をイオン注入する。これにより、閾値調整用のn型の不純物領域VTCR（n）を形成する（図19参照）。この後、アッシング処理などにより、上記フォトリソ膜を除去する。

【0134】

次いで、図31に示すように、nMIS形成領域NAおよびpMIS形成領域PAの支持基板S（ここでは、p型の不純物領域VTCR（p）およびn型の不純物領域VTCR（n））中に、シリコン（Si）をイオン注入し、格子間Si（IS）を形成する。

20

【0135】

この後、熱処理を施すことにより、n型の不純物領域VTCR（n）中のn型不純物（例えば、燐（P））や、p型の不純物領域VTCR（p）中のp型不純物（例えば、ホウ素（B））を活性化する。

【0136】

この工程においても、上記熱処理により、n型の不純物領域VTCR（n）中のn型不純物（例えば、燐（P））や、p型の不純物領域VTCR（p）中のp型不純物（例えば、ホウ素（B））が、増速拡散する。即ち、これらの不純物が、格子間Si原子とペアになり、熱処理（アニール）時にSi-BクラスタやSi-Pクラスタなどの異常拡散クラスタを生成する。よって、格子間Si（IS）の注入領域の近傍から絶縁層BOXの底面までの間において、異常拡散により不純物濃度が高まる。言い換えれば、絶縁層BOX直下の不純物濃度を高濃度化しつつ、シリコン層SRまで拡散しようとするn型不純物やp型不純物を、上記区間において捕獲することができる。これにより、シリコン層SRへのn型不純物やp型不純物の拡散を低減でき、MISFET（NT、PT）の閾値電圧のばらつきなど、トランジスタ特性のばらつきを低減することができる。

30

【0137】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

40

【符号の説明】

【0138】

BOX 絶縁層

EP エピタキシャル層

GE ゲート電極

GI ゲート絶縁膜

IF 絶縁膜

IS 格子間シリコン

NA nMIS形成領域

Niso n型半導体領域

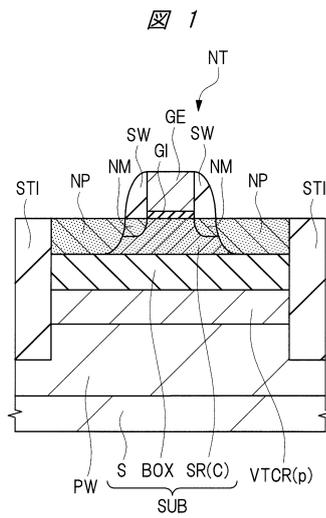
50

- N M 低濃度不純物領域
- N P 高濃度不純物領域
- N T nチャネル型M I S F E T
- N W n型ウエル領域
- P A p M I S 形成領域
- P M 低濃度不純物領域
- P P 高濃度不純物領域
- P R 1 フォトレジスト膜
- P R 2 フォトレジスト膜
- P T pチャネル型M I S F E T
- P W p型ウエル領域
- S 支持基板
- S F 多結晶シリコン膜
- S I L 金属シリサイド層
- S O X 酸化シリコン膜
- S R シリコン層
- S R (C) 炭素を含有するシリコン層
- S T I 素子分離絶縁膜
- S U B S O I 基板
- S W サイドウォール膜
- V T C R 不純物領域
- V T C R (n) 不純物領域
- V T C R (p) 不純物領域

10

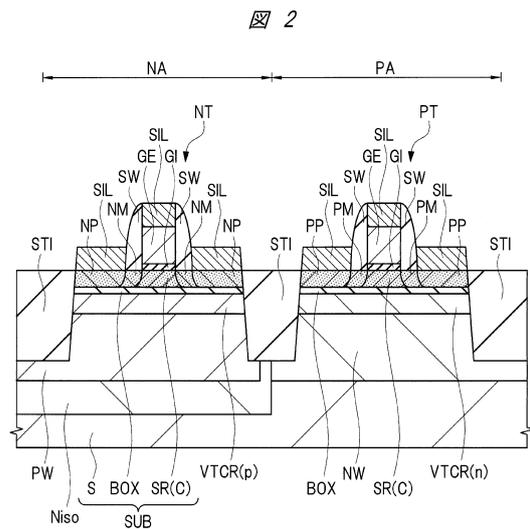
20

【図1】



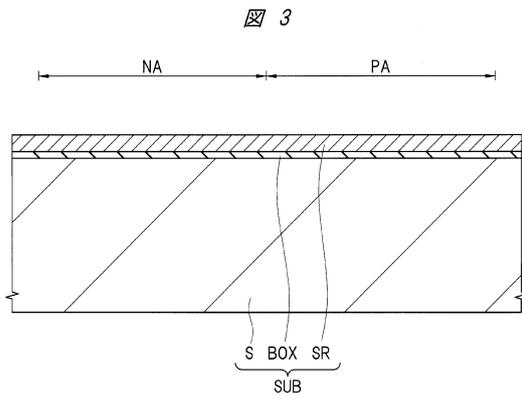
- BOX : 絶縁層
- GE : ゲート電極
- NT : nチャネル型MISFET
- S : 支持基板
- SR : シリコン層
- SR(C) : 炭素を含有するシリコン層
- SUB : SIO基板
- VTCR(p) : 不純物領域

【図2】

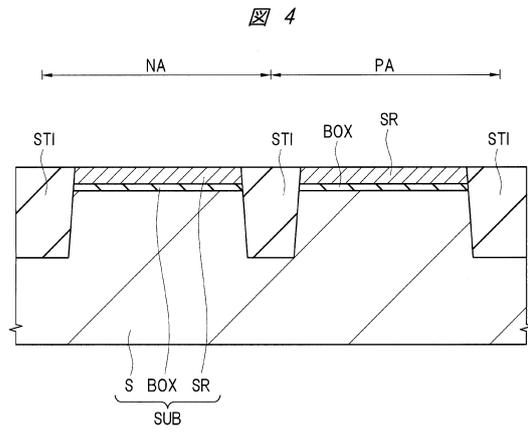


- BOX : 絶縁層
- GE : ゲート電極
- NT : nチャネル型MISFET
- S : 支持基板
- SR : シリコン層
- SR(C) : 炭素を含有するシリコン層
- SUB : SIO基板
- VTCR(p) : 不純物領域
- VTCR(n) : 不純物領域

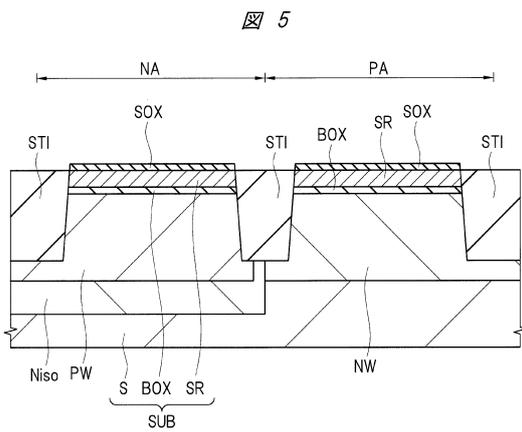
【図3】



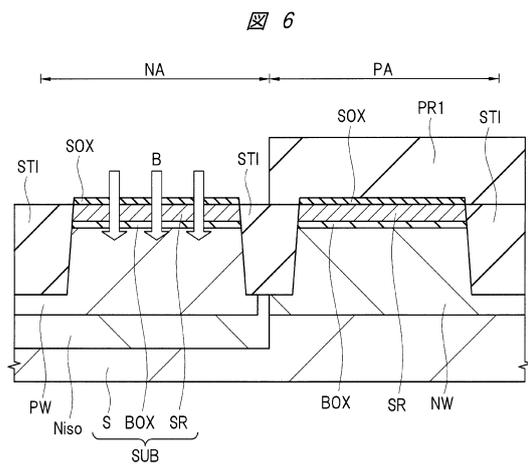
【図4】



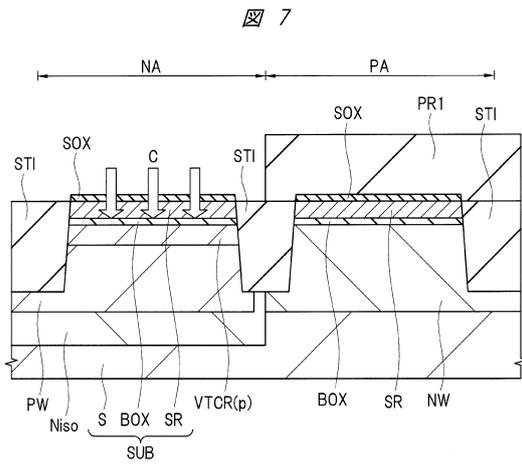
【図5】



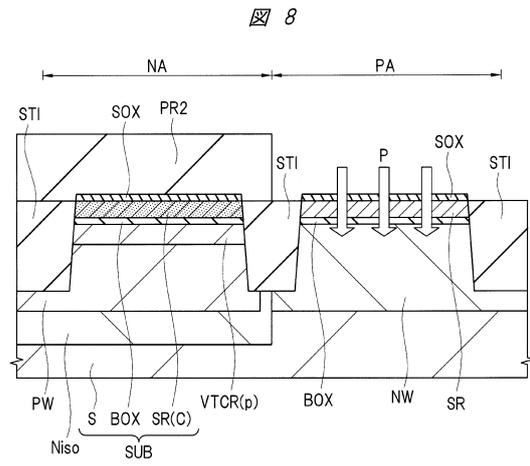
【図6】



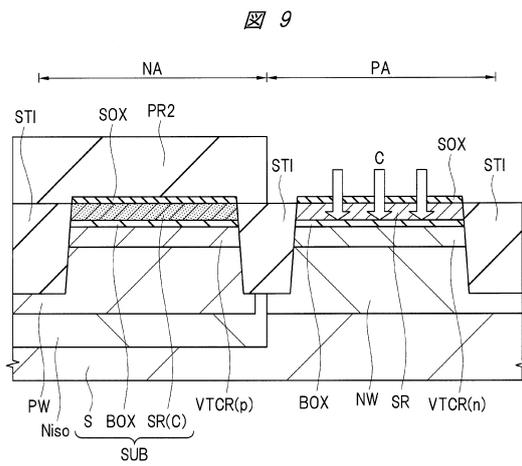
【 図 7 】



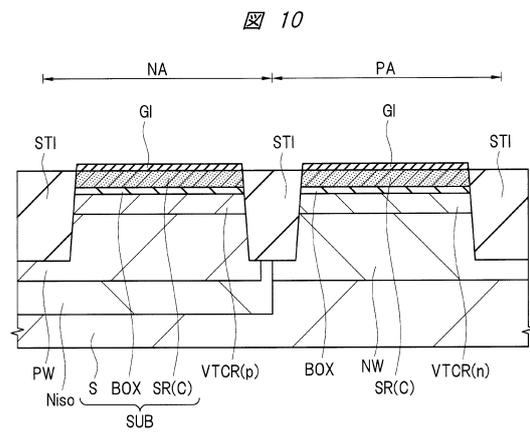
【 図 8 】



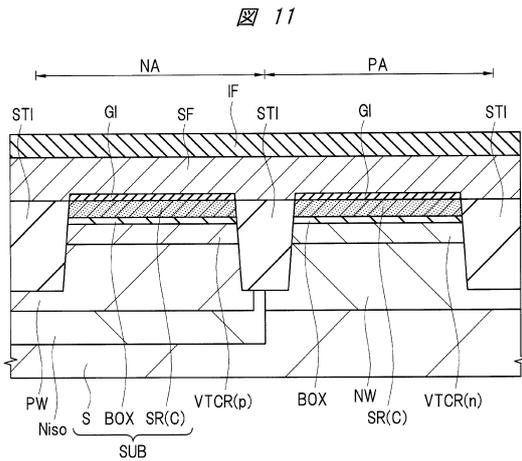
【 図 9 】



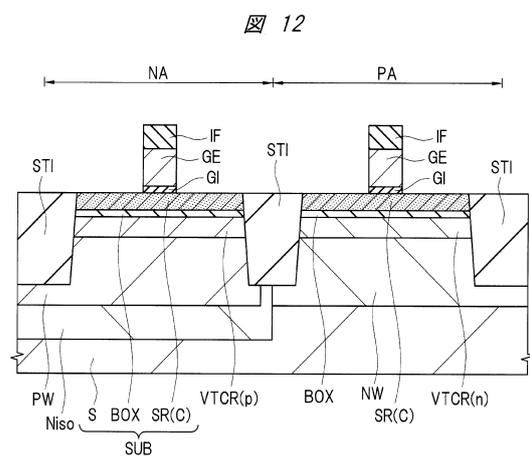
【 図 10 】



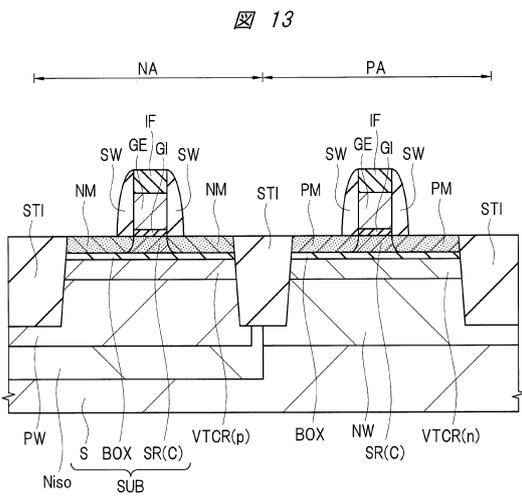
【図 1 1】



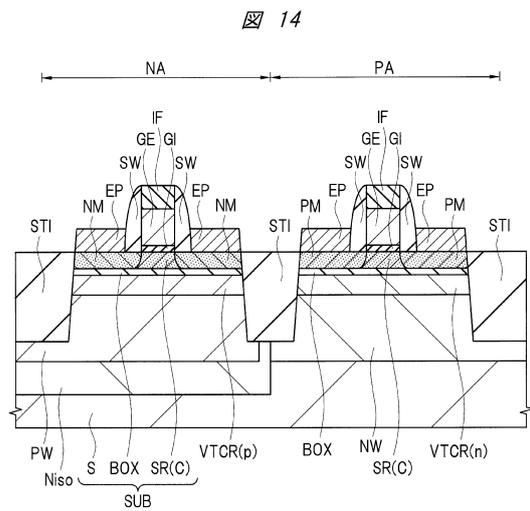
【図 1 2】



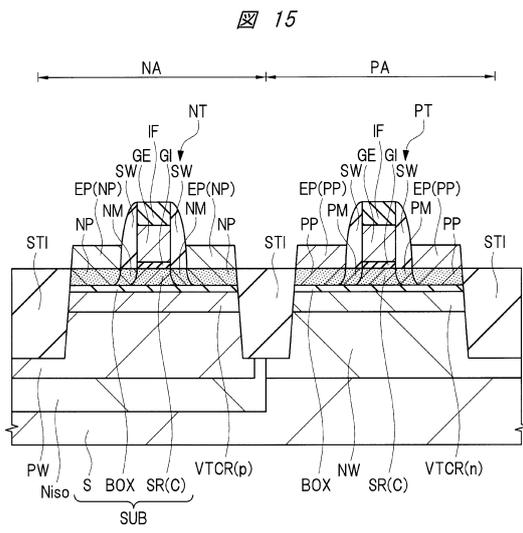
【図 1 3】



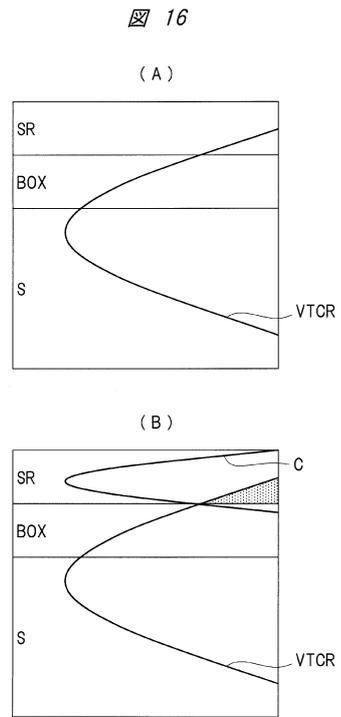
【図 1 4】



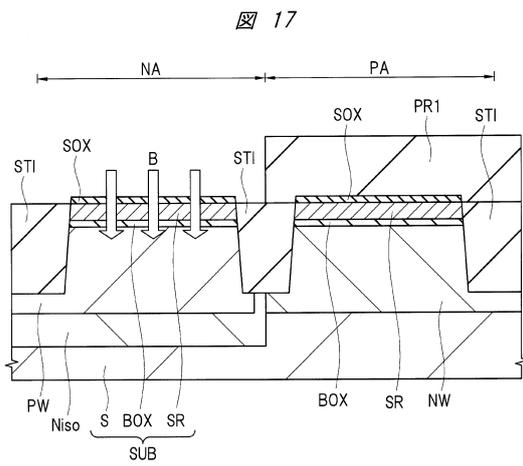
【 図 15 】



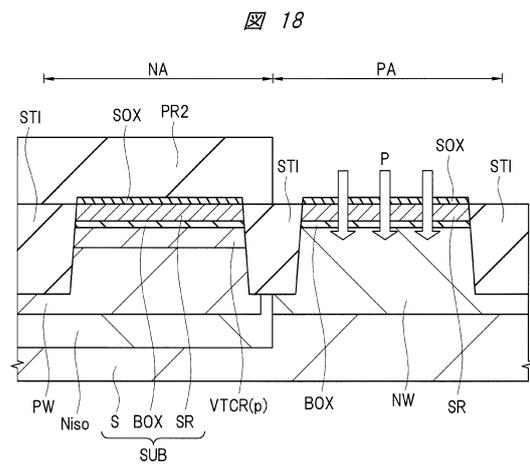
【 図 16 】



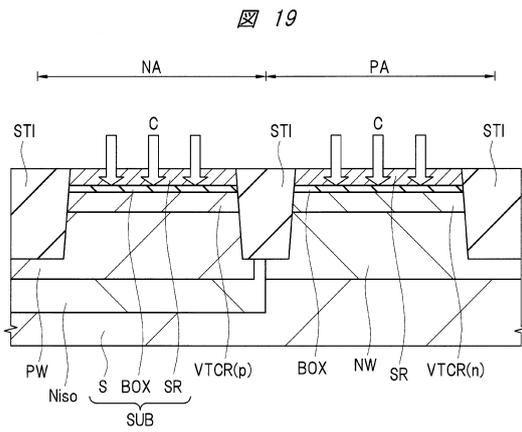
【 図 17 】



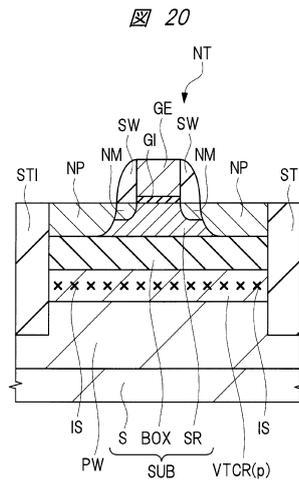
【 図 18 】



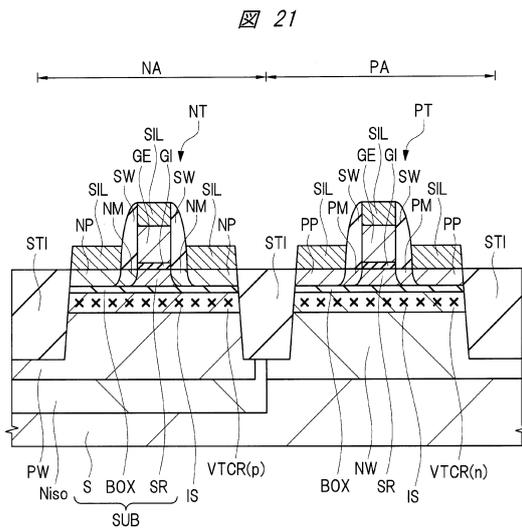
【 図 19 】



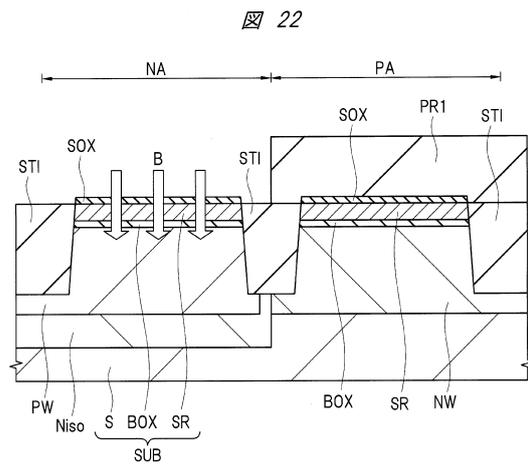
【 図 20 】



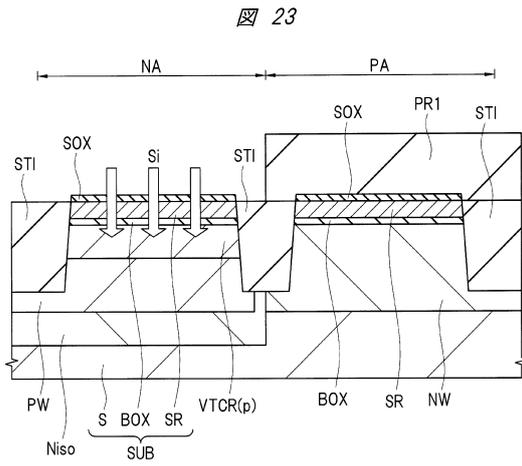
【 図 21 】



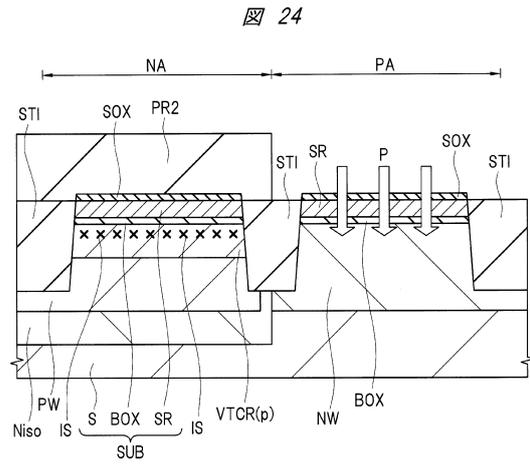
【 図 22 】



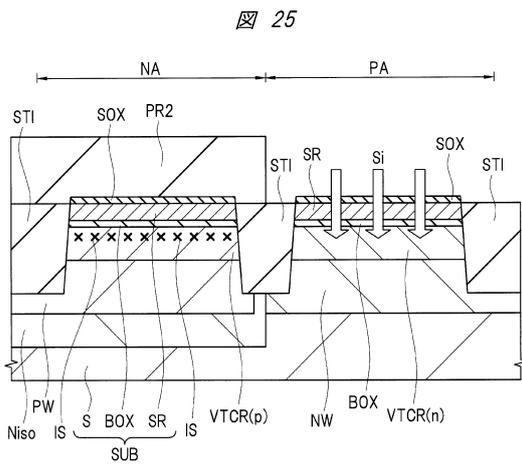
【 図 2 3 】



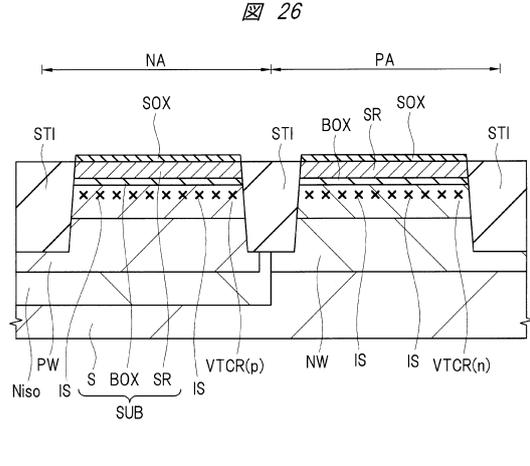
【 図 2 4 】



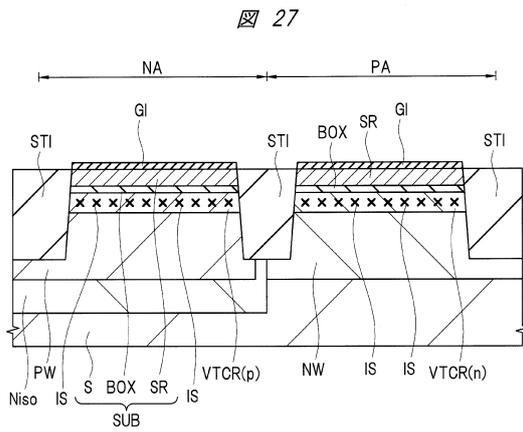
【 図 2 5 】



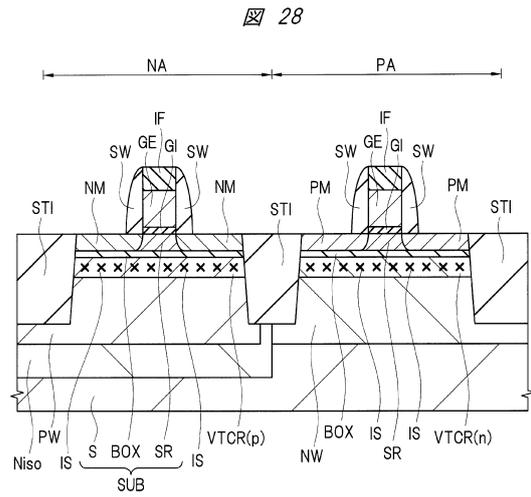
【 図 2 6 】



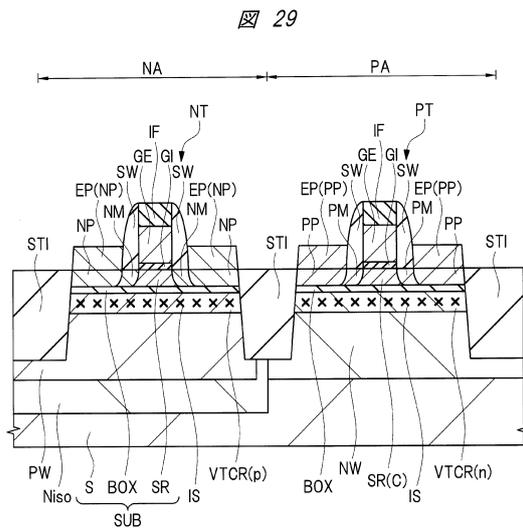
【 図 27 】



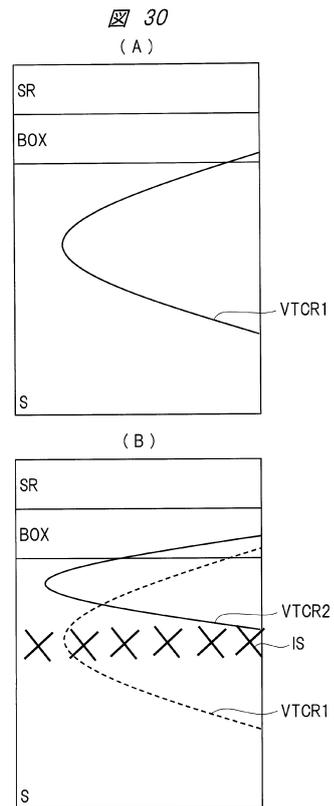
【 図 28 】



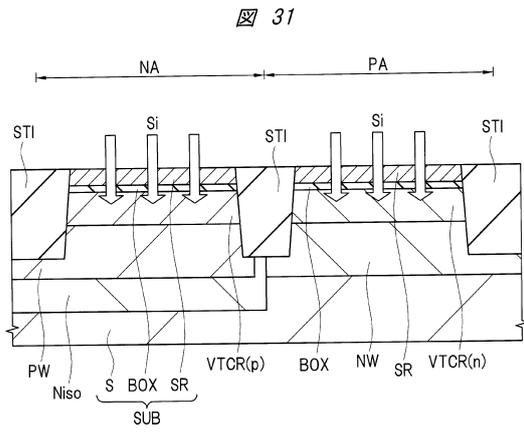
【 図 29 】



【 図 30 】



【 図 3 1 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 (2006.01)

(72)発明者 岩松 俊明
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 岩本 勉

(56)参考文献 特開 2 0 0 9 - 2 1 2 4 1 3 (J P , A)
米国特許出願公開第 2 0 1 2 / 0 1 1 9 2 9 4 (U S , A 1)
米国特許出願公開第 2 0 1 2 / 0 0 4 9 2 9 3 (U S , A 1)
米国特許出願公開第 2 0 0 9 / 0 2 2 4 3 2 1 (U S , A 1)
特開 2 0 0 9 - 1 3 5 1 4 0 (J P , A)
米国特許出願公開第 2 0 0 9 / 0 1 3 4 4 6 8 (U S , A 1)
特開 2 0 0 8 - 0 8 5 2 5 3 (J P , A)
米国特許出願公開第 2 0 0 8 / 0 0 8 1 4 0 2 (U S , A 1)
特開 2 0 1 2 - 2 3 8 7 6 0 (J P , A)
特開 2 0 0 9 - 2 7 2 5 8 1 (J P , A)
特開 2 0 0 2 - 1 9 8 5 2 8 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 3 3 6、2 1 / 8 2 3 4 - 2 1 / 8 2 3 8、
2 1 / 8 2 4 9、2 7 / 0 6 - 2 7 / 0 8、
2 7 / 0 8 8 - 2 7 / 0 9 2、2 9 / 7 6、
2 9 / 7 7 2 - 2 9 / 7 8 6