



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년11월01일
(11) 등록번호 10-2596607
(24) 등록일자 2023년10월27일

(51) 국제특허분류(Int. Cl.)
G06F 3/041 (2006.01) G06F 3/044 (2006.01)
(52) CPC특허분류
G06F 3/0418 (2021.08)
G06F 3/044 (2021.08)
(21) 출원번호 10-2016-0175041
(22) 출원일자 2016년12월20일
심사청구일자 2021년08월18일
(65) 공개번호 10-2018-0072042
(43) 공개일자 2018년06월29일
(56) 선행기술조사문헌
KR1020100104551 A*
KR1020150109890 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이홍주
경기도 파주시 월롱면 엘씨디로 201 정다운마을
기숙사 E동 317호
강형원
서울특별시 서초구 잠원로 37-48, 204동 1003호
(잠원동, 신반포4차아파트)
조영우
경기도 파주시 가람로 22, 112동 1104호 (외동동,
가람마을 1단지 벽산한라 아파트)
(74) 대리인
특허법인(유한)유일하이스트

전체 청구항 수 : 총 25 항

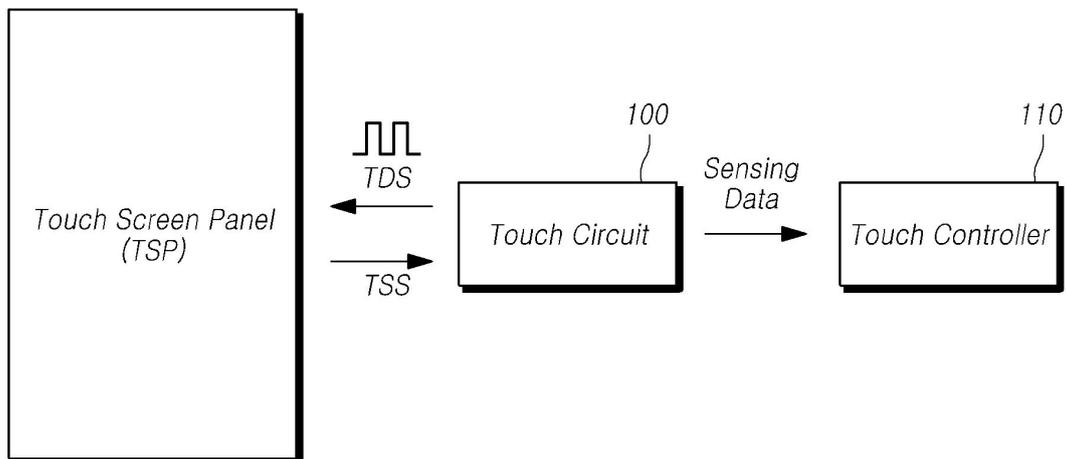
심사관 : 반성원

(54) 발명의 명칭 터치회로, 터치 센싱 장치 및 터치 센싱 방법

(57) 요약

본 발명은 터치회로, 터치 센싱 장치 및 터치 센싱 방법에 관한 것으로서, 터치스크린 패널을 구동하여 얻어지는 신호에 대응되는 전하량이 의도치 않게 변하는 경우, 이를 보상해주어 정확한 터치 센싱 결과(터치 유무 및/또는 터치 위치)를 얻을 수 있게 해줌으로써, 터치스크린 패널의 내부 또는 외부에서 유발된 기생 캐패시턴스의 영향을 저감시키거나 제거시킨 센싱 데이터를 얻게 하여 캐패시턴스 기반의 터치 센싱 성능을 향상시킬 수 있다.

대표도



명세서

청구범위

청구항 1

터치스크린 패널과 전기적으로 연결 가능한 반전 입력단과, 상기 터치스크린 패널에 공급되는 터치 구동 펄스의 입력이 가능한 비반전 입력단과, 신호 출력을 위한 출력단을 갖는 전치 증폭기; 및

상기 전치 증폭기의 반전 입력단과 연결 가능한 제1 단과, 전하 제어 펄스가 인가되는 제2 단을 갖는 전하 제어 회로를 포함하고,

상기 전치 증폭기가 $M(M \geq 2)$ 개 이상인 경우, 상기 전하 제어 회로의 제1 단은 상기 M 개 이상의 전치 증폭기 중 적어도 2개 이상의 전치 증폭기 각각의 반전 입력단과 연결 가능하도록 공용화되어 있으며,

상기 전하 제어 회로는,

상기 제1 단과 상기 제2 단 사이에 배치되는 전하 제어 캐패시터; 및

상기 전하 제어 캐패시터의 상기 제1 단과 상기 전치 증폭기의 상기 반전 입력단 사이의 전류 흐름을 제어하는 제어 스위치 회로를 포함하는 터치회로.

청구항 2

제1항에 있어서,

상기 전하 제어 회로의 개수는 전치 증폭기 개수 이하인 터치회로.

청구항 3

제1항에 있어서,

상기 전하 제어 회로는 상기 전하 제어 캐패시터의 충전 또는 방전을 통해 상기 전치 증폭기의 반전 입력단으로 입력되는 전하를 제어하는 터치회로.

청구항 4

제3항에 있어서,

상기 터치 구동 펄스는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 되고,

상기 전하 제어 펄스는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글되며,

상기 터치 구동 펄스가 하나의 로우 레벨 전압 구간 또는 하나의 하이 레벨 전압 구간 동안,

상기 전하 제어 펄스는 1차례 이하로 레벨 변경이 있는 터치회로.

청구항 5

제3항에 있어서,

상기 터치 구동 펄스는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 되고,

상기 전하 제어 펄스는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 되며,

상기 터치 구동 펄스가 하나의 로우 레벨 전압 구간 또는 하나의 하이 레벨 전압 구간 동안,

상기 전하 제어 펄스는 2차례 이상 레벨 변경이 있는 터치회로.

청구항 6

제3항에 있어서,

상기 전치 증폭기의 출력단에서 출력되는 출력 신호를 적분하는 적분기; 및

상기 적분기의 출력 신호를 저장하는 샘플 앤 홀드 회로를 더 포함하고,

상기 전치 증폭기, 상기 적분기 및 상기 샘플 앤 홀드 회로는 하나의 센싱 유닛으로 구성할 때, $Q(Q \geq 2)$ 개의 센싱 유닛을 포함하는 터치회로.

청구항 7

제6항에 있어서,

상기 전하 제어 캐패시터는 상기 Q 개의 센싱 유닛에 대하여 공용화 되어 1개가 존재하는 터치회로.

청구항 8

제6항에 있어서,

상기 Q 개의 센싱 유닛은 $K(1 \leq K \leq Q)$ 개의 센싱 유닛 그룹으로 그룹화되고,

상기 전하 제어 캐패시터는 상기 K 개의 센싱 유닛 그룹마다 공용화 되어 1개씩 존재하는 터치회로.

청구항 9

제3항에 있어서,

상기 제어 스위치 회로는,

상기 전치 증폭기의 반전 입력단에 연결되며 교번하여 턴-온 되는 제1 P타입 트랜지스터와 제1 N타입 트랜지스터;

상기 제1 P타입 트랜지스터와 상기 전하 제어 캐패시터의 제1 단 사이에 연결된 제2 P타입 트랜지스터; 및

상기 제1 N타입 트랜지스터와 상기 전하 제어 캐패시터의 제1 단 사이에 연결된 제2 N타입 트랜지스터를 포함하고,

상기 제1 P타입 트랜지스터의 게이트 노드와 상기 제2 P타입 트랜지스터의 게이트 노드는 연결되고,

상기 제1 N타입 트랜지스터의 게이트 노드와 상기 제2 N타입 트랜지스터의 게이트 노드는 연결되는 터치회로.

청구항 10

제9항에 있어서,

상기 제어 스위치 회로는,

상기 제1 N타입 트랜지스터와 상기 제2 N타입 트랜지스터가 연결된 지점과, 상기 제1 N타입 트랜지스터의 게이트 노드와 상기 제2 N타입 트랜지스터의 게이트 노드가 연결된 지점 사이의 연결여부를 제어하는 제1 스위치;

상기 제1 P타입 트랜지스터와 상기 제2 P타입 트랜지스터가 연결된 지점과, 상기 제1 P타입 트랜지스터의 게이트 노드와 상기 제2 P타입 트랜지스터의 게이트 노드가 연결된 지점 사이의 연결여부를 제어하는 제2 스위치;

상기 제2 P타입 트랜지스터와 상기 전하 제어 캐패시터의 제1 단 간의 연결여부를 제어하는 제3 스위치; 및

상기 제2 N타입 트랜지스터와 상기 전하 제어 캐패시터의 제1 단 간의 연결여부를 제어하는 제4 스위치를 더 포함하는 터치회로.

청구항 11

제10항에 있어서,

상기 터치 구동 펄스의 하이 레벨 전압 구간의 전체 또는 일부 구간에서,

상기 제1 스위치 및 상기 제3 스위치는 온(ON) 상태이고,

상기 제2 스위치 및 상기 제4 스위치는 오프(OFF) 상태이며,

상기 터치 구동 펄스의 로우 레벨 전압 구간의 전체 또는 일부 구간에서,
 상기 제1 스위치 및 상기 제3 스위치는 오프(OFF) 상태이고,
 상기 제2 스위치 및 상기 제4 스위치는 온(ON) 상태인 터치회로.

청구항 12

제10항에 있어서,
 상기 터치 구동 펄스는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 되고,
 상기 전하 제어 펄스는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글되며,
 상기 터치 구동 펄스가 하나의 로우 레벨 전압 구간 또는 하나의 하이 레벨 전압 구간 동안,
 상기 전하 제어 펄스는 1차레 이하로 레벨 변경이 있는 터치회로.

청구항 13

제12항에 있어서,
 상기 터치 구동 펄스의 하이 레벨 전압 구간 동안,
 상기 전하 제어 펄스가 폴링 되면, 상기 제1 P타입 트랜지스터는 전류를 도통시켜, 상기 전치 증폭기의 반전 입력단으로 전하가 추가로 주입되고,
 상기 터치 구동 펄스의 로우 레벨 전압 구간 동안,
 상기 전하 제어 펄스가 라이징 되면, 상기 제1 N타입 트랜지스터는 전류를 도통시켜, 상기 전치 증폭기의 반전 입력단으로 입력되는 전하의 일부가 제거되는 터치회로.

청구항 14

제13항에 있어서,
 상기 제1 P타입 트랜지스터를 통해 도통된 전류의 크기는,
 상기 전하 제어 펄스의 진폭과, 상기 전하 제어 캐패시터의 캐패시턴스와, 상기 제1 P타입 트랜지스터의 크기 및 상기 제2 P타입 트랜지스터의 크기 간의 비율을 포함하는 제어 인자들 중 하나 이상에 따라 결정되고,
 상기 제1 N타입 트랜지스터를 통해 도통된 전류의 크기는,
 상기 전하 제어 펄스의 진폭과, 상기 전하 제어 캐패시터의 캐패시턴스와, 상기 제1 N타입 트랜지스터의 크기 및 상기 제2 N타입 트랜지스터의 크기 간의 비율을 포함하는 제어 인자들 중 하나 이상에 따라 결정되는 터치회로.

청구항 15

제10항에 있어서,
 상기 터치 구동 펄스는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 되고,
 상기 전하 제어 펄스는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 되며,
 상기 터치 구동 펄스가 하나의 로우 레벨 전압 구간 또는 하나의 하이 레벨 전압 구간 동안,
 상기 전하 제어 펄스는 2차레 이상 레벨 변경이 있는 터치회로.

청구항 16

제15항에 있어서,
 상기 터치 구동 펄스의 하이 레벨 전압 구간 동안,
 상기 전하 제어 펄스가 라이징 되면, 상기 제1 P타입 트랜지스터는 턴-오프 되고,

상기 전하 제어 펄스가 폴링 되면, 상기 제1 P타입 트랜지스터는 전류를 도통시켜, 상기 전치 증폭기의 반전 입력단으로 전하가 추가로 주입되고,

상기 터치 구동 펄스의 로우 레벨 전압 구간 동안,

상기 전하 제어 펄스가 폴링 되면, 상기 제1 N타입 트랜지스터는 턴-오프 되고,

상기 전하 제어 펄스가 라이징 되면, 상기 제1 N타입 트랜지스터는 전류를 도통시켜, 상기 전치 증폭기의 반전 입력단으로 입력되는 전하의 일부가 제거되는 터치회로.

청구항 17

제16항에 있어서,

상기 제1 P타입 트랜지스터를 통해 도통된 전류의 크기는,

상기 전하 제어 펄스의 진폭과, 상기 전하 제어 캐패시터의 캐패시턴스와, 상기 제1 P타입 트랜지스터 크기 및 상기 제2 P타입 트랜지스터의 크기 간의 비율을 포함하는 제어 인자들 중 하나 이상에 따라 결정되고,

상기 제1 N타입 트랜지스터를 통해 도통된 전류의 크기는,

상기 전하 제어 펄스의 진폭과, 상기 전하 제어 캐패시터의 캐패시턴스와, 상기 제1 N타입 트랜지스터의 크기 및 상기 제2 N타입 트랜지스터의 크기 간의 비율을 포함하는 제어 인자들 중 하나 이상에 따라 결정되는 터치회로.

청구항 18

제10항에 있어서,

상기 제1 스위치의 온-오프 타이밍과 상기 제3 스위치의 온-오프 타이밍은 대응되고,

상기 제2 스위치의 온-오프 타이밍과 상기 제4 스위치의 온-오프 타이밍은 대응되며,

상기 제1 스위치의 온-오프 타이밍과 상기 제3 스위치의 온-오프 타이밍은,

상기 제2 스위치의 온-오프 타이밍과 상기 제4 스위치의 온-오프 타이밍과 반대이고,

상기 전치 증폭기의 반전 입력단과 출력 사이에 연결된 피드백 캐패시터의 양단에 연결된 피드백 스위치를 더 포함하되,

상기 피드백 스위치는,

상기 제1 스위치, 상기 제2 스위치, 상기 제3 스위치 및 상기 제4 스위치의 온-오프 타이밍에 턴-온 되는 터치회로.

청구항 19

제10항에 있어서,

상기 전치 증폭기의 출력단에서 출력되는 출력 신호를 적분하는 적분기; 및

상기 적분기의 출력 신호를 저장하는 샘플 앤 홀드 회로를 더 포함하고,

상기 전치 증폭기, 상기 적분기 및 상기 샘플 앤 홀드 회로는 하나의 센싱 유닛으로 구성할 때, Q(Q≥2)개의 센싱 유닛을 포함하되,

상기 제1 P타입 트랜지스터와 상기 제1 N타입 트랜지스터는 상기 Q개의 센싱 유닛 각각에 대하여 존재하고,

상기 제2 P타입 트랜지스터, 상기 제2 N타입 트랜지스터, 상기 제1 스위치, 상기 제2 스위치, 상기 제3 스위치, 상기 제4 스위치 및 상기 전하 제어 캐패시터는 상기 Q개의 센싱 유닛에 대하여 공용화 되어 1개가 존재하는 터치회로.

청구항 20

제10항에 있어서,

상기 전치 증폭기의 출력단에서 출력되는 출력 신호를 적분하는 적분기; 및
 상기 적분기의 출력 신호를 저장하는 샘플 앤 홀드 회로를 더 포함하고,
 상기 전치 증폭기, 상기 적분기 및 상기 샘플 앤 홀드 회로는 하나의 센싱 유닛으로 구성할 때, $Q(Q \geq 2)$ 개의 센싱 유닛을 포함하되,
 상기 Q 개의 센싱 유닛은 $K(1 \leq K \leq Q)$ 개의 센싱 유닛 그룹으로 그룹화되고,
 상기 제1 P타입 트랜지스터와 상기 제1 N타입 트랜지스터는 상기 Q 개의 센싱 유닛 각각에 대하여 존재하고,
 상기 제2 P타입 트랜지스터, 상기 제2 N타입 트랜지스터, 상기 제1 스위치, 상기 제2 스위치, 상기 제3 스위치, 상기 제4 스위치 및 상기 전하 제어 캐패시터는 상기 K 개의 센싱 유닛 그룹마다 공용화 되어 1개씩 존재하는 터치회로.

청구항 21

제1항에 있어서,
 상기 전하 제어 회로는,
 제1 단과 전하 제어 펄스가 인가되는 제2 단을 갖는 추가 전하 제어 캐패시터를 더 포함하고,
 상기 추가 전하 제어 캐패시터의 제1 단과 상기 전치 증폭기의 반전 입력단 간의 연결여부를 제어하는 제5 스위치와,
 상기 추가 전하 제어 캐패시터의 제1 단과 상기 전치 증폭기의 비반전 입력단 간의 연결여부를 제어하는 제6 스위치를 포함하는 터치회로.

청구항 22

제3항에 있어서,
 상기 전하 제어 회로에서, 상기 전하 제어 캐패시터는,
 제1 단과 전하 제어 펄스가 인가되는 제2 단을 갖는 제1 전하 제어 캐패시터; 및
 제1 단과 상기 전하 제어 펄스가 인가되는 제2 단을 갖는 제2 전하 제어 캐패시터를 포함하고,
 상기 전하 제어 회로는,
 상기 전치 증폭기의 반전 입력단에 연결된 제1 P타입 트랜지스터;
 상기 전치 증폭기의 반전 입력단에 연결된 제1 N타입 트랜지스터;
 상기 제1 P타입 트랜지스터와 상기 제1 전하 제어 캐패시터의 제1 단 사이에 연결된 제2 P타입 트랜지스터; 및
 상기 제1 N타입 트랜지스터와 상기 제2 전하 제어 캐패시터의 제1 단 사이에 연결된 제2 N타입 트랜지스터를 더 포함하고,
 상기 제1 P타입 트랜지스터의 게이트 노드와 상기 제2 P타입 트랜지스터의 게이트 노드는 연결되고,
 상기 제1 N타입 트랜지스터의 게이트 노드와 상기 제2 N타입 트랜지스터의 게이트 노드는 연결되는 터치회로.

청구항 23

제22항에 있어서,
 상기 전하 제어 회로는,
 상기 제1 N타입 트랜지스터와 상기 전치 증폭기의 반전 입력단 사이의 연결여부를 제어하는 제1 스위치; 및
 상기 제1 P타입 트랜지스터와 상기 전치 증폭기의 반전 입력단 사이의 연결여부를 제어하는 제2 스위치를 더 포함하는 터치회로.

청구항 24

제22항에 있어서,

상기 전하 제어 회로는,

상기 제1 N타입 트랜지스터와 상기 제2 N타입 트랜지스터가 연결된 지점과, 상기 제1 N타입 트랜지스터의 게이트 노드와 상기 제2 N타입 트랜지스터의 게이트 노드가 연결된 지점 사이의 연결여부를 제어하는 제3 스위치; 및

상기 제1 P타입 트랜지스터와 상기 제2 P타입 트랜지스터가 연결된 지점과, 상기 제1 P타입 트랜지스터의 게이트 노드와 상기 제2 P타입 트랜지스터의 게이트 노드가 연결된 지점 사이의 연결여부를 제어하는 제4 스위치를 더 포함하는 터치회로.

청구항 25

다수의 터치전극이 배치된 터치스크린 패널; 및

상기 다수의 터치전극으로 터치 구동 펄스를 공급하여 신호를 수신하는 터치회로를 포함하고,

상기 터치회로는,

터치스크린 패널과 전기적으로 연결 가능한 반전 입력단과, 상기 터치스크린 패널에 공급되는 터치 구동 펄스의 입력이 가능한 비반전 입력단과, 신호 출력을 위한 출력단을 갖는 전치 증폭기; 및

상기 전치 증폭기의 반전 입력단과 연결 가능한 제1 단과, 전하 제어 펄스가 인가되는 제2 단을 갖는 전하 제어 회로를 포함하고,

상기 전치 증폭기가 $M(M \geq 2)$ 개 이상인 경우, 상기 전하 제어 회로의 제1 단은 상기 M 개 이상의 전치 증폭기 중 2개 이상의 전치 증폭기 각각의 반전 입력단과 연결 가능하도록 공용화되어 있으며,

상기 전하 제어 회로는,

상기 제1 단과 상기 제2 단 사이에 배치되는 전하 제어 캐패시터; 및

상기 전하 제어 캐패시터의 상기 제1 단과 상기 전치 증폭기의 상기 반전 입력단 사이의 전류 흐름을 제어하는 제어 스위치 회로를 포함하는 터치 센싱 장치.

발명의 설명

기술 분야

[0001] 본 발명은 터치회로, 터치 센싱 장치 및 터치 센싱 방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발달함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display Device), 플라즈마 표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 여러 가지 표시장치가 활용되고 있다.

[0003] 이러한 표시장치 중에는 버튼, 키보드, 마우스 등의 통상적인 입력방식에서 탈피하여, 사용자가 손쉽게 정보 혹은 명령을 직관적이고 편리하게 입력할 수 있도록 해주는 터치 기반의 입력방식을 제공할 수 있는 터치 표시 장치가 있다.

[0004] 이러한 터치 표시 장치는, 터치 기반의 입력 방식을 제공하기 위해서는, 사용자의 터치 유무를 파악하거나 터치 좌표(터치 위치)를 정확하게 검출할 수 있는 터치 센싱 장치를 포함한다.

[0005] 터치 센싱 장치는, 터치스크린 패널에 배치된 터치 전극들을 구동하여 터치 센싱 신호를 검출하고, 이를 이용하여 터치 정보(터치 유무, 터치 위치)를 검출한다.

[0006] 종래의 터치 센싱 장치는, 터치스크린 패널을 구동하여 센싱하는 과정에서, 터치스크린 패널의 내부 또는 외부

에서 터치 구동 패턴들과 주변 도체들 간에 불필요한 기생 캐패시턴스가 발생할 수 있다.

[0007] 이와 같이, 터치스크린 패널의 내부 또는 외부에서 기생 캐패시턴스가 발생하는 경우, 캐패시턴스에 기반하여 터치를 센싱하는 경우, 터치 감도가 크게 저하되는 문제점이 발생할 수 있다. 특히, 이러한 문제점은, 터치스크린 패널이 디스플레이 패널에 내장되는 경우에 더욱 심각하게 발생할 수 있다.

발명의 내용

해결하려는 과제

[0008] 실시예들의 목적은, 터치스크린 패널의 내부 또는 외부에서 유발된 기생 캐패시턴스(Cpara)의 영향을 저감시키거나 제거시킴으로써, 정확한 센싱 데이터를 얻을 수 있고, 이를 통해, 캐패시턴스 기반의 터치 센싱 성능을 향상시킬 수 있는 터치회로, 터치 센싱 장치 및 터치 센싱 방법을 제공하는 데 있다.

[0009] 실시예들의 다른 목적은, 터치스크린 패널의 내부 또는 외부에서 유발된 기생 캐패시턴스로 인해, 터치스크린 패널을 구동하여 얻어지는 신호에 대응되는 전하량이 의도치 않게 변하는 경우, 이를 보상해주어 정확한 터치 센싱 결과(터치 유무 및/또는 터치 위치)를 얻을 수 있게 해주는 터치회로, 터치 센싱 장치 및 터치 센싱 방법을 제공하는 데 있다.

[0010] 실시예들의 또 다른 목적은, 터치스크린 패널을 구동하여 얻어지는 신호를 그대로 이용하지 않고 제어하여 이용함으로써, 노이즈 성분이 제거된 센싱 데이터를 이용하여 정확한 터치 센싱 결과(터치 유무 및/또는 터치 위치)를 얻을 수 있게 해주는 터치회로, 터치 센싱 장치 및 터치 센싱 방법을 제공하는 데 있다.

[0011] 실시예들의 또 다른 목적은, 터치회로 내 전치 증폭기로 입력되는 전하를 제어할 수 있는 터치회로와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 데 있다.

[0012] 실시예들의 또 다른 목적은, 터치회로 내 전치 증폭기로 입력되는 전하를 제어할 수 있는 전하 제어 회로를 포함하되, 전하 제어 회로의 면적 감소 구조를 갖는 터치회로와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 데 있다.

[0013] 실시예들의 또 다른 목적은, 터치회로 내 전치 증폭기로 입력되는 전하를 제어할 수 있는 전하 제어 회로를 포함하되, 전하 제어 회로의 면적 감소와 전하 제어 효율성이 있는 구조를 갖는 터치회로와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 데 있다.

과제의 해결 수단

[0014] 일 측면에서, 실시예들은, 터치스크린 패널과 전기적으로 연결 가능한 반전 입력단과, 터치스크린 패널에 공급되는 터치 구동 펄스의 입력이 가능한 비반전 입력단과, 신호 출력을 위한 출력단을 갖는 전치 증폭기와, 전치 증폭기의 반전 입력단과 연결 가능한 제1 단과, 전하 제어 펄스가 인가되는 제2 단을 갖는 전하 제어 회로를 포함하는 터치회로를 포함할 수 있다.

[0015] 터치회로는 $M(M \geq 2)$ 개 이상의 전치 증폭기를 포함할 수 있다. 이와 같이, 전치 증폭기가 M 개 이상인 경우, 전하 제어 회로의 제1 단은 M 개 이상의 전치 증폭기 중 적어도 2개 이상의 전치 증폭기 각각의 반전 입력단과 연결 가능하도록 공용화되어 있을 수 있다.

[0016] 다시 말해, 전하 제어 회로의 제1 단은, 스위치 회로를 통해, M 개 이상의 전치 증폭기 중 2개 이상의 전치 증폭기 각각의 반전 입력단과 모두 연결될 수 있다.

[0017] 이러한 전하 제어 회로의 개수는 전치 증폭기 개수 이하일 수 있다.

[0018] 예를 들어, M 개 이상의 전치 증폭기 중 2개 이상의 전치 증폭기 각각이 1개의 전하 제어 회로를 필요로 하는 경우(예: 도 6의 구조), 2개 이상의 전치 증폭기에 대하여 1개의 전하 제어 회로만 필요할 수 있다.

[0019] 다른 예로, M 개 이상의 전치 증폭기 중 2개 이상의 전치 증폭기 각각이 2개의 전하 제어 회로를 필요로 하는 경우(예: 도 13의 구조), 2개 이상의 전치 증폭기에 대하여 1개 세트의 2개의 전하 제어 회로만 필요할 수 있다.

[0020] 터치회로 내 전하 제어 회로는, 상기 제1 단과 상기 제2 단을 갖는 캐패시터(이하, 전하 제어 캐패시터)를 포함할 수 있다.

[0021] 또한, 터치회로 내 전하 제어 회로는, 2개 이상의 전치 증폭기 각각의 반전 입력단과 공용화된 전하 제어 캐패

시터의 제1 단 사이의 연결을 제어해주는 둘 이상의 스위칭 소자를 더 포함할 수 있다.

- [0022] 또한, 터치회로 내 전하 제어 회로는, 전술한 바와 같이, 캐패시터 기반의 회로일 수도 있지만, 제2 단에 입력되는 전하 제어 펄스의 전압을 전치 증폭기의 반전 입력단의 전압보다 낮게 또는 높게 설정하여, 전치 증폭기의 반전 입력단으로의 전류 흐름을 제어함으로써, 전치 증폭기의 반전 입력단에서 전하를 제거하거나 전치 증폭기의 반전 입력단으로 추가적인 전하를 유입해줄 수 있는 그 어떠한 회로 구성도 가능할 것이다. 예를 들어, 전하 제어 회로는, 제2 단에 입력되는 전하 제어 펄스를 제어하는 펄스 제어부와, 온-오프 타이밍 제어 신호에 따라 온-오프가 제어되어 전치 증폭기의 반전 입력단과 제1 단 사이의 연결 여부를 제어하는 하나 이상의 스위칭 소자 등을 포함하는 회로일 수도 있다. 여기서, 스위칭 소자의 온-오프 구간 길이의 제어에 따라 전치 증폭기의 반전 입력단으로 실제 입력되는 전하량이 증가 또는 감소할 수 있다.
- [0023] 전술한 전자 제어 회로는 전치 증폭기의 반전 입력단에 입력되는 전하를 제어함으로써, 전치 증폭기의 피드백 캐패시터에 충전되는 전하량이 제어될 수 있다.
- [0024] 다른 측면에서, 실시예들은, 터치 구동 펄스가 출력되고, 터치 구동 펄스에 따라 신호가 수신되는 입출력 부와, 입출력 부에서 수신된 신호를 조절하는 신호 조절 부와, 신호 조절 부에서 조절된 신호를 입력 받아 신호 처리를 통해 센싱 값을 생성하는 신호 처리부를 포함하는 터치회로를 제공할 수 있다.
- [0025] 또 다른 측면에서, 실시예들은, 터치 구동 펄스를 터치스크린 패널로 공급하는 단계와, 터치스크린 패널로부터 신호를 수신하는 단계와, 수신된 신호를 조절하는 단계와, 조절된 신호에 대한 신호 처리를 통해 센싱 값을 생성하는 단계와, 센싱 값을 토대로 터치 정보를 획득하는 단계를 포함하는 터치 센싱 방법을 제공할 수 있다.
- [0026] 또 다른 측면에서, 실시예들은, 다수의 터치전극이 배치된 터치스크린 패널과, 다수의 터치전극으로 터치 구동 펄스를 공급하여 신호를 수신하는 터치회로를 포함하는 터치 센싱 장치를 제공할 수 있다.
- [0027] 이러한 터치 센싱 장치에서, 터치회로는, 터치스크린 패널과 전기적으로 연결 가능한 반전 입력단과, 터치스크린 패널에 공급되는 터치 구동 펄스의 입력이 가능한 비반전 입력단과, 신호 출력을 위한 출력단을 갖고, 반전 입력단과 출력단 사이에 피드백 캐패시터가 연결된 전치 증폭기와, 전치 증폭기의 반전 입력단으로 입력되는 전하를 제어하는 전하 제어 회로를 포함할 수 있다.

발명의 효과

- [0028] 이상에서 설명한 실시예들에 의하면, 터치스크린 패널의 내부 또는 외부에서 유발된 기생 캐패시턴스(Cpara)의 영향을 저감시키거나 제거시킴으로써, 정확한 센싱 데이터를 얻을 수 있고, 이를 통해, 캐패시턴스 기반의 터치 센싱 성능을 향상시킬 수 있는 터치회로, 터치 센싱 장치 및 터치 센싱 방법을 제공할 수 있는 효과가 있다.
- [0029] 또한, 실시예들에 의하면, 터치스크린 패널의 내부 또는 외부에서 유발된 기생 캐패시턴스로 인해, 터치스크린 패널을 구동하여 얻어지는 신호에 대응되는 전하량이 의도치 않게 변하는 경우, 이를 보상해주어 정확한 터치 센싱 결과(터치 유무 및/또는 터치 위치)를 얻을 수 있게 해주는 터치회로, 터치 센싱 장치 및 터치 센싱 방법을 제공할 수 있는 효과가 있다.
- [0030] 또한, 실시예들에 의하면, 터치스크린 패널을 구동하여 얻어지는 신호를 그대로 이용하지 않고 제어하여 이용함으로써, 노이즈 성분이 제거된 센싱 데이터를 이용하여 정확한 터치 센싱 결과(터치 유무 및/또는 터치 위치)를 얻을 수 있게 해주는 터치회로, 터치 센싱 장치 및 터치 센싱 방법을 제공할 수 있는 효과가 있다.
- [0031] 한편, 터치스크린이 디스플레이 패널에 내장될 수 있는데, 이 경우, 전술한 효과들은 더욱 클 수도 있다.
- [0032] 또한, 실시예들에 의하면, 터치회로 내 전치 증폭기로 입력되는 전하를 제어할 수 있는 터치회로와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 효과가 있다.
- [0033] 또한, 실시예들에 의하면, 터치회로 내 전치 증폭기로 입력되는 전하를 제어할 수 있는 전하 제어 회로를 포함하되, 전하 제어 회로의 면적 감소 구조를 갖는 터치회로와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 효과가 있다.
- [0034] 또한, 실시예들에 의하면, 터치회로 내 전치 증폭기로 입력되는 전하를 제어할 수 있는 전하 제어 회로를 포함하되, 전하 제어 회로의 면적 감소와 전하 제어 효율성이 있는 구조를 갖는 터치회로와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 효과가 있다.

도면의 간단한 설명

- [0035] 도 1은 실시예들에 따른 터치 센싱 장치의 구성도이다.
- 도 2는 실시예들에 따른 터치스크린 패널의 예시도이다.
- 도 3은 실시예들에 따른 내장형 터치스크린 패널의 예시도이다.
- 도 4 및 도 5는 실시예들에 따른 터치회로를 간략하게 나타낸 도면이다.
- 도 6은 실시예들에 따른 터치회로의 전하 제어 회로의 제1 회로이다.
- 도 7은 실시예들에 따른 터치회로의 전하 제어 회로의 싱글 전하 제어를 위한 구동 타이밍 다이어그램이다.
- 도 8은 실시예들에 따른 터치회로의 전하 제어 회로의 멀티 전하 제어를 위한 구동 타이밍 다이어그램이다.
- 도 9는 실시예들에 따른 터치회로 내 제1 멀티플렉서 회로, 센싱 유닛 블록, 제2 멀티플렉서 회로 및 아날로그 디지털 컨버터를 나타낸 도면이다.
- 도 10은 실시예들에 따른 터치회로의 전하 제어 회로의 배치도이다.
- 도 11은 실시예들에 따른 터치회로의 전하 제어 회로의 다른 배치도이다.
- 도 12는 실시예들에 따른 터치회로의 전하 제어 회로의 제2 회로이다.
- 도 13 및 도 14는 실시예들에 따른 터치회로의 전하 제어 회로의 제3 회로와 구동 타이밍 다이어그램이다.
- 도 15 및 도 16은 실시예들에 따른 터치회로의 전하 제어 회로의 제4 회로와 구동 타이밍 다이어그램이다.
- 도 17 및 도 18은 실시예들에 따른 터치회로의 전하 제어 회로의 제5 회로와 구동 타이밍 다이어그램이다.
- 도 19는 실시예들에 따른 터치회로의 기능 블록 다이어그램(Function Block Diagram)이다.
- 도 20은 실시예들에 따른 터치 센싱 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0037] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0038] 도 1은 실시예들에 따른 터치 센싱 장치의 구성도이고, 도 2는 실시예들에 따른 터치스크린 패널(TSP)의 예시도이다.
- [0039] 도 1을 참조하면, 실시예들에 따른 터치 센싱 장치는, 사용자가 접촉 또는 비접촉 방식으로 화면을 터치한 경우, 터치 유무 및/또는 터치 위치에 대한 터치 정보를 획득하는 장치 또는 시스템이다.
- [0040] 도 1을 참조하면, 실시예들에 따른 터치 센싱 장치는, 터치 센서에 해당하는 다수의 터치전극(TE)이 배치된 터치스크린 패널(TSP)과, 다수의 터치전극(TE)으로 터치 구동 펄스(TDS)를 공급하고 이에 따라 터치 센싱 신호(TSS)를 수신하는 터치회로(100) 등을 포함할 수 있다.
- [0041] 터치회로(100)는 수신된 터치 센싱 신호(TSS)를 신호 처리하여 디지털 값에 해당하는 센싱 값을 생성하고, 생성된 센싱 값을 포함하는 센싱 데이터를 출력한다.
- [0042] 여기서, 터치회로(100)가 수행하는 신호 처리는, 증폭 처리, 적분 처리, 아날로그 디지털 변환 처리 등을 포함할 수 있다.

- [0043] 또한, 실시예들에 따른 터치 센싱 장치는, 터치회로(100)에서 출력된 센싱 데이터를 이용하여, 터치 유무 및/또는 터치 위치에 대한 터치 정보를 획득하는 터치 컨트롤러(110)를 더 포함할 수 있다.
- [0044] 전술한 터치회로(100)는 하나 이상의 터치 집적회로로 구현될 수 있다.
- [0045] 또한, 터치 컨트롤러(110)는 마이크로 컨트롤 유닛(Micro Control Unit)으로 구현될 수도 있다.
- [0046] 터치 컨트롤러(110)는 터치회로(100)의 내부에 포함될 수도 있고 터치회로(100)와 별도로 구성될 수도 있다.
- [0047] 실시예들에 따른 터치 센싱 장치는, 터치전극 간에 형성된 캐패시턴스에 기반하여 터치를 센싱하거나, 손가락, 펜 등의 터치 오브젝트와 터치전극 간에 형성되는 캐패시턴스에 기반하여 터치를 센싱할 수 있다.
- [0048] 실시예들에 따른 터치 센싱 장치가 터치전극 간에 형성된 캐패시턴스에 기반하여 터치를 센싱하는 경우, 터치스크린 패널(TSP)에 배치되는 다수의 터치전극(TE)은, 터치회로(100)에 의해 터치 구동 펄스(TDS)가 인가되는 구동 전극(전송 전극이라고도 함)과, 터치회로(100)에 의해 터치 센싱 펄스(TSS)가 검출되는 센싱 전극(수신 전극이라고도 함)으로 분류될 수 있다.
- [0049] 이 경우, 구동 전극과 센싱 전극은 서로 교차할 수 있다.
- [0050] 또한, 구동 전극과 센싱 전극 사이에는 mutual 캐패시턴스(Mutual Capacitance)가 형성된다.
- [0051] 실시예들에 따른 터치 센싱 장치는 이러한 mutual 캐패시턴스의 차이를 토대로 터치 유무 및/또는 터치 위치에 대한 터치 정보를 획득할 수 있다.
- [0052] 실시예들에 따른 터치 센싱 장치가 손가락, 펜 등의 터치 오브젝트와 터치전극 간에 형성되는 캐패시턴스에 기반하여 터치를 센싱하는 경우, 터치스크린 패널(TSP)에 배치되는 다수의 터치전극(TE) 각각은, 터치회로(100)에 의해 터치 구동 펄스(TDS)가 인가되는 구동 전극(전송 전극이라고도 함)으로도 동작하고, 터치회로(100)에 의해 터치 센싱 펄스(TSS)가 검출되는 센싱 전극(수신 전극이라고도 함)으로도 동작할 수 있다.
- [0053] 이 경우, 다수의 터치전극(TE) 각각은 서로 전기적으로 분리될 수 있다.
- [0054] 각 터치전극(TE)과 터치 오브젝트 사이에는 self 캐패시턴스(Self Capacitance)가 형성된다.
- [0055] 실시예들에 따른 터치 센싱 장치는 이러한 self 캐패시턴스(Self Capacitance)의 차이를 토대로 터치 유무 및/또는 터치 위치에 대한 터치 정보를 획득할 수 있다.
- [0056] 도 2는, 실시예들에 따른 터치 센싱 장치가 self 캐패시턴스(Self Capacitance)에 기반하여 터치 정보를 획득하는 경우, 터치스크린 패널(TSP)을 예시적으로 나타낸 도면이다.
- [0057] 도 2를 참조하면, 터치스크린 패널(TSP)에는 다수의 터치전극(TE)이 서로 중첩되지 않도록 배치될 수 있다.
- [0058] 각 터치전극(TE)은 하나 이상의 개구부가 있는 타입일 수도 있고 개구부가 없는 타입일 수 있다.
- [0059] 또한, 터치스크린 패널(TSP)에는 다수의 터치전극(TE)과 터치회로(100)를 전기적으로 연결해주는 다수의 터치배선(TL)이 배치될 수 있다.
- [0060] 실시예들에 따른 터치 센싱 장치는 디스플레이 장치에 포함되는 장치일 수 있다.
- [0061] 디스플레이 장치는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP)이 배열된 디스플레이 패널(DP)과, 다수의 데이터 라인(DL)을 구동하기 위한 데이터 구동 회로(DDC: Data Driving Circuit)와, 다수의 게이트 라인(GL)을 구동하기 위한 게이트 구동 회로(GDC: Gate Driving Circuit)를 포함할 수 있다.
- [0062] 또한, 디스플레이 장치는, 데이터 구동 회로(DDC)와 게이트 구동 회로(GDC)를 제어하기 위한 컨트롤러(미도시)를 더 포함할 수도 있다.
- [0063] 데이터 구동 회로(DDC)는 터치회로(100)와 별도로 구성될 수도 있고, 터치회로(100)와 함께 통합 집적회로로 구현될 수도 있다.
- [0064] 한편, 터치 센싱 장치가 디스플레이 장치에 포함되는 장치인 경우, 터치스크린 패널(TSP)은, 디스플레이 패널(DP) 상에 위치하는 외장형(애드온(Add-on) 타입이라고도 함)일 수도 있고, 디스플레이 패널(DP)에 내장되는 내장형일 수도 있다.

- [0065] 터치스크린 패널(TSP)이 디스플레이 패널(DP)에 내장된 내장형인 경우, 디스플레이 패널(DP)에 배치된 다수의 터치전극(TE)의 집합체를 터치스크린 패널(TSP)라고 할 수 있다.
- [0066] 아래에서는 터치스크린 패널(TSP)이 내장형인 것으로 가정하여 설명한다.
- [0067] 도 3은 실시예들에 따른 내장형 터치스크린 패널(TSP)의 예시도이다.
- [0068] 도 3을 참조하면, 실시예들에 따른 터치스크린 패널(TSP)이 디스플레이 패널(DP)에 내장되는 내장형인 경우, 인-셀 타입, 온-셀 타입 동일 수 있다.
- [0069] 이와 같이, 터치스크린 패널(TSP)이 내장형인 경우, 다수의 터치전극(TE)은, 터치 센서 전용 전극일 수도 있고, 디스플레이 구동에도 이용되는 전극일 수 있다.
- [0070] 만약, 터치스크린 패널(TSP)에 배치된 다수의 터치전극(TE)이 터치 센서 전극이기도 하고 디스플레이 구동 전극이기도 한 경우, 일 예로, 다수의 터치전극(TE)은 디스플레이 구동 구간에서 공통 전압(Vcom)이 인가되는 공통 전극일 수 있다.
- [0071] 즉, 디스플레이 구동 구간 동안, 다수의 터치전극(TE)은 공통 전압(Vcom)을 모두 인가 받고, 터치 구동 구간 동안, 다수의 터치전극(TE)은 터치 구동 펄스(TDS)를 순차적으로 또는 동시에 인가 받을 수 있다.
- [0072] 한편, 하나의 터치전극(TE)은 하나의 서브픽셀(SP)보다 큰 크기를 가질 수 있다.
- [0073] 일 예로, 하나의 터치전극(TE)의 영역 크기는 둘 이상의 서브픽셀(SP)의 영역 크기와 대응될 수 있다.
- [0074] 전술한 바와 같이, 터치스크린 패널(TSP)이 표시패널(DP)에 내장되는 경우, 2차래의 패널 제작 공정과 2가지 패널의 결합 공정을 진행할 필요가 없다. 또한, 디스플레이 장치의 두께도 줄일 수 있다.
- [0075] 한편, 터치스크린 패널(TSP) 내에서 터치전극(TE) 및/또는 터치배선(TL)은, 터치스크린 패널(TSP) 내 다른 신호 배선, 다른 전극, 또는 다른 터치전극(TE)과 불필요한 기생 캐패시턴스를 형성할 수 있다.
- [0076] 여기서, 터치스크린 패널(TSP)이 디스플레이 패널(DP)에 내장된 경우, 데이터 라인(DL), 게이트 라인(GL) 및 다른 터치전극(TE) 등 중 한 종류 이상이 해당 터치전극(TE)과 불필요한 기생 캐패시턴스를 형성할 수 있다.
- [0077] 한편, 터치 구동 과정에서, 기생 캐패시턴스는 터치스크린 패널(TSP)의 외부에서도 발생할 수 있다.
- [0078] 다시 말해, 터치스크린 패널(TSP) 내 터치배선(TL)과 전기적으로 연결되는 외부 배선은, 다른 외부 배선과 불필요한 기생 캐패시턴스를 형성할 수 있다.
- [0079] 예를 들어, 터치스크린 패널(TSP) 내 터치배선(TL)과 전기적으로 연결되는 외부 배선은, 터치스크린 패널(TSP)의 외부에 존재하는 배선으로서, 터치스크린 패널(TSP) 내 터치라인(TL)과 전기적으로 연결되며 터치회로(100)의 내부에 존재하는 회로 내부 배선일 수도 있다.
- [0080] 또한, 터치스크린 패널(TSP) 내 터치배선(TL)과 전기적으로 연결되는 외부 배선은, 터치스크린 패널(TSP)와 터치회로(100)를 전기적으로 연결해주는 매개체(예: 터치회로(100) 또는 이를 포함하는 집적회로가 COF(Chip On Film) 타입으로 설계된 경우, 회로필름일 수 있음)에 존재하는 배선일 수도 있다.
- [0081] 한편, 터치스크린 패널(TSP)의 내부에 배치된 터치전극(TE) 및/또는 터치라인(TL)에 인접한 도체(예: 데이터 라인, 게이트 라인, 다른 터치 전극 등)에 터치 구동 펄스(TDS) 또는 이와 대응되는 신호를 인가해줌으로써, 터치스크린 패널(TSP)의 내부에서 유발되는 기생 캐패시턴스를 줄여줄 수 있다.
- [0082] 터치스크린 패널(TSP)의 터치라인(TL)과 전기적으로 연결되며 터치스크린 패널(TSP)의 외부에서 존재하는 외부 배선과 인접한 도체(예: 다른 외부 배선 등)에 터치 구동 펄스(TDS) 또는 이와 대응되는 신호를 인가해줌으로써, 터치스크린 패널(TSP)의 외부에서 유발되는 기생 캐패시턴스를 줄여줄 수 있다.
- [0083] 여기서, 터치 구동 펄스(TDS)와 대응되는 신호는, 터치 구동 펄스(TDS)의 주파수, 위상, 진폭 등 중 적어도 하나가 동일한 신호이다.
- [0084] 전술한 바와 같이, 터치 감도 저하를 초래하는 기생 캐패시턴스의 발생을 방지하기 위하여, 터치스크린 패널(TSP)의 내부 및 외부에 존재하는 터치 구동 패턴(예: 터치전극(TE), 터치라인(TL), 터치라인(TL)과 전기적으로 연결된 외부 배선 등)에 터치 구동 펄스(TDS)가 인가될 때, 터치 구동 패턴과 인접한 다른 패턴(예: 데이터 라인, 게이트 라인, 다른 터치전극, 다른 터치라인, 다른 외부 배선 등)에 터치 구동 펄스(TDS) 또는 이와 대응되

는 신호를 인가해주는 구동을 로드 프리 구동(Load Free Driving)이라고 한다.

- [0085] 이러한 로드 프리 구동을 통해, 터치스크린 패널(TSP)의 내부 또는 외부에서 기생 캐패시턴스가 발생하는 것을 어느 정도 방지해줄 수 있다.
- [0086] 하지만, 로드 프리 구동을 통해서도, 패널(TSP)의 내부 또는 외부에서 기생 캐패시턴스가 발생하는 것을 완전하게 막을 수는 없다.
- [0087] 따라서, 터치 구동 과정에서, 터치스크린 패널(TSP)의 내부 또는 외부에서 기생 캐패시턴스가 발생하는 경우, 터치 구동 과정에서, 터치 구동 펄스(TDS)를 인가하는 이후 터치회로(100)로 수신되는 터치 센싱 신호(TSS)가 기생 캐패시턴스에 의해 변질될 수 있다.
- [0088] 이에 따라, 터치 센싱 신호(TSS)를 기초로 얻어지는 터치 센싱 결과(즉, 터치 유무 및/또는 터치 위치에 대한 터치 정보)에는 오류가 생기게 되어 터치 센싱 정확도가 크게 저하될 수 있다.
- [0089] 이에, 실시예들은, 터치 구동 과정에서, 터치스크린 패널(TSP)의 내부 또는 외부에서 발생하는 기생 캐패시턴스로 인해, 터치회로(100)로 수신되는 터치 센싱 신호(TSS)의 변질이 발생하는 경우(즉, 터치회로(100)로 수신되는 터치 센싱 신호(TSS)에 대응되는 전하량이 정상적인 경우(기생 캐패시턴스가 없는 경우)에 비해 증가 또는 감소하는 경우), 터치회로(100)로 수신되는 터치 센싱 신호(TSS)에 대응되는 전하에 대한 전하량 보상 처리를 수행한다.
- [0090] 전하량 보상 처리는, 터치회로(100)로 수신되는 터치 센싱 신호(TSS)에 대응되는 전하를 감소 또는 증가시켜서, 터치회로(100)의 내부 회로로 입력시켜 주는 처리를 의미한다.
- [0091] 이러한 전하량 보상 처리를 통해, 기생 캐패시턴스의 영향을 제거하여, 터치 유무에 따라 정상적으로 얻어질 수 있는 전하량에 기초하여 터치 정보를 획득할 수 있고, 이를 통해, 터치 센싱 정확도를 향상시켜줄 수 있다.
- [0092] 아래에서는, 터치 구동 과정에서, 전하량 보상 처리를 통해, 터치회로(100)로 수신되는 터치 센싱 신호(TSS)에 대응되는 전하에 추가적인 전하를 주입(Inject)하거나, 터치회로(100)로 수신되는 터치 센싱 신호(TSS)에 대응되는 전하에서 일부 전하를 제거(Remove)하여, 조절된 전하에 기초하여 터치 정보를 정확하게 할 수 있는 터치 센싱 방법에 대하여 더욱 상세하게 설명한다.
- [0093] 도 4 및 도 5는 실시예들에 따른 터치회로(100)를 간략하게 나타낸 도면이다.
- [0094] 도 4를 참조하면, 터치회로(100)는, 터치 구동 펄스(TDS)를 터치스크린 패널(TSP)로 공급하고, 터치스크린 패널(TSP)에서 터치 센싱 신호(TSS)를 수신하는 전치 증폭기(Pre-AMP)를 포함할 수 있다.
- [0095] 또한, 터치회로(100)는, 전치 증폭기(Pre-AMP)의 출력 신호(Vout)를 적분하는 적분기(INTG)와, 적분기(INTG)의 출력 신호(Vout)를 저장하는 샘플 앤 홀드 회로(SHA, Sample and Hold Circuit)와, 샘플 앤 홀드 회로(SHA)에 저장된 아날로그 신호를 디지털 값으로 변환하여 센싱 값을 생성하는 아날로그 디지털 컨버터(ADC) 등을 더 포함할 수 있다.
- [0096] 터치회로(100)는, 전치 증폭기(Pre-AMP), 적분기(INTG), 샘플 앤 홀드 회로(SHA), 아날로그 디지털 컨버터(ADC) 이외에도 다른 회로 구성을 더 포함할 수 있으며, 이에 대해서는, 후술한다.
- [0097] 전술한 전치 증폭기(Pre-AMP)는, 터치스크린 패널(TSP)과 전기적으로 연결 가능한 반전 입력단(IN1)과, 터치스크린 패널(TSP)에 공급되는 터치 구동 펄스(TDS)의 입력이 가능한 비반전 입력단(IN2)과, 신호 출력을 위한 출력단(OUT)을 갖는다.
- [0098] 그리고, 전치 증폭기(Pre-AMP)는, 반전 입력단(IN1)과 출력단(OUT) 사이에 피드백 캐패시터(CFB)가 연결될 수 있다.
- [0099] 터치 구동 과정에서, 전치 증폭기(Pre-AMP)를 통해 터치스크린 패널(TSP) 내 터치전극(TE)으로 터치 구동 펄스(TSP)가 공급된 이후, 터치 구동 펄스(TSP)가 인가된 터치전극(TE)과 손가락 사이의 캐패시터에 충전된 전하가 터치 센싱 신호(TSS)로서 터치회로(100)로 수신되어 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력된다.
- [0100] 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력된 터치 센싱 신호(TSS)에 해당하는 전하는 피드백 캐패시터(CFB)에 충전된다.
- [0101] 이에 따라, 전치 증폭기(Pre-AMP)의 출력단(OUT)으로 피드백 캐패시터(CFB)에 충전된 전하량에 해당하는 출력

신호(Vout)가 출력된다.

- [0102] 여기서, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 전하량은 기생 캐패시턴스에 의해 원치 않게 변동된 전하량일 수 있다.
- [0103] 이에, 실시예들에 따른 터치회로(100)는, 기생 캐패시턴스에 의한 전하량 변동분만큼을 보상해주기 위하여, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 전하량의 증감을 제어하는 전하 제어 회로(400)를 더 포함할 수 있다.
- [0104] 이러한 전하 제어 회로(400)는, 전치 증폭기(Pre-AMP)의 앞 단에 위치하여, 외부에서 수신되는 터치 센싱 신호(TSS)를 조절하여 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에 입력시켜줌으로써, 전치 증폭기(Pre-AMP)의 패드백 캐패시터(CFB)에 충전되는 전하량을 조절해줄 수 있다.
- [0105] 즉, 전하 제어 회로(400)는, 터치스크린 패널(TSP)의 터치배선(TL) 또는 이와 연결된 외부 배선(터치회로(100) 내 회로 내부 배선 또는 터치회로(100)가 실장된 회로필름 상의 배선)을 통해 수신된 터치 센싱 신호(TSS)에 해당하는 전하가 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력될 때, 추가적인 전하를 더 주입(Inject)해줌으로써, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 전하량이 증가하도록 제어할 수 있다.
- [0106] 또는, 전하 제어 회로(400)는, 터치스크린 패널(TSP)의 터치배선(TL) 또는 이와 연결된 외부 배선(터치회로(100) 내 회로 내부 배선 또는 터치회로(100)가 실장된 회로필름 상의 배선)을 통해 수신된 터치 센싱 신호(TSS)에 해당하는 전하가 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력될 때, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 전하의 일부 전하를 제거(Remove)해줌으로써, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 전하량이 감소하도록 제어할 수 있다.
- [0107] 전술한 전하 제어 회로(400)를 통해, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 실제로 입력되는 전하량을 제어함으로써, 기생 캐패시턴스에 의해 변질된 전하량만큼의 전하가 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 것을 방지해줄 수 있다. 이를 통해, 정확한 터치 센싱 결과를 얻을 수 있다.
- [0108] 도 5를 참조하면, 터치회로(100) 내 전하 제어 회로(400)는, 전치 증폭기(Pre-AMP)의 앞 단에 위치한다.
- [0109] 전하 제어 회로(400)는, 외부에서 수신되는 터치 센싱 신호(TSS)를 조절하여 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에 입력시켜준다.
- [0110] 이를 통해, 전하 제어 회로(400)는, 전치 증폭기(Pre-AMP)의 패드백 캐패시터(CFB)에 충전되는 전하량의 증감을 조절할 수 있다.
- [0111] 전하 제어 회로(400)는, 전하 제어 캐패시터(CCR) 및 제어 스위치 회로(500) 등을 포함할 수 있다.
- [0112] 전하 제어 캐패시터(CCR)는 제1 단(N1)과 제2 단(N2)을 갖는다.
- [0113] 전하 제어 캐패시터(CCR)의 제1 단(N1)은 제어 스위치 회로(500)와 연결된다.
- [0114] 전하 제어 캐패시터(CCR)의 제2 단(N2)은 전하 제어 펄스(VCR)가 인가된다.
- [0115] 제어 스위치 회로(500)는, 전하 제어 캐패시터(CCR)의 제1 단(N1)과 전치 증폭기(Pre-AMP)의 반전 입력단(IN1) 사이의 전류 흐름을 제어할 수 있다.
- [0116] 제어 스위치 회로(500)는 둘 이상의 스위칭 소자를 포함하여 구현된다.
- [0117] 제어 스위치 회로(500)는, 둘 이상의 스위칭 소자의 스위칭 동작을 제어하여, 전하 제어 캐패시터(CCR)의 제1 단(N1)과 전치 증폭기(Pre-AMP)의 반전 입력단(IN1) 사이에 2가지 전류 경로 중 하나를 선택적으로 만들어줄 수 있다.
- [0118] 여기서, 2가지 전류 경로는, 제1 전류 경로(Pi)와 제2 전류 경로(Pr)를 포함한다.
- [0119] 제1 전류 경로(Pi)는, 전하 제어 캐패시터(CCR)의 제1 단(N1)에서 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 전류가 흐르는 경로이다.
- [0120] 이러한 제1 전류 경로(Pi)는, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에 입력되는 전하량 증가를 위해, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에 추가적인 전하를 주입(Inject)해 주기 위한 전류가 흐르는 경로이다.
- [0121] 제2 전류 경로(Pr)는, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서 전하 제어 캐패시터(CCR)의 제1 단(N1)으

로 전류가 흐르는 경로이다.

- [0122] 이러한 제2 전류 경로(Pr)는, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 전하량 저감을 위해, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서 일부 전하를 제거(Remove)해 주기 위한 전류가 흐르는 경로이다.
- [0123] 전술한 전하 제어 회로(400)를 이용하면, 제어 스위치 회로(500)를 통해, 전하 제어 캐패시터(CCR)의 제1 단(N1)과 전치 증폭기(Pre-AMP)의 반전 입력단(IN1) 사이에 2가지 전류 경로 중 하나를 선택적으로 만들어 줌으로써, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에 실제로 입력되어 패드백 캐패시터(CFB)에 충전되는 전하량의 증감을 효율적으로 조절할 수 있다.
- [0124] 한편, 터치 구동 펄스(TDS)는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글(Toggle) 될 수 있다.
- [0125] 전하 제어 펄스(VCR)는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글(Toggle) 될 수 있다.
- [0126] 즉, 터치 구동 펄스(TDS) 및 전하 제어 펄스(VCR)는 다수의 펄스들을 포함하는 펄스 신호이며, 교류(AC) 신호일 수 있다.
- [0127] 실시예들에 따른 터치 구동 시, 전하 제어 회로(400)는 터치 구동 펄스(TDS) 및 전하 제어 펄스(VCR) 간의 펄싱(Pulsing) 관계에 따라 2가지 전하 제어 방법으로 구동될 수 있다.
- [0128] 전하 제어 회로(400)의 제1 전하 제어 방법은, 터치 구동 펄스(TDS)가 로우 레벨 전압 구간 또는 하이 레벨 전압 구간 동안, 전하 제어 펄스(VCR)의 레벨 변경이 1차례 이하가 되도록 하여, 전하 제어 회로(400)를 동작시키는 방법이다.
- [0129] 전하 제어 회로(400)의 제2 전하 제어 방법은, 터치 구동 펄스(TDS)가 로우 레벨 전압 구간 또는 하이 레벨 전압 구간 동안, 전하 제어 펄스(VCR)의 레벨 변경이 2차례 이상이 되도록 하여, 전하 제어 회로(400)를 동작시키는 방법이다.
- [0130] 아래에서, 전하 제어 회로(400)의 제1 전하 제어 방법은 싱글 전하 제어 방법이라고 하고, 전하 제어 회로(400)의 제2 전하 제어 방법은 멀티 전하 제어 방법이라고도 한다.
- [0131] 아래에서는, 이상에서 간략하게 소개한 전하 제어 회로(400)의 구체적인 회로들과 동작을 설명한다.
- [0132] 도 6은 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)의 제1 회로이다.
- [0133] 도 6을 참조하면, 제어 스위치 회로(500)는, 제1 P타입 트랜지스터(MP1), 제2 P타입 트랜지스터(MP2), 제1 N타입 트랜지스터(MN1), 제2 N타입 트랜지스터(MN2) 등을 포함할 수 있다.
- [0134] 제1 P타입 트랜지스터(MP1)와 제1 N타입 트랜지스터(MN1)는, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에 연결되며, 교번하여 턴-온 된다.
- [0135] 제2 P타입 트랜지스터(MP2)는, 제1 P타입 트랜지스터(MP1)와 전하 제어 캐패시터(CCR)의 제1 단(N1) 사이에 연결된다.
- [0136] 제2 N타입 트랜지스터(MN2)는, 제1 N타입 트랜지스터(MN1)와 전하 제어 캐패시터(CCR)의 제1 단(N1) 사이에 연결된다.
- [0137] 제1 P타입 트랜지스터(MP1)의 게이트 노드와 제2 P타입 트랜지스터(MP2)의 게이트 노드는 서로 연결된다.
- [0138] 제1 N타입 트랜지스터(MN1)의 게이트 노드와 제2 N타입 트랜지스터(MN2)의 게이트 노드는 서로 연결된다.
- [0139] 전술한 4가지 트랜지스터(MP1, MP2, MN1, MN2) 각각은 저마다의 역할을 갖는다.
- [0140] 제1 P타입 트랜지스터(MP1)는, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 전하를 주입(Inject) 해주는 트랜지스터이다.
- [0141] 제2 P타입 트랜지스터(MP2)는 제1 P타입 트랜지스터(MP1)으로 전달되는 전하량을 제어하는 트랜지스터이다.
- [0142] 제1 P타입 트랜지스터(MP1)와 제2 P타입 트랜지스터(MP2)는 제1 전류 경로(Pi)를 형성해준다.
- [0143] 제1 N타입 트랜지스터(MN1)는 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서 전하를 제거(Remove) 해주는 트랜지스터이다.
- [0144] 제2 N타입 트랜지스터(MN2)는 제1 N타입 트랜지스터(MN1)에서 제거되는 전하량을 제어하는 트랜지스터이다.

- [0145] 제1 N타입 트랜지스터(MN1)와 제2 N타입 트랜지스터(MN2)는 제2 전류 경로(Pr)를 형성해준다.
- [0146] 전술한 바와 같이, 4가지 트랜지스터를 갖는 제어 스위치 회로(500)를 이용하면, 전하 제어 캐패시터(CCR)의 제1 단(N1)에서 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 전류가 흐르는 제1 전류 경로(Pi)와, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서 전하 제어 캐패시터(CCR)의 제1 단(N1)으로 전류가 흐르는 제2 전류 경로(Pr) 중 하나를 선택적으로 만들어 주어, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서의 전하 주입(Charge Injection) 또는 전하 제거(Charge Removal)를 해줄 수 있다.
- [0147] 도 6을 참조하면, 제어 스위치 회로(500)는, 제1 스위치(SW1), 제2 스위치(SW2), 제3 스위치(SW3) 및 제4 스위치(SW4)를 포함할 수 있다.
- [0148] 제1 스위치(SW1)는, 제1 N타입 트랜지스터(MN1)와 제2 N타입 트랜지스터(MN2)가 연결된 지점(A)과, 제1 N타입 트랜지스터(MN1)의 게이트 노드와 제2 N타입 트랜지스터(MN2)의 게이트 노드가 연결된 지점(B) 사이의 연결여부를 제어할 수 있다.
- [0149] 제2 스위치(SW2)는, 제1 P타입 트랜지스터(MP1)와 제2 P타입 트랜지스터(MP2)가 연결된 지점(C)과, 제1 P타입 트랜지스터(MP1)의 게이트 노드와 제2 P타입 트랜지스터(MP2)의 게이트 노드가 연결된 지점(D) 사이의 연결여부를 제어할 수 있다.
- [0150] 제3 스위치(SW3)는, 제2 P타입 트랜지스터(MP2)와 전하 제어 캐패시터(CCR)의 제1 단(N1) 간의 연결여부를 제어할 수 있다.
- [0151] 제4 스위치(SW4)는, 제2 N타입 트랜지스터(MN2)와 전하 제어 캐패시터(CCR)의 제1 단(N1) 간의 연결여부를 제어할 수 있다.
- [0152] 전술한 4가지 스위치(SW1, SW2, SW3, SW4)의 스위칭 동작에 따라, 반전 입력단(IN1)에서의 전하 주입(Charge Injection)과 전하 제거(Charge Removal) 중 하나가 이루어지도록 해줄 수 있다.
- [0153] 전술한 전하 제어 회로(400)에서 전하 주입을 위한 스위칭 구조와 제어 제거를 위한 스위칭 구조는 서로 유사하게 되어 있다.
- [0154] 이로 인해, 전하 제어 회로(400)는 미러링 전하 제어기(Mirroring Charge Controller)라고도 하며, 전하 제거기(Charge Remover) 또는 전하 주입기(Charge Injector)라고도 한다.
- [0155] 도 7은 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)의 싱글 전하 제어를 위한 구동 타이밍 다이어그램이다. 도 8은 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)의 멀티 전하 제어를 위한 구동 타이밍 다이어그램이다.
- [0156] 도 7 및 도 8을 참조하면, 전하 제어 회로(400)는, 싱글 전하 제어 및 멀티 전하 제어에 관계없이, 동일한 스위칭 동작을 수행한다.
- [0157] 도 7 및 도 8을 참조하면, 터치 구동 펄스(TDS)의 하이 레벨 전압 구간의 전체 또는 일부 구간에서, 제1 스위치(SW1) 및 제3 스위치(SW3)는 온(ON) 상태이고, 제2 스위치(SW2) 및 제4 스위치(SW4)는 오프(OFF) 상태이다.
- [0158] 도 7 및 도 8을 참조하면, 터치 구동 펄스(TDS)의 로우 레벨 전압 구간의 전체 또는 일부 구간에서, 제1 스위치(SW1) 및 제3 스위치(SW3)는 오프(OFF) 상태이고, 제2 스위치(SW2) 및 제4 스위치(SW4)는 온(ON) 상태이다.
- [0159] 다시 말해, 제1 스위치(SW1)의 온-오프 타이밍과 제3 스위치(SW3)의 온-오프 타이밍은 대응된다.
- [0160] 제2 스위치(SW2)의 온-오프 타이밍과 제4 스위치(SW4)의 온-오프 타이밍은 대응된다.
- [0161] 제1 스위치(SW1)의 온-오프 타이밍과 제3 스위치(SW3)의 온-오프 타이밍은, 제2 스위치(SW2)의 온-오프 타이밍과 제4 스위치(SW4)의 온-오프 타이밍과 반대이다.
- [0162] 피드백 캐패시터(CFB)의 양단에 연결된 피드백 스위치(SWFB)를 더 포함할 수 있다.
- [0163] 피드백 스위치(SWFB)는, 터치 구동 펄스(TDS)의 레벨 변경 시 턴-온 될 수 있다.
- [0164] 터치 구동 펄스(TDS)의 하이 레벨 전압 구간과, 제1 스위치(SW1) 및 제3 스위치(SW3)의 온 구간은 대응될 수 있다. 터치 구동 펄스(TDS)의 로우 레벨 전압 구간과, 제2 스위치(SW2) 및 제4 스위치(SW4)의 온 구간은 대응될 수 있다.

- [0165] 이에 따르면, 피드백 스위치(SWFB)는, 제1 스위치(SW1), 제2 스위치(SW2), 제3 스위치(SW3) 및 제4 스위치(SW4)의 온-오프 타이밍에 턴-온 될 수 있다.
- [0166] 전술한 바와 같이, 전하 제어 회로(400) 내 제어 스위치 회로(500)는, 싱글 전하 제어 및 멀티 전하 제어에 관계 없이, 동일한 스위칭 동작을 수행한다. 특히, 멀티 전하 제어를 수행하더라도, 싱글 전하 제어를 위한 스위칭 동작과 동일한 스위칭 동작을 하기 때문에, 제어 동작이 간단한 장점이 있다.
- [0167] 아래에서, 도 7을 참조하여 전하 제어 회로(400)의 싱글 전하 제어 방법을 설명한다.
- [0168] 터치 구동 펄스(TDS)는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 된다.
- [0169] 전하 제어 펄스(VCR)는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 된다.
- [0170] 터치 구동 펄스(TDS)가 로우 레벨 전압 구간 또는 하이 레벨 전압 구간 동안, 전하 제어 펄스(VCR)는 1차레 이하로 레벨 변경이 있다.
- [0171] 즉, 터치 구동 펄스(TDS)가 로우 레벨 전압 구간 또는 하이 레벨 전압 구간 동안, 전하 제어 펄스(VCR)는 레벨 변경이 없거나 1차레만 레벨 변경이 있다.
- [0172] 전술한 바와 같이, 전하 제어 회로(400)는, 터치 구동 펄스(TDS)가 로우 레벨 전압 구간 또는 하이 레벨 전압 구간 동안, 전하 제어 펄스(VCR)를 1차레 이하로 레벨 변경 시키는 싱글 전하 제어를 수행함으로써, 전하 제어 펄스(VCR)의 공급을 쉽게 해줄 수 있다. 즉, 싱글 전하 제어 방법으로 간단한 구동을 통해 전하 제어를 쉽게 수행할 수 있다.
- [0173] 도 6 및 도 7을 참조하면, 터치 구동 펄스(TDS)의 하이 레벨 전압 구간(라이징(Rising) 시점 포함) 동안, 전하 제어 펄스(VCR)가 폴링(Falling) 되면, 제1 P타입 트랜지스터(MP1)는 전류를 도통시킨다. 이에 따라, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 전하가 추가로 주입(Inject) 될 수 있다.
- [0174] 도 6 및 도 7을 참조하면, 터치 구동 펄스(TDS)의 로우 레벨 전압 구간(폴링(Falling) 시점 포함) 동안, 전하 제어 펄스(VCR)가 라이징 되면, 제1 N타입 트랜지스터(MN1)는 전류를 도통시킨다. 이에 따라, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 전하의 일부가 제거(Remove) 된다.
- [0175] 전술한 바에 따르면, 제어 스위치 회로(500)는, 제1 P타입 트랜지스터(MP1)를 통해, 전하 제어 캐패시터(CCR)에서 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 향하는 방향으로 전류가 도통되도록 제어함으로써, 전류 주입 경로에 해당하는 제1 전류 경로(Pi)를 형성할 수 있다.
- [0176] 또한, 제어 스위치 회로(500)는, 제1 N타입 트랜지스터(MN1)를 통해, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서 전하 제어 캐패시터(CCR)을 향하는 방향으로 전류가 도통되도록 제어함으로써, 전류 제거 경로에 해당하는 제2 전류 경로(Pr)를 형성할 수 있다.
- [0177] 한편, 제1 P타입 트랜지스터(MP1)를 통해 도통된 전류의 크기는, 전하 제어 펄스(VCR)의 진폭과, 전하 제어 캐패시터(CCR)의 캐패시턴스와, 제1 P타입 트랜지스터(MP1)의 크기 및 제2 P타입 트랜지스터(MP2)의 크기 간의 비율을 포함하는 제어 인자들 중 하나 이상에 따라 결정될 수 있다.
- [0178] 제1 N타입 트랜지스터(MN1)를 통해 도통된 전류의 크기는, 전하 제어 펄스(VCR)의 진폭과, 전하 제어 캐패시터(CCR)의 캐패시턴스와, 제1 N타입 트랜지스터(MN1)의 크기 및 제2 N타입 트랜지스터(MN2)의 크기 간의 비율을 포함하는 제어 인자들 중 하나 이상에 따라 결정될 수 있다.
- [0179] 전술한 바에 따르면, 전하 제어 캐패시터(CCR), 전하 제어 펄스(VCR) 및 크기 비율(W/L Ratio)를 포함하는 3가지 제어 인자를 이용하여, 전하 제어(전하 주입, 전하 제거)를 정밀하게 수행할 수 있다.
- [0180] 아래에서는, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로의 전하 주입의 원리를 도 7을 참조하여 더욱 상세하게 설명한다.
- [0181] 터치 구동 펄스(TDS)의 하이 레벨 전압 구간(라이징 시점 포함)의 전체 또는 일부 구간 동안, 제1 스위치(SW1) 및 제3 스위치(SW3)가 온 상태이고, 제2 스위치(SW2) 및 제4 스위치(SW4)는 오프 상태이다.
- [0182] 터치 구동 펄스(TDS)의 하이 레벨 전압 구간(라이징 시점 포함) 동안, 전하 제어 펄스(VCR)이 하이 레벨 전압에서 로우 레벨 전압으로 폴링 될 때, 제2 P타입 트랜지스터(MP2)와 전하 제어 캐패시터(CCR)의 변화를 수학식으로 표현해본다.

[0183] 전하 제어 펄스(VCR)이 하이 레벨 전압(VCR_HIGH)일 때, 전하 제어 캐패시터(CCR)에 충전된 전하(Qcr, VCR_HIGH)는 수학적 식 1로 표현될 수 있다.

수학적 식 1

[0184]
$$Q_{cr, VCR_HIGH} = CCR \times (VDD - VCR_HIGH)$$

[0185] 전하 제어 펄스(VCR)이 로우 레벨 전압(VCR_LOW)일 때, 전하 제어 캐패시터(CCR)에 충전된 전하(Qcr, VCR=VCR_LOW)는 수학적 식 2로 표현될 수 있다.

수학적 식 2

[0186]
$$Q_{cr, VCR_LOW} = CCR \times (VDD - VCR_LOW)$$

[0187] 전하 제어 펄스(VCR)이 하이 레벨 전압(VCR_HIGH)에서 로우 레벨 전압(VCR_LOW)으로 폴링 될 때, 전하 제어 캐패시터(CCR)에서의 전하 변화량(ΔQ_{cr})은 수학적 식 3과 같다.

수학적 식 3

[0188]
$$\Delta Q_{cr} = Q_{cr, VCR_LOW} - Q_{cr, VCR_HIGH} = CCR \times (VCR_HIGH - VCR_LOW)$$

[0189] 전하 제어 펄스(VCR)이 하이 레벨 전압(VCR_HIGH)에서 로우 레벨 전압(VCR_LOW)으로 폴링 되는 구간에서, 단위 시간당 흐르는 전류($I_q = \Delta Q / \Delta T$)는 수학적 식 4와 같다. 이는 제2 P타입 트랜지스터(MP2)에 단위 시간당 흐르는 전류(Imp2)에 해당한다.

수학적 식 4

[0190]
$$I_q = \Delta Q / \Delta T = CCR \times (VCR_HIGH - VCR_LOW)$$

[0191] 이때, 제1 P타입 트랜지스터(MP1)에 흐르는 전류(Imp1)와, 제2 P타입 트랜지스터(MP2)에 흐르는 전류(Imp2)는, 수학적 식 5와 같다.

수학적 식 5

[0192]
$$Imp1 = (1/2) \times K \times \left(\frac{W_{mp1}}{L_{mp1}} \right) \times (V_{sg} - |V_{thp}|)^2$$

[0192]
$$Imp2 = (1/2) \times K \times \left(\frac{W_{mp2}}{L_{mp2}} \right) \times (V_{sg} - |V_{thp}|)^2$$

[0193] 상기 수학적 식 5에서, K는 μ (정공 이동도) \times Cox (단위 면적 주위의 게이트 산화막 크기)이다. Wmp1은 제1 P타입 트랜지스터(MP1)의 채널 폭이고, Lmp1은 제1 P타입 트랜지스터(MP1)의 채널 길이이고, Wmp1/Lmp1은 제1 P타입 트랜지스터(MP1)의 크기에 해당한다. Wmp2은 제2 P타입 트랜지스터(MP2)의 채널 폭이고, Lmp2은 제2 P타입 트랜지스터(MP2)의 채널 길이이고, Wmp2/Lmp2은 제2 P타입 트랜지스터(MP2)의 크기에 해당한다. Vsg는 소스-게이트 전압이고, Vthp는 문턱전압이다.

[0194] 제1 P타입 트랜지스터(MP1)와 제2 P타입 트랜지스터(MP2)의 게이트 전압이 동일하기 때문에, 제1 P타입 트랜지

스터(MP1)에 흐르는 전류(Imp1)는 아래 수학적 식 6과 같이 표현될 수 있다.

수학적 식 6

$$\begin{aligned}
 Imp1 &= Imp2 \times \frac{\left(\frac{Wmp1}{Lmp1}\right)}{\left(\frac{Wmp2}{Lmp2}\right)} \\
 &= CCR \times (VCR_HIGH - VCR_LOW) \times \frac{\left(\frac{Wmp1}{Lmp1}\right)}{\left(\frac{Wmp2}{Lmp2}\right)}
 \end{aligned}$$

[0195]

[0196] 상기 수학적 식 6에 따르면, 제1 P타입 트랜지스터(MP1)를 통해 도통된 전류(Imp1)의 크기는, 전하 제어 펄스(VCR)의 진폭(VCR_HIGH - VCR_LOW)과, 전하 제어 캐패시터(CCR)의 캐패시턴스와, 제1 P타입 트랜지스터(MP1)의 크기(Wmp1/Lmp1) 및 제2 P타입 트랜지스터(MP2)의 크기(Wmp2/Lmp2) 간의 비율((Wmp1/Lmp1) / (Wmp2/Lmp2))을 포함하는 제어 인자들 중 하나 이상에 따라 결정될 수 있다.

[0197] 아래에서는, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서의 전하 제어의 원리를 도 7을 참조하여 더욱 상세하게 설명한다.

[0198] 터치 구동 펄스(TDS)의 로우 레벨 전압 구간(풀링 시점 포함)의 전체 또는 일부 구간 동안, 제2 스위치(SW2) 및 제4 스위치(SW4)는 온 상태이고, 제1 스위치(SW1) 및 제3 스위치(SW3)가 오프 상태이다.

[0199] 터치 구동 펄스(TDS)의 로우 레벨 전압 구간(풀링 시점 포함) 동안, 전하 제어 펄스(VCR)이 로우 레벨 전압에서 하이 레벨 전압으로 라이징 될 때, 제2 N타입 트랜지스터(MN2)와 전하 제어 캐패시터(CCR)의 변화는, 터치 구동 펄스(TDS)의 하이 레벨 전압 구간에서의 제2 P타입 트랜지스터(MP2)와 전하 제어 캐패시터(CCR)의 변화와 마찬가지로 동일하다.

[0200] 따라서, 제1 N타입 트랜지스터(MN1)와 제2 N타입 트랜지스터(MN2)의 게이트 전압이 동일하기 때문에, 제1 N타입 트랜지스터(MN1)에 흐르는 전류(Imn1)와 제2 N타입 트랜지스터(MN2)에 흐르는 전류(Imn2) 간의 비율은, 제1 N타입 트랜지스터(MN1)의 크기(Wmn1/Lmn1)와 제2 N타입 트랜지스터(MN2)의 크기(Wmn2/Lmn2) 간의 비율과 대응된다.

[0201] 제1 N타입 트랜지스터(MN1)에 흐르는 전류(Imn1)는 아래 수학적 식 7과 같이 표현될 수 있다.

수학적 식 7

$$\begin{aligned}
 Imn1 &= Imn2 \times \frac{\left(\frac{Wmn1}{Lmn1}\right)}{\left(\frac{Wmn2}{Lmn2}\right)} \\
 &= CCR \times (VCR_HIGH - VCR_LOW) \times \frac{\left(\frac{Wmn1}{Lmn1}\right)}{\left(\frac{Wmn2}{Lmn2}\right)}
 \end{aligned}$$

[0202]

[0203] 상기 수학적 식 7에서, Wmn1은 제1 N타입 트랜지스터(MN1)의 채널 폭이고, Lmn1은 제1 N타입 트랜지스터(MN1)의 채널 길이이고, Wmn1/Lmn1은 제1 N타입 트랜지스터(MN1)의 크기에 해당한다. Wmn2은 제2 N타입 트랜지스터(MN2)의 채널 폭이고, Lmn2은 제2 N타입 트랜지스터(MN2)의 채널 길이이고, Wmn2/Lmn2은 제2 N타입 트랜지스터(MN2)의 크기에 해당한다.

[0204] 상기 수학적 식 7에 따르면, 제1 N타입 트랜지스터(MN1)를 통해 도통된 전류(Imn1)의 크기는, 전하 제어 펄스(VCR)의 진폭(VCR_HIGH - VCR_LOW)과, 전하 제어 캐패시터(CCR)의 캐패시턴스와, 제1 N타입 트랜지스터(MN1)의 크기(Wmn1/Lmn1) 및 제2 N타입 트랜지스터(MN2)의 크기(Wmn2/Lmn2) 간의 비율((Wmn1/Lmn1) / (Wmn2/Lmn2))을 포함

합하는 제어 인자들 중 하나 이상에 따라 결정될 수 있다.

- [0205] 아래에서, 도 8을 참조하여 전하 제어 회로(400)의 멀티 전하 제어 방법을 설명한다.
- [0206] 터치 구동 펄스(TDS)는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 된다.
- [0207] 전하 제어 펄스(VCR)는 로우 레벨 전압과 하이 레벨 전압 사이에서 토글 된다.
- [0208] 터치 구동 펄스(TDS)가 하나의 로우 레벨 전압 구간 또는 하나의 하이 레벨 전압 구간 동안, 전하 제어 펄스(VCR)는 2차레 이상 레벨 변경이 있을 수 있다.
- [0209] 진술한 멀티 전하 제어를 통해 터치 구동 펄스(TDS)의 하나의 하이 레벨 전압 구간 또는 하나의 로우 레벨 전압 구간 동안 2차레 이상의 전하 제어를 수행할 수 있게 되어, 전하 제어 성능을 높여줄 수 있다.
- [0210] 도 6 및 도 8을 참조하면, 터치 구동 펄스(TDS)의 하이 레벨 전압 구간 동안, 전하 제어 펄스(VCR)가 라이징 되면, 제1 P타입 트랜지스터(MP1)는 턴-오프 된다.
- [0211] 터치 구동 펄스(TDS)의 하이 레벨 전압 구간 동안, 전하 제어 펄스(VCR)가 폴링 되면, 제1 P타입 트랜지스터(MP1)는 전류를 도통시킬 수 있다.
- [0212] 이에 따라, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 전하가 추가로 주입(Inject) 될 수 있다.
- [0213] 도 6 및 도 8을 참조하면, 터치 구동 펄스(TDS)의 로우 레벨 전압 구간 동안, 전하 제어 펄스(VCR)가 폴링 되면, 제1 N타입 트랜지스터(MN1)는 턴-오프 될 수 있다.
- [0214] 터치 구동 펄스(TDS)의 로우 레벨 전압 구간 동안, 전하 제어 펄스(VCR)가 라이징 되면, 제1 N타입 트랜지스터(MN1)는 전류를 도통시킬 수 있다.
- [0215] 이에 따라, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 입력되는 전하의 일부가 제거(Remove) 될 수 있다.
- [0216] 진술한 바에 따르면, 전하 제어 회로(400)는, 터치 구동 펄스(TDS)가 하이 레벨 전압 구간 동안 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 2차레 이상의 전하 주입이 되도록 제어하고, 터치 구동 펄스(TDS)가 로우 레벨 전압 구간 동안 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서 2차레 이상의 전하 제거가 되도록 제어함으로써, 전하 제어 성능을 높일 수 있다.
- [0217] 한편, 제1 P타입 트랜지스터(MP1)를 통해 도통된 전류의 크기는, 전하 제어 펄스(VCR)의 진폭(VCR_HIGH - VCR_LOW)과, 전하 제어 캐패시터(CCR)의 캐패시턴스와, 제1 P타입 트랜지스터(MP1)의 크기(Wm1/Lmp1) 및 제2 P타입 트랜지스터(MP2)의 크기(Wmp2/Lmp2) 간의 비율을 포함하는 제어 인자들 중 하나 이상에 따라 결정될 수 있다.
- [0218] 제1 N타입 트랜지스터(MN1)를 통해 도통된 전류의 크기는, 전하 제어 펄스(VCR)의 진폭과, 전하 제어 캐패시터(CCR)의 캐패시턴스와, 제1 N타입 트랜지스터(MN1)의 크기(Wmn1/Lmn1) 및 제2 N타입 트랜지스터(MN2)의 크기(Wmn2/Lmn2) 간의 비율을 포함하는 제어 인자들 중 하나 이상에 따라 결정될 수 있다.
- [0219] 진술한 바에 따르면, 전하 제어 캐패시터(CCR), 전하 제어 펄스(VCR) 및 크기 비율(W/L Ratio)를 포함하는 3가지 제어 인자를 이용하여, 멀티 전하 제어 방식에 따른 전하 제어(전하 주입, 전하 제거)를 정밀하게 수행할 수 있다.
- [0220] 아래에서는, 멀티 전하 제어 관련하여, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로의 전하 주입의 원리를 도 8을 참조하여 더욱 상세하게 설명한다.
- [0221] 멀티 전하 제어 시, 터치 구동 펄스(TDS)의 하이 레벨 전압 구간(라이징 시점 포함)의 전체 또는 일부 구간 동안, 제1 스위치(SW1) 및 제3 스위치(SW3)가 온 상태이고, 제2 스위치(SW2) 및 제4 스위치(SW4)는 오프 상태이다.
- [0222] 이러한 스위치 상태는 싱글 전하 제어를 위한 스위치 상태와 동일하다.
- [0223] 터치 구동 펄스(TDS)의 하이 레벨 전압 구간(라이징 시점 포함) 동안, 전하 제어 펄스(VCR)이 로우 레벨 전압에서 하이 레벨 전압으로 라이징 될 때, 전하 제어 캐패시터(CCR)를 통해 흐르는 전하 변화량(ΔQ_{cr})은 아래 수학적 식 8과 같이 된다.

수학식 8

$$\begin{aligned} \Delta Q_{cr} &= Q_{cr, VCR_HIGH} - Q_{cr, VCR_LOW} \\ &= CCR * (VCR_HIGH - VCR_LOW) \end{aligned}$$

- [0224]
- [0225] 상기 수학식 8에 따르면, 전하는 전하 제어 캐패시터(CCR)에서 구동전압(VDD)으로 흐르게 되며, 제2 P타입 트랜지스터(MP2)의 게이트 전압이 순간적으로 구동전압(VDD)보다 높은 전압으로 된다.
- [0226] 터치 구동 펄스(TDS)의 하이 레벨 전압이 구동전압(VDD)보다 낮고, 제1 P타입 트랜지스터(MP1)의 게이트 전압과 제2 P타입 트랜지스터(MP2)의 게이트 전압은 동일하므로, 제1 P타입 트랜지스터(MP1)은 턴-오프 되어 전하가 흐르지 못한다.
- [0227] 따라서, 터치 구동 펄스(TDS)의 하이 레벨 전압 구간(라이징 시점 포함) 동안, 전하 제어 펄스(VCR)의 라이징 시, 제1 P타입 트랜지스터(MP1)은 턴-온 되지 못하여, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 전하 주입(Charge Injection)을 해주지 못한다.
- [0228] 하지만, 터치 구동 펄스(TDS)의 하이 레벨 전압 구간(라이징 시점 포함) 동안, 전하 제어 펄스(VCR)의 폴링 시, 제1 P타입 트랜지스터(MP1)은, 싱글 전하 제어 때와 동일한 방식으로, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)으로 전하 주입(Charge Injection)을 해줄 수 있다.
- [0229] 아래에서는, 멀티 전하 제어 관련하여, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서의 전하 제거의 원리를 도 8을 참조하여 더욱 상세하게 설명한다.
- [0230] 터치 구동 펄스(TDS)의 로우 레벨 전압 구간(폴링 시점 포함)의 전체 또는 일부 구간 동안, 제2 스위치(SW2) 및 제4 스위치(SW4)는 온 상태이고, 제1 스위치(SW1) 및 제3 스위치(SW3)가 오프 상태이다.
- [0231] 이러한 스위치 상태는 싱글 전하 제어 때와 동일하다.
- [0232] 터치 구동 펄스(TDS)의 로우 레벨 전압 구간(폴링 시점 포함) 동안, 전하 제어 펄스(VCR)이 하이 레벨 전압에서 로우 레벨 전압으로 폴링 될 때, 그라운드 전압(GND)의 인가 노드에서 전하 제어 캐패시터(CCR)로 전하가 흐르게 되어, 제2 N타입 트랜지스터(MN2)의 게이트 전압은 순간적으로 그라운드 전압(GND)보다 더 낮은 전압이 된다.
- [0233] 터치 구동 펄스(TDS)의 로우 레벨 전압은 그라운드 전압(GND)보다 높고 제1 N타입 트랜지스터(MN1)의 게이트 전압과 제2 N타입 트랜지스터(MN2)의 게이트 전압은 동일하므로, 제1 N타입 트랜지스터(MN1)는 턴-오프 되어 전하가 흐르지 않는다.
- [0234] 따라서, 터치 구동 펄스(TDS)의 로우 레벨 전압 구간(폴링 시점 포함) 동안, 전하 제어 펄스(VCR)의 폴링 시, 제1 N타입 트랜지스터(MN1)는 턴-온 되지 못하여 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서 전하 제거(Charge Removal)를 하지 못한다.
- [0235] 하지만, 터치 구동 펄스(TDS)의 로우 레벨 전압 구간(폴링 시점 포함) 동안, 전하 제어 펄스(VCR)의 라이징 시, 제1 N타입 트랜지스터(MN1)는 턴-온 되어 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에서 전하 제거(Charge Removal)를 할 수 있다.
- [0236] 도 9는 실시예들에 따른 터치회로(100) 내 제1 멀티플렉서 회로(910), 센싱 유닛 블록(920), 제2 멀티플렉서 회로(930) 및 아날로그 디지털 컨버터(ADC)를 나타낸 도면이다.
- [0237] 도 9를 참조하면, 터치회로(100)는, Q(Q≥2)개의 센싱 유닛(SU #1 ~ SU #Q)을 포함하는 센싱 유닛 블록(920)을 포함할 수 있다.
- [0238] Q(Q≥2)개의 센싱 유닛(SU #1 ~ SU #Q) 각각은, 전치 증폭기(Pre-AMP)와, 전치 증폭기(Pre-AMP)의 출력단(OUT)에서 출력되는 출력 신호(Vout)를 적분하는 적분기(INTG)와, 적분기(INTG)의 출력 신호를 저장하는 샘플 앤 홀드 회로(SHA, Sample and Hold Circuit)를 포함할 수 있다.
- [0239] 진술한 바와 같이, 터치회로(100)는, 동시 동작할 수 있는 Q(Q≥2)개의 센싱 유닛(SU #1 ~ SU #Q)을 이용함으로써, 터치스크린 패널(TSP)에 배치된 다수의 터치전극(TE)을 효율적이고 신속하게 구동하고, 효율적이고 신속한

신호 검출을 수행할 수 있다.

- [0240] 도 9를 참조하면, 더 구체적인 예로서, 터치회로(100)는, 터치스크린 패널(TSP)과 연결되는 Q*R개의 터치패드(TP)와, 제1 멀티플렉서 회로(910)와, Q개의 센싱 유닛(SU #1, SU #2, ..., SU #Q)을 포함하는 센싱 유닛 블록(920)와, 제2 멀티플렉서 회로(930) 및 아날로그 디지털 컨버터(ADC) 등을 포함할 수 있다.
- [0241] 전치 증폭기(Pre-AMP)는, 제1 멀티플렉서 회로(411)를 통해, 입력된 터치 구동 펄스(TDS)를 터치스크린 패널(TSP)의 해당 터치전극(TE)으로 출력할 수 있다.
- [0242] 제1 멀티플렉서 회로(910)는, R:1 멀티플렉싱을 수행할 수 있는 회로로서, 적어도 하나의 멀티플렉서로 구성될 수 있다.
- [0243] 터치 구동 펄스(TDS)는, 전치 증폭기(Pre-AMP)를 통해 제1 멀티플렉서 회로(910)를 거쳐 해당 터치채널에 해당하는 터치패드(TP)로 출력된다.
- [0244] 전치 증폭기(Pre-AMP)를 통해 터치 구동 펄스(TDS)가 인가된 터치전극(TE)과 터치 오브젝트 사이에 캐패시터가 형성된다.
- [0245] 이러한 캐패시터에 충전된 전하는, 터치 유무에 따라 달라질 수 있다.
- [0246] 터치전극(TE)과 터치 오브젝트 사이에 형성된 캐패시터에 충전된 전하는, 전치 증폭기(Pre-AMP)의 피드백 캐패시터(CFB)에 충전될 수 있다.
- [0247] 이와 관련하여, 제1 멀티플렉서 회로(910)는, R:1 멀티플렉싱을 수행할 수 있는 회로로서, Q*R개의 터치 패드(TP)로부터 수신되는 신호(터치 센싱 신호(TSS)) 중에서 Q개의 신호를 선택할 수 있다.
- [0248] 선택된 Q개의 신호는 센싱 유닛 블록(920) 내 Q개의 센싱 유닛(SU #1, SU #2, ..., SU #Q)으로 전달되어 전치 증폭기(Pre-AMP)를 통해 적분기(INTG)로 입력된다.
- [0249] 적분기(INTG)는, 전치 증폭기(Pre-AMP)의 출력 전압(Vout)을 적분하여 적분 값을 출력한다.
- [0250] 이러한 적분기(INTG)는 비교기, 캐패시터 등의 소자들로 구성될 수 있다. 적분기(INTG)에서 출력된 신호는 샘플 앤 홀드 회로(SHA)로 입력된다.
- [0251] 샘플 앤 홀드 회로(SHA)는 아날로그 디지털 컨버터(ADC)의 입력 단에 부가되는 회로로서, 입력 전압을 샘플링하여 유지하고, 유지된 전압을 아날로그 디지털 컨버터(ADC)가 이전 변환을 끝낼 때까지 그대로 유지시켜 주는 회로이다.
- [0252] 제2 멀티플렉서 회로(930)는 Q:1 멀티플렉싱을 위한 회로로서, 적어도 하나의 멀티플렉서로 구성될 수 있으며, Q개의 센싱 유닛(SU #1, SU #2, ..., SU #Q) 중 하나를 선택하여 선택된 센싱 유닛의 샘플 앤 홀드 회로(SHA)에서 유지하고 있던 전압을 아날로그 디지털 컨버터(ADC)로 입력해준다.
- [0253] 아날로그 디지털 컨버터(414)는 입력된 전압을 디지털 값에 해당하는 센싱값으로 변환하여 변환된 센싱값을 출력한다.
- [0254] 이렇게 출력된 디지털 센싱값을 포함하는 센싱 데이터는, 터치 컨트롤러(110)로 전송된다.
- [0255] 도 10 및 도 11은 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)의 예시적인 배치도들이다.
- [0256] 센싱 유닛마다 전하 제어 캐패시터(CCR)가 존재하는 경우, 센싱 유닛 개수가 많아질수록, 전하 제어 캐패시터(CCR)의 개수와 제어 스위치 회로(500)의 개수도 그만큼 많아질 수밖에 없다.
- [0257] 이에 따라, 터치회로(100) 내 전하 제어 회로(400)의 면적이 커지게 되어, 터치회로(100)도 커질 수밖에 없다.
- [0258] 또한, 전하 제어 회로(400)의 전하 제어량(즉, 전하 제거량 또는 전하 주입량)을 늘리기 위해서, 전하 제어 캐패시터(CCR)를 크게 해주는 것이 유리하다.
- [0259] 이와 같이, 전하 제어 캐패시터(CCR)의 크기를 증가시키면, 터치회로(100)의 크기도 커질 수밖에 없다.
- [0260] 따라서, 실시예들은, 전하 제어 회로(400)의 면적 감소를 위한 구조와, 전하 제어 회로(400)의 면적 감소와 센싱 유닛 별 전하 제어를 위한 구조를 개시한다.
- [0261] 도 10은 전하 제어 회로(400)의 면적 감소를 위한 구조를 나타낸 도면이다.

- [0262] 도 10의 예시에서는, 센싱 유닛 개수 Q가 28인 경우이다.
- [0263] 즉, 터치회로(100)는 28개의 센싱 유닛(SU #1 ~ SU #28)을 포함한다.
- [0264] 도 10의 예시에 따르면, 전하 제어 캐패시터(CCR)는 28개의 센싱 유닛(SU #1 ~ SU #28)에 대하여 공용화 되어 1개만 존재할 수 있다.
- [0265] 즉, 터치회로(100)는, 1개의 전하 제어 캐패시터(CCR)만 존재한다.
- [0266] 이와 같이, 터치회로(100) 내에서 전하 제어 캐패시터(CCR)의 공용화에 따라, 전하 제어 회로의 면적을 감소시켜줄 수 있고(도 10의 예시의 경우, 1/28 면적 감소), 터치회로(100)의 크기를 줄여줄 수 있다.
- [0267] 도 10의 예시를 참조하여 전하 제어 회로(400)의 배치 구조를 더욱 상세하게 설명한다.
- [0268] 제1 P타입 트랜지스터(MP1)와 제1 N타입 트랜지스터(MN1)는, Q(Q=28)개의 센싱 유닛(SU #1 ~ SU #28) 각각에 대하여 존재할 수 있다.
- [0269] 즉, 28개의 센싱 유닛(SU #1 ~ SU #28) 각각의 전치 증폭기(Pre-AMP)는, 자신의 고유한 전하 전달자(제1 P타입 트랜지스터(MP1), 제1 N타입 트랜지스터(MN1))를 통해, 반전 입력단(IN1)으로 전하를 주입 받거나 반전 입력단(IN1)에서 전하를 제거 받을 수 있다.
- [0270] 하지만, 제2 P타입 트랜지스터(MP2), 제2 N타입 트랜지스터(MN2), 제1 스위치(SW1), 제2 스위치(SW2), 제3 스위치(SW3), 제4 스위치(SW4) 및 전하 제어 캐패시터(CCR)는, 28개의 센싱 유닛(SU #1 ~ SU #18)에 대하여, 전체적으로 공용화 되어 1개만 존재할 수 있다.
- [0271] 즉, 터치회로(100)는, 28개의 제1 P타입 트랜지스터(MP1)와 28개의 제1 N타입 트랜지스터(MN1)를 포함하고, 1개의 제2 P타입 트랜지스터(MP2), 1개의 제2 N타입 트랜지스터(MN2), 1개의 제1 스위치(SW1), 1개의 제2 스위치(SW2), 1개의 제3 스위치(SW3), 1개의 제4 스위치(SW4) 및 1개의 전하 제어 캐패시터(CCR)를 포함한다.
- [0272] 전술한 바와 같이, Q개의 센싱 유닛(SU #1 ~ SU #Q) 각각의 전치 증폭기(Pre-AMP)에 대한 전하 전달자(제1 P타입 트랜지스터(MP1), 제1 N타입 트랜지스터(MN1))를 제외한 나머지 스위칭 소자들(MP2, MN2, SW1, SW2, SW3, SW4)과 전하 제어 캐패시터(CCR)를 Q개의 센싱 유닛(SU #1 ~ SU #Q) 모두에 대하여 공용화함으로써, 전하 제어 회로(400)의 면적이 크게 감소할 수 있다.
- [0273] 도 11을 참조하면, Q개의 센싱 유닛(SU #1 ~ SU #Q)은 $K(1 \leq K \leq Q)$ 개의 센싱 유닛(SU) 그룹으로 그룹화될 수 있다.
- [0274] 도 11의 예시에서는, 센싱 유닛 개수 Q는 28이고, 센싱 유닛 그룹 개수 K는 7이다.
- [0275] 터치회로(100)는 28개의 센싱 유닛(SU #1 ~ SU #28)을 포함한다.
- [0276] 그리고, 28개의 센싱 유닛(SU #1 ~ SU #28)은 7개의 센싱 유닛 그룹(G1 ~ G7)으로 그룹화된다.
- [0277] 따라서, 터치회로(100)는 7개의 센싱 유닛 그룹(G1 ~ G7)을 포함한다.
- [0278] 전하 제어 캐패시터(CCR)는 7개의 센싱 유닛 그룹(G1 ~ G7) 마다 공용화 되어 1개씩 존재할 수 있다.
- [0279] 즉, 7개의 센싱 유닛 그룹(G1 ~ G7) 각각에 대하여, 1개의 전하 제어 캐패시터(CCR)가 존재한다.
- [0280] 이와 같이, 터치회로(100) 내 센싱 유닛 그룹별로 전하 제어 캐패시터(CCR)가 공용화됨으로써, 센싱 유닛마다 전하 제어 캐패시터(CCR)가 존재하는 것에 비해 전하 제어 회로의 면적을 감소시켜 주면서도(도 11의 예시의 경우, 1/4 면적 감소), 센싱 유닛 그룹별로 전하 제어가 가능해질 수 있다.
- [0281] 도 11의 예시를 참조하여, 전하 제어 회로(400)의 면적 감소와 센싱 유닛 별 전하 제어를 위한 구조를 설명한다.
- [0282] 전자 제어 회로(400) 내 제1 P타입 트랜지스터(MP1)와 제1 N타입 트랜지스터(MN1)는 28개의 센싱 유닛(SU #1 ~ SU #28) 각각에 대하여 존재할 수 있다.
- [0283] 즉, 28개의 센싱 유닛(SU #1 ~ SU #28) 각각의 전치 증폭기(Pre-AMP)는, 자신의 고유한 전하 전달자(제1 P타입 트랜지스터(MP1), 제1 N타입 트랜지스터(MN1))를 통해, 반전 입력단(IN1)으로 전하를 주입 받거나 반전 입력단(IN1)에서 전하를 제거 받을 수 있다.

- [0284] 이에 비해, 제2 P타입 트랜지스터(MP2), 제2 N타입 트랜지스터(MN2), 제1 스위치(SW1), 제2 스위치(SW2), 제3 스위치(SW3), 제4 스위치(SW4) 및 전하 제어 캐패시터(CCR)는, 7개의 센싱 유닛 그룹(G1 ~ G7)마다 공용화 되어 1개씩 존재할 수 있다.
- [0285] 즉, 터치회로(100)는, 28개의 제1 P타입 트랜지스터(MP1)와 28개의 제1 N타입 트랜지스터(MN1)를 포함하고, 7개의 제2 P타입 트랜지스터(MP2), 7개의 제2 N타입 트랜지스터(MN2), 7개의 제1 스위치(SW1), 7개의 제2 스위치(SW2), 7개의 제3 스위치(SW3), 7개의 제4 스위치(SW4) 및 7개의 전하 제어 캐패시터(CCR)를 포함할 수 있다.
- [0286] 전술한 바와 같이, 전하 제어 회로(400)는, Q개의 센싱 유닛(SU #1 ~ SU #Q) 각각의 전치 증폭기(Pre-AMP)에 대한 전하 전달자(제1 P타입 트랜지스터(MP1), 제1 N타입 트랜지스터(MN1))를 제외한 나머지 스위칭 소자들(MP2, MN2, SW1, SW2, SW3, SW4)과 전하 제어 캐패시터(CCR)를 K개의 센싱 유닛 그룹(G1 ~ G7)별로 공용화함으로써, 전하 제어 회로(400)의 면적이 감소되면서도, 도 10의 구조에 비해, 보다 세밀한 전하 제어를 수행할 수 있다.
- [0287] 도 12는 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)의 제2 회로이다.
- [0288] 도 12를 참조하면, 전하 제어 회로(400)는, 전치 증폭기(Pre-AMP)의 앞 단에 추가적인 전하 제어 구성들을 더 포함할 수 있다.
- [0289] 전하 제어 회로(400)는, 제1 단(N1X)과 전하 제어 펄스(VCR)가 인가되는 제2 단(N2X)을 갖는 추가 전하 제어 캐패시터(CCRA)를 포함할 수 있다.
- [0290] 전하 제어 회로(400)는, 추가 전하 제어 캐패시터(CCRA)의 제1 단(N1X)과 전치 증폭기(Pre-AMP)의 반전 입력단(IN1) 간의 연결여부를 제어하는 제5 스위치(SW5)와, 추가 전하 제어 캐패시터(CCR)의 제1 단(N1X)과 전치 증폭기(Pre-AMP)의 비반전 입력단(IN2) 간의 연결여부를 제어하는 제6 스위치(SW6)를 포함할 수 있다.
- [0291] 이와 같은 추가적인 전하 제어 회로 구성을 통해, 더욱 효과적인 전하 제어를 해줄 수 있다.
- [0292] 도 12에서, 제5 스위치(SW5)는, 터치 구동 펄스(TDS)가 라이징 될 때, 턴-온 되었다가 턴-오프 되고, 터치 구동 펄스(TDS)가 폴링 될 때, 턴-온 되었다가 턴-오프 된다.
- [0293] 제6 스위치(SW6)는, 터치 구동 펄스(TDS)가 라이징 될 때, 턴-오프 되었다가 턴-온 되고, 터치 구동 펄스(TDS)가 폴링 될 때, 턴-오프 되었다가 턴-온 된다.
- [0294] 즉, 제6 스위치(SW6)의 온-오프 타이밍은, 제5 스위치(SW5)의 온-오프 타이밍과 반대이다.
- [0295] 도 13 내지 도 18을 참조하여, 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)에 대한 추가적인 회로들과 구동 타이밍을 설명한다.
- [0296] 도 13 및 도 14는 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)의 제3 회로와 구동 타이밍 다이어그램이고, 도 15 및 도 16은 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)의 제4 회로와 구동 타이밍 다이어그램이며, 도 17 및 도 18은 실시예들에 따른 터치회로(100)의 전하 제어 회로(400)의 제5 회로와 구동 타이밍 다이어그램이다.
- [0297] 도 13 내지 도 18을 참조하면, 전하 제어 회로(400)는, 제1 단(N1a)과 전하 제어 펄스(VCR)가 인가되는 제2 단(N2a)을 갖는 제1 전하 제어 캐패시터(CCR1)와 제1 단(N1b)과 전하 제어 펄스(VCR)가 인가되는 제2 단(N2b)을 갖는 제2 전하 제어 캐패시터(CCR2)를 포함할 수 있다.
- [0298] 도 13 내지 도 18을 참조하면, 전하 제어 회로(400)의 전하 제어 스위치(500)는, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에 연결되는 제1 P타입 트랜지스터(MP1)와, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)에 연결되는 제1 N타입 트랜지스터(MN1)를 포함할 수 있다.
- [0299] 도 13 내지 도 18을 참조하면, 전하 제어 회로(400)의 전하 제어 스위치(500)는, 제1 P타입 트랜지스터(MP1)와 제1 전하 제어 캐패시터(CCR1)의 제1 단(N1a) 사이에 연결된 제2 P타입 트랜지스터(MP2)와, 제1 N타입 트랜지스터(MN1)와 제2 전하 제어 캐패시터(CCR2)의 제1 단(N1b) 사이에 연결된 제2 N타입 트랜지스터(MN2)를 포함할 수 있다.
- [0300] 제1 P타입 트랜지스터(MP1)의 게이트 노드와 제2 P타입 트랜지스터(MP2)의 게이트 노드는 연결될 수 있다.
- [0301] 제1 N타입 트랜지스터(MN1)의 게이트 노드와 제2 N타입 트랜지스터(MN2)의 게이트 노드는 연결될 수 있다.
- [0302] 전술한 바에 따르면, 전하 주입을 위한 전하 제어 캐패시터(CCR1)와 전하 제거를 위한 전하 제어 캐패시터

(CCR2)를 별도로 이용함으로써, 전하 주입 및 전하 제거를 위한 전하 저장을 효과적으로 수행할 수 있다.

- [0303] 도 13에 도시된 구조를 갖는 전하 제어 회로(100)는, 싱글 전하 제어 방법을 이용하는 경우, 도 14과 같이, 구동할 수 있다.
- [0304] 도 15를 참조하면, 전하 제어 회로(400)의 전하 제어 스위치(500)는, 제1 N타입 트랜지스터(MN1)와 전치 증폭기(Pre-AMP)의 반전 입력단(IN1) 사이의 연결여부를 제어하는 제1 스위치(SW A)와, 제1 P타입 트랜지스터(MP1)와 전치 증폭기(Pre-AMP)의 반전 입력단(IN1) 사이의 연결여부를 제어하는 제2 스위치(SW B)를 더 포함할 수 있다.
- [0305] 도 15에 도시된 구조를 갖는 전하 제어 회로(100)는, 싱글 전하 제어 방법을 이용하는 경우, 도 16과 같이, 구동할 수 있다.
- [0306] 도 17을 참조하면, 전하 제어 회로(400)의 전하 제어 스위치(500)는, 제1 N타입 트랜지스터(MN1)와 제2 N타입 트랜지스터(MN2)가 연결된 지점과, 제1 N타입 트랜지스터(MN1)의 게이트 노드와 제2 N타입 트랜지스터(MN2)의 게이트 노드가 연결된 지점 사이의 연결여부를 제어하는 제3 스위치(SW C)와, 제1 P타입 트랜지스터(MP1)와 제2 P타입 트랜지스터(MP2)가 연결된 지점과, 제1 P타입 트랜지스터(MP1)의 게이트 노드와 제2 P타입 트랜지스터(MP2)의 게이트 노드가 연결된 지점 사이의 연결여부를 제어하는 제4 스위치(SW D)를 더 포함할 수 있다.
- [0307] 전술한 바에 따르면, 전하 주입을 위한 제1 전하 제어 캐패시터(CCR1)와 전하 제거를 위한 제2 전하 제어 캐패시터(CCR2)를 포함하는 구조에서, 추가적인 스위칭 소자들을 통해, 효과적인 전하 제어를 수행할 수 있다.
- [0308] 도 17에 도시된 구조를 갖는 전하 제어 회로(100)는, 싱글 전하 제어 방법을 이용하는 경우, 도 18과 같이, 구동할 수 있다.
- [0309] 도 13 내지 도 18의 구조는, 전치 증폭기(Pre-AMP)가 2개 이상인 경우, 도 10 또는 도 11과 동일한 방식으로, 제1, 제2 전하 제어 캐패시터(CCR1, CCR2) 등을 공용화하는 구조로 설계될 수 있다.
- [0310] 이상에서 설명한 터치회로(100)를 기능적인 블록 다이어그램으로 나타내면 도 19와 같다.
- [0311] 도 19는 실시예들에 따른 터치회로(100)의 기능 블록 다이어그램(Function Block Diagram)이다.
- [0312] 도 19를 참조하면, 실시예들에 따른 터치회로(100)는, 터치 구동 펄스(TDS)가 출력되고 터치 구동 펄스(TDS)에 응답하여 신호(TSS)가 수신되는 입출력 부(1910)와, 입출력 부(1910)에서 수신된 신호(TSS)를 조절하는 신호 조절 부(1920)와, 신호 조절 부(1920)에서 조절된 신호를 입력 받아 신호 처리를 통해 센싱 값을 생성하는 신호 처리 부(1930)을 포함할 수 있다.
- [0313] 전술한 터치 회로(100)를 이용하면, 기생 캐패시턴스에 의해 변질된 전하를 제어하여 센싱 값을 생성함으로써, 정확한 터치 센싱 결과를 얻을 수 있다.
- [0314] 입출력 부(1910)는, 신호 출력 및 신호 수신을 위한 구성으로서, 도 9의 제1 멀티플렉서 회로(910) 등을 포함할 수 있다.
- [0315] 신호 처리 부(1930)는, 신호 증폭, 적분 및 아날로그 디지털 변환 처리 등을 포함하는 신호 처리를 수행할 수 있다.
- [0316] 따라서, 신호 처리 부(1930)는, 전치 증폭기(Pre-AMP), 적분기(INTG) 및 아날로그 디지털 컨버터(ADC)를 포함할 수 있다.
- [0317] 신호 처리부(1930)는, 센싱 유닛 관점에서 보면, 도 9의 센싱 유닛 블록(920), 제2 멀티플렉서 회로(930) 및 아날로그 디지털 컨버터(ADC) 등을 포함할 수 있다.
- [0318] 이에 따르면, 터치 구동을 통해 얻어지는 신호(TSS)는, 신호 처리를 통해, 터치 정보 획득을 수행할 수 있는 신호로 변환될 수 있다.
- [0319] 신호 조절 부(1920)는, 이상에서 설명한 전하 제어 회로(400)와 대응되는 구성이다.
- [0320] 이러한 신호 조절부(1920)는, 입출력 부(1910)에서 수신된 신호(TSS)에 대응되는 전하를 제어(조절)할 수 있다.
- [0321] 이를 위해, 신호 조절부(1920)는, 전하 제어 캐패시터(CCR)와, 전치 증폭기(Pre-AMP)의 반전 입력단(IN1)과 전하 제어 캐패시터(CCR) 간의 전류 흐름을 제어하는 제어 스위치 회로(500) 등을 포함할 수 있다.
- [0322] 이러한 신호 조절부(1920)를 통해, 신호 처리부(1930)로 입력되는 신호(전하)를 제어함으로써, 기생 캐패시턴스

에 의해 변질된 전하량만큼의 전하가 신호 처리부(1930)로 입력되어 터치 센싱 오류가 발생하는 것을 방지해줄 수 있다.

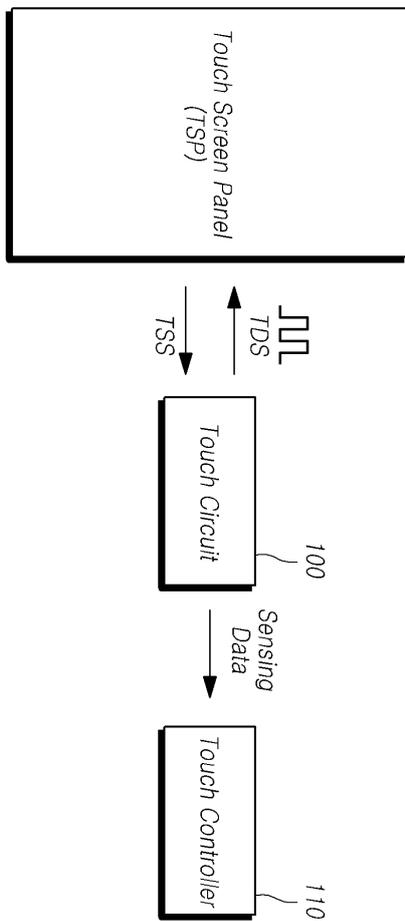
- [0323] 아래에서는, 이상에서 설명한 실시예들에 따른 터치 센싱 방법에 대하여 간략하게 설명한다.
- [0324] 도 20은 실시예들에 따른 터치 센싱 방법의 흐름도이다.
- [0325] 도 20을 참조하면, 실시예들에 따른 터치 센싱 방법은, 터치 구동 펄스(TDS)를 터치스크린 패널(TSP)로 공급하는 터치 구동 펄스 공급 단계(S2010)와, 터치스크린 패널(TSP)로부터 터치 센싱 신호(TSS)를 수신하는 신호 수신 단계(S2020)와, 수신된 터치 센싱 신호(TSS)를 조절하는 신호 조절 단계(S2030)와, 조절된 신호에 대한 신호 처리를 통해 센싱 값을 생성하는 신호 처리 단계(S2040)와, 센싱 값을 토대로 터치 정보를 획득하는 터치 정보 획득 단계(S2050) 등을 포함할 수 있다.
- [0326] 진술한 터치 센싱 방법을 이용하면, 터치스크린 패널(TSP)의 터치 구동을 통해 얻어진 신호가 기생 캐패시턴스에 의해 변질되는 경우, 이를 바로잡아 터치 센싱 오류가 발생하는 것을 방지해줄 수 있다.
- [0327] 이상에서 설명한 실시예들에 의하면, 터치스크린 패널(TSP)의 내부 또는 외부에서 유발된 기생 캐패시턴스(Cpara)의 영향을 저감시키거나 제거시킴으로써, 정확한 센싱 데이터를 얻을 수 있고, 이를 통해, 캐패시턴스 기반의 터치 센싱 성능을 향상시킬 수 있는 터치회로(100), 터치 센싱 장치 및 터치 센싱 방법을 제공할 수 있다.
- [0328] 또한, 실시예들에 의하면, 터치스크린 패널(TSP)의 내부 또는 외부에서 유발된 기생 캐패시턴스(Cpara)로 인해, 터치스크린 패널(TSP)을 구동하여 얻어지는 신호에 대응되는 전하량이 의도치 않게 변하는 경우, 이를 보상해주어 정확한 터치 센싱 결과(터치 유무 및/또는 터치 위치)를 얻을 수 있게 해주는 터치회로(100), 터치 센싱 장치 및 터치 센싱 방법을 제공할 수 있다.
- [0329] 또한, 실시예들에 의하면, 터치스크린 패널(TSP)을 구동하여 얻어지는 신호를 그대로 이용하지 않고 제어하여 이용함으로써, 기생 캐패시턴스 등에 의한 노이즈 성분이 제거된 센싱 데이터를 이용하여 정확한 터치 센싱 결과(터치 유무 및/또는 터치 위치)를 얻을 수 있게 해주는 터치회로(100), 터치 센싱 장치 및 터치 센싱 방법을 제공할 수 있다.
- [0330] 또한, 실시예들에 의하면, 터치회로(100) 내 전치 증폭기(Pre-AMP)로 입력되는 전하를 제어할 수 있는 터치회로(100)와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 효과가 있다.
- [0331] 또한, 실시예들에 의하면, 터치회로(100) 내 전치 증폭기(Pre-AMP)로 입력되는 전하를 제어할 수 있는 전하 제어 회로(400)를 포함하되, 전하 제어 회로(400)의 면적 감소 구조를 갖는 터치회로(100)와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 효과가 있다.
- [0332] 또한, 실시예들에 의하면, 터치회로(100) 내 전치 증폭기(Pre-AMP)로 입력되는 전하를 제어할 수 있는 전하 제어 회로(400)를 포함하되, 전하 제어 회로(400)의 면적 감소와 전하 제어 효율성이 있는 구조를 갖는 터치회로(100)와, 이를 포함하는 터치 센싱 장치와 그 터치 센싱 방법을 제공하는 효과가 있다.
- [0333] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

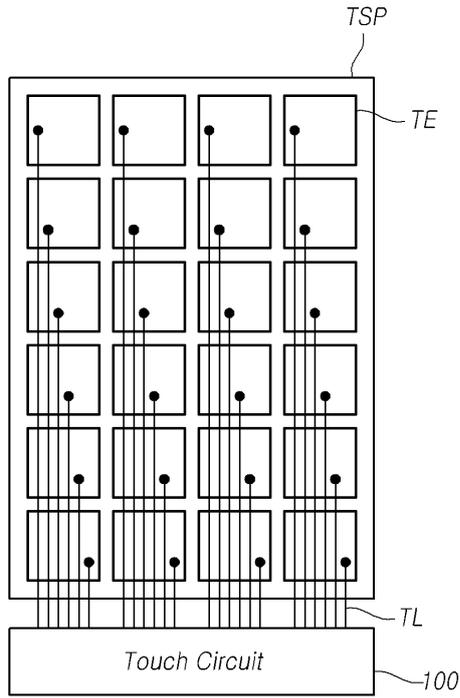
- [0334] 100: 터치회로
- 110: 터치 컨트롤러
- 400: 전하 제어 회로
- 500: 제어 스위치 회로

도면

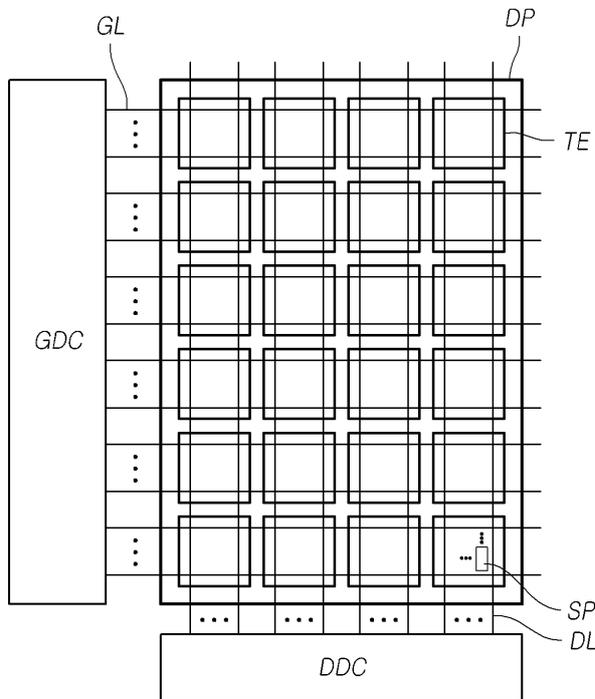
도면1



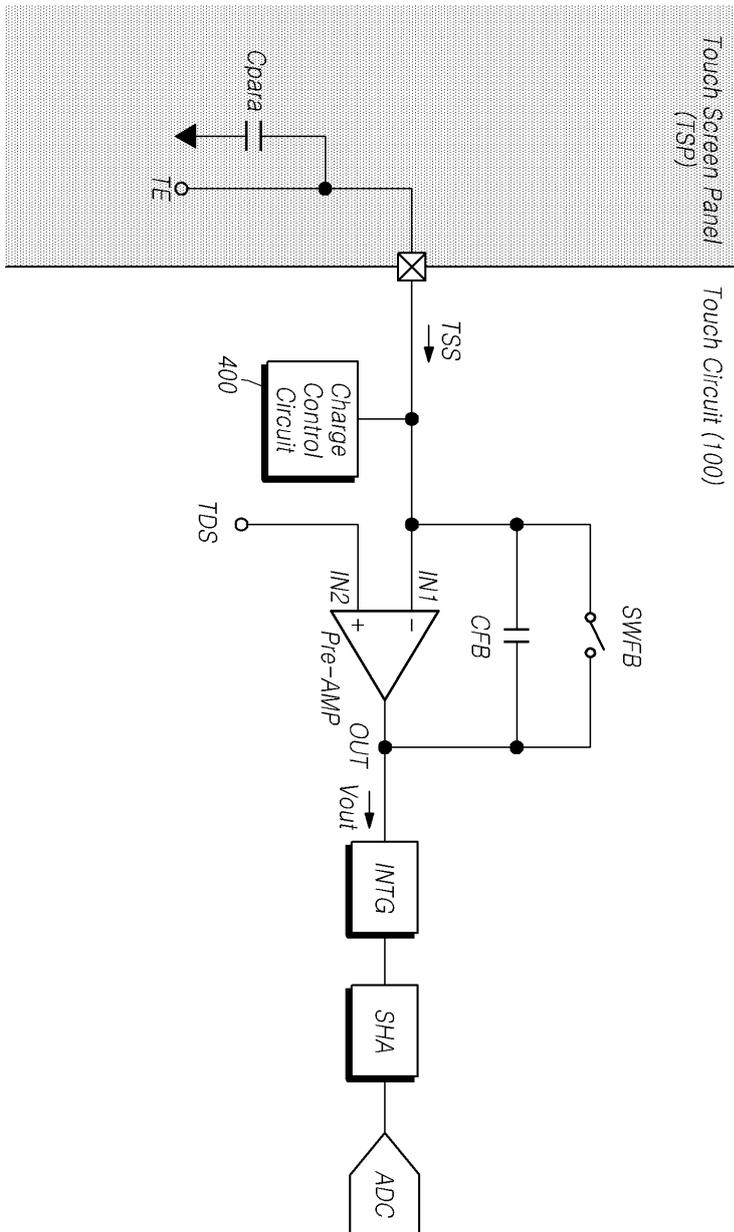
도면2



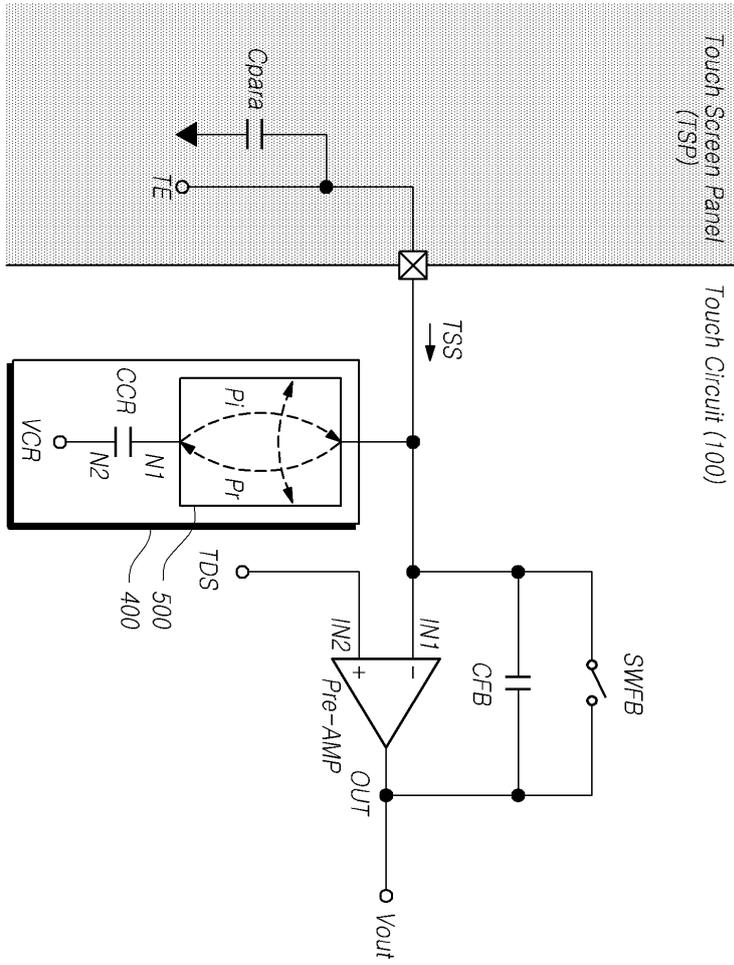
도면3



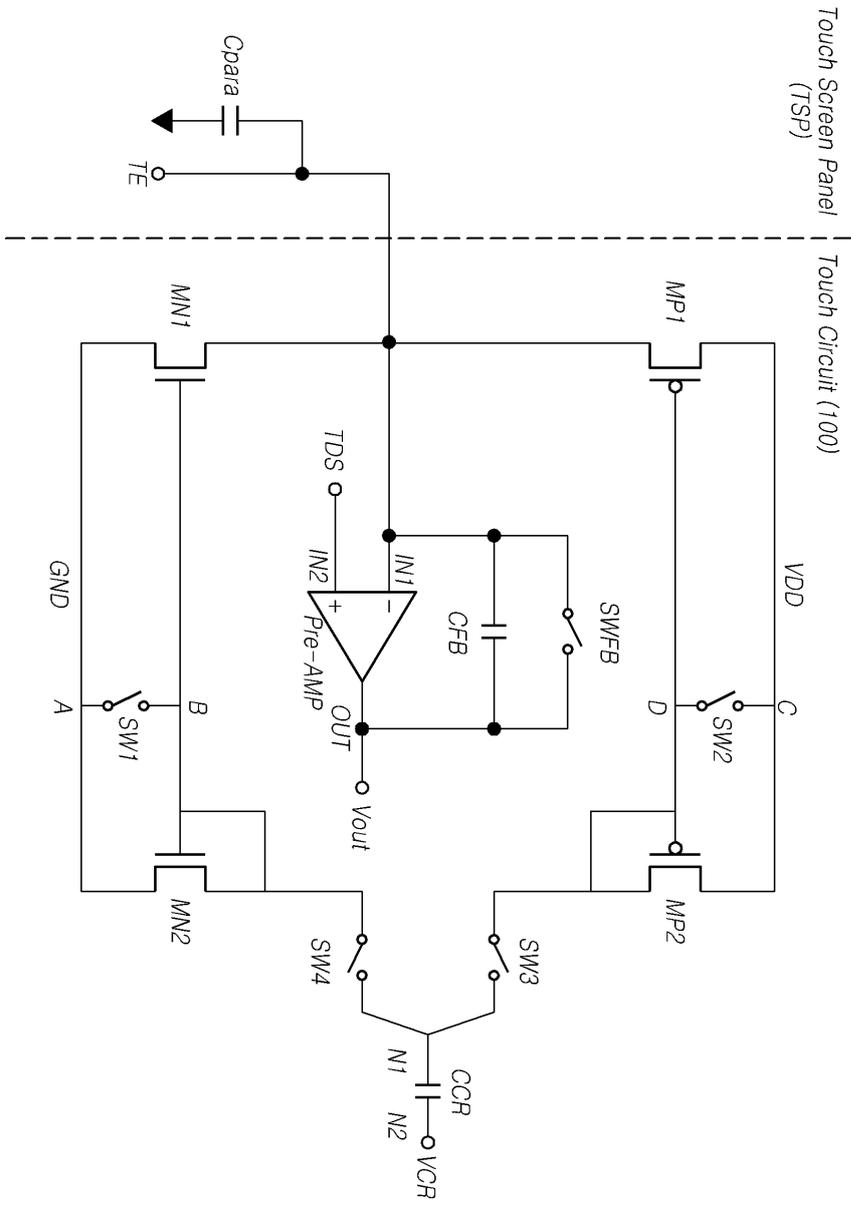
도면4



도면5

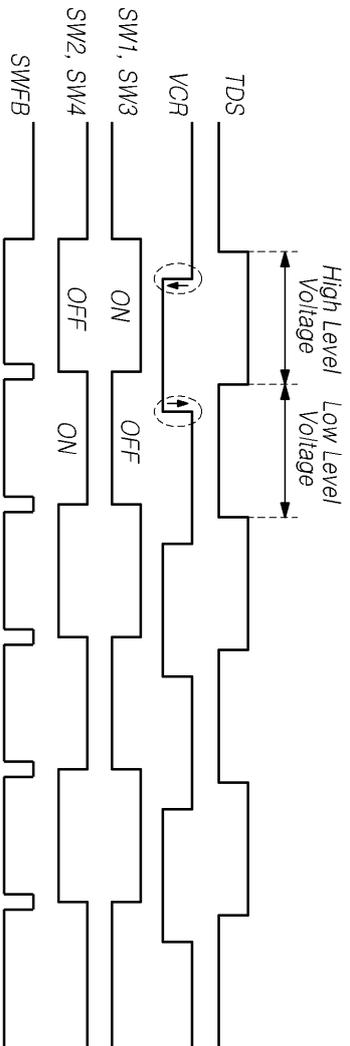


도면6

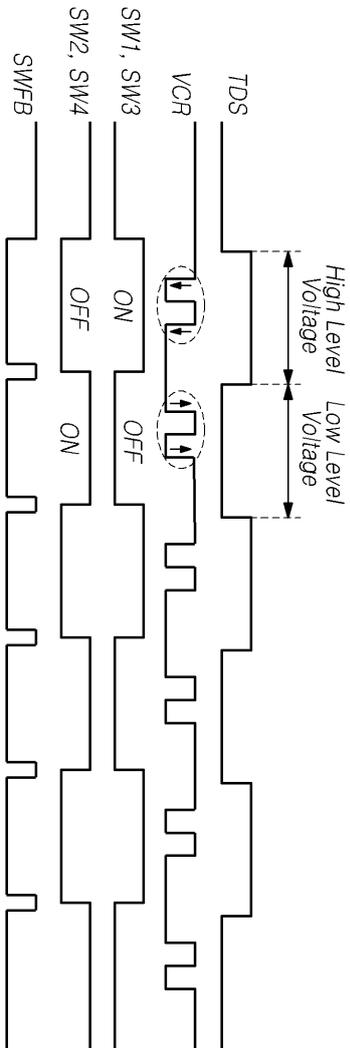


도면7

Single Charge Control

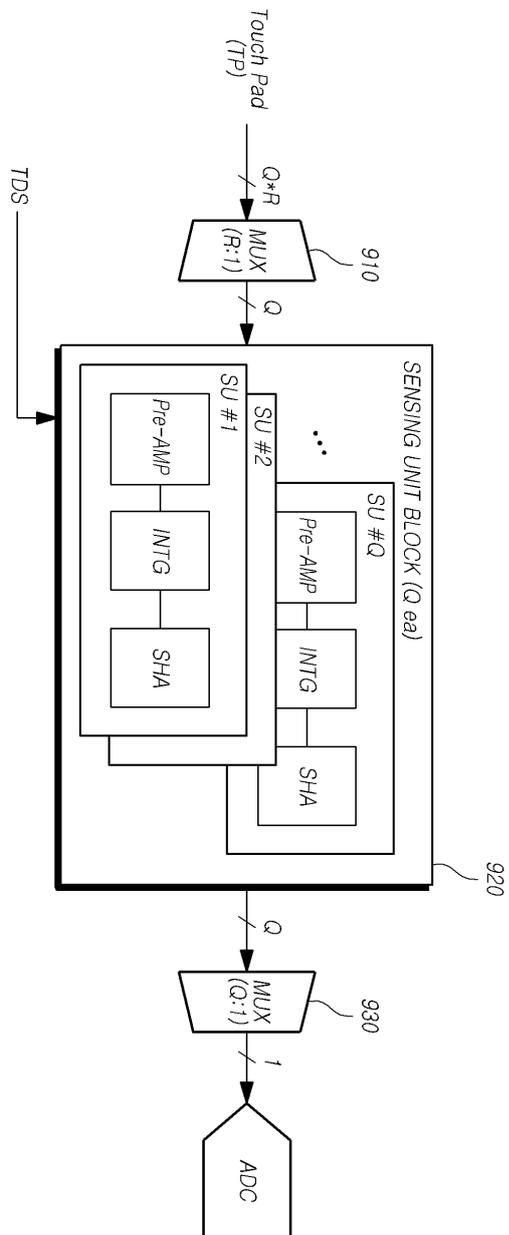


도면8

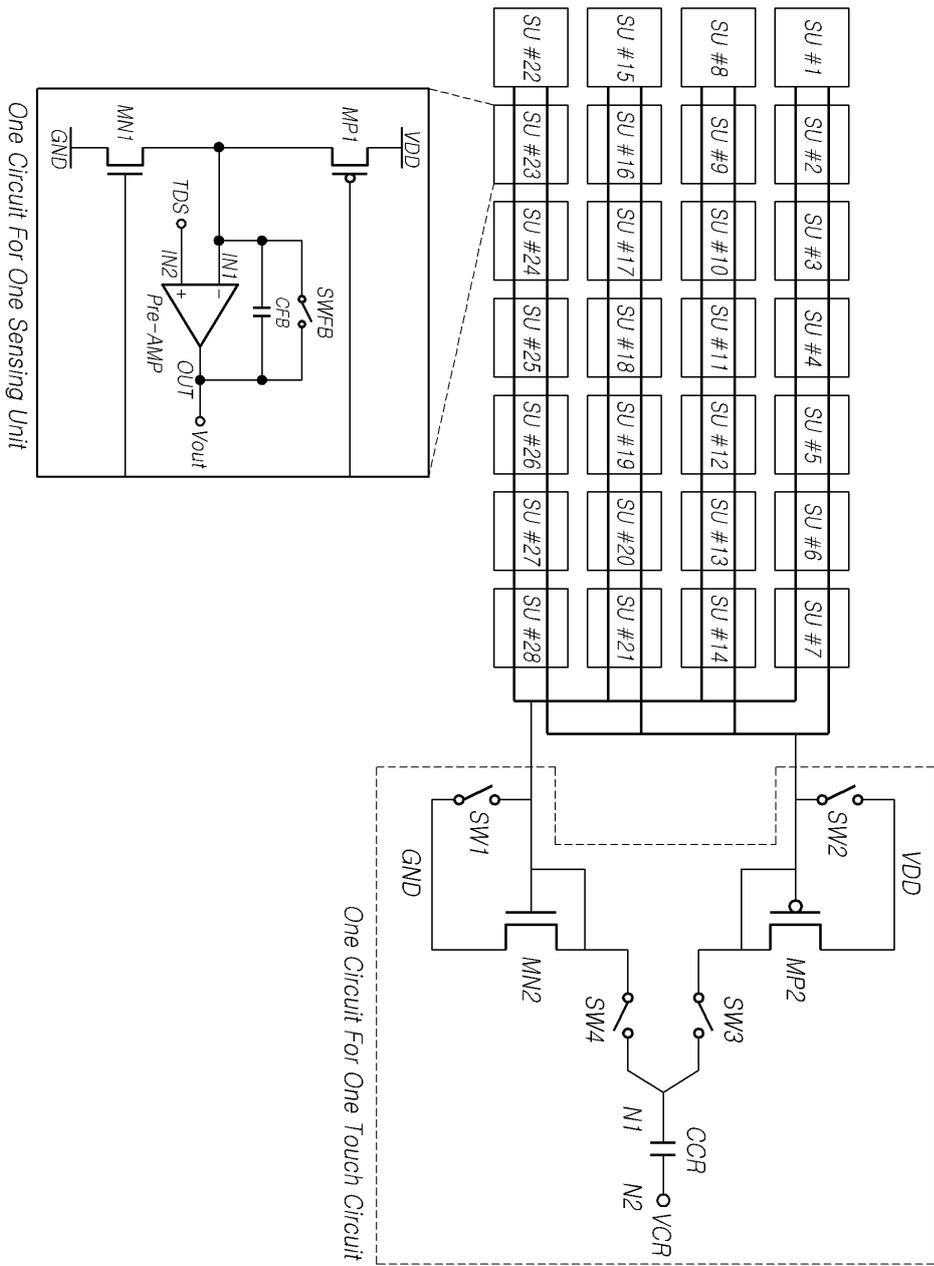


Multi Charge Control

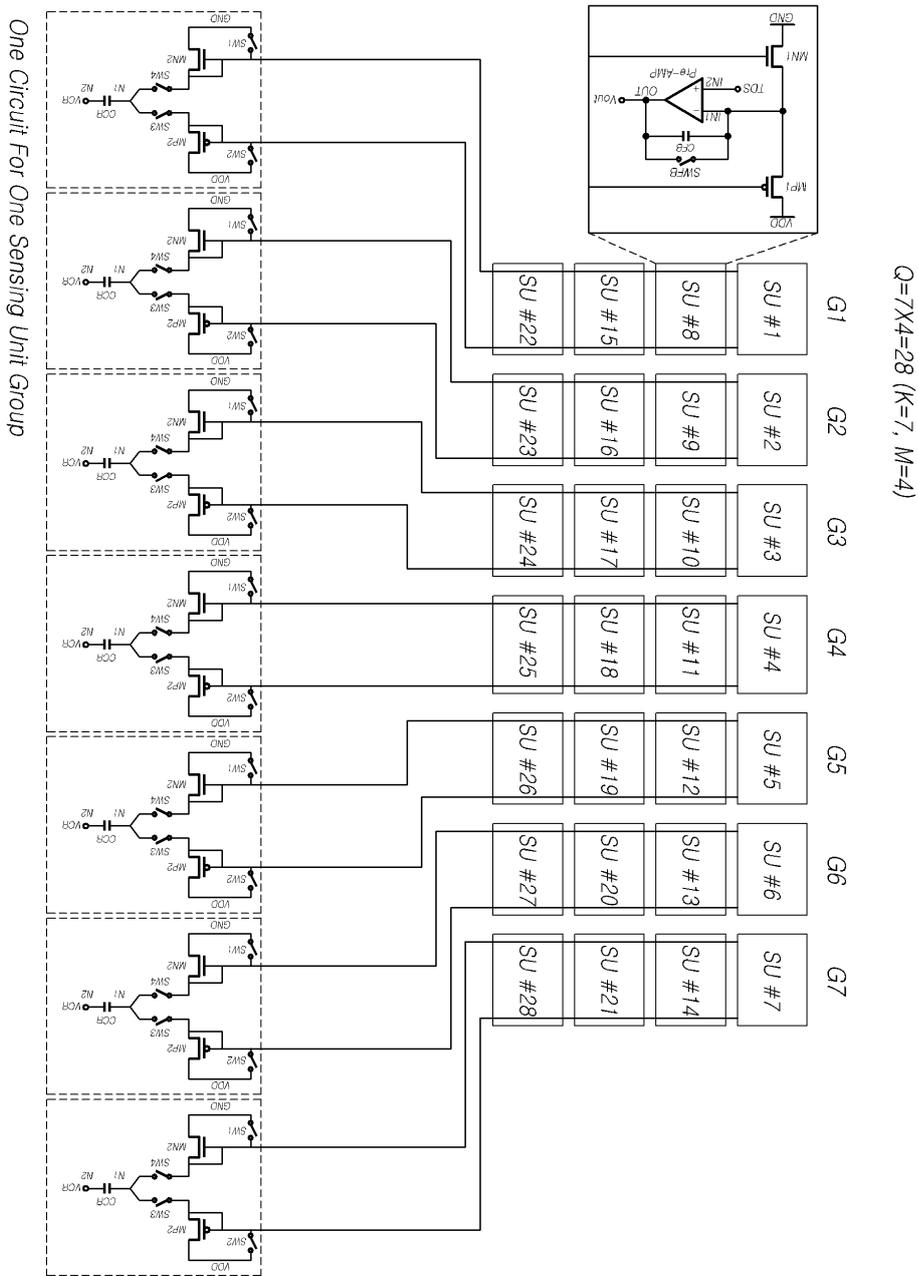
도면9



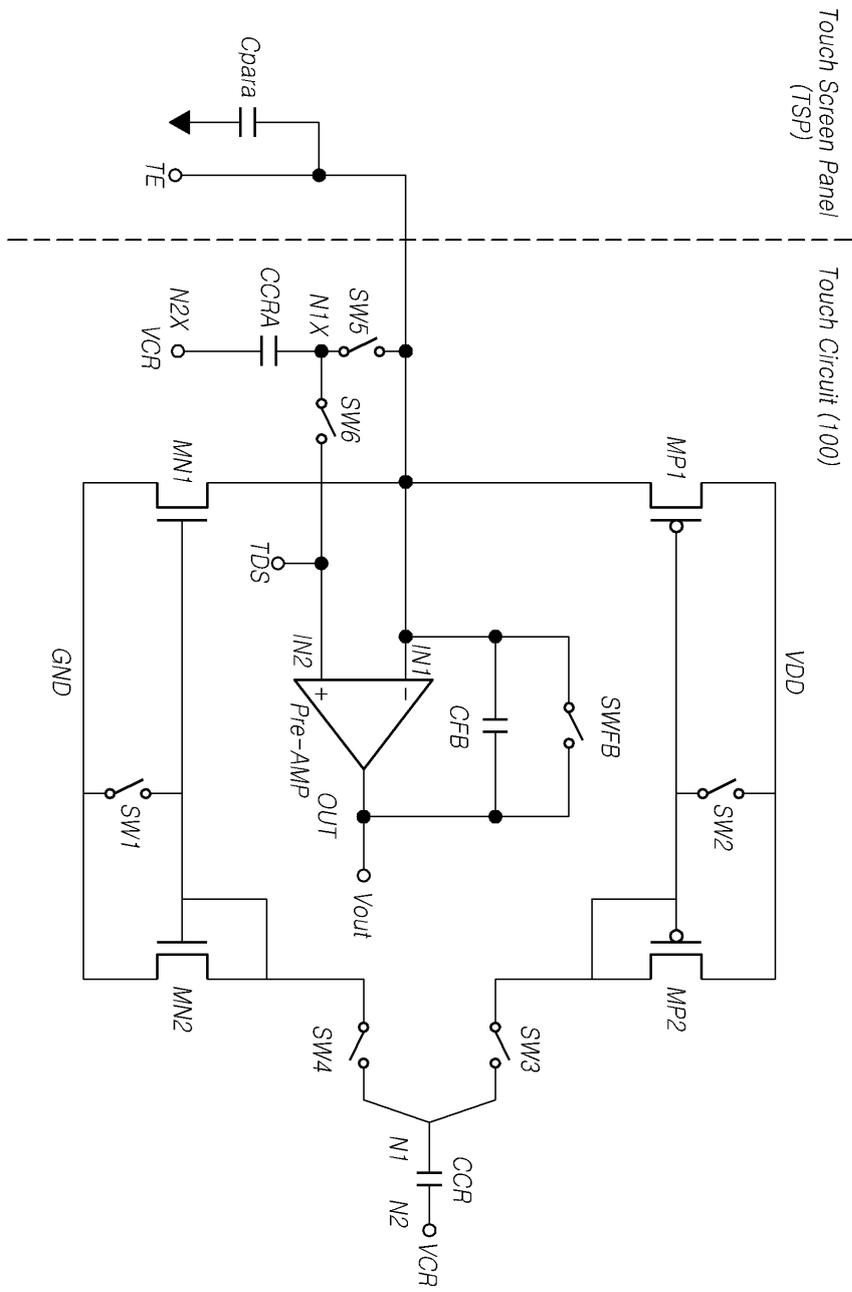
도면10



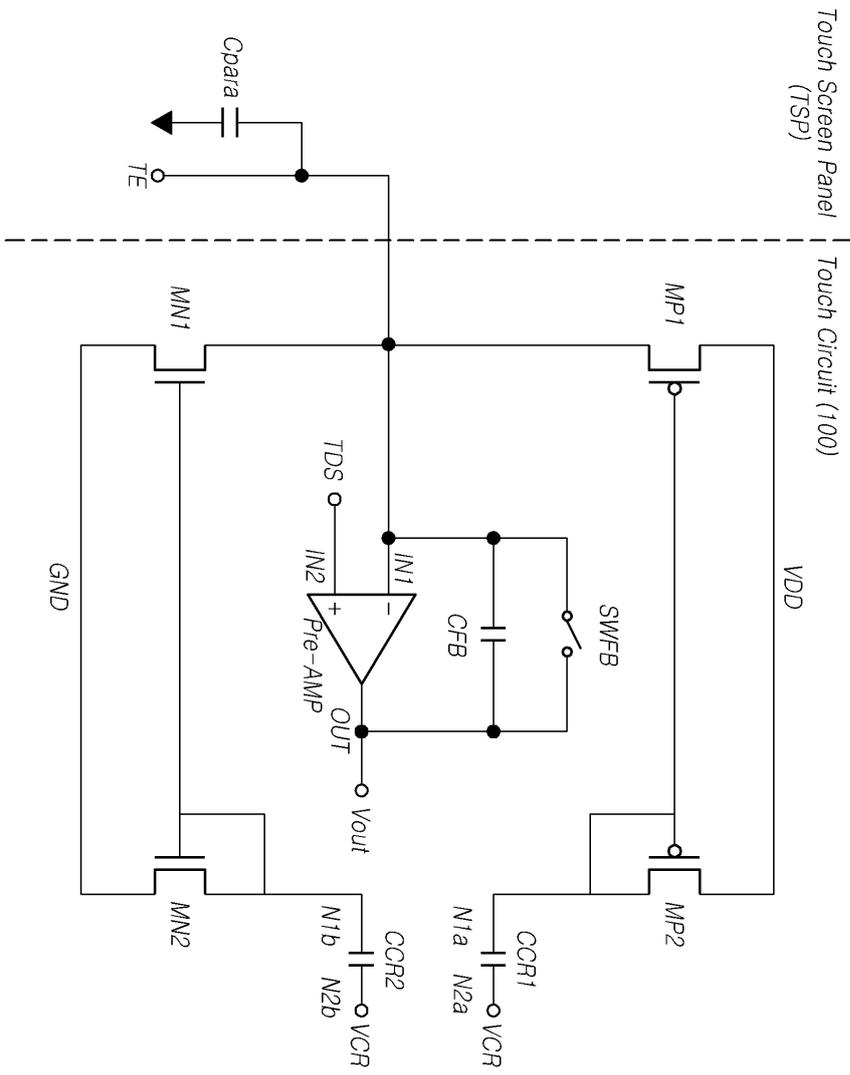
도면11



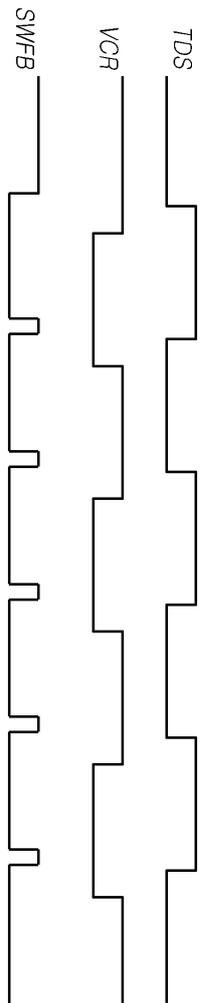
도면12



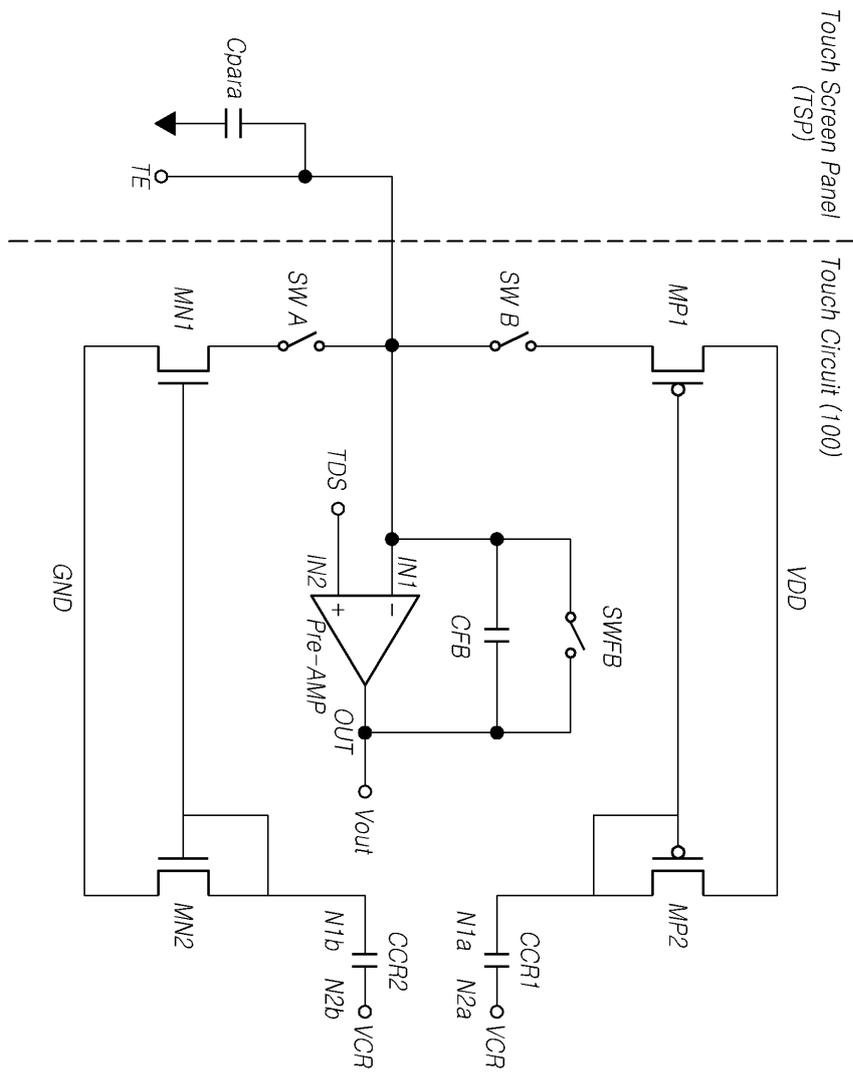
도면13



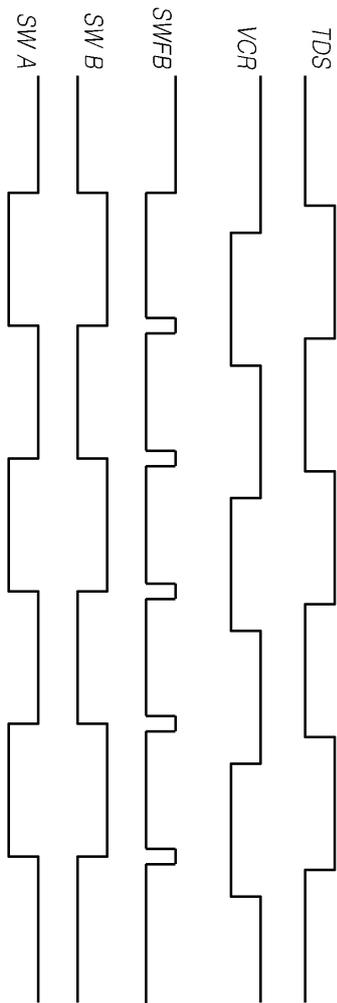
도면14



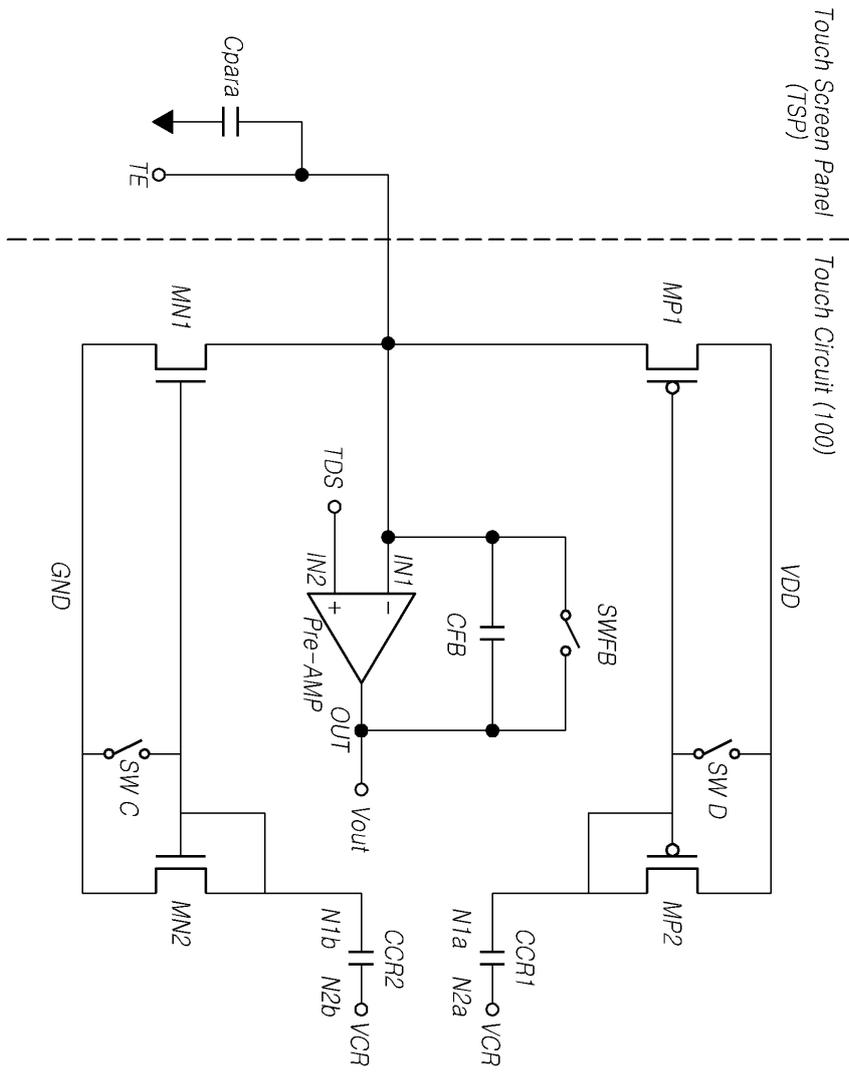
도면15



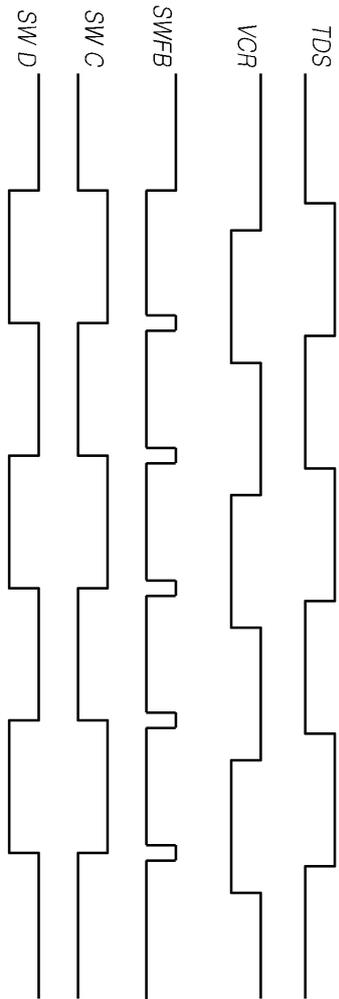
도면16



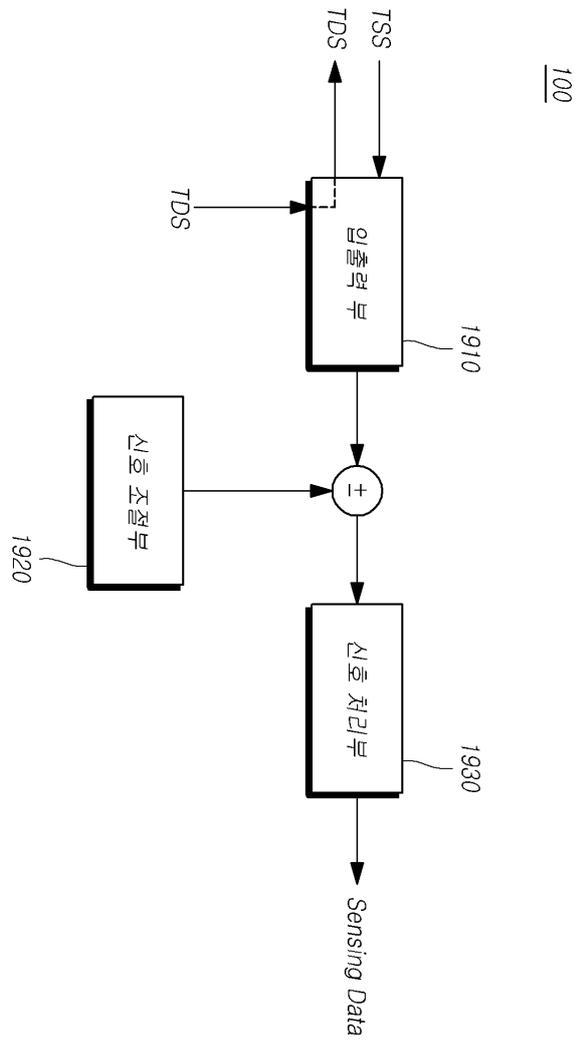
도면17



도면18



도면19



도면20

